(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 111656488 B
(45)授权公告日 2025.05.13

(21)申请号 201980010351.1
(22)申请日 2019.01.22
(65)同一申请的已公布的文献号
申请公布号 CN 111656488 A
(43)申请公布日 2020.09.11
(30)优先权数据
15/881,506 2018.01.26 US
(85)PCT国际申请进入国家阶段日
2020.07.27
(86)PCT国际申请的申请数据
PCT/US2019/014580 2019.01.22
(87)PCT国际申请的公布数据
WO2019/147583 EN 2019.08.01
(73)专利权人 朗姆研究公司
地址 美国加利福尼亚州
(72)发明人 米尔扎弗·阿巴查夫 傅乾
山口叶子 亚伦·埃普勒
(74)专利代理机构 上海胜康律师事务所 31263
专利代理师 李献忠 邱晓敏
(51)Int.Cl.
H01L 21/02(2006.01)
H01L 21/311(2006.01)
H05H 1/46(2006.01)
H01J 37/32(2006.01)
C23C 16/455(2006.01)
(56)对比文件
JP 2017531921 A,2017.10.26
审查员 刘东

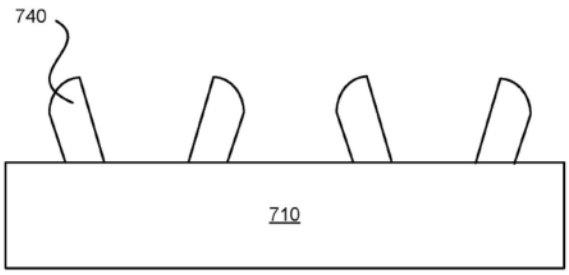
权利要求书3页 说明书21页 附图15页

(54)发明名称

在多重图案化处理中使用原子层沉积的间隔件轮廓控制

(57)摘要

本文描述了用于在多重图案化处理中使用原子层沉积(ALD)来控制间隔件轮廓的方法和设备。以多图案化方案将氧化硅间隔件沉积在图案化的芯材料和衬底的目标层上。通过多个ALD循环在包括氧化时间、等离子功率和衬底温度的第一氧化条件下沉积氧化硅间隔件的第一厚度。在第二氧化条件下通过多个ALD循环沉积氧化硅间隔件的第二厚度,其中第二氧化条件与第一氧化条件的区别在于一个或多个参数。在蚀刻图案化的芯材料之后,氧化硅间隔件的所得轮廓至少部分取决于第一和第二氧化条件。



CN 111656488 B

1.一种用于控制多个氧化硅间隔件的斜度的方法,其包括:

在等离子体室中,通过原子层沉积在衬底上沉积第一厚度的氧化硅间隔件层,其中所述衬底包括图案化的芯材料和在所述图案化的芯材料下面的目标层,其中通过原子层沉积来沉积所述第一厚度的所述氧化硅间隔件层包括将所述衬底暴露于第一剂量的含硅前体以及在第一氧化条件下将所述衬底暴露于氧化剂的等离子体;

在所述等离子体室中,通过原子层沉积在所述衬底上沉积第二厚度的所述氧化硅间隔件层,其中通过原子层沉积来沉积所述第二厚度的所述氧化硅间隔件层包括将所述衬底暴露于第二剂量的所述含硅前体以及在第二氧化条件下将所述衬底暴露于所述氧化剂的等离子体,所述第二氧化条件不同于所述第一氧化条件;以及

在所述等离子体室中,蚀刻所述氧化硅间隔件层的一部分和所述图案化的芯材料以形成多个氧化硅间隔件,其中,所述多个氧化硅间隔件包括所述氧化硅间隔件层的其余部分以用作所述目标层的掩模,

其中,所述多个氧化硅间隔件中的每一个具有斜度,其中,所述斜度至少部分地取决于所述第一氧化条件和所述第二氧化条件。

2.根据权利要求1所述的方法,其中,所述第二氧化条件与所述第一氧化条件的区别在于以下一者或多者:(1)氧化时间;(2)射频功率;以及(3)衬底温度。

3.根据权利要求2所述的方法,其中对于所述第一氧化条件和所述第二氧化条件中的每一个,所述氧化时间介于0.25秒和5秒之间。

4.根据权利要求2所述的方法,其中对于所述第一氧化条件和所述第二氧化条件中的每一个,所述射频功率介于100瓦和10,000瓦之间。

5.根据权利要求2所述的方法,其中对于所述第一氧化条件和所述第二氧化条件中的每一个,所述衬底温度介于0℃和100℃之间。

6.根据权利要求1所述的方法,其中所述第二氧化条件包括第二氧化时间和第二射频功率,并且所述第一氧化条件包括第一氧化时间和第一射频功率,所述第二氧化时间大于所述第一氧化时间,而所述第二射频功率大于所述第一射频功率。

7.根据权利要求1所述的方法,其中,所述第二氧化条件包括第二氧化时间和第二射频功率,并且所述第一氧化条件包括第一氧化时间和第一射频功率,所述第二氧化时间小于所述第一氧化时间,而所述第二射频功率小于所述第一射频功率。

8.根据权利要求1所述的方法,其中,所述第二氧化条件包括第二衬底温度,并且所述第一氧化条件包括第一衬底温度,其中,所述第二衬底温度不同于所述第一衬底温度。

9.根据权利要求8所述的方法,其还包括:

使衬底支撑件的温度从所述第一衬底温度渐变到所述第二衬底温度。

10.根据权利要求1至9中任一项所述的方法,其中,沉积所述第一厚度的所述氧化硅间隔件层、沉积所述第二厚度的所述氧化硅间隔件层以及蚀刻所述氧化硅间隔件层的所述一部分和所述图案化的芯材料的操作在所述等离子体室中进行,而没有在操作之间引入真空中断。

11.根据权利要求1至9中任一项所述的方法,其中,所述等离子体室中的压强在1毫托与100毫托之间。

12.根据权利要求1至9中任一项所述的方法,其中

在蚀刻所述图案化的芯材料之前,蚀刻所述氧化硅间隔件层的所述一部分。

13.根据权利要求1至9中任一项所述的方法,其中,沉积所述第一厚度的所述氧化硅间隔件层包括施加以下操作的X次循环:(i)将所述衬底暴露于所述第一剂量的所述含硅前体,以及(ii)在所述第一氧化条件下将所述衬底暴露于所述氧化剂的所述等离子体中,并且其中沉积所述第二厚度的所述氧化硅间隔件层包括施加以下操作的Y次循环:(iii)将所述衬底暴露于所述第二剂量的所述含硅前体,以及(iv)在所述第二氧化条件下将所述衬底暴露于所述氧化剂的所述等离子体中,其中X和Y是彼此不同的整数。

14.根据权利要求13所述的方法,其中,所述第一氧化条件包括第一氧化时间,并且所述第二氧化条件包括第二氧化时间,所述第一氧化时间在所述X次循环中逐渐改变,并且所述第二氧化时间在所述Y次循环中逐渐改变。

15.根据权利要求13所述的方法,其中,所述第一氧化条件包括第一射频功率,并且所述第二氧化条件包括第二射频功率,所述第一射频功率在所述X次循环中逐渐改变,并且所述第二射频功率在所述Y次循环中逐渐改变。

16.根据权利要求13所述的方法,其中在所述第一氧化条件下将所述衬底暴露于所述氧化剂的等离子体包括转化所述第一剂量的所述含硅前体以形成所述第一厚度的所述氧化硅间隔件层,并且其中在所述第二氧化条件下将所述衬底暴露于所述氧化剂的等离子体包括转化所述第二剂量的所述含硅前体以形成所述第二厚度的所述氧化硅间隔件层。

17.根据权利要求1至9中任一项所述的方法,其中,所述氧化剂包括氧气。

18.根据权利要求1至9中任一项所述的方法,其中,所述图案化的芯材料包括选自由旋涂碳、类金刚石碳和间隙填充可灰化硬掩模组成的组中的材料。

19.一种用于控制多个氧化硅间隔件的斜度的设备,所述设备包括:

等离子体室;

射频电源,其耦合到等离子体室并被配置为将射频功率传送到所述等离子体室;

衬底支撑件,其用于在所述等离子体室中支撑衬底,其中,所述衬底包括图案化的芯材料和在所述图案化的芯材料下方的目标层;和

被配置为执行以下指令的控制器:

(i)在所述等离子体室中,通过原子层沉积在所述衬底上沉积第一厚度的氧化硅间隔件层,其中通过原子层沉积来沉积所述第一厚度的所述氧化硅间隔件层包括将所述衬底暴露于第一剂量的含硅前体以及在第一氧化条件下将所述衬底暴露于氧化剂的等离子体;

(ii)在所述等离子体室中,通过原子层沉积在所述第一厚度的所述氧化硅间隔件层上沉积第二厚度的所述氧化硅间隔件层,其中通过原子层沉积来沉积所述第二厚度的所述氧化硅间隔件层包括将所述衬底暴露于第二剂量的所述含硅前体以及在第二氧化条件下将所述衬底暴露于所述氧化剂的等离子体,所述第二氧化条件不同于所述第一氧化条件;以及

(iii)在所述等离子体室中,蚀刻所述氧化硅间隔件层的一部分和所述图案化的芯材料以形成多个氧化硅间隔件,其中,所述多个氧化硅间隔件包括所述氧化硅间隔件层的其余部分以用作所述目标层的掩模,

其中,所述多个氧化硅间隔件的每一个具有斜度,其中,所述斜度至少部分地取决于所述第一氧化条件和所述第二氧化条件。

20.根据权利要求19所述的设备,其中,所述第二氧化条件与所述第一氧化条件的区别在于以下一者或多者:(1)氧化时间;(2)射频功率;以及(3)衬底温度。

在多重图案化处理中使用原子层沉积的间隔件轮廓控制

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年1月26日提交的并且名称为“SPACER PROFILE CONTROL USING ATOMIC LAYER DEPOSITION IN A MULTIPLE PATTERNING PROCESS”的美国专利申请No.15/881,506的优先权利益,在此通过引用将其整体并入本文并且用于所有目的。

技术领域

[0003] 本公开总体上涉及半导体装置的制造中的多重图案化处理,并且更具体地涉及对在多重图案化处理中使用原子层沉积的间隔件和掩模的轮廓控制。

背景技术

[0004] 先进集成电路的制造通常涉及在半导体的大批量制造中对小特征进行图案化。多种图案化技术可以实现基于光刻技术(例如193nm浸没式光刻)的特征尺寸缩放。自对准双重图案化是多重图案化技术的一个示例。

发明内容

[0005] 本公开涉及用于控制多个间隔件的斜度的方法。所述方法包括:在等离子体室中,通过原子层沉积(ALD)在包括图案化的芯材料和在所述图案化的芯材料下面的目标层的衬底上沉积第一厚度的氧化硅间隔件层,以及在所述等离子体室中,通过ALD在所述衬底上沉积第二厚度的所述氧化硅间隔件层。通过ALD沉积所述第一厚度的所述氧化硅间隔件层包括将所述衬底暴露于第一剂量的含硅前体以及在第一氧化条件下将所述衬底暴露于氧化剂的等离子体。通过ALD沉积所述第二厚度的所述氧化硅间隔件层包括将所述衬底暴露于第二剂量的所述含硅前体以及在第二氧化条件下将所述衬底暴露于所述氧化剂的等离子体,其中所述第二氧化条件不同于所述第一氧化条件。所述方法还包括在所述等离子体室中,蚀刻所述图案化的芯材料以从所述氧化硅间隔件层形成多个间隔件,其中,所述多个间隔件用作所述目标层的掩模。

[0006] 在一些实施方案中,所述第二氧化条件与所述第一氧化条件的区别在于以下一者或多者:(1)氧化时间;(2)射频(RF)功率;以及(3)衬底温度。在一些实施方案中,所述第二氧化条件包括第二氧化时间和第二RF功率,并且所述第一氧化条件包括第一氧化时间和第一RF功率,所述第二氧化时间大于所述第一氧化时间,而所述第二RF功率大于所述第一RF功率。在一些实施方案中,所述第二氧化条件包括第二氧化时间和第二RF功率,并且所述第一氧化条件包括第一氧化时间和第一RF功率,所述第二氧化时间小于所述第一氧化时间,而所述第二RF功率小于所述第一RF功率。在一些实施方案中,所述第二氧化条件包括第二衬底温度,并且所述第一氧化条件包括第一衬底温度,其中,所述第二衬底温度不同于所述第一衬底温度。所述方法还可以包括:使衬底支撑件的温度从所述第一衬底温度渐变(ramping)到所述第二衬底温度。在一些实施方案中,沉积所述第一厚度的所述氧化硅间隔件层、沉积所述第二厚度的所述氧化硅间隔件层以及蚀刻所述图案化的芯材料的操作在所

述等离子体室中进行,而没有在操作之间引入真空中断。在一些实施方案中,所述等离子体室中的压强在约1毫托(mTorr)与约100毫托之间。在一些实施方案中,沉积所述第一厚度的所述氧化硅间隔件层包括施加以下操作的X次循环:(i)将所述衬底暴露于所述第一剂量的所述含硅前体,以及(ii)在所述第一氧化条件下将所述衬底暴露于所述氧化剂的所述等离子体中,并且其中沉积所述第二厚度的所述氧化硅间隔件层包括施加以下操作的Y次循环:(iii)将所述衬底暴露于所述第二剂量的所述含硅前体,以及(iv)在所述第二氧化条件下将所述衬底暴露于所述氧化剂的所述等离子体中,其中X和Y是彼此不同的整数。所述第一氧化条件可以包括第一氧化时间,并且所述第二氧化条件可以包括第二氧化时间,所述第一氧化时间在所述X次循环中逐渐改变,并且所述第二氧化时间在所述Y次循环中逐渐改变。在一些实施方案中,所述第一氧化条件可以包括第一RF功率,并且所述第二氧化条件可以包括第二RF功率,所述第一RF功率在所述X次循环中逐渐改变,并且所述第二RF功率在所述Y次循环中逐渐改变。在一些实施方案中,所述多个间隔件中的每一个的上部具有斜度,其中,所述斜度至少部分地取决于所述第一氧化条件和所述第二氧化条件。

[0007] 本公开还涉及一种用于控制多个氧化硅间隔件的斜度的设备。所述设备包括:等离子体室;RF电源,其耦合到等离子体室并被配置为将RF功率传送到所述等离子体室;衬底支撑件,其用于在所述等离子体室中支撑衬底,其中,所述衬底包括图案化的芯材料和在所述图案化的芯材料下方的目标层;和控制器。所述控制器被配置为提供用于执行以下操作的指令:(i)在所述等离子体室中,通过原子层沉积(ALD)在所述衬底上沉积第一厚度的氧化硅间隔件层,其中通过ALD沉积所述第一厚度的所述氧化硅间隔件层包括将所述衬底暴露于第一剂量的含硅前体以及在第一氧化条件下将所述衬底暴露于氧化剂的等离子体;(ii)在所述等离子体室中,通过ALD在所述第一厚度的所述氧化硅间隔件层上沉积第二厚度的所述氧化硅间隔件层,其中通过ALD沉积所述第二厚度的所述氧化硅间隔件层包括将所述衬底暴露于第二剂量的所述含硅前体以及在第二氧化条件下将所述衬底暴露于所述氧化剂的等离子体,所述第二氧化条件不同于所述第一氧化条件;以及(iii)在所述等离子体室中,蚀刻所述图案化的芯材料以从所述氧化硅间隔件层形成多个氧化硅间隔件,其中,所述多个氧化硅间隔件用作所述目标层的掩模。

[0008] 在一些实施方案中,所述第二氧化条件与所述第一氧化条件的区别在于以下一者或多者:(1)氧化时间;(2)射频(RF)功率;以及(3)衬底温度。在一些实施方案中,所述多个氧化硅间隔件的每一个的上部具有斜度,其中,所述斜度至少部分地取决于所述第一氧化条件和所述第二氧化条件。

[0009] 以下参照附图以进一步说明这些及其他方面。

附图说明

[0010] 图1为根据一些实现方式而用于执行蚀刻及ALD操作的示例处理设备的示意图。

[0011] 图2A-2I为根据一些实现方式的处于示例多重图案化方案(scheme)中的衬底的示意图。

[0012] 图3示出了在沉积氧化硅膜时多个ALD循环的示例性时序图。

[0013] 图4A示出了根据一些实施方案的在第一氧化条件下沉积氧化硅膜时的单个ALD循环的示例时序图。

[0014] 图4B示出了根据一些实施方案的当在第二氧化条件下沉积氧化硅膜时的单个ALD循环的示例性时序图。

[0015] 图5示出了根据一些实施方案的通过ALD和蚀刻形成多个氧化硅间隔件的示例性方法的流程图。

[0016] 图6A-6D是根据一些实施方案的用于形成多个具有正斜度轮廓的氧化硅间隔件的各个阶段的示意图。

[0017] 图7A-7D是根据一些实现的用于形成多个具有负斜度轮廓的氧化硅间隔件的各个阶段的示意图。

[0018] 图8A-8D是根据一些实施方案的用于形成具有竖直轮廓的多个氧化硅间隔件的各个阶段的示意图。

[0019] 图9示出了根据一些实施方案的描绘在用于以多个图案化方案形成多个氧化硅间隔件的方法中的各种操作的处理流程图。

[0020] 图10A示出了在去除无定形碳芯之后具有正斜度轮廓的多个氧化硅间隔件的图像。

[0021] 图10B示出了在去除无定形碳芯之后具有负斜度轮廓的多个氧化硅间隔件的图像。

[0022] 图11A示出了在去除旋涂碳芯之后具有正斜度轮廓的多个氧化硅间隔件的图像。

[0023] 图11B示出了在去除旋涂碳芯之后具有负斜度轮廓的多个氧化硅间隔件的图像。

具体实施方式

[0024] 前言

[0025] 在以下的叙述中,说明了大量的特定细节,以提供对本发明的彻底理解。在没有这些特定细节中的一些或全部的情况下即可实行本发明。在其他示例中,为了不使本发明难以理解,常规的处理操作不会详细描述。虽然本发明与特定实施方案一同叙述,但应理解,其并非试图限制本发明。

[0026] 在本公开内容中,用语“半导体晶片”、“晶片”、“衬底”、“晶片衬底”、及“部分加工的集成电路”是可互换地使用的。本领域普通技术人员将会理解:用语“部分加工的集成电路”可指上面进行集成电路加工的许多阶段中的任一阶段期间的硅晶片。用于半导体装置产业中的晶片或衬底通常具有200mm、或300mm、或450mm的直径。以下的详细说明假设在晶片上施行本公开内容。然而,本公开内容并非如此受限。工件可为各种外形、尺寸、及材料。除了半导体晶片之外,可利用本公开内容的其他工件包含各种物品,例如印刷电路板等。

[0027] 集成式蚀刻/ALD处理设备

[0028] 随着特征尺寸缩小、节距变得更小、且互补式金属氧化物半导体(CMOS)技术进展至更小的节点,薄保形沉积技术将继续变得重要。原子层沉积(ALD)为非常适合沉积薄保形膜的成膜技术,因为ALD沉积单一薄层的材料,厚度受到一或更多前体反应物的量所限制,该一或更多前体反应物可在本身的成膜化学反应之前吸附于衬底表面上(亦即,形成吸附受限层)。通过ALD而形成的每一层是薄且保形的,且所形成的膜是实质上与下伏的装置结构及特征的形状一致。

[0029] 常规上,在单独的工具或平台上执行ALD及蚀刻处理。例如,ALD室不进行蚀刻处

理,而蚀刻室不进行ALD处理。进行沉积处理的等离子体蚀刻室利用等离子体诱发的沉积处理以形成膜,这些膜是不保形的且是取决于深宽比。

[0030] 根据一些实施方案,图1为用于执行蚀刻及ALD操作的示例处理设备的示意图。处理设备100可为感应耦合式等离子体处理设备。处理设备100包含诸如等离子体蚀刻室之类的等离子体室132。在一些实施方案中,由Lam研究公司(Fremont,CA)所生产的Kiyo®反应器为合适反应器的示例,该反应器可用作等离子体蚀刻室。

[0031] 有关用于执行蚀刻及ALD操作的处理设备100的细节在以下美国专利申请中叙述:由Zhou等人于2017年08月04日提交的名称为“INTEGRATED ATOMIC LAYER PASSIVATION IN TCP ETCH CHAMBER AND IN-SITU ETCH-ALP METHOD”的美国专利申请No.15/669,871,其通过引入整体并入本文并用于所有目的。

[0032] 等离子体室132可包含可由室壁114及窗106所界定的整体室结构。窗106可由石英或其他介电材料所制成。在一些实施方案中,等离子体室132包含设置于等离子体室132内部的衬底支撑件116。在一些实施方案中,衬底支撑件116为用于支撑衬底112的静电卡盘,在该衬底112上执行沉积/蚀刻处理。静电卡盘可包含静电电极,用于夹持及解除夹持衬底112。可为此目的而提供滤波器及DC夹持电源(未图示)。也可提供用于将衬底112抬升离开衬底支撑件116的其他控制系统。衬底支撑件116被配置以接收及保持衬底112。

[0033] 在一些实施方案中,衬底支撑件116可包含加热器(未图示)以加热衬底112。衬底支撑件116可于提高的温度下操作,例如介于约-20℃至约150℃之间。温度将取决于处理操作及特定配方。在一些实施方案中,等离子体室132亦可于特定压强下操作,例如在介于约1mTorr至约1Torr之间的压强下操作。

[0034] 在一些实施方案中,处理设备100可包含射频(RF)电源120,其可用于为衬底支撑件116提供偏置/供电。RF电源120可由一或更多RF产生器所限定。若设置多个RF产生器,则可使用不同的频率以达到各种调谐特性。偏置匹配电路118耦合于RF电源120与衬底支撑件116之间。以此方式,RF电源120连接至衬底支撑件116。

[0035] 线圈134定位于窗106上方。线圈134可由导电材料所制成,且包含至少一个完整的匝。图1中所示的线圈134包含至少三匝。RF电源121被配置以将RF功率供应至线圈134。匹配电路102耦合于RF电源121与线圈134之间。以此方式,RF电源121连接至线圈134。在一些实施方案中,选用的法拉第屏蔽件(未图示)定位于线圈134与窗106之间。可使法拉第屏蔽件相对于线圈134而维持在间隔关系。可将法拉第屏蔽件设置于窗106正上方。法拉第屏蔽件可防止金属或其他物质沉积于等离子体室132的窗106上。

[0036] 将RF功率从RF电源121供应至线圈134,以使RF电流流过线圈134。流过线圈134的RF电流可在线圈134周围产生电磁场。电磁场在等离子体室132内产生感应电流,该感应电流作用于存在于等离子体室132中的气体以产生等离子体。来自等离子体的各种离子和/或自由基可与衬底112相互作用,以执行沉积或蚀刻操作。

[0037] 在一些实施方案中,处理设备100任选地包含等离子体格栅(未图示),其可用于将等离子体室132分为上部及下部。等离子体格栅可用于限制进入等离子体室132的下部的热电子量。在一些实施方案中,处理设备100被设计以操作使得存在于等离子体室132的下部中的等离子体为离子-离子等离子体,而存在于等离子体室132的上部中的等离子体为电子-离子等离子体。

[0038] 处理气体可从等离子体室132的顶部穿过第一气体注射器104、和/或从等离子体室132的侧面穿过第二气体注射器110而导入至等离子体室132中。处理气体可包含经汽化的液体前体或经汽化的固体前体,其可在处理设备100上游的固体源蒸发器(未图示)中汽化。可穿过第一气体注射器104和/或第二气体注射器110而供应一或更多反应物气体。在一些实施方案中,可以喷头取代气体注射器104、110。应理解,可提供额外的或其他的气体供应源,以将不同的气体供应至等离子体室132以进行各种类型的操作。

[0039] 将气体注入等离子体室132中的各种方式显示:可从各种位置将处理气体、经汽化的液体前体、和/或经汽化的固体前体提供至等离子体室132中。在一些实施方案中,仅使用第一气体注射器104。在一些其他的实施方案中,仅使用第二气体注射器110。在一些其他的实施方案中,使用第一气体注射器104与第二气体注射器110两者。在一些实施方案中,歧管122控制将哪些气体供应至不同气体管线中的每一者。歧管122使任何类型的气体(反应物、载体、前体等)能够从不同气体管线中的任一者提供。在一些实施方案中,载体气体可包含诸如氧(O_2)、氮(N_2)、氩(Ar)以及氦(He)之类的气体。这些气体可在未混合的情况下导入至等离子体室132中、或可在导入至等离子体室132中之前与其他气体混合。

[0040] 歧管122可用于选择、切换、和/或混合来自输送系统128中的相应的输送系统的输出。在一些实施方案中,输送系统128可包含蚀刻气体输送系统127及液体输送系统129。可配置蚀刻气体输送系统127以输出蚀刻剂气体。蚀刻剂气体的示例包含(但不限于)氯(Cl_2)、溴化氢(HBr)、及六氟化硫(SF_6)。可配置液体输送系统129以提供液体前体,在ALD处理中液体前体被汽化并以蒸气形式输送。经汽化的液体前体可被导入至等离子体室132中,并可吸附于衬底112的表面上。可使用等离子体使经吸附的前体转化以形成吸附受限量的膜。示例液体前体可具有以下化学式的化学组成:$C_xH_yN_zO_aSi_b$。

[0041] 真空泵130连接至等离子体室132,且可用于从等离子体室132中抽出处理气体并维持等离子体室132内的特定压强。可将阀126设置于排放部124与真空泵130之间,以控制施用于等离子体室132的真空抽吸的量。在一些实施方案中,真空泵130可为一或二级机械干式泵和/或涡轮分子泵。在一些实施方案中,可在每次完成ALD处理之后启动真空泵130以清扫等离子体室132。

[0042] 当在无尘室或制造设施中安装处理设备100时,可将其耦合至设施(未显示)。设施包含提供处理气体、真空、温度控制、以及环境颗粒控制的管路。当这些设施被装设于目标制造设施中时,其可耦合至处理设备100。此外,可将处理设备100耦合至传送室,该传送室容许机械手利用自动化系统将衬底传送进出等离子体室132。

[0043] 在一些实施方案中,系统控制器108(其可包括一或更多物理或逻辑控制器)控制处理设备100的一些或所有操作。系统控制器108可包括一或更多存储器装置与一或更多处理器。处理器可包含中央处理单元(CPU)或计算机、模拟和/或数字输入/输出连接件、步进马达控制板、与其他类似组件。在处理器上执行用于执行适当的控制操作的指令。这些指令可在与系统控制器108相关的存储器装置上储存,或可通过网络提供这些指令。在某些实施方案中,系统控制器108执行系统控制软件。

[0044] 系统控制软件可包含控制以下室操作条件的任一或多者的应用和/或幅值的时序的指令:气体的混合和/或组成、室压强、室温度、晶片/晶片支撑件温度、施加至衬底的偏置(其在许多实施方案中可为零)、施加至线圈或其他等离子体产生组件的频率及功率、衬底

位置、衬底移动速度、以及由工具所执行的特定处理的其他参数。系统控制软件可以任何适当方式配置。例如,可写入各种处理工具组件的子程序或控制对象,以控制处理工具组件的操作,这些处理工具组件是执行各种处理工具的处理所必须的。系统控制软件可以以任何合适的计算机可读取程序语言编码。

[0045] 在一些实施方案中,系统控制软件包含输入/输出控制(IOC)序列指令,以用于控制上述的各种参数。例如,半导体制造处理的每一阶段可包含以系统控制器108执行的一或更多指令。例如,用于设定一阶段的处理条件的指令可包含在相对应的配方阶段中。在一些实施方案中,可依序配置配方阶段,以使掺杂处理中的步骤以该处理阶段的一定顺序加以执行。例如,配方可被配置以执行蚀刻操作、且包含在蚀刻操作中的每一者之间执行的ALD处理的一或更多循环。

[0046] 在一些实施方案中,系统控制器108配置有用于执行以下一个或多个操作的指令:(i)在等离子体室132中通过ALD在包括图案化的芯材料和在芯材料下方的目标层的衬底112沉积第一厚度的氧化硅间隔件层,其中沉积所述第一厚度包括将衬底112暴露于第一剂量的含硅前体以及在第一氧化作用下将衬底112暴露于氧化剂的等离子体;(ii)在等离子体室132中通过ALD在衬底112上沉积第二厚度的氧化硅间隔件层,其中沉积所述第二厚度包括将衬底112暴露于第二剂量的含硅前体并且在第二氧化条件下将衬底112暴露于氧化剂的等离子体,第二氧化条件不同于第一氧化条件;(iii)在等离子体室132中蚀刻图案化的芯材料以从氧化硅间隔件层形成多个间隔件,其中多个间隔件用作目标层的掩模。在一些实施方案中,第二氧化条件与第一氧化条件的区别在于以下一者或多者:(1)氧化时间,(2)RF功率,以及(3)衬底温度。在一些实施方案中,多个氧化硅间隔件中的每一个的上部具有斜度,其中该斜度至少部分地取决于第一氧化条件和第二氧化条件。在一些实施方案中,系统控制器108配置有用于使氧化时间、RF功率或衬底温度中的至少一者随时间的推移从第一氧化条件逐渐变化成第二氧化条件的指令。

[0047] 在一些实施方案中,可采用其他计算机软件和/或程序。用于此用途的程序或程序的部分的示例包含衬底定位程序、处理气体组成控制程序、压强控制程序、加热器控制程序、以及RF电源控制程序。

[0048] 在一些情况下,系统控制器108控制气体浓度、衬底移动、和/或供应至线圈134和/或衬底支撑件116的功率。系统控制器108可通过以下方式而控制气体浓度:例如开启及关闭相关的阀以产生一或更多进气流,该一或更多进气流提供适当浓度的必要反应物。可通过以下方式而控制衬底移动:例如指示衬底定位系统依需求而移动。供应至线圈134和/或衬底支撑件116的功率可加以控制以提供特定的RF功率电平。如果使用格栅,则可通过系统控制器108调整RF功率,以在等离子体室132的上部中产生电子-离子等离子体,而在等离子体室132的下部中产生离子-离子等离子体。此外,可配置系统控制器108,以在电子-离子等离子体不形成于等离子体室132的下部中的情况下将功率供应至衬底支撑件116。

[0049] 系统控制器108可基于传感器输出(例如当功率、电位、压强等达到某阈值时)、操作时序(例如在处理中的某些时刻开启阀)、或基于从用户所接收的指令而控制这些或其他方面。

[0050] 在一些实现方式中,系统控制器108是系统的一部分,该系统可以是上述示例的一部分。这样的系统可以包括半导体处理设备,半导体处理设备包括一个或多个处理工具、一

个或多个室、用于处理的一个或多个平台、和/或特定处理组件(晶片基座、气体流系统等)。这些系统可以与用于在半导体晶片或衬底的处理之前、期间和之后控制它们的操作的电子器件集成。电子器件可以被称为“控制器”,其可以控制一个或多个系统的各种组件或子组件。根据处理要求和/或系统类型,系统控制器108可以被编程以控制本文公开的任何处理,包括处理气体的输送、温度设置(例如加热和/或冷却)、压强设置、真空设置、功率设置、RF产生器设置、RF匹配电路设置、频率设置、流率设置、流体输送设置、位置和操作设置、衬底转移进出工具和其他转移工具和/或与具体系统连接或通过接口连接的加载锁。

[0051] 概括地说,系统控制器108可以定义为电子器件,电子器件具有接收指令、发出指令、控制操作、启用清洁操作、启用端点测量等的各种集成电路、逻辑、内存和/或软件。集成电路可以包括存储程序指令的固件形式的芯片、数字信号处理器(DSP)、定义为专用集成电路(ASIC)的芯片、和/或一个或多个微处理器、或执行程序指令(例如,软件)的微控制器。程序指令可以是以各种单独设置(或程序文件)的形式发送到系统控制器108的指令,单独设置(或程序文件)定义用于在半导体晶片或系统上或针对半导体衬底或系统执行特定处理的操作参数。在一些实施方式中,操作参数可以是由工艺工程师定义的配方的一部分,以在一或多个(种)层、材料、金属、氧化物、硅、二氧化硅、表面、电路和/或衬底的管芯的制造期间完成一个或多个处理步骤。

[0052] 在一些实现方式中,系统控制器108可以是与系统集成、耦合到系统、以其它方式联网到系统或其组合的计算机的一部分或耦合到该计算机。例如,系统控制器108可以在“云”中或是晶片厂(fab)主机系统的全部或一部分,其可以允许对衬底处理的远程访问。计算机可以实现对系统的远程访问以监视制造操作的当前进展、检查过去制造操作的历史、检查多个制造操作的趋势或性能标准,改变当前处理的参数、设置处理步骤以跟随当前的处理、或者开始新的处理。在一些示例中,远程计算机(例如服务器)可以通过网络(其可以包括本地网络或因特网)向系统提供处理配方。远程计算机可以包括使得能够输入或编程参数和/或设置的用户界面,然后将该参数和/或设置从远程计算机发送到系统。在一些示例中,系统控制器108接收数据形式的指令,其指定在一个或多个操作期间要执行的每个处理步骤的参数。应当理解,参数可以特定于要执行的处理的类型和工具的类型,系统控制器108被配置为与该工具接口或控制该工具。因此,如上所述,系统控制器108可以是例如通过包括联网在一起并朝着共同目的(例如本文所述的处理和控制)工作的一个或多个分立的控制器而呈分布式。用于这种目的的分布式系统控制器108的示例是在与远程(例如在平台级或作为远程计算机的一部分)的一个或多个集成电路通信的室上的一个或多个集成电路,其组合以控制在室上的处理。

[0053] 示例系统可以包括但不限于等离子体蚀刻室或模块、沉积室或模块、旋转漂洗室或模块、金属电镀室或模块、清洁室或模块、倒角边缘蚀刻室或模块、物理气相沉积(PVD)室或模块、化学气相沉积(CVD)室或模块、原子层沉积(ALD)室或模块、原子层蚀刻(ALE)室或模块、离子注入室或模块、轨道室或模块、以及可以与半导体晶片的制造和/或制备相关联或用于半导体衬底的制造和/或制备的任何其它半导体处理系统。

[0054] 如上所述,根据将由工具执行的一个或多个处理步骤,系统控制器108可以与一个或多个其他工具电路或模块、其它工具组件、群集工具、其他工具接口、相邻工具、邻近工具、位于整个工厂中的工具、主计算机、另一系统控制器108、或在将衬底的容器往返半导体

制造工厂中的工具位置和/或装载口运输的材料运输中使用的工具通信。

[0055] 多重图案化

[0056] 技术的进步增加了对缩小装置特征和半导体装置的更小的节距的需求。已经采用了各种图案化技术和方法来实现更小的装置特征和更小的节距,但是常常达到一定的限度。例如,高分辨率光刻可以用于打印小的特征以获得小的关键尺寸(CD),但是高分辨率光刻可能无法打印超出特定限度(例如40nm或更小的特征),并且因此节距不会超过该限度。

[0057] 一般来说,使用光刻技术实现的分辨率取决于波长。光致抗蚀剂掩模具有取决于波长的光学性质,其中暴露于较长波长的光的较长波长的光致抗蚀剂掩模有较大的理论CD,而暴露于较短波长的光的较短波长的掩模有较小的理论CD。然而,相比于较长波长的光致抗蚀剂掩模,使用较短波长的光致抗蚀剂掩模可能带来额外的挑战。例如,较短波长的光致抗蚀剂掩模可能不具有与较长波长的光致抗蚀剂掩模一样高的选择性,且在等离子体蚀刻的情况下可能较容易变形。即使光刻技术可选地与产生较小特征的修整步骤相结合,所产生的产品也不一定具有较小的节距。

[0058] 多重图案化已用于使光刻技术扩展至其光学限度之外。双重图案化及四重图案化为用于使光刻技术扩展至其光学限度之外的示例性技术,且现在双重图案化广泛用于小于约80nm的节距的产业中。例如,如果产生距一条或多条线约100nm的节距,则双重图案化可缩小一条或多条线、沉积间隔件并回蚀间隔件,从而增加线的数量并将节距加倍至约50nm。这可以称为“节距倍增”,其中增加的线的数量可以用作后续的掩模或硬掩模。

[0059] 当前的双重图案化技术通常使用侧壁间隔件以及两个掩模处理步骤以图案化沟槽。正型和负型双重图案化处理两者中的双重图案化(尤其是线的图案化)方法涉及使用间隔件和掩模。可通过原子层沉积(ALD)或等离子体增强原子层沉积(PEALD)而在图案化芯上沉积间隔件,且间隔件可用于产生较小节距的图案。随着装置的收缩和节距的减小,会出现诸如间隔件倾斜、线弯曲和图案化的间隔件塌陷之类的问题,这会降低装置性能,甚至导致装置故障。

[0060] 图2A-2I为根据一些实施方案的示例性多重图案化方案中的衬底的示意图。图2A显示了衬底,该衬底具有:在第一层203上以光刻方式限定或图案化的芯201、在第一层203下面的第二层205以及在第二层205下面的第三层207。在一些实施方案中,第一层203也可以称为第二芯203,而第二层205也可以称为目标层205。本领域技术人员应理解,适用于本文所述的半导体处理的多层堆叠件也可包含其他层,例如蚀刻停止层、盖层、以及其他底下层。

[0061] 如图2A所示,图案化芯201可以是光致抗蚀剂,或者可包含非晶碳或非晶硅材料。可通过任何合适的沉积技术(等离子体增强化学气相沉积(PECVD))将图案化芯201沉积于第一层203上方,并且该沉积技术可涉及在沉积室中由沉积气体(例如碳氢化合物前体)产生等离子体。例如,烃前体可以由式C_xH_y定义,其中x是介于2和10之间的整数,并且y是介于2和24之间的整数。在一些实施方案中,图案化的芯201可以包括芯材料,例如光致抗蚀剂。在一些实施方案中,图案化的芯201可以包含芯材料,该芯材料是旋涂碳、类金刚石碳或间隙填充可灰化的硬掩模。可以使用包括高频(HF)和低频(LF)功率的双射频(RF)等离子体源。

[0062] 第一层203、第二层205、或第三层207可为最终在多重图案化处理中被图案化的目标层。目标层可为半导体、电介质、或其他层,且可由例如硅(Si)、氧化硅(SiO_2)、氮化硅

(Si_3N_4)、或氮化钛(TiN)所制成。可以通过ALD、PEALD、化学气相沉积(CVD)或其他合适的沉积技术来沉积目标层。

[0063] 在图2B中,第一保形膜209被沉积在图案化芯201上方。在一些实施方案中可通过ALD或PEALD沉积第一保形膜209。第一保形膜209可被定向地蚀刻以形成第一间隔件219,如图2C所示。第一间隔件219可为氧化物(例如氧化硅(SiO_2)或氧化钛(TiO_2))、或可为氮化物(例如氮化硅(Si_3N_4))。第一间隔件219的图案用于将后续的层图案化。应理解,本文所用的术语"间隔件"意指与芯材料相邻的掩模材料。在图2D中,图案化芯201被选择性地蚀刻,在衬底上留下孤立的第一间隔件219。本文所用的选择性移除或选择性蚀刻被定义为相对于一材料而蚀刻另一材料。例如,在图2D中,相对于第一间隔件219而蚀刻图案化芯201。应理解的是,在一些实施方案中,如果对第二材料选择性地蚀刻第一材料,则对第一材料的蚀刻速率比对第二材料的蚀刻速率快,使得在给定的持续时间内,相比于第二材料,蚀刻更多的第一材料。

[0064] 第一间隔件219的图案可具有期望节距,其中期望节距可等于或少于约50nm。在图2E中,利用图案化的第一间隔件219作为掩模以蚀刻第一层203,从而将图案转移至第一层203以形成图案化的第一层213。可利用化学品蚀刻图案化的第一层213,该化学品适用于蚀刻第一层203但不适用于蚀刻图案化的第一间隔件219。在一些实施方案中,图案化的第一层213可为非晶碳层、非晶硅层、或光致抗蚀剂,例如聚(甲基丙烯酸甲酯)、或聚(甲基戊二酰亚胺)(PMGI)、或酚甲醛树脂。在图2F中,将第一间隔件219选择性地去除以留下图案化的第一层213。在一示例中,可以使用基于碳氟化合物的等离子体去除第一间隔物219。图案化第一层213可提供具有较小CD的掩模,以用于形成具有较小CD的特征。然而,图案化的第一层213可替代性地提供第二芯材料以用于后续的图案化。在图2G中,可在图案化的第一层213(例如,第二芯材料)上方沉积第二保形膜220。第二保形膜220可为通过ALD或PEALD沉积的介电材料。例如,第二保形膜220可为氧化硅。在一些实施方案中,第二保形膜220可以具有与第一保形膜209相同或相似的成分。在图2H中,第二保形膜220被定向地蚀刻以形成位于图案化的第一层213两侧的第二间隔件221。在图2I中,将图案化的第一层213选择性地去除以留下独立的第二间隔件221。这里,图案化的第一层213可以使用与图2D中蚀刻图案化的芯201相同或相似的化学物质来蚀刻。第二间隔件221可提供具有甚至更小的CD的掩模,以用于形成具有甚至更小的节距的特征。

[0065] 当前的方法和技术可能不足以形成能够承受多个后续处理步骤中的机械变形以去除间隔件之间的芯材料和/或间隙填充材料的间隔件(例如,第一间隔件219和第二间隔件221)。尽管替代材料可以用于间隔件,但是由于便宜的前体,所以用于氧化硅(SiO_2)材料的原子层沉积处理提供了具有高产量的低成本选择,并且原子层沉积处理使用了快速的循环时间。此外,用于沉积氧化硅的反应器通常易于清洁。然而,用于沉积氧化硅的现有方法和技术可能不能控制氧化硅间隔件的斜度/轮廓,特别是在小于45nm的节距处。

[0066] 在图2C中的间隔件蚀刻步骤和图2D中的芯材料去除之后,独立的第一间隔件219的轮廓可能不是完全竖直的。在蚀刻操作之后,独立的第一间隔件219可能向左或向右倾斜、弯曲或以其他方式倾斜。具有倾斜轮廓的独立的第一间隔件219用作具有倾斜轮廓的掩模,该倾斜轮廓转移至诸如第一层203之类的底下层。这进而可导致在蚀刻操作之后功能层中的图案转移和轮廓变形。此外,这可能会对CD和CD均匀性产生不利影响。同样地,在图2H

中的间隔件蚀刻步骤和图2I中的芯材料去除之后,独立的第二间隔件221的轮廓可能不是完全竖直的。相反,独立的第二间隔件221会是倾斜的,并且独立的第二间隔件的图案被转移到诸如第二层205的底下层。这可以导致第二层205中的图案偏移和轮廓变形,其中第二层205可以是目标层。

[0067] 在多个图案化方案中对间隔件轮廓的校正是具有挑战性的,并且通常很昂贵。通常,可通过校正芯材料的轮廓和/或在间隔件沉积期间通过重复交替的沉积和蚀刻操作(dep-etch-dep)来进行间隔件轮廓校正。可以在芯材料的沉积期间控制芯材料的斜度,以获得芯材料的更竖直的轮廓,或者获得稍微负/正的斜度以抵消在随后沉积的间隔件中产生的固有应力。这可以校正间隔件的轮廓。然而,控制芯材料的斜度没有充分防止在间隔件中形成倾斜轮廓,并且没有减轻在间隔件中产生的固有应力。此外,在间隔件沉积期间重复的沉积-蚀刻-沉积操作对于校正间隔件的轮廓可能是昂贵和费时的,并且通常在间隔件蚀刻和芯材料去除操作之后导致一些残留量的斜度。在分开的室中进行重复的沉积-蚀刻-沉积操作可能会增加处理时间、处理步骤和处理成本,并且在操作之间引入真空中断,从而增加不需要的材料或颗粒与衬底接触的可能性。

[0068] 原子层沉积

[0069] 本文提供了用于控制氧化硅间隔件轮廓的方法、系统和设备。ALD或PEALD用于多重图案化方案中的氧化硅间隔件沉积。ALD为利用顺序自限性反应以沉积薄材料层的技术。通常,ALD循环包含以下操作:将至少一种反应物输送且吸附至衬底表面、并接着使经吸附的反应物与一种或多种反应物反应以形成膜的部分层。不像CVD技术,ALD使用表面自限沉积反应以便以逐层方式沉积膜。典型ALD循环可包含:(i)将前体材料输送且吸附至衬底表面上的配料、(ii)从室中清扫掉过量的前体材料,而在衬底表面上留下自限单层、(iii)输送反应物材料以与经吸附的前体材料进行反应、以及(iv)从室中清扫掉未反应的反应物材料或反应副产物。配料步骤可以自限方式吸附前体材料,使得一旦活性部位被前体材料所占据,则很少或没有额外的前体材料会吸附于衬底表面上。反应物材料可同样地以自限制或吸附限制的方式与前体材料进行反应。可任选地执行清扫步骤,以将过量的前体材料、反应副产物、和/或未反应的反应物材料从室中去除,从而完成ALD循环。ALD可用于提供具有相对高的台阶覆盖率的高度保形膜,即使在高深宽比特征中也如此。

[0070] 图3示出了在沉积氧化硅膜时多个ALD循环的示例时序图。图3示出了对于各种工艺参数,例如等离子体、含氧反应物流和含硅前体流,在典型的ALD处理300中的阶段。图3中的每个ALD循环可以代表PEALD循环。这些线表示何时开启和关闭流,或何时开启和关闭等离子体。示例性处理参数包括但不限于前体和反应物物质的流率、惰性气体物质的流率、等离子功率和频率、衬底温度以及处理室压强。图3中的示例用于使用含硅的前体和氧等离子体沉积氧化硅膜,其中氧等离子体可以转化吸附的前体层以在衬底上形成膜。

[0071] 在ALD处理中可以包括任何适当数量的沉积循环,以沉积期望厚度的氧化硅膜。图3中的时序描述了两个沉积循环310A和310B。每个沉积循环310A、310B包括多个阶段。例如,在循环周期310A期间,在配料阶段357A期间将衬底暴露于含硅前体,而在沉积循环310B期间,在配料阶段357B期间将衬底暴露于含硅前体。含硅前体是用于制备含硅膜的单一试剂或试剂混合物,其中该试剂或试剂混合物包含至少一种硅化合物。在一些实施方案中,含硅前体可以是例如硅烷、卤代硅烷或氨基硅烷。硅烷的实例是硅烷(SiH_4)、乙硅烷(Si_2H6)和有

机硅烷,有机硅烷如甲基硅烷、乙基硅烷、异丙基硅烷、叔丁基硅烷、二甲基硅烷、二乙基硅烷、二叔丁基硅烷、烯丙基硅烷、仲丁基硅烷、己基硅烷、异戊基硅烷、叔丁基二硅烷、二叔丁基乙硅烷等。卤代硅烷的示例是碘硅烷、溴硅烷、氯硅烷和氟硅烷,其中特定的氯硅烷是四氯硅烷、三氯硅烷、二氯硅烷、一氯硅烷、氯烯丙基硅烷、氯甲基硅烷、二氯甲基硅烷、氯二甲基硅烷、氯乙基硅烷、叔丁基氯硅烷、二叔丁基氯硅烷、氯异丙基硅烷、氯仲丁基硅烷、叔丁基二甲基氯硅烷、叔己基二甲基氯硅烷等。氨基硅烷的示例是单、二、三和四氨基硅烷(分别为$H_3Si(NH_2)$、$H_2Si(NH_2)_2$、$HSi(NH_2)_3$和$Si(NH_2)_4$),以及经取代的单、二、三和四氨基硅烷,例如叔丁基氨基硅烷、甲基氨基硅烷、叔丁基硅烷基胺、双(叔丁基氨基)硅烷($SiH_2(NHC(CH_3)_3)_2$(BTBAS))、叔丁基甲硅烷基氨基甲酸酯、$SiH(CH_3)-(N(CH_3)_2)_2$、$SiHCl-(N(CH_3)_2)_2$、$(Si(CH_3)_2NH)_3$等。氨基硅烷的另一个示例是三甲硅烷基胺($N(SiH_3)$)。在配料阶段357A和357B期间,关闭等离子体并且没有含氧反应物流到衬底。在一些实施方案中,根据流率和衬底表面积,可以将衬底暴露于含硅前体持续介于约0.1秒和约60秒之间,或介于约0.2秒和约6秒之间的时间。在一些实施方案中,载气或惰性气体在配料阶段357A和357B期间流动。

[0072] 在一些实施方案中,含硅前体以自限方式吸附到衬底表面上,使得一旦活性位点被含硅前体占据,则很少或没有额外的含硅前体将被吸附在衬底表面上。例如,含硅前体可以被吸附到至少60%的衬底表面上。当含硅前体吸附到衬底表面上的活性位点上时,含硅前体的薄层在表面上形成。在多种实施方案中,该层可以小于单层,并且可以具有约0.1 埃(Å)至约0.5埃之间的厚度。与CVD或类CVD处理不同,含硅前体不会分解形成硅层。

[0073] 分别在沉积循环310A和310B的清扫阶段359A和359B中,可选地清扫处理室以去除气相中没有吸附到衬底表面上的过量的含硅前体。清扫会涉及清扫气体,其可以是在其他操作中使用的载气或不同的气体。在一些实施方案中,清扫可以涉及抽空处理室。在清扫阶段359A和359B期间,含硅前体流被关闭并且没有等离子体被点燃。在清扫阶段359A和359B期间,可以将含氧反应物供应或不供应至处理室。在一些实施方案中,载气可以连续流动以从处理室中清扫任何过量的含硅前体。在一些实施方案中,清扫阶段359A和359B可各自包括一个或多个用于抽空处理室的抽空子阶段。替代地,应理解的是,在一些实施方案中,每个清扫阶段359A和359B可以被省略。每个清扫阶段359A和359B可以具有任何合适的持续时间,例如在约0秒至约60秒之间,或约0.01秒的持续时间。在一些实施方案中,增加一种或多种打扫气体的流率可以减少每个清扫阶段359A和359B的持续时间。例如,可以根据处理室和/或处理室管道的各种反应物热力学特性和/或几何特性来调整清扫气体的流率,以改变每个清扫阶段359A和359B的持续时间。在一个非限制性示例中,可以通过调节打扫气体的流率来调节打扫阶段的持续时间。这可以减少沉积循环时间,从而可以提高衬底的产量。清扫后,至少一些含硅的前体保持吸附在衬底表面上。

[0074] 可以分别在沉积循环310A和310B的等离子体暴露阶段361A和361B期间点燃等离子体。例如,可以在等离子体暴露阶段361A和361B期间将衬底暴露于氧等离子体。应理解的是,提及“氧等离子体”包括以下描述的任何含氧反应物的等离子体,并且不限于纯氧气的等离子体。在等离子体暴露阶段361A和361B期间,含氧反应物流和等离子体都开启。在一些实施方案中,可在开启等离子体之前开启含氧反应物流。在等离子体暴露阶段361A和361B期间,关闭含硅前体流。在一些实施方案中,载气可以在等离子体暴露阶段361A和361B期间继续流动。衬底可以暴露于含氧反应物的等离子体中介于约0.1秒和约60秒之间,或约0.2

秒和约6秒之间的持续时间。在一些实施方案中,等离子体暴露阶段361A和361B的持续时间可以超过等离子体与吸附在衬底表面上的所有前体相互作用的时间,从而在衬底表面上形成连续膜。

[0075] 示例性的含氧反应物或氧化剂包括氧气、水、二氧化碳、一氧化碳、一氧化二氮、一氧化氮、氧化硫、二氧化硫、含氧烃、臭氧及其组合。在一些实施方案中,在等离子体被点燃的同时,使衬底同时暴露于含氧反应物和载气。例如,在点燃等离子体的同时,将氧气与氦气、氩气或其混合物一起引入衬底。

[0076] 提供等离子体能量以将含氧反应物活化成离子、自由基和其他活化物质,它们与吸附的含硅前体层反应。例如,等离子体可以直接或间接活化含氧反应物气相分子以形成氧自由基或离子。一旦含氧反应物被活化以形成氧等离子体,则含氧反应物的自由基和/或离子将吸附的含硅前体转化为衬底表面上的氧化硅。

[0077] 在一些实施方案中,等离子体是原位等离子体,使得等离子体直接形成在处理室中的衬底表面上方。原位等离子体可以在约0.2瓦/cm^2至约2.1瓦/cm^2之间的功率/衬底面积下被点燃。例如,功率可以在约100瓦至约10,000瓦的范围内,或在约150瓦至约6,000瓦的范围内,或在约600瓦至约4000瓦的范围内。例如,用于ALD处理的等离子体可以通过使用电容耦合板向气体施加RF场而产生。板之间的气体被RF场电离将等离子体点燃,从而在等离子体放电区域中产生自由电子。这些电子被RF场加速,并可能与气相反应物分子发生碰撞。这些电子与反应物分子的碰撞可能形成参与沉积和转化处理的自由基物质。应理解的是,RF场可以经由任何合适的电极耦合。在多种实施方案中,使用具有至少约13.56MHz,或至少约27MHz,或至少约40MHz,或至少约60MHz的频率的高频等离子体。在一些实施方案中,可以使用基于微波的等离子体。电极的非限制性示例包括处理气体分配喷头和衬底支撑基座。应理解的是,除了RF场与气体的电容耦合之外,可以通过一种或多种合适的方法来形成用于ALD处理的等离子体。在一些实施方案中,等离子体是远程等离子体,使得含氧反应物在位于处理室上游的远程等离子体发生器中被点燃,然后被传送到容纳衬底的处理室。在一些实施方案中,可以使用其他类型的等离子体,例如电感耦合等离子体而不是电容耦合等离子体。

[0078] 分别在沉积循环310A和310B的清扫阶段363A和363B中,可选地清扫处理室以从处理室去除反应副产物和/或未反应的反应物材料。在清扫阶段363A和363B期间,等离子体熄灭。关闭含硅的前体流,并且不点燃等离子体。在清扫阶段363A和363B期间,可以将含氧反应物供应或不供应至处理室。在一些实施方案中,可以通过使载气或任何其他惰性气体流动来执行清扫。

[0079] 执行操作357A、359A、361A和363A可以构成ALD循环,例如沉积循环310A。如果沉积的氧化硅膜的厚度不足或不理想,则可以如沉积循环310B中所示重复ALD循环。可以重复ALD循环,直到形成足够或所需厚度的氧化硅膜为止。

[0080] 来自间隔件沉积的间隔件斜度控制

[0081] 本文提供了用于控制氧化硅间隔件轮廓的方法、系统和设备。在沉积氧化硅间隔件的过程中,可能在间隔件中产生固有应力。氧化硅间隔件中的应力分布可以对应于在蚀刻和芯材料去除之后该轮廓是正斜度、负斜度还是竖直斜度。应力分布可通过在ALD循环期间或整个多个ALD循环中控制一个或多个沉积参数来控制。因此,在ALD循环中设置或修改

适当的沉积参数可以以期望的方式控制氧化硅间隔件的最终轮廓。设置或修改合适的沉积参数可以包括在ALD循环中设置或修改氧化条件。

[0082] 图4A示出了根据一些实施方案的在第一氧化条件下沉积氧化硅膜时的单个ALD循环的示例性时序图。图4B示出了根据一些实施方案的在第二氧化条件下沉积氧化硅膜时的单个ALD循环的示例性时序图。图4A-4B中的每一个都显示了针对各种沉积参数(包括RF功率、含氧反应物流和含硅前体流)随时间变化的ALD循环阶段。这些线表示何时开启和关闭流,或何时开启和关闭等离子体。示例性处理参数包括但不限于前体和反应物物质的流率、惰性气体物质的流率、等离子功率和频率、衬底温度以及处理室压强。应理解的是,在一些实施方案中,等离子体功率和/或RF功率也可以被称为变压器耦合等离子体(TCP)功率。在完成图4A-4B中的一个或多个ALD循环后,使用含硅的前体和氧等离子体形成氧化硅膜,其中氧等离子体可以使吸附的前体层转化,以在衬底上形成氧化硅膜。在一些实施方案中,氧化硅膜可在多重图案化方案中形成氧化硅间隔件的至少一部分。

[0083] 在图4A中,用于沉积氧化硅膜的单个ALD循环400a包括前体配料阶段457A、可选的清扫阶段459A、等离子体暴露阶段461A和可选的清扫阶段463A。在图4B中,用于沉积氧化硅膜的单个ALD循环400b包括前体配料阶段457B、可选的清扫阶段459B、等离子体暴露阶段461B和可选的清扫阶段463B。关于图3中的配料阶段357A和357B、清扫阶段359A和359B、等离子体暴露阶段361A和361B以及清扫阶段363A和363B的细节可适用于图4A-4B中的配料阶段457A和457B、清扫阶段459A和459B,等离子体暴露阶段461A和461B、以及清扫阶段463A和463B。

[0084] 图4A中的ALD循环400a的沉积参数不同于图4B中的ALD循环400b的沉积参数。如图4A-4B所示,图4A中的等离子体暴露阶段461A的氧化条件不同于图4B中的等离子体暴露阶段461B的氧化条件。与等离子体暴露阶段461A相比,等离子体暴露阶段461B使用较高的RF功率并使衬底暴露较长的持续时间。举例来说,等离子体暴露阶段461A可以以约0.5秒的较短持续时间和约500瓦的较低RF功率将衬底暴露于氧等离子体,而等离子体暴露阶段461B可以使衬底暴露于氧等离子体持续约1.5秒的持续时间和约2500瓦的RF功率。尽管在图4A-4B中未示出,但是在清扫阶段459A和等离子体暴露阶段461A期间以及在清扫阶段459B和等离子体暴露阶段461B期间可以减小室压强,其中减小的室压强可以在约10毫托和约100毫托之间。例如,减小的室压强可以为约30毫托。室压强会影响氧化物的质量。等离子体暴露阶段461A和等离子体暴露阶段461B之间的不同氧化条件可以在每个沉积的氧化硅膜中导致不同量的应力。不受任何理论的约束,沉积的氧化硅膜中的应力分布对应于间隔件蚀刻和芯材料去除之后的氧化硅间隔件的轮廓。因此,当在第一氧化条件下执行多个ALD循环400a并且在第二氧化条件下执行多个ALD循环400b(其中根据指定的顺序,执行多个ALD循环400a和多个ALD循环400b)时,指定的顺序在沉积的氧化硅间隔件中产生不同的轮廓。例如,在图4A的第一氧化条件下施加多个ALD循环400a,然后在图4B的第二氧化条件下施加多个ALD循环400b,这导致在间隔件蚀刻和芯材料去除之后具有正斜度的氧化硅间隔件。替代地,在图4B中的第二氧化条件下施加多个ALD循环400b,然后在图4A中的第一氧化条件下施加多个ALD循环400a,这导致在间隔件蚀刻和芯材料去除之后具有负斜度的氧化硅间隔件。ALD循环400a和ALD循环400b之间的循环数和循环顺序可以确定在间隔件蚀刻和芯材料去除之后的氧化硅间隔件的斜度。

[0085] 图5示出了根据一些实施方案的通过ALD和蚀刻形成多个氧化硅间隔件的示例性方法的流程图。可以以不同的顺序和/或以不同的、更少的或附加的操作来执行处理500中的操作。参考图6A-6D、7A-7D和8A-8D描述了图5。图6A-6D是根据一些实施方案的用于形成多个具有正斜度轮廓的氧化硅间隔件的各个阶段的示意图。图7A-7D是根据一些实施方案的用于形成多个具有负斜度轮廓的氧化硅间隔件的各个阶段的示意图。图8A-8D是根据一些实施方案的用于形成具有竖直轮廓的多个氧化硅间隔件的各个阶段的示意图。

[0086] 在处理500的框510之前,处理500可以可选地包括提供具有图案化的芯材料和目标层的衬底。图案化的芯材料可以是光致抗蚀剂,或者可以由非晶碳或非晶硅材料制成。在一些实施方案中,图案化的芯材料是旋涂碳、类金刚石碳或间隙填充可灰化的硬掩模。可以通过诸如CVD或PECVD之类的任何合适的沉积技术来沉积芯材料,其中可以将芯材料沉积在目标层上,然后进行图案化。在一些实施方案中,可使用常规光刻技术来图案化芯材料。图案化的芯材料的空间CD可以等于或大于约45nm。目标层可以是最终被图案化或至少在图案化芯材料之后被图案化的层。目标层可以包括半导体材料、介电材料或导电材料。目标层中的示例性材料可以包括硅、氮化硅或氮化钛。可以通过诸如ALD、PEALD、CVD或PECVD之类的任何合适的沉积技术来沉积目标层。

[0087] 衬底可以经历多重图案化处理以图案化目标层,其中处理500包括作为多重图案化处理的至少一部分的操作。可以使用图案化的掩模层来图案化目标层。在一些实施方案中,多个图案化的间隔件可形成图案化的掩模层或将其图案转移到图案化的掩模层。可以在间隔件蚀刻和芯材料去除之后形成多个图案化的间隔件,其中芯材料的去除可以在处理500的框530处发生。多个图案化的间隔件的空间CD可以等于或小于约45nm。

[0088] 图6A示出了包括图案化的芯材料605和下伏的目标层610的衬底的示意图。图7A示出了包括图案化的芯材料705和下伏的目标层710的衬底的示意图。图8A示出了包括图案化的芯材料805和下伏的目标层810的衬底的示意图。图6A、7A和8A描绘了在沉积氧化硅间隔件层之前的衬底。

[0089] 返回图5,在处理500的框510处,通过ALD将第一厚度的氧化硅间隔件层沉积在包括图案化的芯材料和在图案化的芯材料下方的目标层的衬底上。沉积第一厚度的氧化硅间隔件层包括将衬底暴露于第一剂量的含硅前体,并在第一氧化条件下将衬底暴露于氧化剂的等离子体。沉积第一厚度的氧化硅间隔件层包括重复的且多次循环的ALD,其中ALD的每次循环都包含一个或多个阶段,如图3和4A-4B所示。作为示例,ALD循环可以包括:(i)配料步骤;(ii)清扫步骤;(iii)等离子暴露步骤;(iv)清扫步骤。配料步骤可以包括将衬底暴露于第一剂量的含硅前体,以便以自限方式将含硅前体吸附在衬底表面上。该步骤也可以称为将衬底表面“浸泡”到饱和。等离子体暴露步骤可以包括在第一氧化条件下将衬底暴露于氧化剂的等离子体(例如,氧等离子体),以便氧化剂的自由基或其他带电物质与含硅前体反应,以将含硅前体转化为吸附受限量的氧化物材料。等离子体暴露步骤也可以称为等离子体“转化”步骤。在一些实施方案中,氧化剂是含氧反应物,其可包括但不限于氧气、水、二氧化碳、一氧化碳、一氧化二氮、一氧化氮、氧化硫、二氧化硫、含氧碳氢化合物、臭氧及其组合。在一些实施方案中,氧化剂是氧气。氧化剂可以在相对短的时间量内暴露于RF功率输送。例如,氧化剂在介于约0.25秒和约5秒之间的时间跨度内暴露于RF功率输送,以形成氧等离子体并转化含硅前体。该步骤也可以被称为“快速”操作,以使用来自在相对短的时间

量内传递的RF功率的等离子体来转化衬底表面上的前体材料。因此,在第一氧化条件下将衬底暴露于氧化剂的等离子体包括转化含硅前体以形成第一厚度的氧化硅间隔件层。可以重复包括配料步骤和等离子体暴露步骤的ALD循环,直到沉积第一厚度的氧化硅间隔件层为止。

[0090] 等离子体暴露步骤可以在第一氧化条件下进行。第一氧化条件的特征在于氧化时间、RF功率输送、衬底温度和室压强中的一个或多个。第一氧化条件的这些特性或特征中的任何一个的变化会影响沉积的氧化硅间隔件层中的应力分布,这进而会影响在间隔件蚀刻和芯材料去除之后的氧化硅间隔件层的所得轮廓。在一些实施方案中,第一氧化条件可包含介于约0.25秒与约5秒之间的第一氧化时间、介于约100瓦与约10,000瓦之间的第一RF功率、介于约0℃与约100℃之间的第一衬底温度以及介于约10毫托和约100毫托之间的第一室压强。在一些实施方案中,第一氧化条件可以具有短的氧化时间和低的RF功率,其中短的氧化时间可以介于约0.25秒和约1.5秒之间,而低的RF功率可以介于约100瓦和约2,500瓦之间。在一些实施方案中,第一氧化条件可以具有长的氧化时间和高的RF功率,其中长的氧化时间可以介于约1秒和约3秒之间,并且高的RF功率可以介于约1,000瓦和约5,000瓦之间。

[0091] 第一厚度的氧化硅间隔件层的沉积可以在图1的处理设备100中描述的等离子体室或等离子体蚀刻室中进行。各种蚀刻操作和沉积操作可以在同一等离子体室中进行,而不会在两次操作之间引入真空中断。

[0092] 图6B示出了衬底的示意图,该衬底包括保形沉积在图案化芯材料605和目标层610的暴露表面上的第一厚度620的氧化硅间隔件层。第一厚度620可以通过多个ALD循环沉积,其中在等离子体暴露步骤期间的氧化条件在第一厚度620的氧化硅间隔件层中导致大的压应力量(a high amount of compressive stress)。例如,氧化条件可以具有短的氧化时间和低的RF功率输送,以在层中产生大的压应力量。在一些实施方案中,可以在相对低的衬底温度下沉积第一厚度620,以在层中产生大的压应力量。

[0093] 图7B示出了衬底的示意图,该衬底包括保形地沉积在图案化的芯材料705和目标层710的暴露表面上的第一厚度720的氧化硅间隔件层。第一厚度720可以通过多个ALD循环沉积,其中在等离子体暴露步骤期间的氧化条件导致第一厚度720的氧化硅间隔件层中的小的压应力量(a low amount of compressive stress)。例如,氧化条件可以具有长的氧化时间和高的RF功率输送以在层中产生小的压应力量。在一些实施方案中,第一厚度720可以在相对高的衬底温度下沉积以在层中产生小的压应力量。

[0094] 图8B示出了衬底的示意图,该衬底包括保形地沉积在图案化的芯材料805和目标层810的暴露表面上的第一厚度820的氧化硅间隔件层。第一厚度820可以通过多个ALD循环沉积,其中在等离子体暴露步骤期间的氧化条件导致在第一厚度820的氧化硅间隔件层中的适度的压应力量。在一些实施方案中,氧化条件可以具有优化的氧化时间和优化的RF功率输送,以在层中产生适度的压应力量。例如,优化的氧化时间可以是大约1.5秒,并且优化的RF功率可以是约2,500瓦。在一些实施方案中,第一厚度820可以在优化的衬底温度下沉积以在层中产生适度的压应力量。例如,衬底温度可以是约60℃。

[0095] 回到图5,在处理500的框520处,通过ALD在衬底上沉积第二厚度的氧化硅间隔件层。沉积第二厚度的氧化硅间隔件层包括将衬底暴露于第二剂量的含硅前体,并在第二氧

化条件下将衬底暴露于氧化剂的等离子体中,其中第二氧化条件不同于第一氧化条件。沉积第二厚度的氧化硅间隔件层包括重复的且多次循环的ALD,其中ALD的每次循环可包括:(i)配料步骤;(ii)清扫步骤,(iii)等离子体暴露步骤;(iv)清扫步骤,其中上述步骤已在上文描述。框520中的配料步骤可以使用与框510中的配料步骤相同的含硅前体。框520中的等离子体暴露步骤可以使用与框510中的等离子体暴露步骤相同的氧化剂。在第二氧化条件下将衬底暴露于氧化剂的等离子体包括转化第二剂量的含硅前体以形成第二厚度的氧化硅间隔件层。第二厚度的成分可以与氧化硅间隔件层的第一厚度相同。可以重复包括配料步骤和等离子体暴露步骤的ALD循环,直到沉积第二厚度的氧化硅间隔件层。在框520之后形成的层不一定是不同的材料的双层,而是在两种或更多种不同沉积条件下形成的氧化硅层。

[0096] 等离子体暴露步骤可以在第二氧化条件下进行。第二氧化条件的特征在于氧化时间、RF功率输送、衬底温度和室压强中的一个或多个。在一些实施方案中,第二氧化条件可包含介于约0.25秒与约5秒之间的第二氧化时间、介于约100瓦与约10,000瓦之间的第二RF功率、介于约0℃与约100℃之间的第二衬底温度、以及介于约10毫托和约100毫托之间的第二室压强。在一些实施方案中,第二氧化条件与第一氧化条件的区别在于以下一者或多者:(1)氧化时间,(2)RF功率,和(3)衬底温度。在一些实施方案中,第二氧化条件可以具有比第一氧化条件较长的氧化时间和较高的RF功率。例如,较长的氧化时间可以介于约1秒和约3秒之间,而较高的RF功率可以介于约1,000瓦和约5,000瓦之间。在一些实施方案中,第二氧化条件可以具有比第一氧化条件较短的氧化时间和较低的RF功率。例如,较短的氧化时间可以介于约0.25秒和大约1.5秒之间,而较低的RF功率可以介于约100瓦和约2,500瓦之间。

[0097] 在一些实施方案中,第二氧化条件可以具有与第一氧化条件的衬底温度不同的衬底温度。在一个示例中,第二氧化条件可以具有相对较高的衬底温度,其中衬底温度介于约40℃和约100℃之间(例如70℃),并且第一氧化条件可以具有相对低的衬底温度,其中衬底温度介于约0℃和约40℃(例如10℃)之间。在另一示例中,第二氧化条件可以具有相对低的衬底温度,其中衬底温度介于约0℃和约40℃之间(例如10℃),并且第一氧化条件可以具有相对高的衬底温度,其中衬底温度介于约40℃和约100℃之间(例如70℃)。应理解的是,衬底温度不严格限于在ALD循环的等离子体暴露或氧化阶段期间的衬底温度,而是衬底温度可以应用于ALD循环的所有阶段。在一些实施方案中,衬底温度可以从第一氧化条件的第一衬底温度渐变到第二氧化条件的第二衬底温度。该渐变使得衬底温度能从ALD循环的在框510处的开始到ALD循环的在框520处的结束逐渐升高或降低。这样,衬底温度不必划分为两个状态,而是可以连续地和逐渐地在氧化硅间隔件层的沉积过程中改变。在一些实施方案中,衬底温度可以在每个ALD循环之后或以预定速率连续且逐渐地改变。衬底温度可以理解为在沉积操作期间为保持衬底的衬底支撑件所设定的温度。

[0098] 可以如在图1的处理设备100中所述的等离子体室或等离子体蚀刻室中执行第二厚度的氧化硅间隔件层的沉积。因此,可以在相同的等离子体室执行框510和520中的沉积操作,而在两次操作之间不引入真空中断。

[0099] 图6C示出了衬底的示意图,该衬底包括保形沉积在第一厚度620的氧化硅间隔件层上的第二厚度630的氧化硅间隔件层,其中该衬底包括图案化的芯材料605和下伏的目标层610。可以通过多个ALD循环来沉积第二厚度630,其中,在等离子体暴露步骤期间的氧化

条件导致第二厚度630的氧化硅间隔件层中的小的压应力量。例如,氧化条件可以具有长的氧化时间和高的RF功率输送以在层中产生小的压应力量。在一些实施方案中,第二厚度630可以在相对高的衬底温度下沉积以在层中产生小的压应力量。

[0100] 图7C示出了衬底的示意图,该衬底包括保形沉积在第一厚度720的氧化硅间隔件层上的第二厚度730的氧化硅间隔件层,其中该衬底包括图案化的芯材料705和下伏的目标层710。可以通过多个ALD循环来沉积第二厚度730,其中,在等离子体暴露步骤期间的氧化条件导致第二厚度730的氧化硅间隔件层中的大的压应力量。例如,氧化条件可以具有短的氧化时间和低的RF功率输送以在层中产生大的压应力量。在一些实施方案中,第二厚度730可以在相对低的衬底温度下沉积以在层中产生大的压应力量。

[0101] 图8C示出了衬底的示意图,该衬底包括保形沉积在第一厚度820的氧化硅间隔件层上的第二厚度830的氧化硅间隔件层,其中衬底包括图案化的芯材料805和下伏的目标层810。可以通过多个ALD循环来沉积第二厚度830,其中在等离子体暴露步骤期间的氧化条件导致在第二厚度830的氧化硅间隔件层中的适度的压应力量。用于第二厚度830的这种氧化条件可以在第二厚度830中产生比第一厚度820的氧化硅间隔件层稍大的压应力量。在一些实施方案中,氧化条件可以具有优化的氧化时间和优化的RF功率输送,以在第二厚度830中产生比第一厚度820稍大的压应力量。例如,氧化时间可以为约1秒,而RF功率可以为约2,000W。在一些实施方案中,第二厚度830可在最佳衬底温度下沉积以在层中产生适度的压应力量。例如,衬底温度可以是约60℃。

[0102] 回到图5,在处理500的框530处,蚀刻图案化的芯材料以从氧化硅间隔件层形成多个间隔件,其中多个间隔件用作目标层的掩模。选择性地蚀刻图案化的芯材料以形成掩模,其中该掩模是图案化的间隔件的掩模。沉积的氧化硅间隔件层与图案化的芯材料相邻。可以去除图案化的芯材料,使得沉积的氧化硅间隔件层的其余部分形成多个间隔件,所述多个间隔件由沉积的氧化硅间隔件层制成。该步骤也可以称为“图案化的芯去除”或“图案化的芯剥离”。多个间隔件的每一个的上部具有斜度,其中该斜度至少部分地取决于在沉积第一厚度的氧化硅间隔件层时的第一氧化条件和在沉积第二厚度的氧化硅间隔件层时的第二氧化条件。在蚀刻图案化的芯材料之后,间隔件的斜度可以是正的、负的或竖直的。

[0103] 在处理500的一些实施方案中,并且在框530处蚀刻图案化的芯材料之前,可以蚀刻氧化硅间隔件层的一部分以限定多个间隔件。可以定向地蚀刻氧化硅间隔件层的一部分,使得氧化硅间隔件层的其余部分沿着图案化的芯材料的侧壁设置。该步骤也可以称为“间隔件蚀刻”。在一些实施方案中,可以使用碳氟化合物等离子体来执行定向蚀刻。在框530处去除图案化的芯材料之后,氧化硅间隔件层的其余部分形成独立的间隔件,其用作目标层的掩模。在框530处的间隔件蚀刻和图案化的芯去除之后,间隔件的斜度可以是正的、负的或竖直的,具体至少部分取决于在沉积第一厚度的氧化硅间隔件层时的第一氧化条件,以及在沉积第二厚度的氧化硅间隔件层时的第二氧化条件。应理解的是,其他因素也可导致间隔件的斜度,其他因素如图案化的芯材料的材料。

[0104] 可以在如在图1的处理设备100中所描述的等离子体室或等离子体蚀刻室中蚀刻图案化的芯材料。因此,在框530处蚀刻图案化的芯材料可以与在框510和520处进行的沉积操作在相同的等离子体室中进行。在一些实施方案中,在框530处蚀刻图案化的芯材料可以与在框510和520处进行的沉积操作在相同的等离子体室中进行,而不在操作之间引入真空

中断。在一些实施方案中,在蚀刻图案化的芯材料之前对氧化硅间隔件层的一部分的蚀刻可以与在框510和520处进行的沉积操作在相同的等离子体室中进行。

[0105] 针对沉积和蚀刻而使用分开的室使得处理时间、处理步骤、及成本增加,因此对产量造成不利的影响。此外,使用分开的室需要将衬底从一室传输至另一室,其导致真空中断并使不期望有的材料或颗粒与衬底相接触的可能性增加。这可能导致衬底上的材料功能性和/或完整性损失。此外,在蚀刻与沉积处理之间一般需要清洁处理,其中该清洁处理可能影响衬底上的材料特性和结构。例如,稀释氢氟(HF)酸清洁处理会对掩模结构造成影响,并可能对性能造成不利的影响。通过在处理500中在相同等离子体室中执行沉积和蚀刻操作,消除了独立的ALD工具和额外的清洁工具。此外,通过消除额外的衬底传输和清洁时间,减少了处理时间和成本。另外,集成蚀刻和ALD操作避免了在衬底传输之间(例如非原位沉积与清洁之间)的真空中断,该真空中断可能使衬底暴露于不想要的材料、大气和/或湿气。集成蚀刻和ALD操作还可以减少不同深宽比的结构或特征上不均匀沉积的影响。

[0106] 图6D示出了定向性蚀刻氧化硅间隔件层的第一厚度620和第二厚度630之后以及在去除图案化的芯材料605之后的多个图案化的氧化硅间隔件640的示意图,其中多个图案化的氧化硅间隔件640具有正斜度。不受任何理论的限制,具有氧化硅间隔件层中的第一厚度620中的大的压应力量和第二厚度630中的小的压应力量的应力分布导致在间隔件蚀刻和图案化的芯去除之后的正斜度的间隔件640。

[0107] 图7D示出了在定向性蚀刻氧化硅间隔件层的第一厚度720和第二厚度730之后以及在去除图案化的芯材料705之后的多个图案化的氧化硅间隔件740的示意图,其中,多个图案化的氧化硅间隔件740具有负斜度。不受任何理论的限制,具有氧化硅间隔件层中的第一厚度720中的小的压应力量和第二厚度730中的大的压应力量的应力分布导致在间隔件蚀刻和图案化的芯去除之后的负斜度的间隔件740。

[0108] 图8D示出了在定向性蚀刻氧化硅间隔件层的第一厚度820和第二厚度830之后以及在去除图案化的芯材料805之后的多个图案化的氧化硅间隔件840的示意图,其中,多个图案化的氧化硅间隔件840具有竖直斜度。不受任何理论的限制,具有氧化硅间隔件层中的第一厚度820中的适度的压应力量和第二厚度830中的适度的压应力量的应力分布导致在间隔件蚀刻和图案化的芯去除之后的竖直斜度的间隔件840。第二厚度830中的压应力的量可以略大于第一厚度820中的压应力的量。

[0109] 图9示出了根据一些实施方案的处理流程图,该处理流程图描绘了在用于以多个图案化方案形成多个氧化硅间隔件的方法中的各种操作。可以以不同的顺序和/或以不同的、更少的或附加的操作来执行处理900中的操作。图5中的处理500的各个方面可以应用于图9中的处理900。

[0110] 在一些实施方案中,在处理900的框910处,可任选地执行ALD的多次循环(M次循环)以在图案化的芯材料上沉积氧化硅间隔件层以限制图案化的芯材料的后续消耗,其中M是整数值。当沉积氧化硅间隔件层时,长时间并在高RF功率下暴露于氧化剂的等离子体可能会无意中消耗图案化的芯材料的一些部分。因此,在框910处的ALD的每次循环具有等离子体转化阶段,其中等离子体的暴露持续短的时间并且以低RF功率执行以产生氧化硅材料的“软着陆”,从而限制了图案化的芯材料的后续消耗。

[0111] 在处理900的框920中,通过施加X次ALD循环,在图案化的芯材料上沉积第一厚度

的氧化硅间隔件层,其中每次循环包括:(i)将衬底暴露于第一剂量的含硅的前体,和(ii)在第一氧化条件下将衬底暴露于氧化剂的等离子体。在一些实施方案中,X是介于约10和约100之间的整数值。第一氧化条件可包括第一氧化时间、第一RF功率和第一衬底温度。在一些实施方案中,第一氧化时间、第一RF功率或第一衬底温度中的至少一个可以在X次循环中逐渐变化。换句话说,诸如第一氧化时间、第一RF功率和第一衬底温度之类的参数在第一厚度的氧化硅间隔件层的沉积期间不一定是固定的,而是可以随时间变化。

[0112] 在处理900的框930中,通过施加Y次ALD循环在第一厚度上沉积第二厚度的氧化硅间隔件层,其中每次循环包括:(i)将衬底暴露于第二剂量的含硅前体,和(ii)在第二氧化条件下将衬底暴露于氧化剂的等离子体中。在一些实施方案中,Y是介于约10与约100之间的整数值。第二氧化条件可包含第二氧化时间、第二RF功率及第二衬底温度。第二氧化条件与第一氧化条件的区别在于氧化时间、RF功率或衬底温度中的至少一个。在一些实施方案中,第二氧化时间、第二RF功率或第二衬底温度中的至少一者可在Y次循环中逐渐变化。换句话说,诸如第二氧化时间、第二RF功率和第二衬底温度之类的参数在氧化硅间隔件层的第二厚度的沉积期间不一定是固定的,而是可以随时间变化。

[0113] 在框920处的每次ALD循环的第一氧化条件和在框930处的每次ALD循环的第二氧化条件可以部分地确定在框950处的间隔件蚀刻和在框960处的图案化的芯去除之后所得的间隔件的斜度。在一些实施方案中,第一氧化条件可以包括低RF功率和短的氧化时间,而第二氧化条件可以包括高RF功率和长的氧化时间,以产生正斜度的间隔件。在一些实施方案中,第一氧化条件可以包括高RF功率和长的氧化时间,而第二氧化条件可以包括低RF功率和短的氧化时间以产生负斜度的间隔件。例如,低RF功率可以介于约100瓦特和约2,500瓦特之间,而高RF功率可以介于约1,000瓦特和约5,000瓦特之间,并且短的氧化时间可以介于约0.25秒和约1.5秒之间,并且长的氧化时间可以介于约1秒和约3秒之间。

[0114] 在框920和930,在X和Y次ALD循环中,氧化条件可以从第一氧化条件逐渐改变为第二氧化条件。这可以部分确定在框950处的间隔件蚀刻和在框960处的图案化的芯去除之后所得到的间隔件的斜度。在一些实施方案中,在X和Y次ALD循环中,第一氧化时间可以逐渐改变为第二氧化时间,和/或在X和Y次ALD循环中,第一RF功率可以逐渐改变为第二RF功率。在一些实施方案中,在X和Y次ALD循环中,第一氧化时间逐渐增加到第二氧化时间,并且第一RF功率逐渐增加到第二RF功率,以产生正斜度的间隔件。在一些实施方案中,在X和Y次ALD循环中,第一氧化时间逐渐减小至第二氧化时间,并且第一RF功率逐渐减小至第二RF功率,以产生负斜度的间隔件。

[0115] 在框920处的第一衬底温度和在框930处的第二衬底温度可以部分确定在框950处的间隔件蚀刻和在框960处的图案化的芯去除之后所得的间隔件的斜度。在一些实施方案中,第一衬底温度可以包括相对低的衬底温度,并且第二衬底温度可以包括相对高的衬底温度以产生正斜度的间隔件,无论氧化时间和所输送的RF功率如何,该正斜度的间隔件都会产生。在一些实施方案中,在X和Y次ALD循环中,第一衬底温度可逐渐增加到第二衬底温度。在一些实施方案中,第一衬底温度可以包括相对高的衬底温度,并且第二衬底温度可以包括相对低的衬底温度以产生负斜度的间隔件,无论氧化时间和所递送的RF功率如何,该负斜度间隔件都会产生。在一些实施方案中,在X和Y次ALD循环中,第一衬底温度可逐渐降低到第二衬底温度。例如,相对低的衬底温度可以介于约0℃和约40℃之间,而相对高的衬

底温度可以介于约40℃和约100℃之间。

[0116] 在处理900的一些实施方案中,可以通过施加更多的ALD循环来在第二厚度之上沉积第三或另外厚度的氧化硅间隔件层。可以使用与在框920和930处执行的沉积/氧化条件不同的沉积/氧化条件来进行沉积第三或另外厚度的氧化硅间隔件的ALD循环。

[0117] 在一些实施方案中,在处理900的框940处,可任选地执行ALD的多次循环(N次循环)以在第二厚度的氧化硅间隔件层上方沉积另外厚度的氧化硅间隔件层,其中N是整数值。当在框950处蚀刻氧化硅间隔件层的一部分时,会无意地消耗过量的氧化硅间隔件层。因此,在框940处的ALD的每次循环具有等离子体转化阶段,其中向等离子体的暴露是持续长的时间并且以高RF功率执行以产生“高质量”氧化硅材料,从而在框950的间隔件蚀刻期间限制了对氧化硅间隔件层的过量消耗。

[0118] 在一些实施方案中,在处理900的框950处,可选地蚀刻或以其他方式去除一部分氧化硅间隔件层,然后在框960处进行图案化的芯去除。在一些实施方案中,去除一部分氧化硅间隔件层使氧化硅间隔件层的与图案化的芯材料相邻的其余部分保留。氧化硅间隔件层的其余部分可以沿着图案化的芯材料的侧壁设置。

[0119] 在处理900的框960处,去除图案化的芯材料,从而保留来自氧化硅间隔件层的独立的间隔件。独立的氧化硅间隔件可以用作用于图案化后续目标层的图案化掩模层。独立的间隔件可以具有斜度,具体取决于在框920和930期间施加的沉积条件。独立的间隔件可以具有负、正或竖直的斜度。

[0120] 实施例

[0121] 图10A示出了在去除非晶碳芯之后具有正斜度轮廓的多个氧化硅间隔件的图像。为了在非晶碳芯上沉积氧化硅间隔件层,执行60次ALD循环,其中每次循环的氧化时间为0.5秒,TCP功率为500瓦,然后进行20次ALD循环,每次循环的氧化时间为1.5秒,TCP功率为2500瓦,接着是11秒的间隔件蚀刻,然后进行50次ALD循环,每次循环的氧化时间为1.5秒,TCP功率为2500瓦。为了形成如图10A所示的具有正斜度的氧化硅间隔件,执行18秒的间隔件蚀刻,随后进行120秒的氧剥离以去除非晶碳芯。

[0122] 图10B示出了在去除非晶碳芯之后具有负斜度轮廓的多个氧化硅间隔件的图像。为了在非晶碳芯上沉积氧化硅间隔件层,执行15次ALD循环,其中每次循环的氧化时间为0.5秒,TCP功率为500瓦,然后进行60次ALD循环,每次循环的氧化时间为1.5秒,TCP功率为2500瓦,接着是11秒的间隔件蚀刻,然后进行60次ALD循环,其中每次循环的氧化时间为0.5秒,并且TCP功率为500瓦,并且接着进行15次ALD循环,其氧化时间为1.5秒,TCP功率为2500瓦。为了形成如图10B所示的具有负斜度的氧化硅间隔件,执行18秒的间隔件蚀刻,随后进行120秒的氧剥离以去除非晶碳芯。

[0123] 图11A示出了在去除旋涂碳芯之后具有正斜度轮廓的多个氧化硅间隔件的图像。为了在旋涂碳芯上沉积氧化硅间隔件层,执行60次ALD循环,其中每次循环的氧化时间为0.5秒,TCP功率为500瓦,然后进行20次ALD循环,每次循环的氧化时间为1.5秒,TCP功率为2500瓦,接着是11秒的间隔件蚀刻,然后进行50次ALD循环,每次循环的氧化时间为1.5秒,TCP功率为2500瓦。为了形成如图11A所示的具有正斜度的氧化硅间隔件,执行15秒的间隔件蚀刻,随后进行60秒的氧剥离以去除旋涂碳芯。

[0124] 图11B示出了在去除旋涂碳芯之后具有负斜度轮廓的多个氧化硅间隔件的图像。

为了在旋涂碳芯上沉积氧化硅间隔件层,执行15次ALD循环,其中每次循环的氧化时间为0.5秒,TCP功率为500瓦,然后进行60次ALD循环,每次循环的氧化时间为1.5秒,TCP功率为2500瓦,接着是11秒的间隔件蚀刻,然后进行60次ALD循环,其中每次循环的氧化时间为0.5秒,并且TCP功率为500瓦,并且接着进行15次ALD循环,其中每次循环的氧化时间为1.5秒,TCP功率为2500瓦。为了形成如图11B所示的具有负斜度的氧化硅间隔件,执行15秒的间隔件蚀刻,随后进行60秒的氧剥离以去除旋涂碳芯。

[0125] 结论

[0126] 虽然上述实施方案为了清楚理解的目的已进行了详细描述,但显然,某些改变和修饰可在所附权利要求的范围内实施。应注意有许多替代方式实现本发明的实施方案的处理、系统、和设备。因此,本发明实施方案应被视为说明性而非限制性的,并且该实施方案不受限于在此给出的细节。

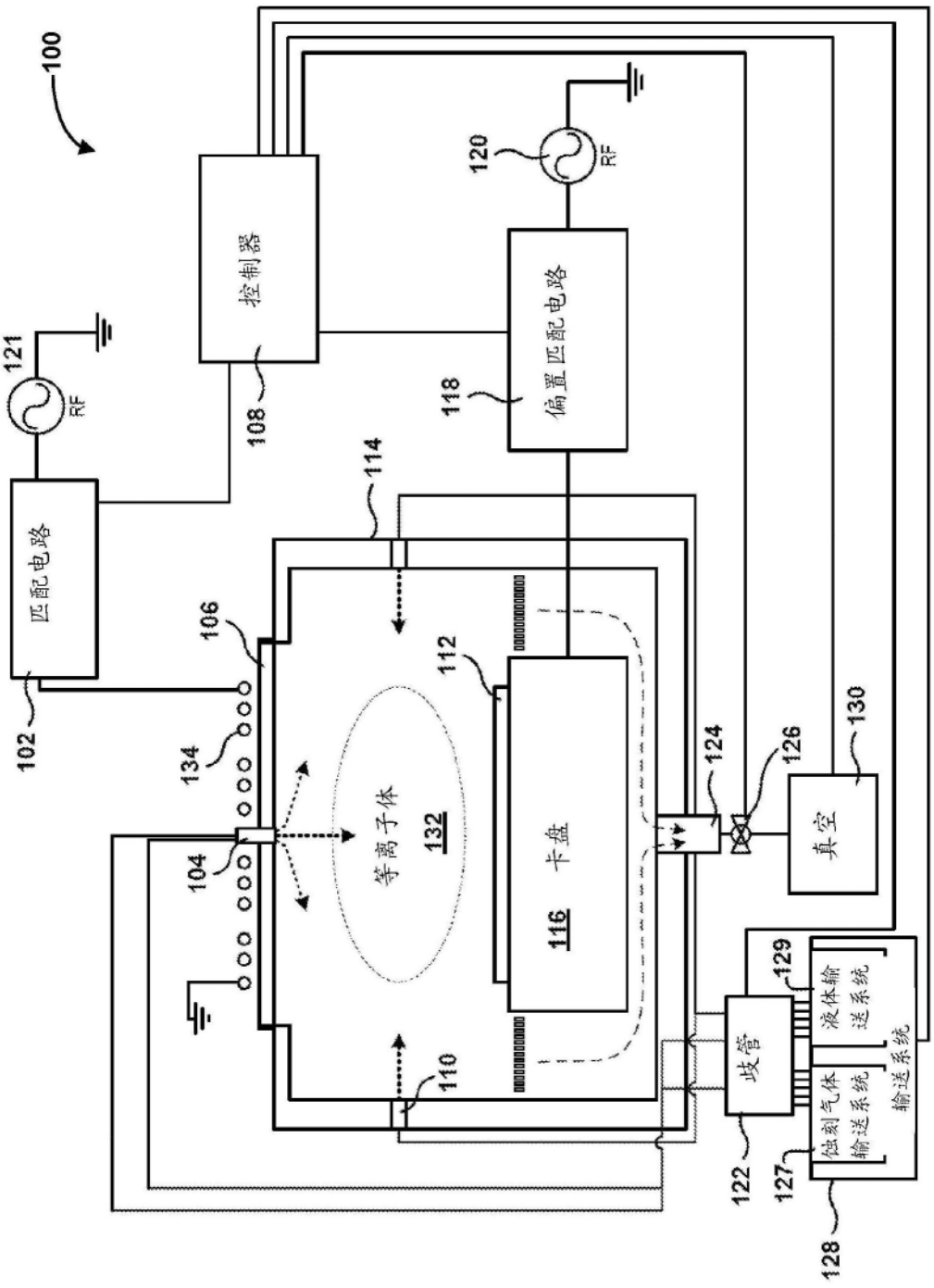

100
控制器
108
120
RF
偏置匹配电路
118
121
RF
匹配电路
102
106
114
112
134
104
等离子体
132
卡盘
116
124
126
真空
130
110
岐管
122
129
液体输送系统
蚀刻气体输送系统
127
128
输送系统

图1

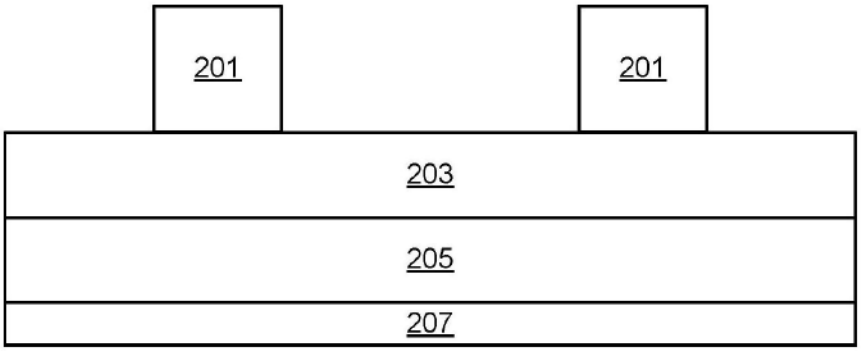

201
201
203
205
207

图2A

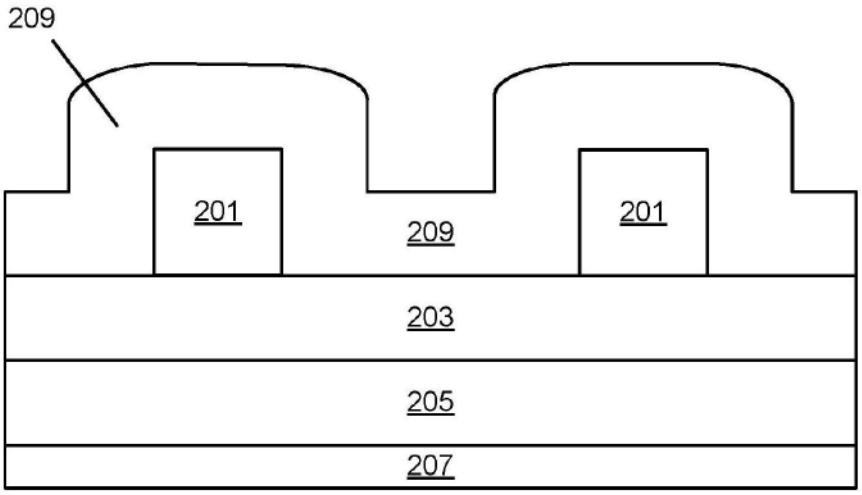

209
201
209
201
203
205
207

图2B

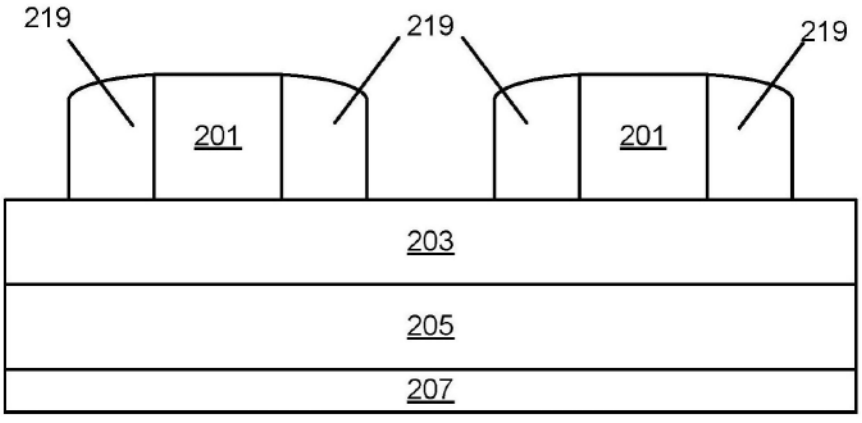

219
219
219
201
201
203
205
207

图2C

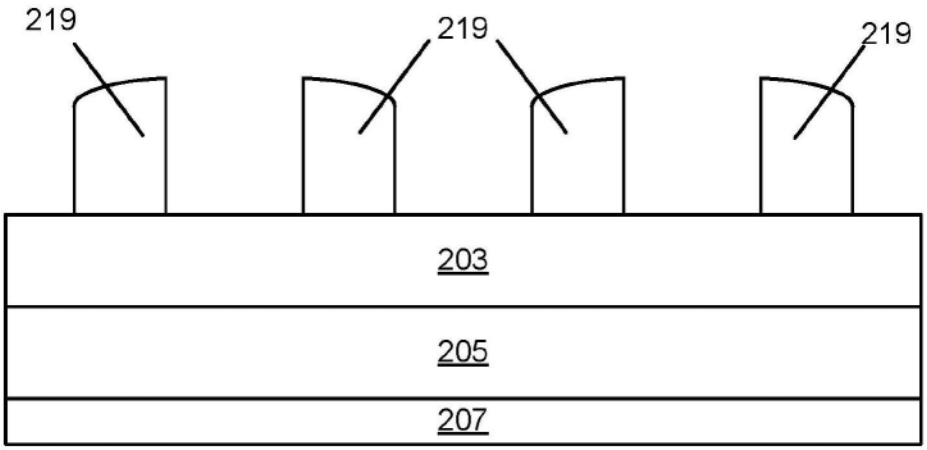


图2D

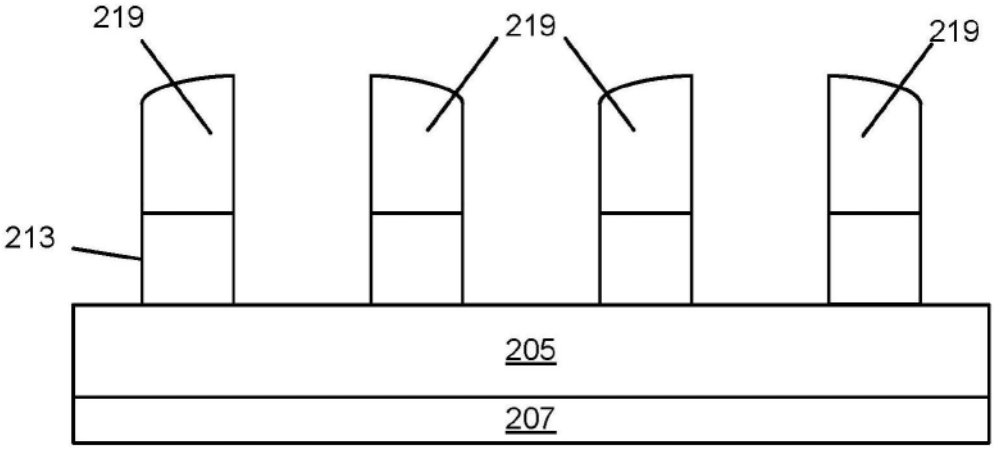


图2E

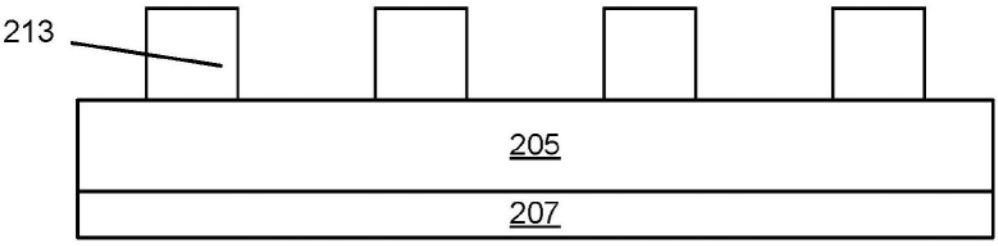


图2F

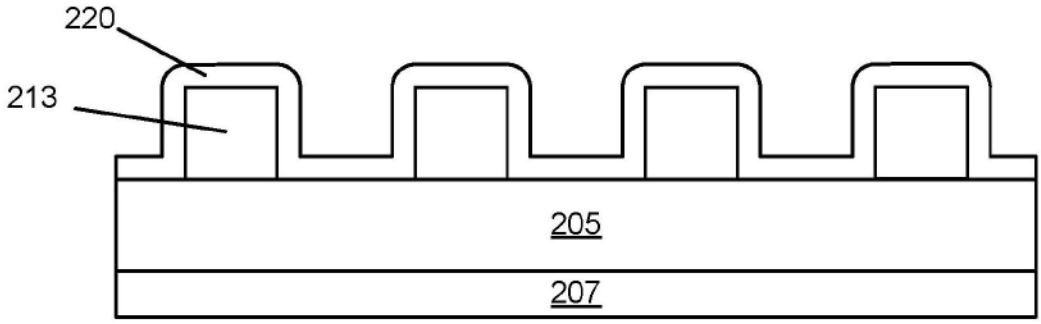


图2G

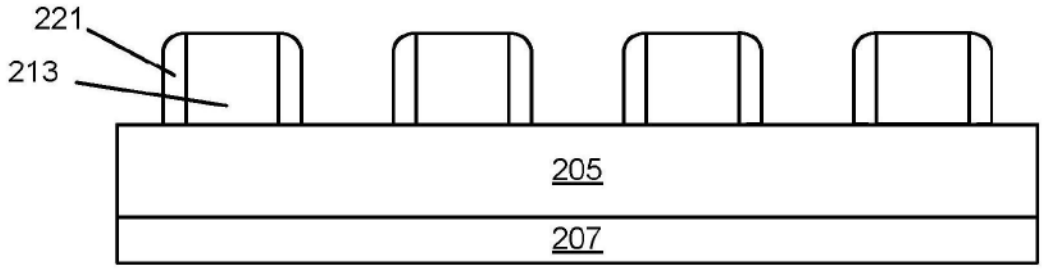


图2H

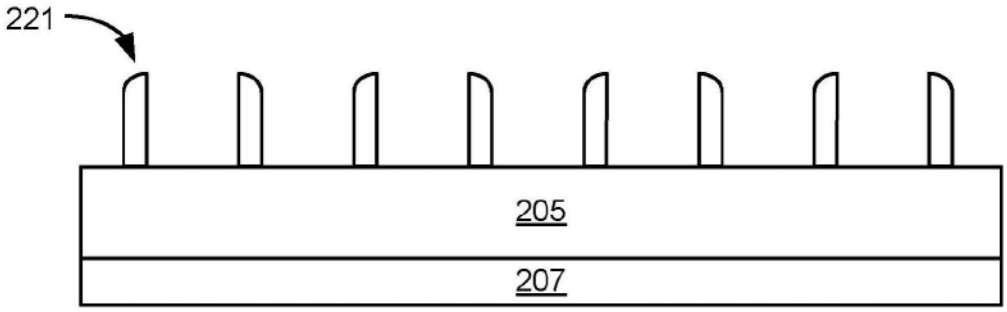


图2I

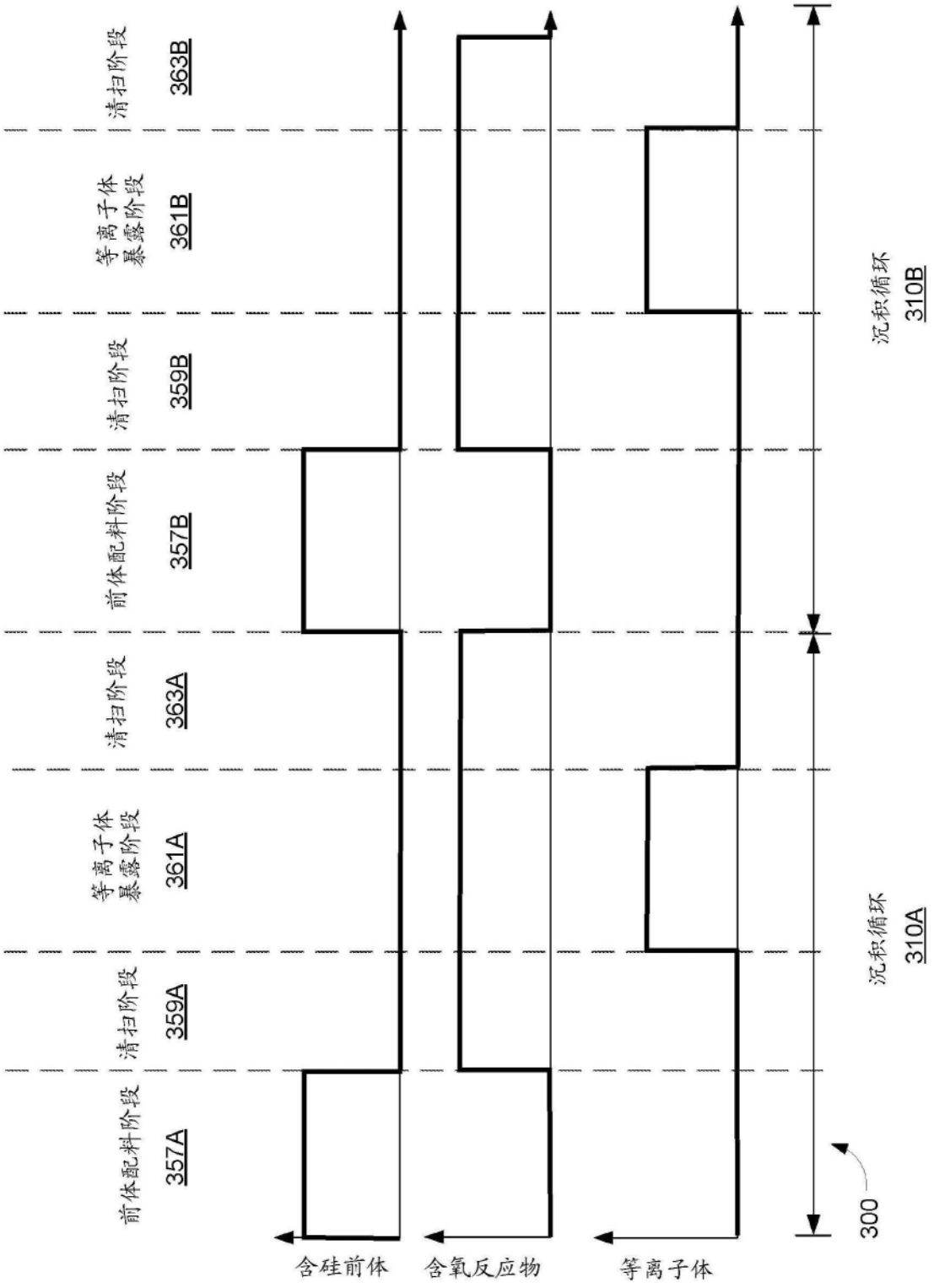

前体配料阶段
357A
清扫阶段
359A
等离子体暴露阶段
361A
清扫阶段
363A
前体配料阶段
357B
清扫阶段
359B
等离子体暴露阶段
361B
清扫阶段
363B
沉积循环
310A
沉积循环
310B
300
含硅前体
含氧反应物
等离子体

图3

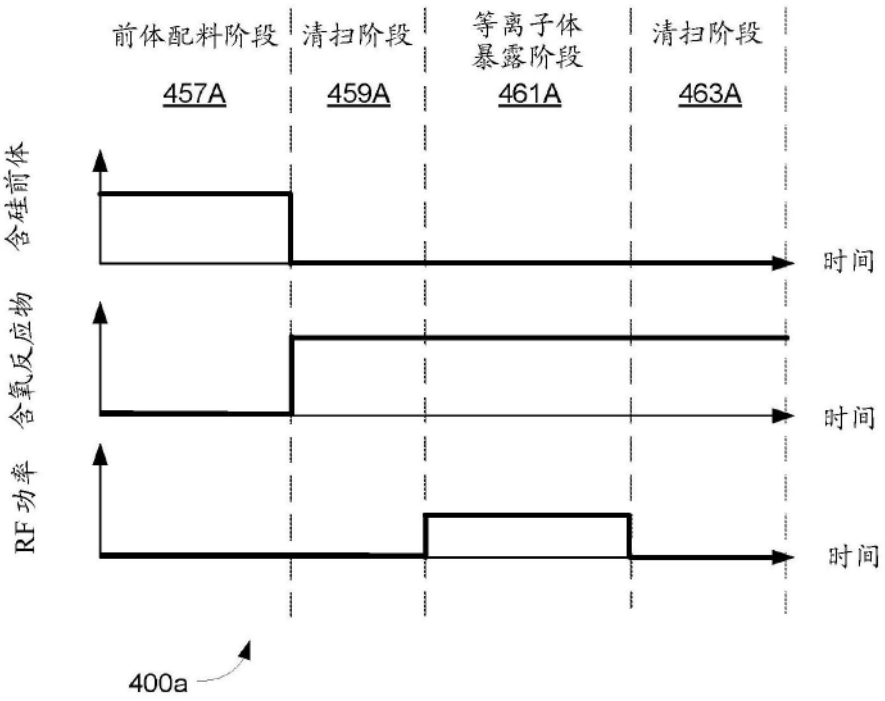

前体配料阶段
457A
清扫阶段
459A
等离子体暴露阶段
461A
清扫阶段
463A
含硅前体
含氧反应物
RF 功率
时间
时间
时间
400a

图4A

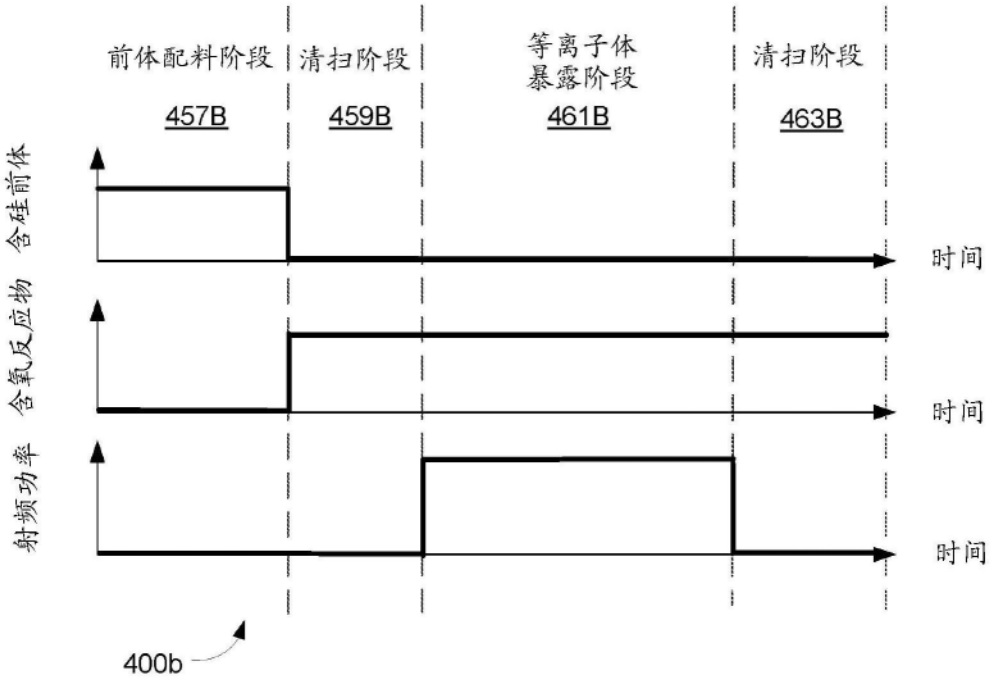

前体配料阶段
457B
清扫阶段
459B
等离子体暴露阶段
461B
清扫阶段
463B
含硅前体
含氧反应物
射频功率
时间
时间
时间
400b

图4B

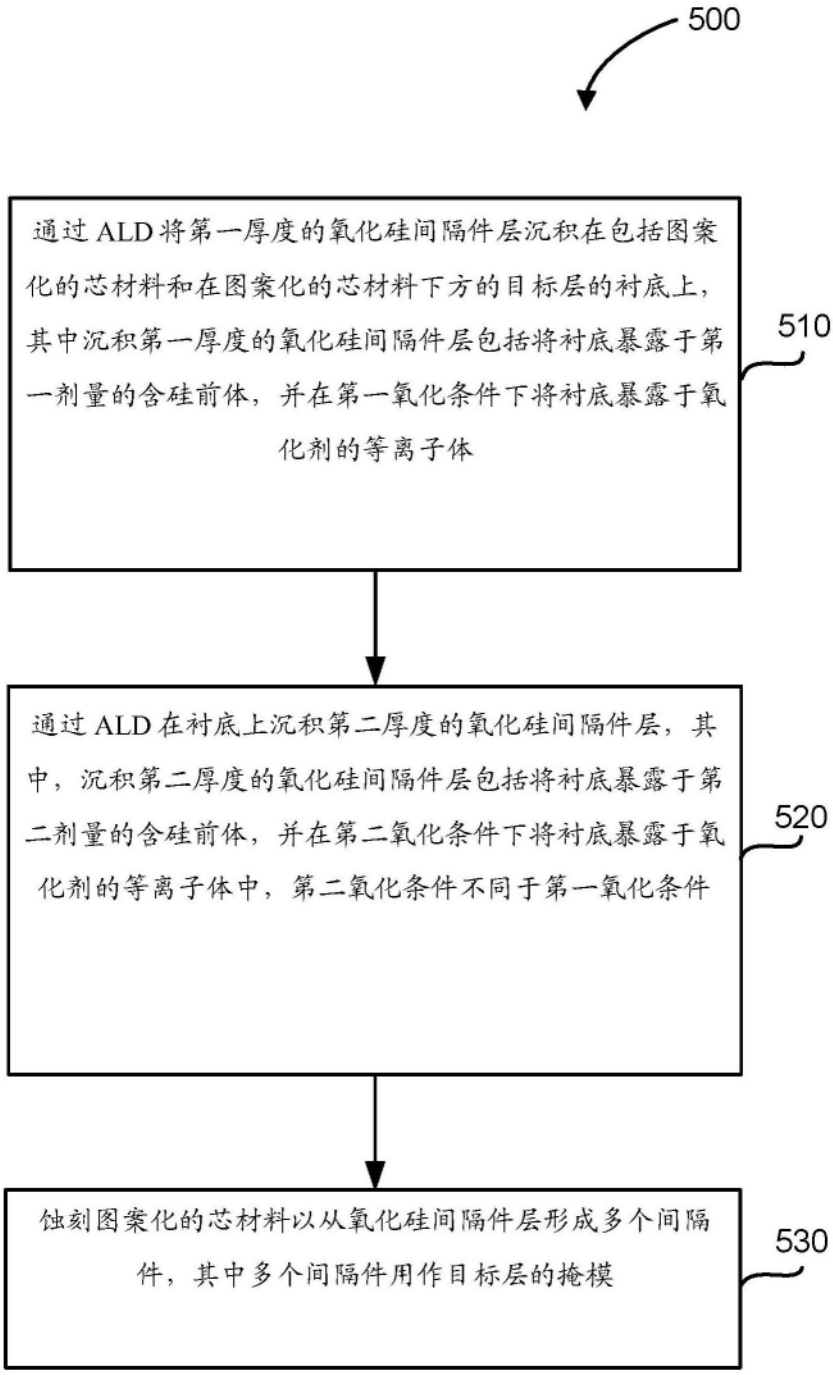

500
通过ALD将第一厚度的氧化硅间隔件层沉积在包括图案化的芯材料和在图案化的芯材料下方的目标层的衬底上，其中沉积第一厚度的氧化硅间隔件层包括将衬底暴露于第一剂量的含硅前体，并在第一氧化条件下将衬底暴露于氧化剂的等离子体
510
通过ALD在衬底上沉积第二厚度的氧化硅间隔件层，其中，沉积第二厚度的氧化硅间隔件层包括将衬底暴露于第二剂量的含硅前体，并在第二氧化条件下将衬底暴露于氧化剂的等离子体中，第二氧化条件不同于第一氧化条件
520
蚀刻图案化的芯材料以从氧化硅间隔件层形成多个间隔件，其中多个间隔件用作目标层的掩模
530

图5

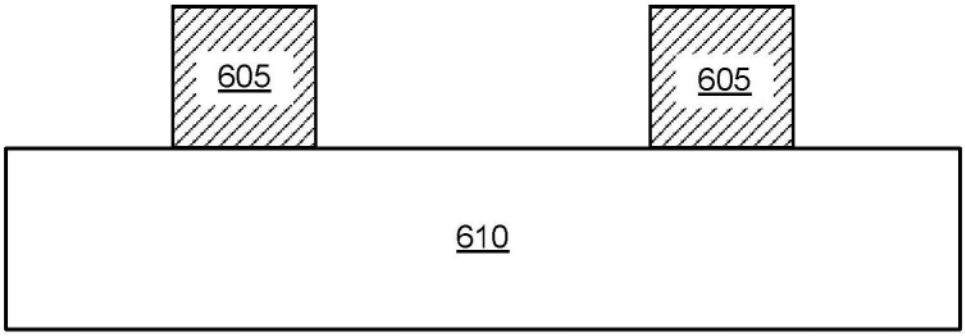


图6A

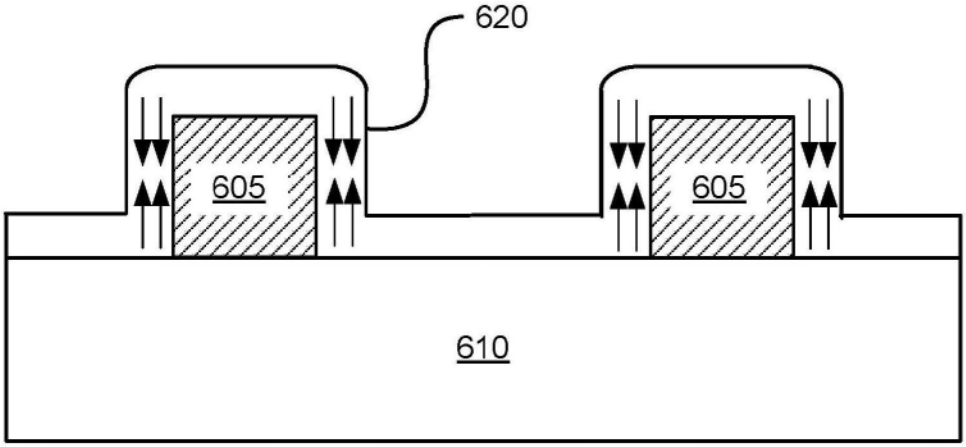


图6B

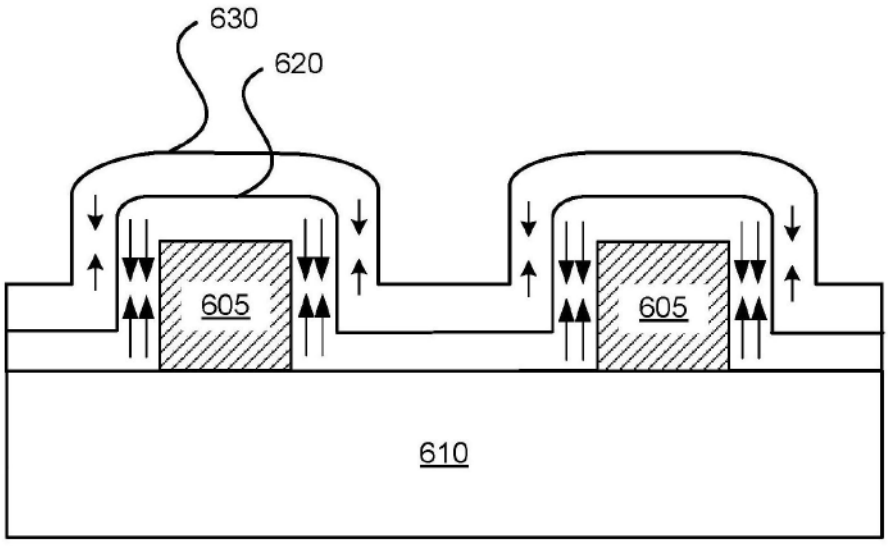


图6C

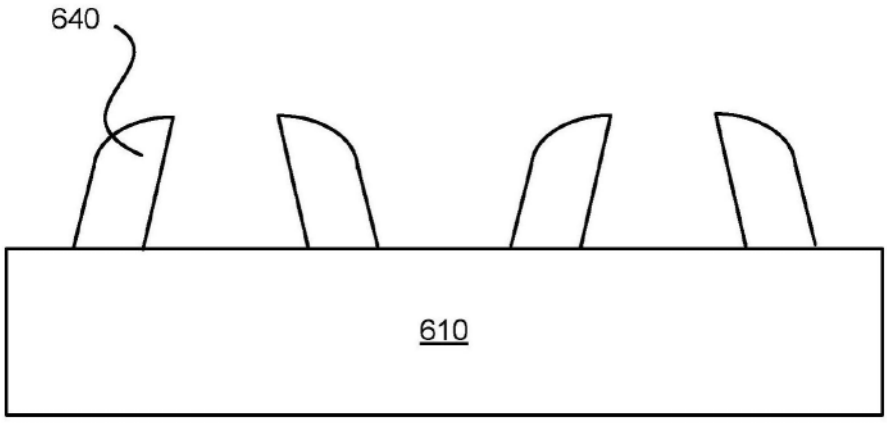


图6D

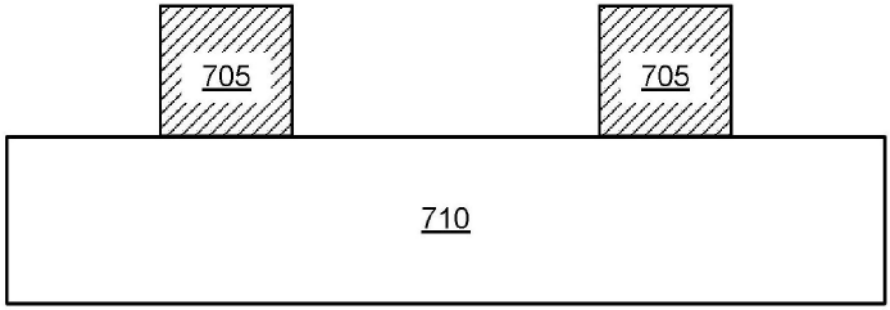


图7A

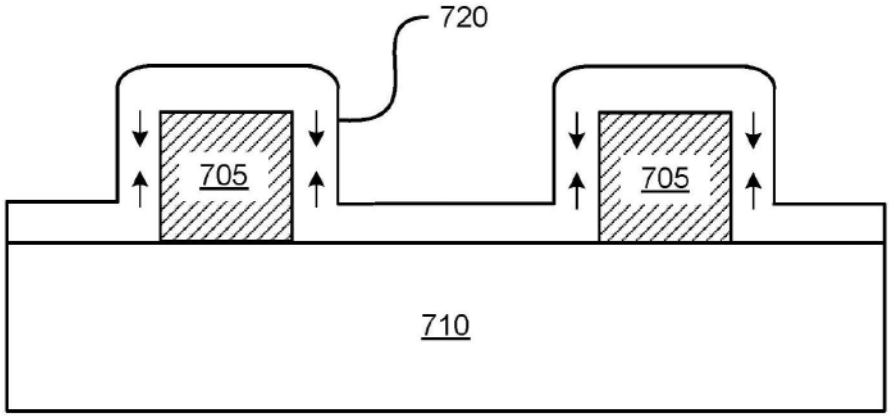


图7B

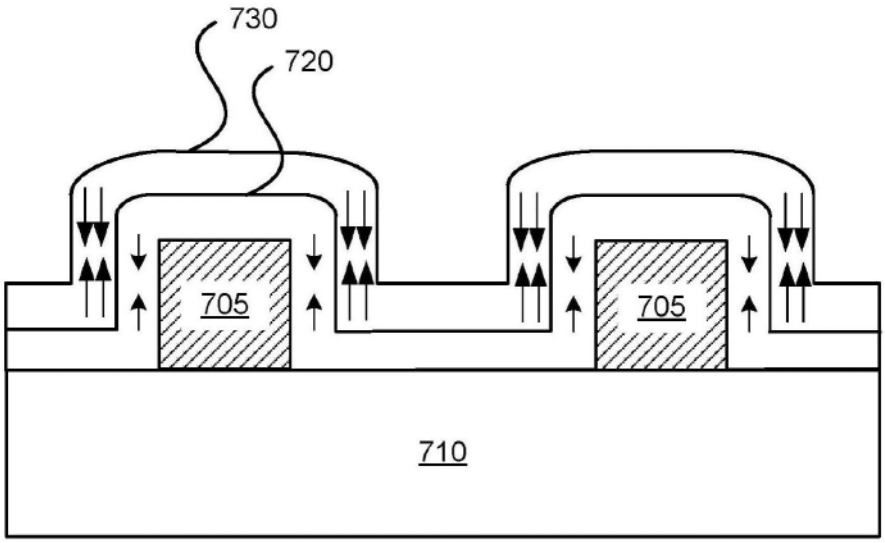


图7C

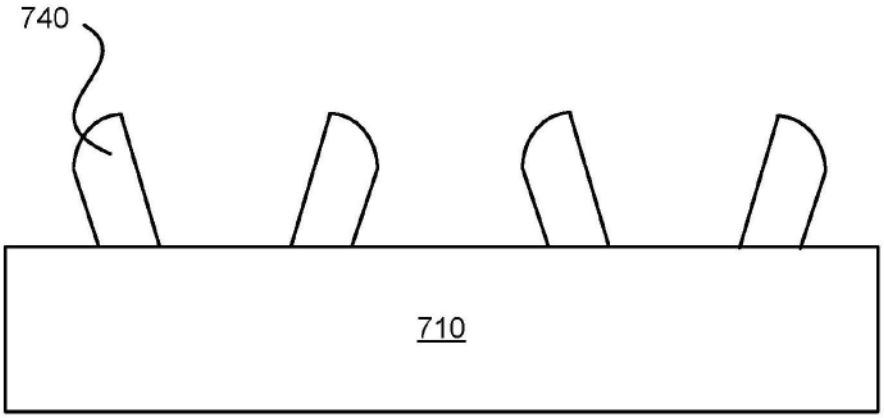


图7D

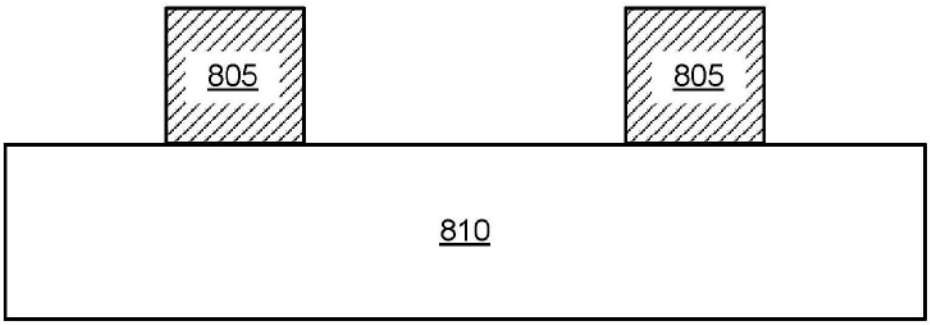


图8A

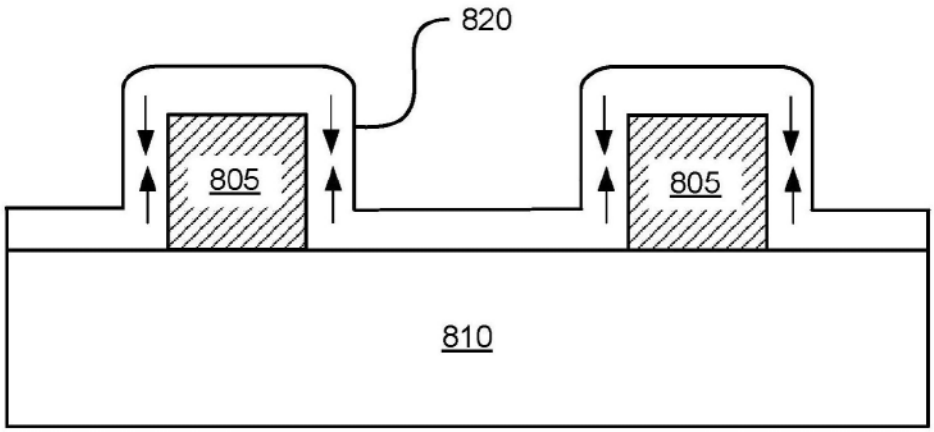


图8B

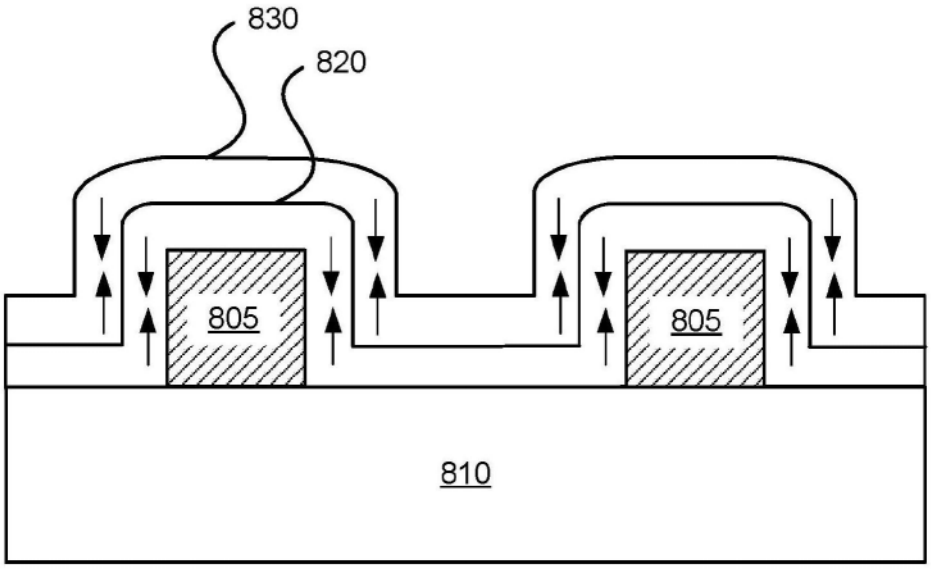


图8C

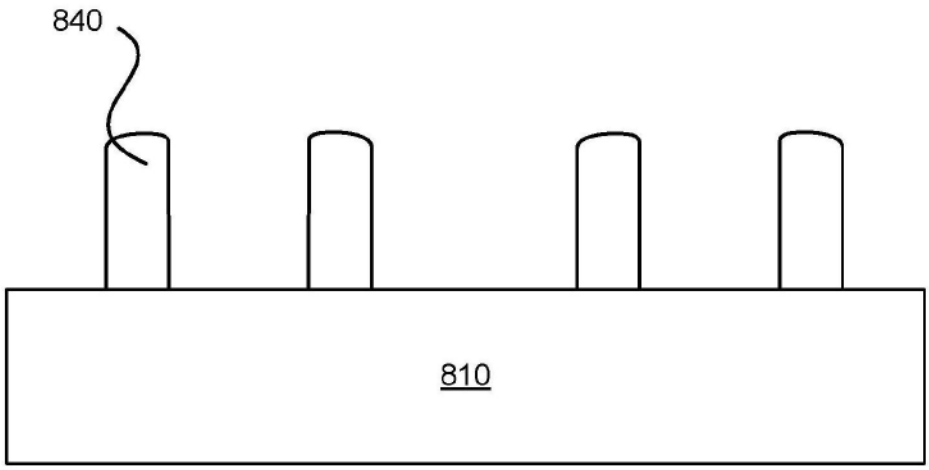


图8D

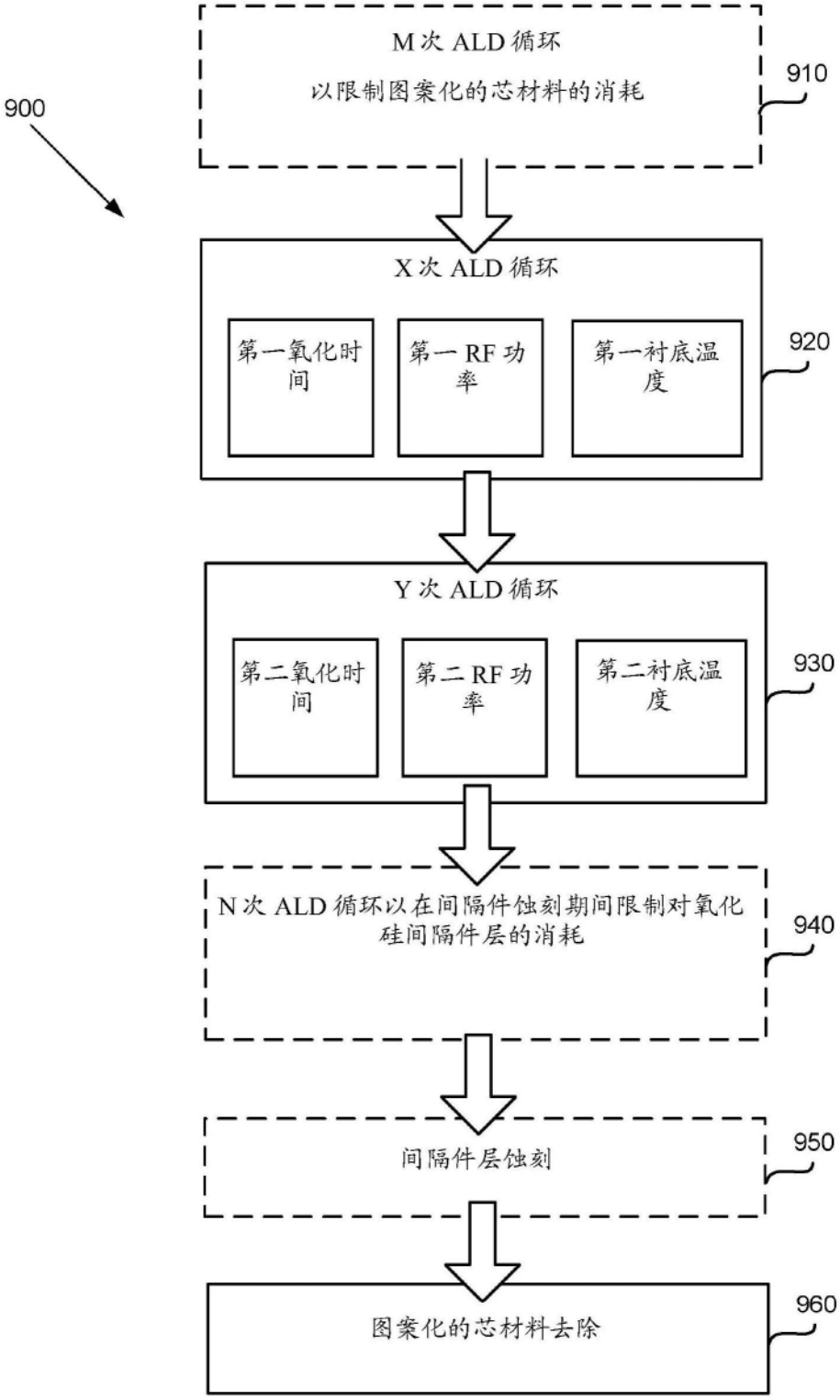

900
M次 ALD 循环
以限制图案化的芯材料的消耗
910
X次 ALD 循环
第一氧化时间
第一 RF 功率
第一衬底温度
920
Y次 ALD 循环
第二氧化时间
第二 RF 功率
第二衬底温度
930
N次 ALD 循环以在间隔件蚀刻期间限制对氧化硅间隔件层的消耗
940
间隔件层蚀刻
950
图案化的芯材料去除
960

图9

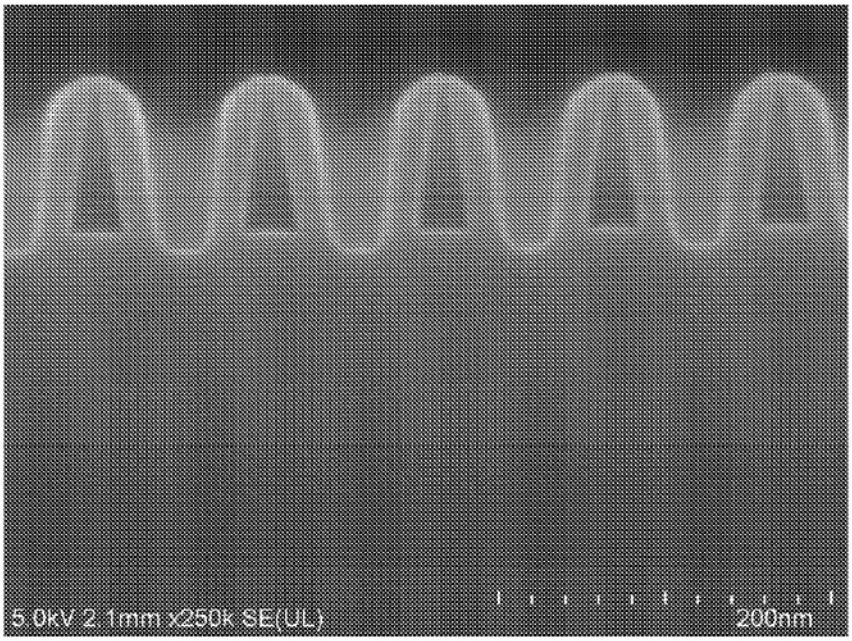

5.0kV 2.1mm x250k SE(UL)
200nm

图10A

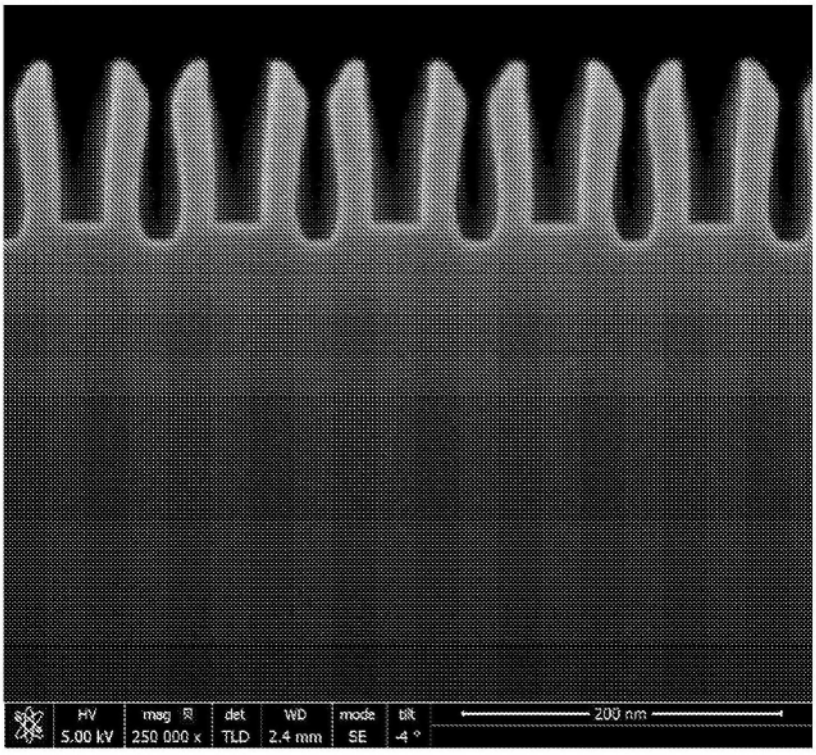

HV
5.00 kV
mag
250 000 x
det
TLD
WD
2.4 mm
mode
SE
tilt
-4 °
200 nm

图10B

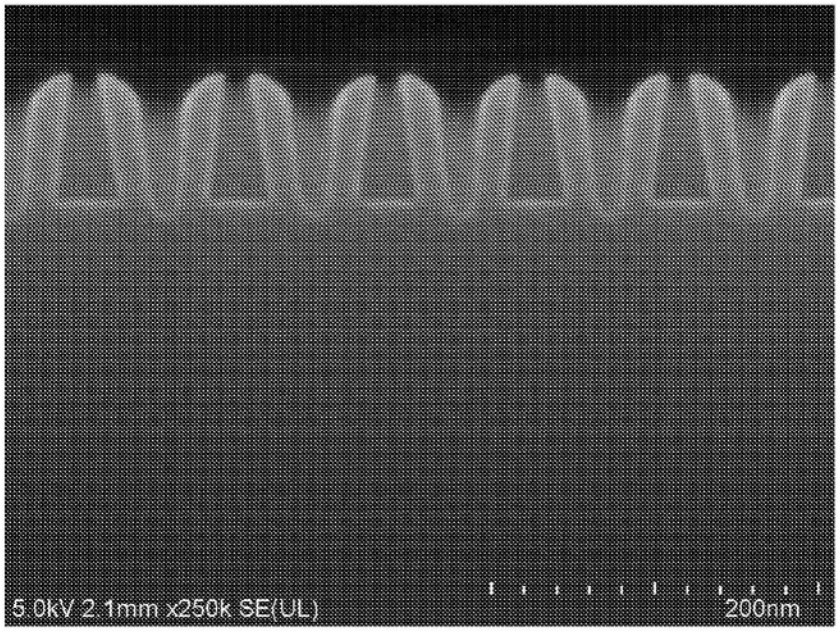

5.0kV 2.1mm x250k SE(UL)
200nm

图11A

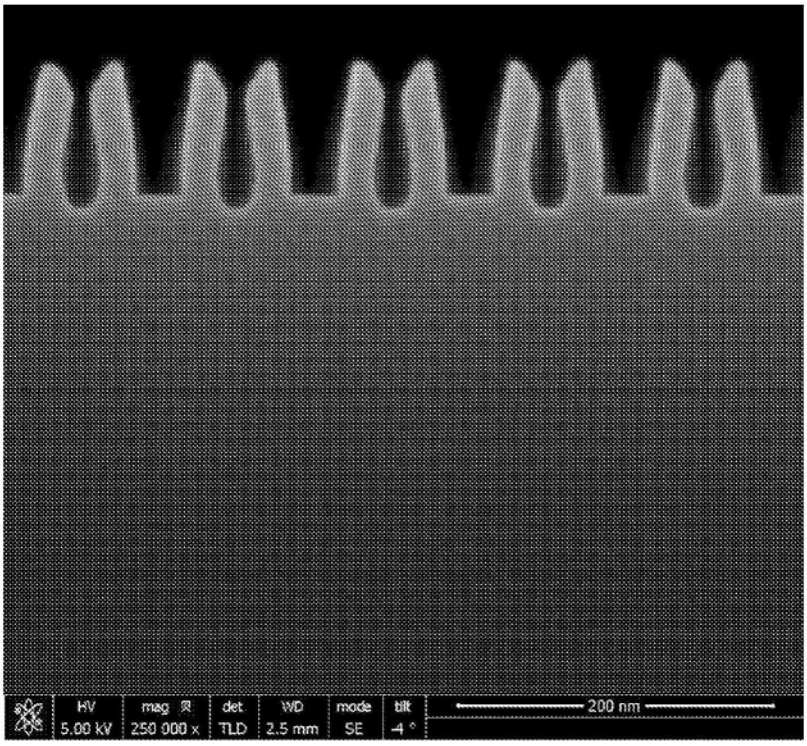

HV
5.00 kV
mag
250 000 x
det
TLD
WD
2.5 mm
mode
SE
tilt
-4 °
200 nm

图11B