(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年4月13日(13.04.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/058103 A1

(51) 国際特許分類:
H01L 23/02 (2006.01) *H01L 25/07* (2006.01)
H01L 23/10 (2006.01) *H01L 25/18* (2006.01)
H01L 25/065 (2006.01)

(21) 国際出願番号： PCT/JP2021/036754

(22) 国際出願日： 2021年10月5日(05.10.2021)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

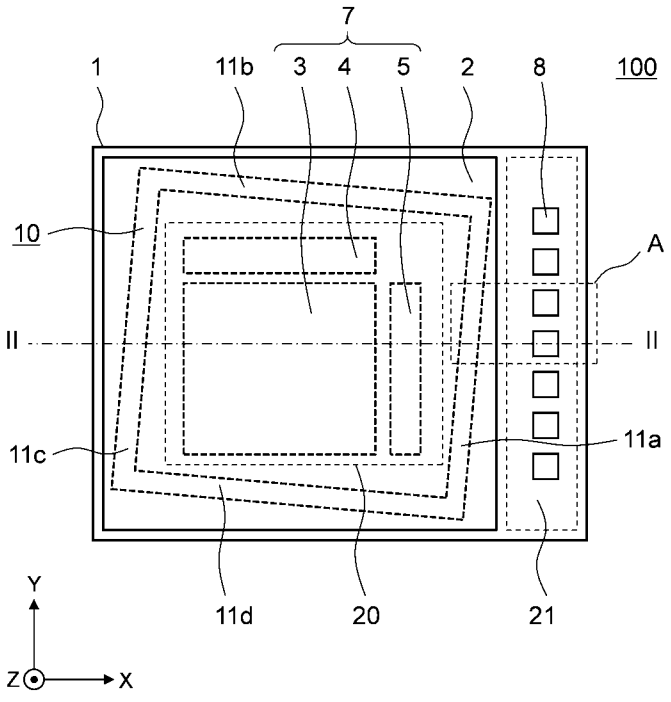
(71) 出願人:三菱電機株式会社(**MITSUBISHI ELECTRIC CORPORATION**) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 山縣 有輔 (**YAMAGATA, Yusuke**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 加藤 隆幸(**KATO, Takayuki**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 前川 倫宏(**MAEGAWA, Tomohiro**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 高橋 貴紀(**TAKAHASHI, Yoshinori**); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人:村上 加奈子, 外(**MURAKAMI, Kanako** et al.); 〒1008310 東京都千代田区丸の内二

(54) **Title:** HERMETIC PACKAGE ELEMENT, AND ELEMENT MODULE

(54) 発明の名称： 気密パッケージ素子および素子モジュール



(57) **Abstract:** In a conventional hermetic package element, a seal portion joining a device wafer and a lid wafer is formed along a crystal orientation of a semiconductor substrate. For this reason, problems of device malfunctions arise due to the device wafer becoming cracked, circuits disposed on the device wafer being broken, and wiring being cut. A hermetic package element 100 according to the present disclosure is characterized in that: a device wafer 1 includes a projecting region 21 which projects from a lid wafer 2 in a plan view; a seal portion 10 has a polygonal shape in a plan view; and a side

WO 2023/058103 A1

［続葉有］

丁目７番３号 三菱電機株式会社 知的財産センター内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

11a of the polygonal shape that faces the projecting region 21 is formed in a different direction to the crystal orientation of the device wafer 1.

(57) 要約：従来の気密パッケージ素子では、デバイスウエハとリッドウエハを接合するシール部が半導体基板の結晶方位に沿って形成されている。このため、デバイスウエハに割れが生じ、デバイスウエハ上に配置された回路が破壊、または配線が切断されてデバイスの動作不良を生じる課題があった。 本開示に係る気密パッケージ素子１００では、デバイスウエハ１は平面視においてリッドウエハ２から張り出した張り出し領域２１を有し、シール部１０は平面視において多角形であり、張り出し領域２１を臨む多角形の辺１１ａはデバイスウエハ１の結晶方位と異なる方向に形成されたことを特徴とする。

明　細　書

発明の名称 ： 気密パッケージ素子および素子モジュール

技術分野

[0001] 本開示は、気密パッケージ素子および素子モジュールに関するものである。

背景技術

[0002] センサ、アクチュエータなどをシリコン基板等の上に微細加工技術によって集積化したデバイスであるマイクロ電気機械システム（ＭＥＭＳ：Ｍｉｃｒｏ　Ｅｌｅｃｔｒｏ　Ｍｅｃｈａｎｉｃａｌ　Ｓｙｓｔｅｍｓ）デバイスが実用化されている。ＭＥＭＳデバイスの例としては、赤外線センサ、ジャイロセンサ、加速度センサなどが挙げられる。

[0003] 赤外線センサのうち、非冷却赤外線センサは熱型センサと称されるように入射する赤外線を熱に変換するものである。そのため、対象物の温度変化を電気信号の変化として読み出す構成を有し、検出感度を高めるためにセンサ（撮像素子）が基材から熱的に隔離された断熱構造を有している。

具体的には、赤外線センサは、断熱性を高めるために密閉された真空空間に配置、つまり真空パッケージの内部に配置されている。その際、真空パッケージの蓋（リッド）となる部材には、赤外線透過率の高い低酸素含有のシリコン、ＺｎＳを用いたり、反射防止膜（ＡＲコート：Ａｎｔｉ－Ｒｅｆｌｅｃｔｉｏｎ　Ｃｏａｔｉｎｇ）を形成したりすることが知られている。

[0004] 一方、真空パッケージの製造方法として、ＭＥＭＳデバイスを製造したデバイスウエハと、デバイスウエハに対向するリッドウエハを真空雰囲気にて接合し、複数の真空パッケージを形成するウエハレベルパッケージ（Ｗａｆｅｒ　Ｌｅｖｅｌ　Ｐａｃｋａｇｅ）が提案されている（例えば特許文献１参照。）。

先行技術文献

特許文献

[0005] 特許文献1：特表２００３－５３１４７５号公報（段落００１０～００１５、図１～図４）

発明の概要

発明が解決しようとする課題

[0006] ウエハレベルパッケージで構成された気密パッケージ素子は、デバイスウエハに設けられている電気接続のためのボンディングパッドがリッドウエハより露出した構造が必然となり、デバイスウエハのボンディング部がリッドウエハより張り出した構造となる。すると、デバイスウエハが張り出した辺のシール部とデバイスウエハとが接する部位に応力が集中する。

[0007] ところで、半導体基板上に形成される素子や回路、配線などの構造物は、半導体基板の結晶方位に沿って形成されている。この様な構成の従来のウエハレベル気密パッケージでは、デバイスウエハとリッドウエハを接合するシール部もデバイスウエハの結晶方位に沿って配置されている。

すると、集中した応力が作用する方向はデバイス半導体基板のへき開方向と一致する。このため、デバイスウエハに割れが生じ、デバイスウエハ上に配置された回路が破壊、または配線が切断されてデバイスの動作不良を生じる課題があった。

[0008] 本開示は上記のような課題を解決するための技術を開示するものであり、デバイスウエハの割れを防止し、信頼性の高い気密パッケージ素子を得ることを目的とする。

課題を解決するための手段

[0009] 本開示に係る気密パッケージ素子は、半導体回路と該半導体回路と外部とを電気接続するための端子が実装面に設けられたデバイスウエハと、実装面に対向して配置されたリッドウエハと、デバイスウエハとリッドウエハとの間に介在し、デバイスウエハとリッドウエハとの間に、半導体回路を収容する真空雰囲気の密閉空間を形成するシール部と、を備え、デバイスウエハは平面視においてリッドウエハから張り出した張り出し領域を有し、端子は張り出し領域に設けられており、シール部は平面視において多角形であり、張

り出し領域を臨む多角形の辺はデバイスウエハの結晶方位と異なる方向に形成されたことを特徴とする。

[0010] 本開示に係る素子モジュールは、半導体回路と該半導体回路と外部とを電気接続するための端子が実装面に設けられたデバイスウエハと、実装面に対向して配置されたリッドウエハと、デバイスウエハとリッドウエハとの間に介在し、デバイスウエハとリッドウエハとの間に、半導体回路を収容する真空雰囲気の密閉空間を形成するシール部とを有し、デバイスウエハは平面視においてリッドウエハから張り出した張り出し領域を有し、端子は張り出し領域に設けられており、シール部は平面視において多角形であり、張り出し領域を臨む多角形の辺はデバイスウエハの結晶方位と異なる方向に形成されたことを特徴とする気密パッケージ素子と、回路基板と、回路基板に実装された該気密パッケージ素子、および回路基板に実装され、該端子と電気接続された電子部品を備えたことを特徴とする。

発明の効果

[0011] 本開示によれば、シール部とデバイスウエハとが接触する部位の応力を緩和できるので、デバイスウエハの割れを防止し、信頼性の高い気密パッケージ素子あるいは素子モジュールを得ることができる。

図面の簡単な説明

[0012] [図1]実施の形態１に係る気密パッケージ素子のリッドウエハ部分を透過させた平面図である。

[図2]図１のＩＩ－ＩＩ線に対応する断面図である。

[図3]図１における領域Ａを拡大した部分拡大図である。

[図4]実施の形態２に係る気密パッケージ素子のリッドウエハ部分を透過させた平面図である。

[図5]実施の形態２の変形例に係る気密パッケージ素子のリッドウエハ部分を透過させた平面図である。

[図6]実施の形態３に係る気密パッケージ素子のリッドウエハ部分を透過させた平面図である。

[図7]辺１３とデバイスウエハ１の結晶方位との関係を示す図である。

[図8]実施の形態４に係る気密パッケージ素子のリッドウエハ部分を透過させた平面図である。

[図9]実施の形態５に係る素子モジュールの平面図である。

[図10]図９のＩＸ－ＩＸ線に対応する断面図である。

[図11]従来の気密パッケージ素子のリッドウエハ部分を透過させた平面図である。

発明を実施するための形態

[0013] 以下、本開示の実施の形態に係る気密パッケージ素子および素子モジュールについて図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。このことは、明細書の全文において共通することである。

[0014] 実施の形態１.

図１から図３を用いて、実施の形態１にかかる気密パッケージ素子１００について説明する。図１は気密パッケージ素子のリッドウエハ部分を透過させた平面図である。図２は図１のＩＩ－ＩＩ線に対応する断面図である。図３は図１における領域Ａを拡大した部分拡大図である。

[0015] はじめに、気密パッケージ素子の基本的な構成について説明する。

一般にシリコン基板はその結晶方位が基板面に対し平行かつ直行する２方向となるように加工される。デバイスウエハ１及びリッドウエハ２は、共にシリコン基板を加工して製造されている。図１から図９、及び図１１において、デバイスウエハ１及びリッドウエハ２はその結晶方位が、図中に示したＸ軸又はＹ軸に平行であるように配置されている。デバイスウエハ１及びリッドウエハ２の外形はＸ軸又はＹ軸に平行な長方形である。

図１、図２に示すように、デバイスウエハ１とリッドウエハ２は、平面視、すなわちＺ軸方向から見た場合において、デバイスウエハ１の一部がリッドウエハ２から張り出すようにして、互いに平坦な面どうしを平行にして対向させ、シール部１０によって接合されている。

[0016] シール部１０は、デバイスウエハ１の実装面１ａ上にパターン形成された第一下地層３１と、実装面１ａと対向するリッドウエハ２の表面上にパターン形成された第二下地層３２と、第一下地層３１と第二下地層３２との間に介在し、その間を充填するシール材層３３とで構成されている。第一下地層３１、第二下地層３２はともに切れ目なく連続してパターン形成されており、シーリングリングと称されることもある。

シール材層３３ははんだ材料からなる。しかしはんだ材料はデバイスウエハ１の表面（実装面１ａ）、およびリッドウエハ２の表面に対する濡れ性が低く、そのままではデバイスウエハ１とリッドウエハ２とを接合することは困難である。そこで、第一下地層３１と第二下地層３２は、各ウエハとシール材層３３を接着するための中間層として機能するよう、はんだ材料との濡れ性が良好で、かつ、各ウエハとの密着性が良好な材料で形成されている。

このような材料は、例えばシール材層３３は鉛フリーはんだであり、第一下地層３１と第二下地層３２の材質はニッケルであるが、これに制限されることはなく、任意の材料を選択することができる。ただし、高温はんだやＡｕＳｎはんだは環境負荷や価格が高いため鉛フリーはんだが好適である。

[0017] このように構成したシール部１０により、デバイスウエハ１、リッドウエハ２、およびシール部１０で囲まれた密閉空間２２は真空雰囲気に保持されている。この真空容積を確保するために、シール部１０は５０～１５０μｍの厚さで形成されており、本実施の形態では１００μｍの厚みを有している。なお、密閉空間２２内は真空雰囲気と称しているが、完全な真空を意味するものではなく、断熱性を保つのに必要な真空度でよい。

[0018] デバイスウエハ１の実装面１ａのシール部１０よりも内側の領域２０には、赤外線用の撮像素子３、走査回路４、読出回路５がそれぞれ配置されている。なお、撮像素子３、走査回路４、読出回路５を含め、領域２０に配置されているＭＥＭＳおよび半導体素子を半導体回路７と呼称する。半導体回路７は、断熱性に優れた真空雰囲気に保持された密閉空間２２の内部に配置されており、赤外線センサとしての信頼性を高めている。

リッドウエハ２には真空度を保持するためのゲッターと称される図示しないガス吸着剤が、第二下地層３２に囲まれた部位に形成される。また、真空容積を増やすための窪みが形成される場合がある。さらに、リッドウエハ２の外面には、赤外線の透過率を向上するためのＡＲコートと称される反射防止膜が形成される場合がある。

[0019] 平面視、すなわちＺ軸方向から見た場合において、デバイスウエハ１はリッドウエハ２から張り出した領域を有し、この張り出した領域を張り出し領域２１と呼称する。張り出し領域２１の実装面１ａには、半導体回路７と外部とを電気的に接続するための端子８（ボンディングパッド）が複数設けられている。端子８と半導体回路７とは、実装面１ａに設けられた図示しない配線を介して電気接続されている。

このように構成した端子８が、図示しない回路基板等とワイヤーなどで電気接続されることで、後述する素子モジュール２００（図９、図１０）として機能する。

[0020] 上述した構成を前提として、本開示の気密パッケージ素子１００の特徴的な構成について説明する。図１に示すように平面視、すなわちＺ軸方向から見た場合において、シール部１０の形状は、辺１１ａ、１１ｂ、１１ｃ、及び１１ｄからなる多角形である。前述の通り、デバイスウエハ１及びリッドウエハ２の結晶方位は、Ｘ軸又はＹ軸に平行である。 これに対しシール部１０の辺はいずれもＸ軸又はＹ軸に平行ではなく、デバイスウエハ１及びリッドウエハ２の結晶方位と異なる方向に形成されている。

図３に示す補助線ｙ－ｙはＹ軸に平行な直線である。張り出し領域２１を臨む辺１１ａと補助線ｙ－ｙとは、角度θをなしている。ここで角度θはゼロ度又は９０度でない。

[0021] 次に本開示の実施の形態１における気密パッケージセンサの効果を説明する。

図２における点Ｄは、デバイスウエハ１がリッドウエハ２から張り出した側の、デバイスウエハ１とシール部１０との接触点である。

気密パッケージ素子１００は、真空雰囲気中で一旦高温にされてシール材層３３のはんだ材料が溶融されその後降温されることで、デバイスウエハ１とリッドウエハ２との間に
密閉空間２２が形成される。シール材層３３に用いられるはんだの線膨張係数は、デバイスウエハ１及びリッドウエハ２に用いられるシリコンの線膨張係数より大きい。このため、通常の使用状態において、点Ｄには点Ｄからリッドウエハの方向（＋Ｚ方向）及び点Ｄから半導体回路の方向（－Ｘ方向）への残留応力が働く。

[0022] 図１１は従来の気密パッケージ素子９００のリッドウエハ部分を透過させた平面図である。従来の気密パッケージ素子では、半導体基板上に形成される素子や回路、配線などの構造物は、半導体基板の結晶方位に沿って形成されている。またデバイスウエハとリッドウエハを接合するシール部１０もデバイスウエハの結晶方位に沿って配置されている。

図１１のＩＩ－ＩＩ線に対応する断面図として図２を援用して説明する。辺１６ａの図面右側の端１６ｆ全体に、点Ｄに働く残留応力と同様に残留応力が作用している。つまり辺１６ａに働く残留応力は端１６ｆに沿って集中して作用する。端１６ｆは図中のＹ軸に平行であり、デバイスウエハのへき開方向、すなわち結晶方位と一致する。このため、デバイスウエハに割れが生じ、デバイスウエハ上に配置された回路が破壊、または配線が切断されてデバイスの動作不良を生じる問題があった。

[0023] これに対し本開示の実施の形態１における気密パッケージ素子１００では、辺１１ａはデバイスウエハ１の結晶方位に対し、角度θ傾くように配置されている。つまり集中した応力が作用する方向が結晶方位から角度θ分ずれることになり、応力集中が緩和される。このため、デバイスウエハ１の割れや、デバイスウエハ１上に配置された回路の破壊、または配線の切断によるデバイスの動作不良を回避できる。これにより、信頼性の高い気密パッケージ素子を得ることができる。

[0024] 従来の気密パッケージと同じく角度θが０、つまりデバイスウエハ１の結

晶方位に対しシール部１０の辺１１ａが平行である場合には、我々の信頼性試験ではデバイスウエハ１とシール部１０の接触点である点Ｄの部位にクラックが発生した結果、密閉空間２２の気密が破れ気密パッケージ素子１００に動作不良が発生した。しかし、角度θを０から増加させた結果、信頼性試験において動作不良は発生しなかった。

[0025] 一方で、半導体回路７、端子８等の外形は結晶方向に平行に配置されるので、角度θを大きく設定するにつれ、気密パッケージ素子におけるシール部１０を設置するための面積が大きくなり、デバイスサイズが増加する問題が生じる。半導体回路７の面積が大きいほど、角度θによる影響が大きくなるため、気密パッケージ素子のサイズが許容される範囲内に収まるよう選択する必要がある。このため、角度θの好ましい角度は、０度を超え５度以下であり、より好ましくは１度以上３度以下である。

[0026] 本実施の形態におけるデバイスウエハおよびリッドウエハのシーリングリングは電解ニッケルめっきで形成されている。電解ニッケルめっきによるシーリングリングの幅は既存の写真製版技術を用いて形成されており、フォトマスクのパターンにより任意の角度θを形成することが可能である。

[0027] 以上のとおり、実施の形態１に係る気密パッケージ素子１００は、実装面１ａに半導体回路７及び半導体回路７と外部とを電気接続するための端子８が設けられたデバイスウエハ１と、実装面１ａに対向して配置されたリッドウエハ２と、デバイスウエハ１とリッドウエハ２との間に介在し、デバイスウエハ１とリッドウエハ２との間に半導体回路７を収容する真空雰囲気の密閉空間２２を形成するシール部１０と、を備える。

ここでデバイスウエハ１は平面視においてリッドウエハ２から張り出した張り出し領域２１を有する。端子８は張り出し領域２１に設けられている。シール部１０は平面視において多角形であり、張り出し領域２１を臨む辺１１ａはデバイスウエハ１の結晶方位と異なる方向に形成されている。

更に、張り出し領域２１を臨む辺１１ａとデバイスウエハ１の結晶方位とのなす角度θは、０度を超え５度以下が望ましく、更に望ましくは１度以上

かつ３度以下である。

[0028] このような構成によれば、デバイスウエハ１の結晶方位に対し、辺１１ａは角度θ傾くように配置されているので、集中した応力が作用する方向が結晶方位から角度θ分ずれることになる。このため応力集中が緩和されるので、デバイスウエハ１の割れや、デバイスウエハ１上に配置された回路の破壊、または配線の切断によるデバイスの動作不良を回避でき、信頼性の高い気密パッケージ素子を得ることができるという効果を奏する。

[0029] 実施の形態２.

実施の形態２に係る気密パッケージ素子１１０を説明する。実施の形態１ではシール部１０の全ての辺を、デバイスウエハ１の結晶方位と平行にならない様に構成した。実施の形態２では、張り出し領域２１に臨むシール部１０の辺１１ａは結晶方位と平行にならないようにし、その他の辺は結晶方位と平行に構成した。

[0030] 図４は実施の形態２に係る気密パッケージ素子１１０のリッドウエハ部分を透過させた平面図である。

実施の形態２に係る気密パッケージ素子１１０のシール部１０は、辺１１ａ、１２ｂ、１２ｃ、１２ｄを有する。辺１２ｂ、１２ｃ、１２ｄの材料、断面構造等は辺１１ａ、１１ｂ、１１ｃ、１１ｄと同じである。

辺１２ｂ、１２ｃ、１２ｄは、実施の形態１における辺１１ｂ、１１ｃ、１１ｄにそれぞれ対応するが、従来の気密パッケージ素子と同様にＸ軸又はＹ軸に平行に配置されている。すなわち辺１２ｂ、１２ｃ、１２ｄはデバイスウエハ１の結晶方位と平行に配置されている。辺１２ｂ、１２ｃ、１２ｄが臨む部分において、デバイスウエハ１はリッドウエハ２から張り出してはおらず、辺１２ｂ、１２ｃ、１２ｄは張り出し領域に臨んではいない。

デバイスウエハ１上の半導体回路７と外部とを電気的に接続する配線は、張り出し領域２１を臨む辺１１ａ以外の部分でシール部１０と交差しないように配置されている。

[0031] つまり実施の形態２において、応力の集中や、デバイスウエハ１の割れや

、デバイスウエハ１上に配置された回路の破壊、または配線の切断によるデバイスの動作不良の懸念が無い、張り出し領域２１に臨まないシール部１０の辺１２ｂ、１２ｃ、１２ｄは、従来の気密パッケージ同様にデバイスウエハ１の結晶方位と同じ方向に形成されている。

他の部分は実施の形態１と同様であり、説明を省略する。

[0032] 実施の形態２においても、実施の形態１と同様に応力緩和の効果を奏する。また、実施の形態２は実施の形態１に対し、気密パッケージ素子１１０のサイズを小さくすることができる。デバイスレイアウトの制約でシーリングリングの全ての辺を傾けて気密パッケージ素子１１０のサイズを拡大できない場合に有効である。

[0033] なお、張り出し領域２１に臨むシール部１０の辺は結晶方位と平行でない単一の辺でなくともよい。

図５は、実施の形態２の変形例に係る気密パッケージ素子１１１のリッドウエハ部分を透過させた平面図である。気密パッケージ素子１１０と異なり、気密パッケージ素子１１１において張り出し領域２１に臨むシール部１０の辺は、結晶方位と平行でない辺１１ａと、辺１１ａに連続する結晶方位と平行な辺１２ｅ及び１２ｆからなる。ここで辺１１ａの長さは辺１２ｅ及び１２ｆの長さと比べて長い。

このように張り出し領域２１に臨むシール部１０の辺を、その一部に結晶方位と平行な部分があっても、その多くの部分が結晶方位と平行でないように構成すれば、応力集中の緩和に対し一定の効果を発揮することを付記しておく。

[0034] 実施の形態３.

図６及び図７を参照して、実施の形態３に係る気密パッケージ素子１２０を説明する。

実施の形態１において張り出し領域２１を臨むシール部１０の辺は、単一の辺１１ａとした。これに対し、実施の形態３においては、張り出し領域２１を臨むシール部１０の辺を複数とし、ジグザグに配置した。

[0035] 図６は、実施の形態３に係る気密パッケージ素子１２０のリッドウエハ部分を透過させた平面図である。実施の形態３に係る気密パッケージ素子１２０のシール部１０は、辺１２ｂ、１２ｃ、１２ｄ及び張り出し領域２１を臨む辺１３を有する。辺１３は連続しておりジグザグに配置された複数の辺１３ａ、１３ｂ、１３ｃからなる。辺１２ｂ、１２ｃ、１２ｄ及び辺１３は材料、断面構造は同じである。辺１３は辺１１ａと同様に張り出し領域２１を臨むシール部１０の辺であり、いずれも結晶方位（紙面Ｘ方向およびＹ方向）に平行ではないように配置された、屈曲点を有する連続した結晶方位に平行ではない辺である。

[0036] 図７は、辺１３とデバイスウエハ１の結晶方位との関係を示す図である。図７には説明に必要な部分以外は図示せず省略している。図７に示す２本の補助線ｙ－ｙはＹ軸に平行な直線である、つまり補助線ｙ－ｙは結晶方位と同じ方向を示す。

辺１３ａ、１３ｂ、１３ｃはいずれも結晶方位（紙面Ｘ方向およびＹ方向）に平行ではないように配置されている。辺１１ａ、１１ｂ、１１ｃと補助線ｙ－ｙの成す角度はそれぞれθ１、θ２、θ３である。θ１、θ２、θ３の絶対値は同じであってもそれぞれ異なっていても良い。

θ１及びθ３は補助線ｙ－ｙからみて時計回りの方向に角度を測っており、一方でθ２は補助線ｙ－ｙからみて反時計回りの方向に角度を測っている。すなわちθ１及びθ３とθ２の符号は異なっている、あるいは補助線ｙ－ｙ（結晶方位）に対してジグザグであると言える。

[0037] 図７中のＷは、Ｘ軸方向に対して辺１３が占める幅である。例えば、実施の形態１における辺１１ａの長さに対し、実施の形態３における辺１３ａ、１３ｂ、１３ｃの長さをそれぞれ１／３とし、実施の形態１における角度θと実施の形態３における角度θ１、θ２、θ３とを同じに設定した場合を考える。すると、実施の形態１において辺１１ａがＸ軸方向に対して占める幅と比較して、Ｗを１／３とする事ができる。

すなわち、実施の形態３に示すように張り出し領域２１を臨むシール部１

０の辺をジグザグに配置された複数の辺とすることにより、気密パッケージ素子のサイズ増加を抑えることが出来る。

他の部分は説明を省略する。

[0038] 以上のとおり、実施の形態３に係る気密パッケージ素子１２０は、実装面１ａに半導体回路７及び半導体回路７と外部とを電気接続するための端子８が設けられたデバイスウエハ１と、実装面１ａに対向して配置されたリッドウエハ２と、デバイスウエハ１とリッドウエハ２との間に介在し、デバイスウエハ１とリッドウエハ２との間に、半導体回路７を収容する真空雰囲気の密閉空間２２を形成するシール部１０と、を備える。

ここでデバイスウエハ１は平面視においてリッドウエハ２から張り出した張り出し領域２１を有する。端子８は張り出し領域２１に設けられている。シール部１０は平面視において多角形であり、デバイスウエハ１の結晶方位と異なる方向に形成された張り出し領域２１を臨む辺１３ａを有している。ここで実施の形態３において辺１３はジグザグに配置された辺１３ａ、１３ｂ、１３ｃである。

[0039] このような構成によれば、実施の形態１に示した気密パッケージ素子１００と同様の効果を奏する。上記に加え、実施の形態３に係る気密パッケージ素子１２０では、張り出し領域２１を臨むシール部１０の辺をジグザグに配置された複数の辺とすることにより、気密パッケージ素子のサイズ増加を抑えることができるという効果も奏する。

[0040] なお実施の形態３において、張り出し領域２１を臨むシール部１０の辺は３分割されジグザグに配置された形状としたが、２分割されてＶ字型に配置された形状であってもよい。また分割数は４以上であってもよく、分割された長さは等しくなくともよい。またジグザグに配置された、あるいはＶ字型に配置された複数の辺に対し、結晶方位と平行に配置された辺を伴っていても、気密パッケージ素子のサイズ増加を抑えることが出来る。

[0041] 実施の形態４.

図８を参照して、実施の形態４に係る気密パッケージ素子１３０を説明す

る。実施の形態１から３では張り出し領域２１が気密パッケージ素子の一辺にある場合について説明したが、実施の形態４では気密パッケージ素子の二辺に張り出し領域がある場合について説明する。

[0042] 図８は実施の形態４に係る気密パッケージ素子１３０のリッドウエハ部分を透過させた平面図である。

実施の形態４において、デバイスウエハ１はリッドウエハ２から張り出した部分が２カ所設けられている。１つは実施の形態１と同じく張り出し領域２１であり、もう１つは張り出し領域２１ａである。

第２の張り出し領域である張り出し領域２１ａは、第１の張り出し領域である張り出し領域２１に対し密閉空間２２を挟んで反対側に配置されている。張り出し領域２１ａの実装面１ａにも、撮像素子３、走査回路４、読出回路５と図示しない配線を介して電気接続された端子８（ボンディングパッド）が、複数配置されている。

[0043] 実施の形態４におけるシール部１０の形状は辺１１ａ、１２ｂ、１４ｃ、及び１２ｄからなる多角形である。辺１１ａは張り出し領域２１に臨み結晶方位と異なる方向に形成されている。辺１２ｂ及び１２ｄは結晶方位と同じ方向に形成されている。

辺１４ｃは張り出し領域２１ａに臨み、デバイスウエハ１の結晶方位とは異なる方向に形成されている。辺１４ｃの材料、断面構造等は辺１１ａ、１２ｂ、１２ｄと同じである。その他の部分は説明を省略する。

[0044] 以上のように構成された実施の形態４に係る気密パッケージ素子１３０においても、実施の形態１と同様に応力緩和の効果を奏する。

なお、第１の張り出し領域２１と第２の張り出し領域２１ａは密閉空間２２を挟んで反対側に配置したが、例えば辺１１ａと辺１２ｂの側のように隣り合うように配置しても良い。また張り出し領域が３つ以上の辺に配置されても良い。

[0045] 実施の形態５.

実施の形態５では、実施の形態１～４で説明した気密パッケージ素子を他

の電子部品とともに回路基板に実装した素子モジュールについて説明する。図９と図１０は実施の形態５に係る素子モジュールの構成について説明するためのものである。図９は実施の形態５に係る素子モジュールの平面図、図１０は図９のＸ－Ｘ線に対応する断面図である。

なお、気密パッケージ素子部分の構成について気密パッケージ素子１００を用いて説明するが、実施の形態１～４のいずれかと同様であり、気密パッケージ素子１１０，１１１、１２０又は１３０のいずれかに替えてもよい。また同様部分の説明を省略するとともに、図１から図８を援用する。

[0046] 実施の形態５にかかる素子モジュール２００は、図９、図１０に示すように、回路基板２０２の実装面２０３上に、気密パッケージ素子１００、抵抗、コンデンサ等の部品２０４、および半導体デバイス２０５等を含む電子部品２０６を実装したものである。

そして、実装した電子部品を図示しないワイヤボンドなどで気密パッケージ素子１００の端子８と電気接続し、素子モジュール２００とした形態である。本実施の形態５においては、気密パッケージ素子１００、電子部品２０６は、熱硬化型の導電性接着剤２０８を用いて、回路基板２０２に固定している。また、図示していないが、素子モジュール２００を構成する為に必要な他の部品、カバー等を設けている。

[0047] 実施の形態５に係る素子モジュール２００は、実施の形態１～４のいずれかで説明した気密パッケージ素子を備えており、振動、衝撃に対して堅牢なものとなる。例えば、赤外線センサとして機能する気密パッケージ素子１００を用いた場合、振動、衝撃に対して堅牢で、デバイスウエハの割れを防止し、信頼性の高い赤外線センサを得ることができる。

[0048] 本開示は、上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本開示を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。

また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可

能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

符号の説明

[0049] １　デバイスウエハ、１ａ　実装面、２　リッドウエハ、３　撮像素子、４　走査回路、

５　読出回路、７　半導体回路、８　端子（ボンディングパッド）、１０　シール部、

１１ａ、１１ｂ、１１ｃ、１１ｄ、１２ｂ、１２ｃ、１２ｄ、１２ｅ、１２ｆ、１３、１３ａ、１３ｂ、１３ｃ　辺、２１、２１ａ　張り出し領域、２２　密閉空間、

３１　第一下地層、３２　第二下地層、３３　シール材層、

１００，１１０，１１，１２０，１３０　気密パッケージ素子、

２００　素子モジュール、２０２　回路基板、２０６　電子部品、

θ、θ１、θ２、θ３　角度

請求の範囲

[請求項1] 半導体回路及び該半導体回路と外部とを電気接続するための端子が実装面に設けられたデバイスウエハと、

前記実装面に対向して配置されたリッドウエハと、

前記デバイスウエハと前記リッドウエハとの間に介在し、前記デバイスウエハと前記リッドウエハとの間に前記半導体回路を収容する真空雰囲気の密閉空間を形成するシール部と、を備え、

前記デバイスウエハは平面視において前記リッドウエハから張り出した張り出し領域を有し、

前記端子は前記張り出し領域に設けられており、

前記シール部は平面視において多角形であり、前記張り出し領域を臨む前記多角形の辺は前記デバイスウエハの結晶方位と異なる方向に形成されたこと

を特徴とする気密パッケージ素子。

[請求項2] 前記多角形の前記張り出し領域を臨まない辺は前記デバイスウエハの結晶方位と同じ方向に形成されていることを特徴とする請求項１に記載の気密パッケージ素子。

[請求項3] 前記張り出し領域を臨む辺と、前記デバイスウエハの結晶方位とのなす角度は、０度を超え５度以下である

ことを特徴とする請求項１又は２に記載の気密パッケージ素子。

[請求項4] 前記張り出し領域を臨む辺と前記デバイスウエハの結晶方位とのなす角度は、１度以上かつ３度以下である

ことを特徴とする請求項１又は２に記載の気密パッケージ素子。

[請求項5] 前記張り出し領域を臨む辺は、Ｖ字型又はジグザグに配置された辺を含むこと

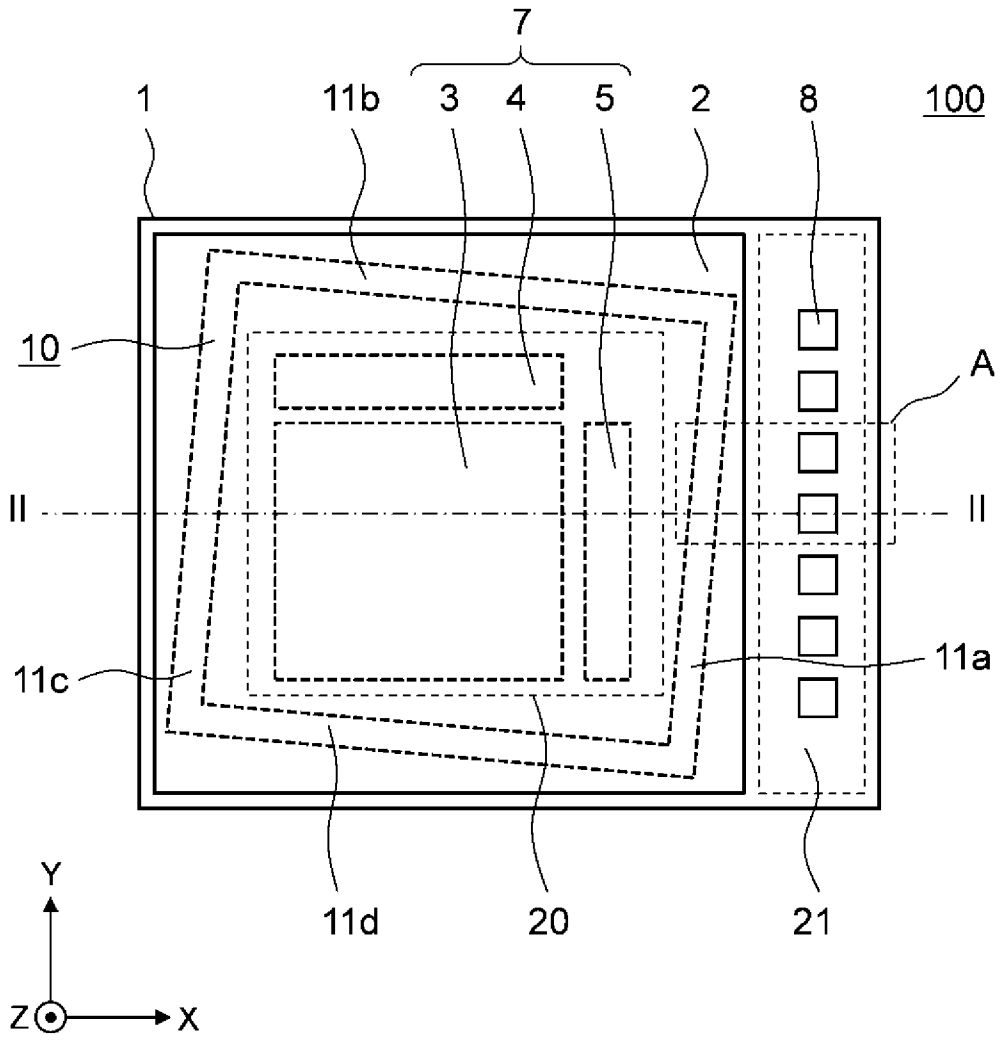
を特徴とする請求項１から４のいずれか１項に記載の気密パッケージ素子。

[請求項6] 前記シール部は、前記実装面にパターン形成された第一下地層と、

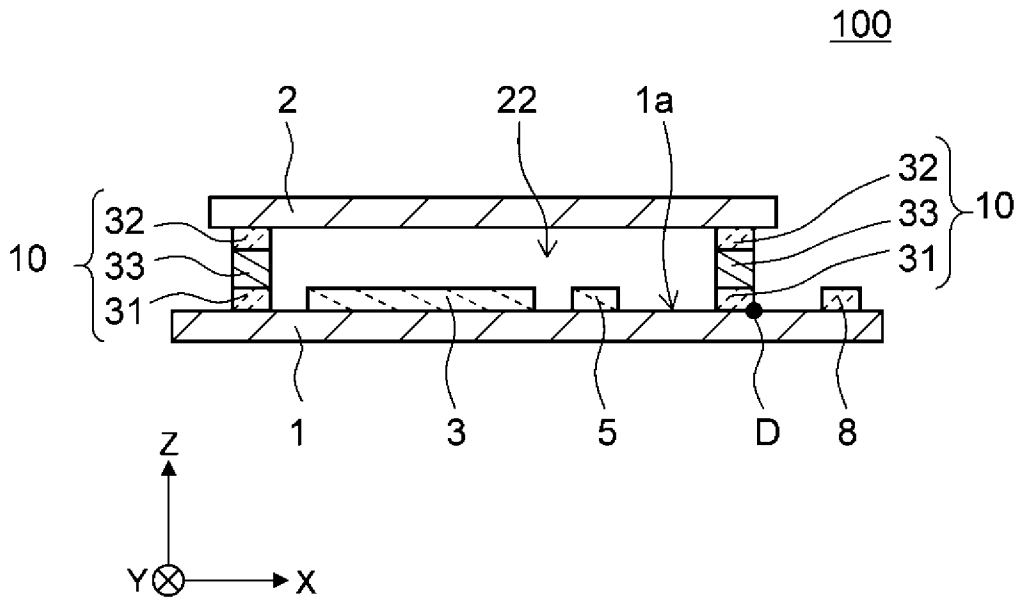
前記リッドウエハの前記実装面と対向する表面にパターン形成された第二下地層と、前記第一下地層と前記第二下地層との間を充填するシール材層とで形成され、前記シール材層に鉛フリーはんだが用いられ、前記第一下地層と前記第二下地層にニッケルが用いられていることを特徴とする請求項１から５のいずれか１項に記載の気密パッケージ素子。

[請求項7] 回路基板、前記回路基板に実装された請求項１から６のいずれか１項に記載の気密パッケージ素子、および前記回路基板に実装され、前記端子と電気接続された電子部品を備えたことを特徴とする素子モジュール。

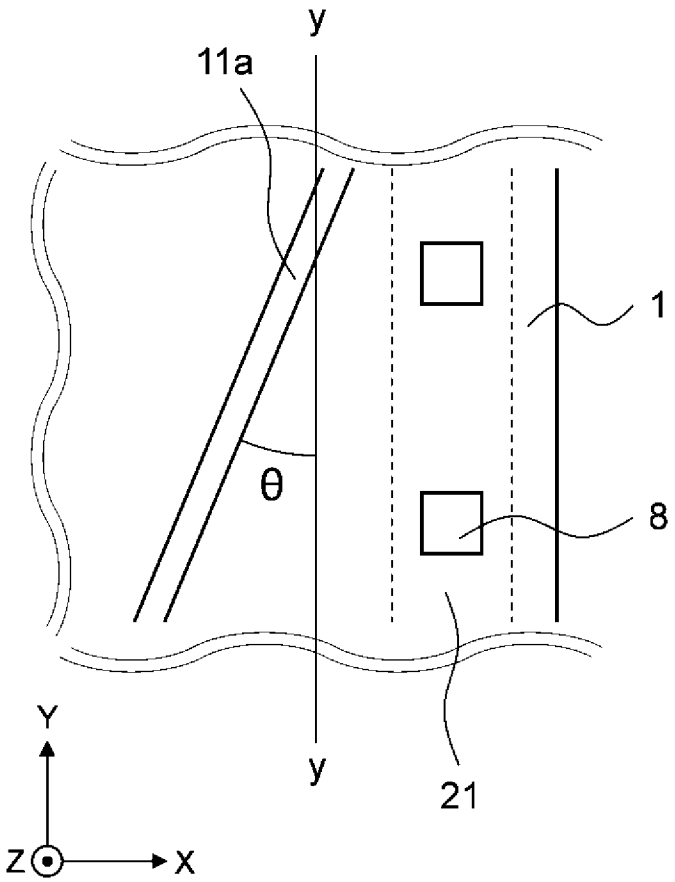
[図1]


7
1
11b
3
4
5
2
8
100
10
A
II
II
11c
11a
11d
20
21
Y
Z
X

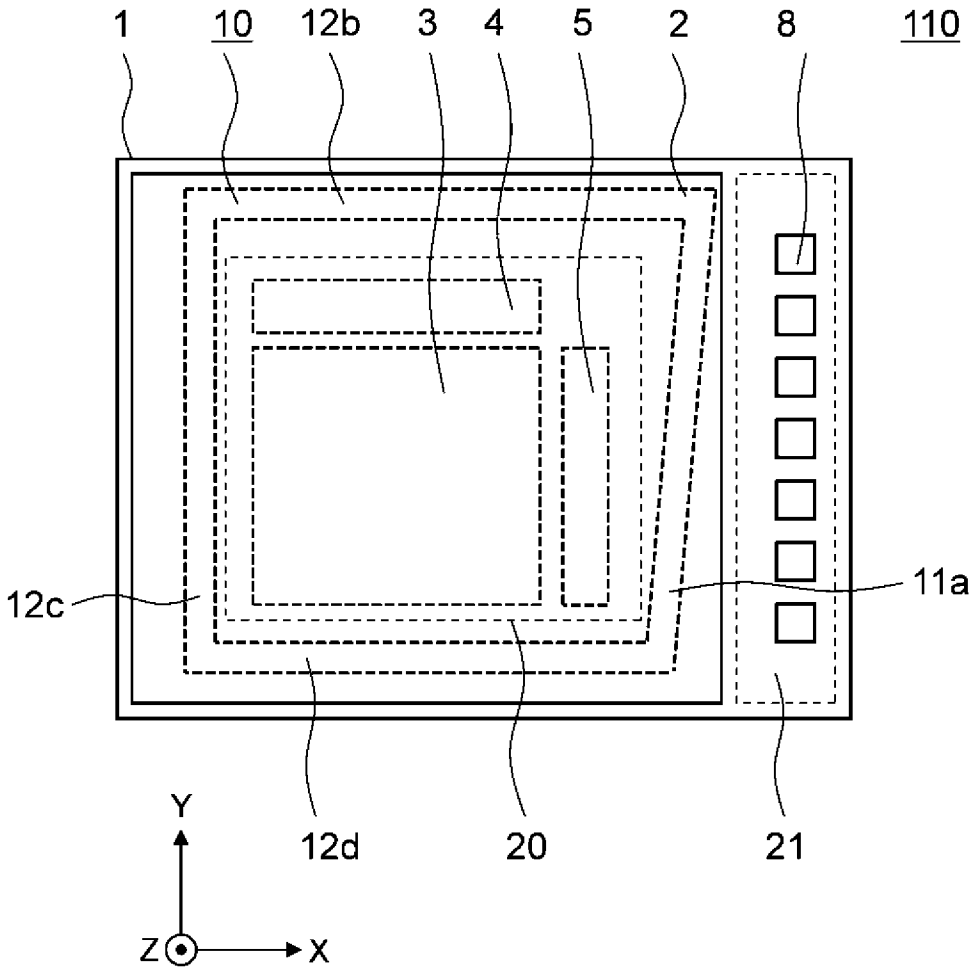
[図2]


100
2
22
1a
32
33
31
10
32
33
31
10
1
3
5
D
8
Z
Y
X

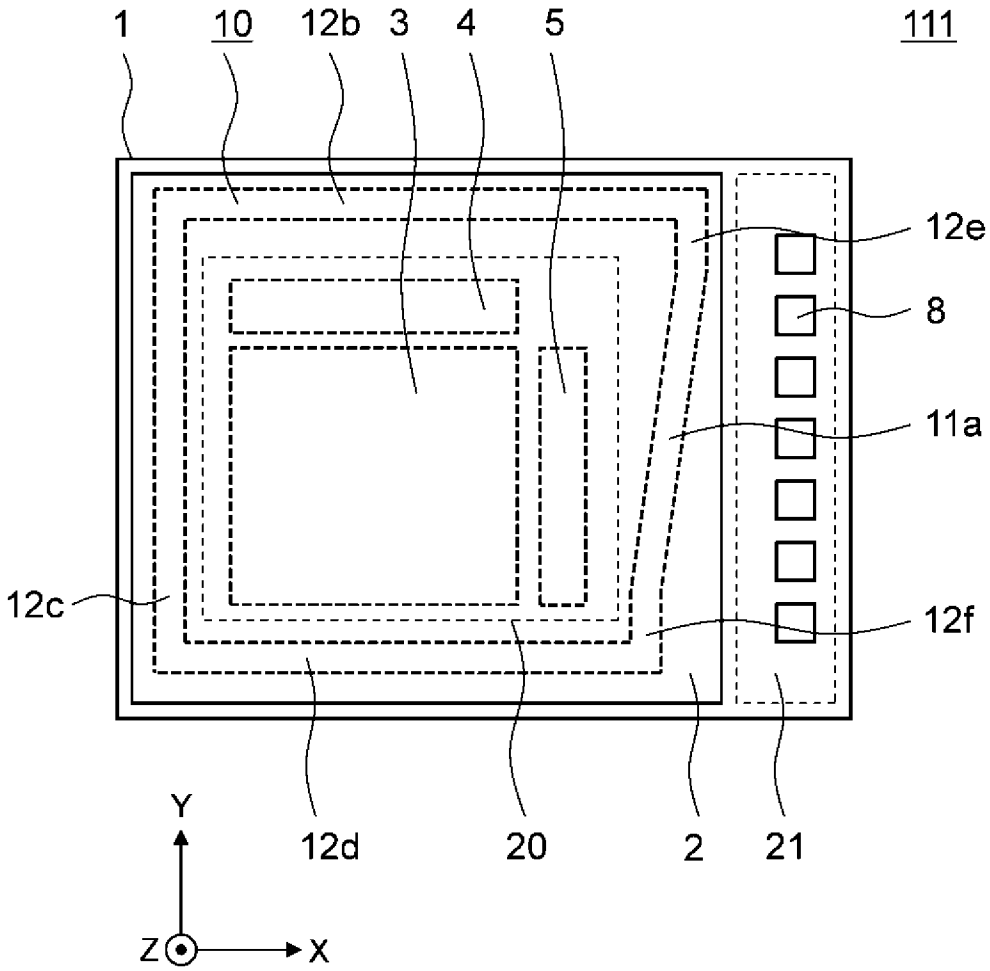
[図3]



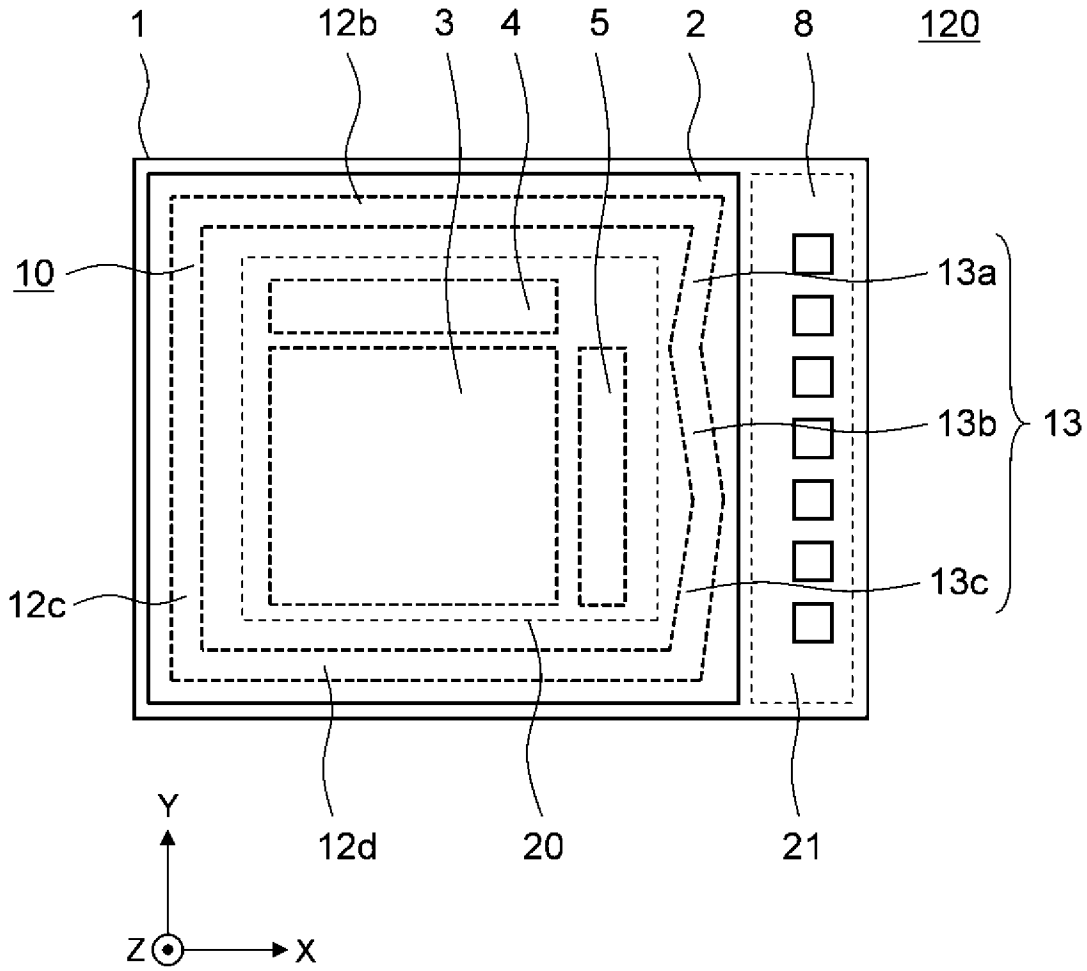
[図4]



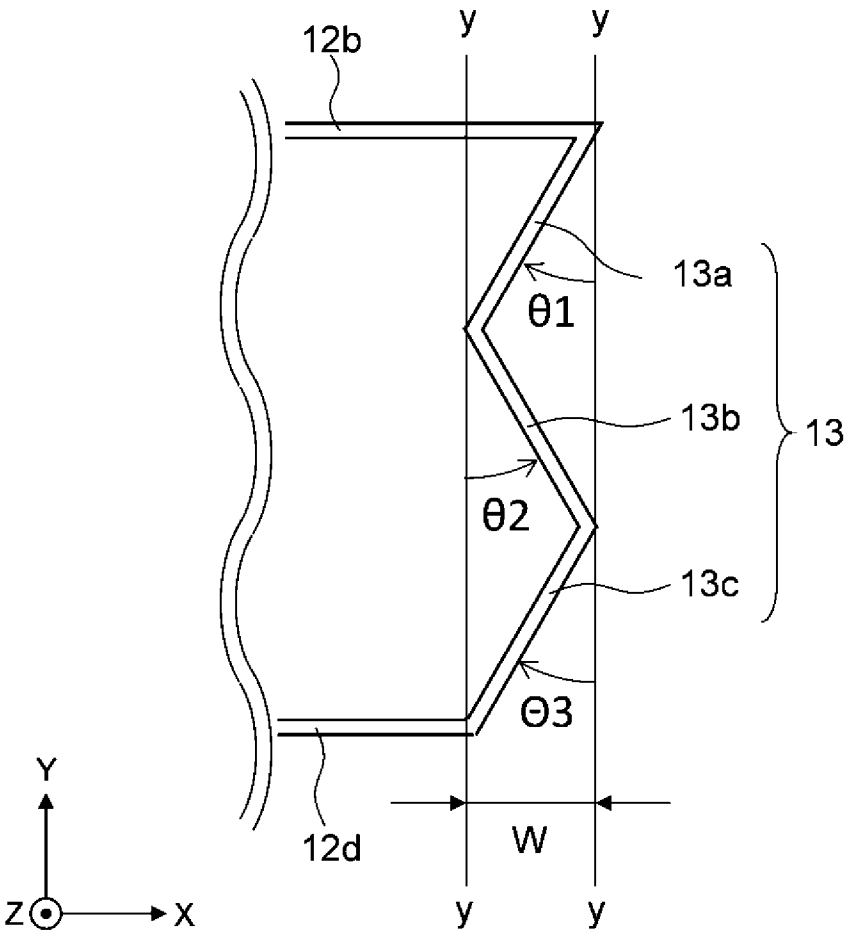
[図5]



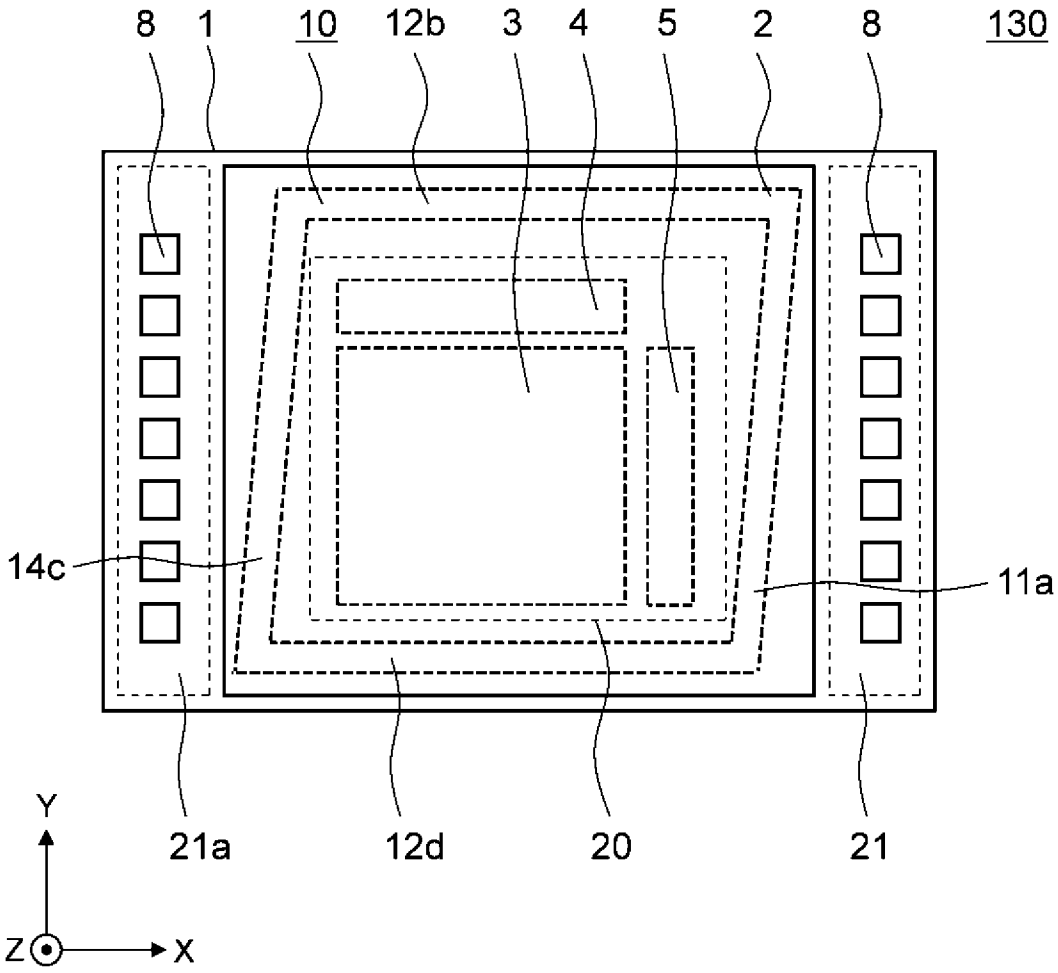
[図6]



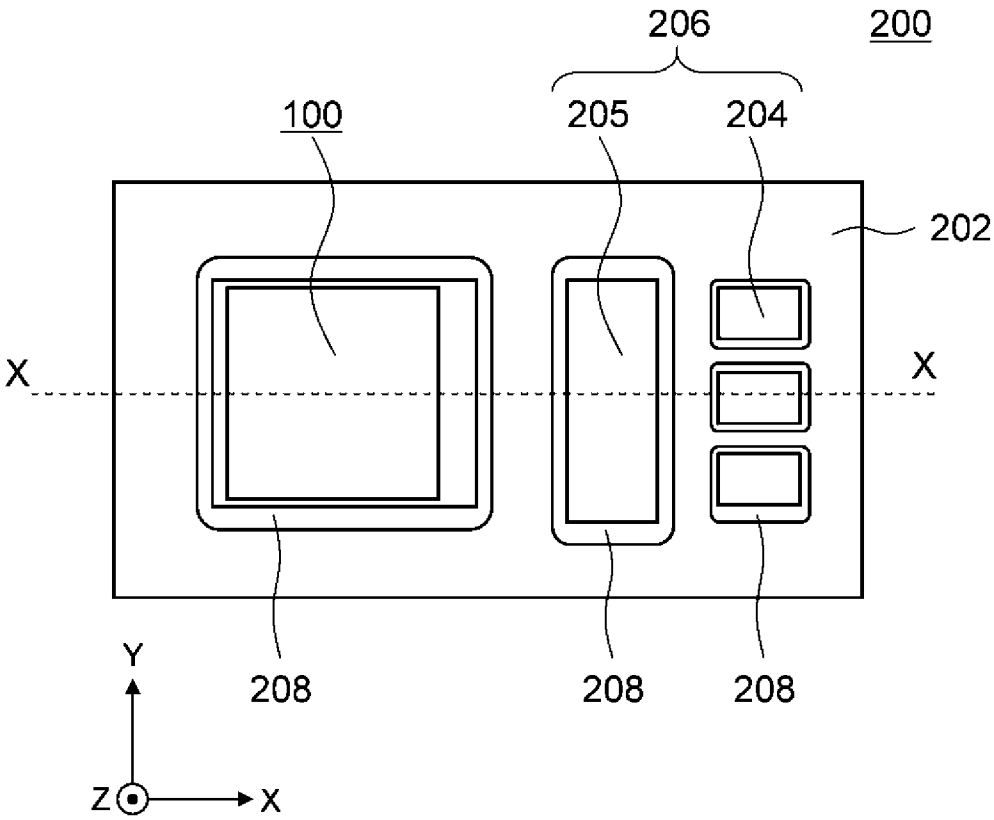
[図7]



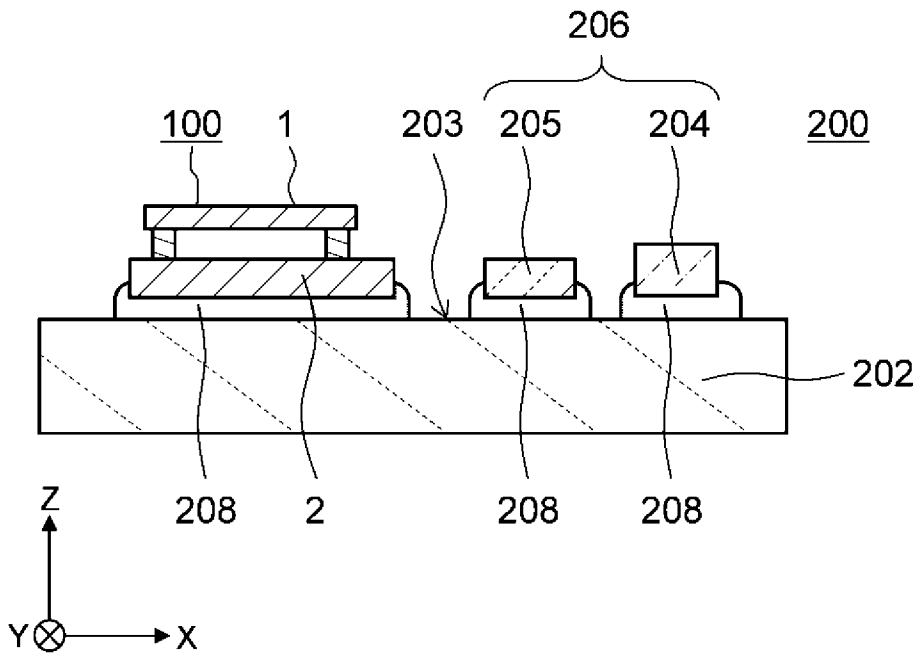
[図8]



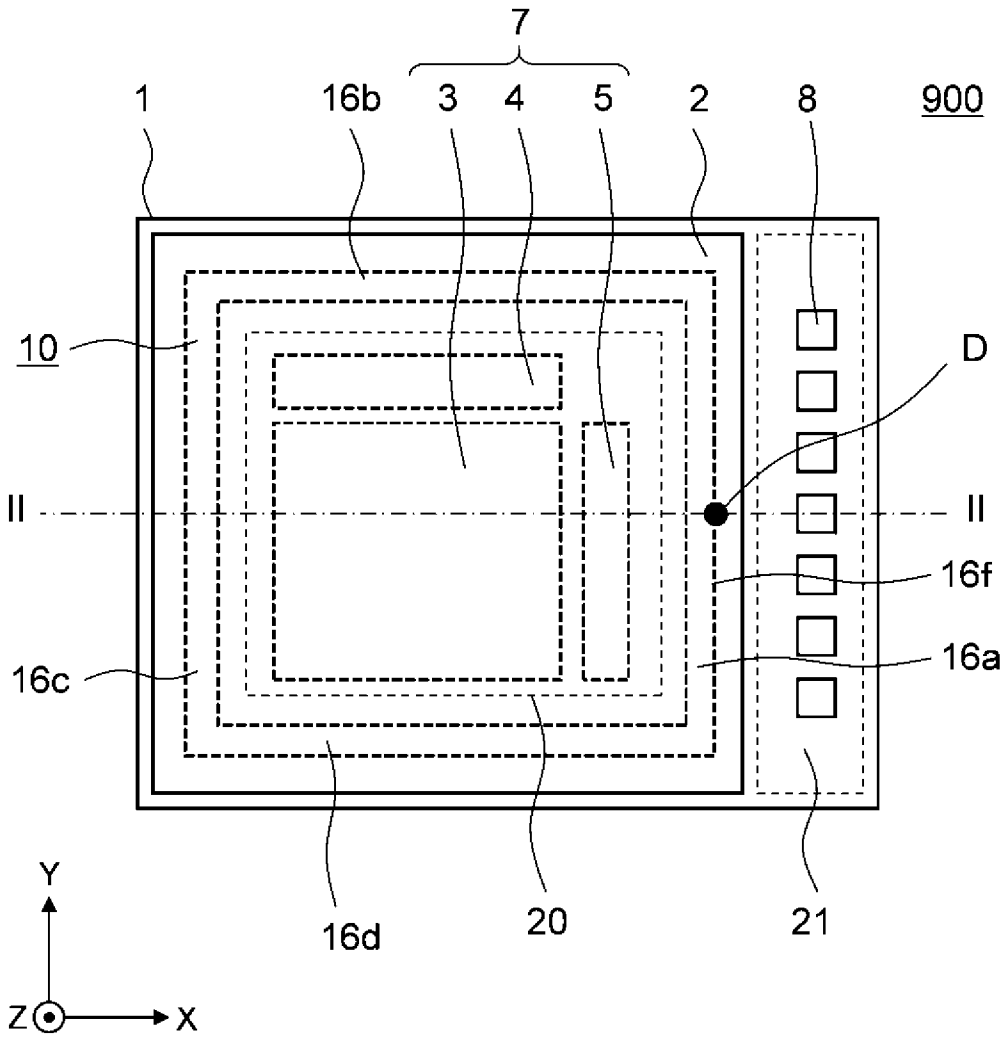
[図9]


206
200
100
205
204
202
X
X
208
208
208
Y
Z
X

[図10]


206
100
1
203
205
204
200
202
208
2
208
208
Z
Y
X

[図11]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2021/036754

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/02(2006.01)i; ***H01L 23/10***(2006.01)i; ***H01L 25/065***(2006.01)i; ***H01L 25/07***(2006.01)i; ***H01L 25/18***(2006.01)i
FI: H01L25/08 Z; H01L23/02 C; H01L23/10 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/02; H01L23/10; H01L25/065; H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2021
Registered utility model specifications of Japan 1996-2021
Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2020-017717 A (MITSUBISHI ELECTRIC CORP.) 30 January 2020 (2020-01-30) entire text, all drawings	1-7
A	JP 2003-133535 A (KYOCERA CORP.) 09 May 2003 (2003-05-09) entire text, all drawings	1-7
A	JP 5-335435 A (KYOCERA CORP.) 17 December 1993 (1993-12-17) entire text, all drawings	1–7

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
22 November 2021	**07 December 2021**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/036754

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2020-017717 A	30 January 2020	(Family: none)	
JP 2003-133535 A	09 May 2003	(Family: none)	
JP 5-335435 A	17 December 1993	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2021/036754

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 23/02(2006.01)i; H01L 23/10(2006.01)i; H01L 25/065(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i
FI: H01L25/08 Z; H01L23/02 C; H01L23/10 Z

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L23/02; H01L23/10; H01L25/065; H01L25/07; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２１年
日本国実用新案登録公報	１９９６－２０２１年
日本国登録実用新案公報	１９９４－２０２１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2020-017717 A (三菱電機株式会社) 30.01.2020 (2020-01-30) 全文全図	1-7
A	JP 2003-133535 A (京セラ株式会社) 09.05.2003 (2003-05-09) 全文全図	1-7
A	JP 5-335435 A (京セラ株式会社) 17.12.1993 (1993-12-17) 全文全図	1-7

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
22.11.2021	07.12.2021

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
中田　剛史 5F 2951
電話番号 03-3581-1101 内線 3559

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2021/036754

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-017717 A	30.01.2020	（ファミリーなし）	
JP 2003-133535 A	09.05.2003	（ファミリーなし）	
JP 5-335435 A	17.12.1993	（ファミリーなし）	