

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年12月29日(29.12.2010)

PCT

(10) 国際公開番号
WO 2010/150430 A1

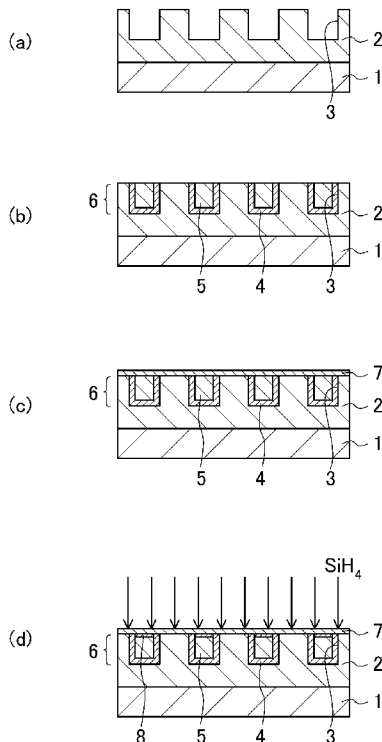
- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 23/52 (2006.01)
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2010/000444
- (22) 国際出願日: 2010年1月27日(27.01.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-148054 2009年6月22日(22.06.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 原田剛史(HARADA, Takeshi). 柴田潤一(SHIBATA, Junichi). 植木彰(UEKI, Akira).
- (74) 代理人: 前田弘, 外(MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR MANUFACTURE THEREOF

(54) 発明の名称: 半導体装置及びその製造方法

[図2]



(57) Abstract: A first insulating film (2) is formed on a semiconductor substrate (1), wiring grooves (3) are formed on the first insulating film (2), a metal film (5) is embedded in the inside of each of the wiring grooves (3) to form a first wiring line (6). Subsequently, a protective film (7) is formed on the first insulating film (2) and the first wiring line (6), and a reactive layer (8) is formed on the interface between the first wiring line (6) and the protective film (7).

(57) 要約: 半導体基板(1)の上に第1の絶縁膜(2)を形成し、第1の絶縁膜(2)に配線溝(3)を形成し、形成された配線溝(3)の内部に金属膜(5)を埋め込んで第1の配線(6)を形成する。その後、第1の絶縁膜(2)及び第1の配線(6)の上に保護膜(7)を形成し、第1の配線(6)と保護膜(7)との界面に反応層(8)を形成する。

WO 2010/150430 A1

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, 添付公開書類:
TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関し、特に、埋め込み型の配線構造を有する半導体装置及びその製造方法に関する。

背景技術

[0002] 近年、半導体集積回路装置において、装置の微細化に伴い、装置内の配線を通る電流が増大するため、エレクトロマイグレーションに起因する故障が深刻化している。

[0003] エレクトロマイグレーションを防止するには、配線とその周囲の膜との密着性を向上させる必要がある。これまでに、銅（Cu）からなる配線の表面をシラン（SiH₄）等のシリコン化合物に暴露してケイ化銅（CuSi_x）層を形成することにより、配線とその周囲の膜との密着性を向上させる方法が特許文献１等に提示されている。

[0004] 図１１（a）～図１１（d）及び図１２（a）～図１２（c）は、従来の配線とその周囲の膜との密着性を向上させる半導体装置の製造方法を工程順に示している。

[0005] まず、図１１（a）に示すように、半導体基板１０１の上に、第１の絶縁膜１０２を形成し、リソグラフィ法及びドライエッチング法を用いて、第１の絶縁膜１０２の上部に第１の配線溝１０３を形成する。

[0006] 次に、図１１（b）に示すように、第１の絶縁膜１０２の上並びに第１の配線溝１０３の側壁上及び底面上に第１のバリア膜１０４及び第１の銅（Cu）膜１０５を順次形成することにより第１の配線溝１０３を埋め込む。続いて、第１の配線溝１０３の外部に形成された第１のバリア膜１０４及び第１のCu膜１０５を化学機械研磨（Chemical Mechanical Polishing：CMP）法により除去して、下部配線１０６を形成する。

[0007] 次に、図１１（c）に示すように、半導体基板１０１を加熱し、SiH₄等

のシリコン化合物に暴露することにより、第1のCu膜105の上部に反応層であるケイ化銅(CuSi_x)層107を形成する。

[0008] 次に、図11(d)に示すように、半導体基板101の上をアンモニア(NH₃)等の窒素化合物のプラズマに暴露することにより、CuSi_x層107の上部を窒化して、窒化シリコン(SiN)層108を形成する。

[0009] 次に、図12(a)に示すように、第1の絶縁膜102、第1のバリア膜104及びSiN膜108を覆うように第2の絶縁膜109を形成し、リソグラフィ法及びドライエッチング法により、第2の絶縁膜109に下部配線106を露出するビアホール110を形成する。

[0010] 次に、図12(b)に示すように、第2の絶縁膜109の上部に複数の第2の配線溝111を形成する。複数の第2の配線溝111の一部は、下部配線106を露出するビアホール110を有する。

[0011] 次に、図12(c)に示すように、第2の絶縁膜109の上、ビアホール110の側壁上及び底面上並びに第2の配線溝111の側壁上及び底面上に第2のバリア膜112及び第2のCu膜113を順次形成することにより、ビアホール110及び第2の配線溝111を埋め込む。続いて、ビアホール110及び第2の配線溝111の外部に形成された第2のバリア膜112及び第2のCu膜113をCMP法により除去して、上部配線114を形成することによって、2層の配線を備える半導体装置が完成する。また、この後、図11(c)～図12(c)に示す工程を繰り返すことにより、所望の層数の配線を備える半導体装置を製造することができる。

[0012] このようにすると、第1のCu膜105とSiN膜108との間にCuSi_x層107が介在する半導体装置が得られ、CuSi_x層107により、第1のCu膜105とSiN膜108との密着性を改善できる。

先行技術文献

特許文献

[0013] 特許文献1：特開平10-189604号公報

発明の概要

発明が解決しようとする課題

- [0014] しかしながら、前記従来の半導体装置の製造方法には、以下のような問題がある。
- [0015] 従来の半導体装置の製造方法は、反応層である CuSi_x 層を形成する際に、 Cu 膜の表面温度及び結晶状態のばらつきにより、 Cu 膜と SiH_4 との反応が想定以上に進行して、想定よりも厚い CuSi_x 層が形成されることがある。この結果、配線の抵抗が増大し、半導体装置の動作速度が低下する。特に、最小線幅が 100nm 以下である微細な半導体装置においては、配線の抵抗の増大による動作速度の低下は、深刻な問題となる。
- [0016] 上記の問題を回避するため、半導体基板を加熱する温度を低く設定することが考えられる。しかしながら、この方法では、 Cu 膜と SiH_4 とが反応することにより生成する CuSi_x 層の厚さが薄くなるため、 Cu 膜と Cu 膜の周囲の膜との密着性が低下するので、エレクトロマイグレーション耐性が劣化してしまう。
- [0017] 本発明は、前記の問題に鑑み、その目的は、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得られるようにすることにある。

課題を解決するための手段

- [0018] 前記の目的を達成するために、本発明は、半導体装置の製造方法を、配線と保護膜との界面に反応層を形成する構成とする。
- [0019] 具体的に、本発明に係る第1の半導体装置の製造方法は、半導体基板の上に第1の絶縁膜を形成する工程（a）と、第1の絶縁膜に配線溝を形成する工程（b）と、配線溝に第1の配線を形成する工程（c）と、第1の絶縁膜及び第1の配線の上に保護膜を形成する工程（d）と、工程（d）よりも後に、第1の配線と保護膜との界面に反応層を形成する工程（e）とを備えている。
- [0020] 本発明に係る第1の半導体装置の製造方法によると、第1の絶縁膜及び第1の配線の上に保護膜を形成し、第1の配線と保護膜との界面に反応層を形

成するため、反応層の厚さを精度良く制御することが可能となるので、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

[0021] 本発明に係る第１の半導体装置の製造方法において、工程（e）は、シリコン化合物又はゲルマニウム化合物を保護膜の表面に暴露することにより行われることが好ましい。

[0022] 本発明に係る第１の半導体装置の製造方法において、工程（e）は、反応性ガスを化学的に活性化する工程を含むことが好ましい。

[0023] この場合、工程（e）において、反応性ガスをイオン化することにより化学的に活性化することが好ましい。

[0024] 本発明に係る第１の半導体装置の製造方法において、工程（e）は、反応性ガスを物理的に活性化する工程を含むことが好ましい。

[0025] この場合、工程（e）において、反応性ガスに運動エネルギーを付与することにより物理的に活性化することが好ましい。

[0026] 本発明に係る第１の半導体装置の製造方法は、保護膜の上に第２の絶縁膜を形成する工程（f）と、第２の絶縁膜の内部にビアホールを形成する工程（g）と、ビアホールと接続するように第２の配線を形成する工程（h）とをさらに備えていてもよい。

[0027] 本発明に係る第１の半導体装置の製造方法において、保護膜は、シリコン炭窒化膜であることが好ましい。

[0028] 本発明に係る第１の半導体装置の製造方法は、工程（c）と工程（d）との間に、第１の配線の上に被覆層を形成する工程（c１）をさらに備えていることが好ましい。

[0029] この場合、被覆層の主たる構成材料は、ニッケル、ニッケル合金、コバルト及びコバルト合金のうちのいずれかであることが好ましい。

[0030] 本発明に係る第１の半導体装置の製造方法は、工程（e）よりも後に、保護膜の表面をプラズマに暴露する工程（e１）をさらに備えていることが好ましい。

- [0031] この場合、プラズマは、窒素化合物を含む雰囲気中において発生させることが好ましい。
- [0032] 本発明に係る第１の半導体装置の製造方法は、工程（e）よりも後に、保護膜の表面を紫外光に暴露する工程（e２）をさらに備えていることが好ましい。
- [0033] 本発明に係る第１の半導体装置の製造方法は、工程（e）よりも後に、保護膜の上にストッパ膜を形成する工程（e３）をさらに備えていることが好ましい。
- [0034] この場合、ストッパ膜は、酸素添加シリコン炭化膜又はシリコン窒化膜であることが好ましい。
- [0035] 本発明に係る第１の半導体装置の製造方法において、反応層は、シリコン化合物層又はゲルマニウム化合物層であることが好ましい。
- [0036] 本発明に係る第１の半導体装置の製造方法において、第１の配線の主たる構成材料は、アルミニウム、アルミニウム合金、銅、銅合金、銀、銀合金、金及び金合金のうちのいずれかであることが好ましい。
- [0037] 本発明に係る第２の半導体装置の製造方法は、半導体基板の上に第１の絶縁膜を形成する工程と、第１の絶縁膜に配線溝を形成する工程と、配線溝に第１の配線を形成する工程と、第１の配線の上部に反応層を形成する工程とを備え、前記反応層は、供給律速の条件により形成する。
- [0038] 本発明に係る第２の半導体装置の製造方法によると、反応層は、供給律速の条件により形成するため、反応層の厚さを精度良く制御することが可能となるので、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。
- [0039] 本発明に係る第２の半導体装置の製造方法において、反応層は、シリコン化合物層又はゲルマニウム化合物層であることが好ましい。
- [0040] 本発明に係る半導体装置は、半導体基板の上に形成された第１の絶縁膜と、第１の絶縁膜に形成された第１の配線と、第１の絶縁膜及び第１の配線の上に形成された保護膜と、第１の配線と保護膜との界面に形成された反応層

とを備えている。

[0041] 本発明に係る半導体装置によると、第1の絶縁膜及び第1の配線の上に形成された保護膜と、第1の配線と保護膜との界面に形成された反応層とを備えているため、反応層の膜厚を精度良く制御することが可能となるので、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができる。

[0042] 本発明に係る半導体装置は、保護膜の上に形成された第2の絶縁膜と、第1の配線の上に、保護膜及び第2の絶縁膜を貫通するように形成されたビアホールと、ビアホールと接続するように形成された第2の配線とをさらに備えていてもよい。

[0043] 本発明に係る半導体装置は、保護膜の上に形成されたストッパ膜と、ストッパ膜の上に形成された第2の絶縁膜と、第1の配線の上に、保護膜、ストッパ膜及び第2の絶縁膜を貫通するように形成されたビアホールと、ビアホールと接続するように形成された第2の配線とをさらに備えていることが好ましい。

[0044] 本発明に係る半導体装置において、保護膜は、シリコン炭窒化膜であることが好ましい。

[0045] 本発明に係る半導体装置において、ストッパ膜は、酸素添加シリコン炭化膜又はシリコン窒化膜であることが好ましい。

[0046] 本発明に係る半導体装置において、反応層は、シリコン化合物層又はゲルマニウム化合物層であることが好ましい。

[0047] この場合、反応層は、ニッケル又はコバルトを含むことが好ましい。

[0048] 本発明に係る半導体装置において、第1の配線の主たる構成材料は、アルミニウム、アルミニウム合金、銅、銅合金、銀、銀合金、金及び金合金のうちのいずれかであることが好ましい。

発明の効果

[0049] 本発明に係る半導体装置及びその製造方法によると、反応層の膜厚を精度良く制御することが可能となるため、実用上十分なエレクトロマイグレーション

オン耐性及び動作速度を有する半導体装置を得ることができる。

図面の簡単な説明

- [0050] [図1] 図 1 は本発明の第 1 の実施形態に係る半導体装置を示す断面図である。
- [図2] 図 2 (a) ~ 図 2 (d) は本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。
- [図3] 図 3 (a) ~ 図 3 (c) は本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。
- [図4] 図 4 は本発明の第 1 の実施形態の第 1 の変形例に係る半導体装置を示す断面図である。
- [図5] 図 5 (a) ~ 図 5 (c) は本発明の第 1 の実施形態の第 1 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。
- [図6] 図 6 (a) ~ 図 6 (c) は本発明の第 1 の実施形態の第 1 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。
- [図7] 図 7 (a) ~ 図 7 (d) は本発明の第 1 の実施形態の第 2 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。
- [図8] 図 8 は本発明の第 2 の実施形態に係る半導体装置を示す断面図である。
- [図9] 図 9 (a) ~ 図 9 (c) は本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。
- [図10] 図 10 (a) ~ 図 10 (c) は本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。
- [図11] 図 11 (a) ~ 図 11 (d) は従来の半導体装置の製造方法を工程順に示す断面図である。
- [図12] 図 12 (a) ~ 図 12 (c) は従来の半導体装置の製造方法を工程順に示す断面図である。

発明を実施するための形態

[0051] (第 1 の実施形態)

本発明の第 1 の実施形態に係る半導体装置について、図 1 を参照しながら説明する。

[0052] なお、以下に示す各図並びに種々の構成要素の形状、材料及び寸法等はいずれも望ましい例を挙げるものであり、示した内容に限定されない。発明の趣旨を逸脱しない範囲であれば、記載内容に限定されることなく適宜変更可能である。

[0053] 図 1 に示すように、半導体基板 1 の上には、炭素添加シリコン酸化膜（ SiOC 膜）である第 1 の絶縁膜 2 が形成され、第 1 の絶縁膜 2 の上部には、第 1 の配線溝 3 が形成されている。第 1 の配線溝 3 の側壁上及び底面上には、第 1 のバリア膜 4 が形成され、第 1 のバリア膜 4 の上には、第 1 の配線溝 3 を埋め込むように第 1 の銅（ Cu ）膜 5 が形成されて、下部配線 6 が形成されている。第 1 の Cu 膜 5 の上には、反応層であるケイ化銅（ CuSi_x ）層 8 が形成され、第 1 の絶縁膜 2、第 1 のバリア膜 4 及び CuSi_x 層 8 を覆うように、膜厚が約 10 nm のシリコン炭窒化膜（ SiCN 膜）である保護膜 7 が形成されている。保護膜 7 の上には、 SiOC 膜である第 2 の絶縁膜 9 が形成されている。一部の CuSi_x 層 8 及びその周辺に形成されている第 1 のバリア膜 4 の上には、第 2 の絶縁膜 9 及び保護膜 7 を貫通し、下部配線 6 を露出するビアホール 10 が形成され、第 2 の絶縁膜 9 の上部には、複数の第 2 の配線溝 11 が形成されている。複数の第 2 の配線溝 11 の一部は、下部配線 6 を露出するビアホール 10 を有する。ビアホール 10 及び第 2 の配線溝 11 の側壁上及び底面上には、第 2 のバリア膜 12 が形成され、第 2 のバリア膜 12 の上には、ビアホール 10 及び第 2 の配線溝 11 を埋め込むように第 2 の Cu 膜 13 が形成されて、ビア及び上部配線 14 が形成されている。ここで、下部配線 6 と上部配線 14 とをビアが接続している。

[0054] 本発明の第 1 の実施形態に係る半導体装置によると、配線の抵抗の増大を抑制すると共に、配線と周囲の膜との密着性を向上させるのに必要な厚さを有する反応層を備えるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができる。

[0055] 次に、本発明の第 1 の実施形態に係る半導体装置の製造方法について、図 2（a）～図 2（d）及び図 3（a）～図 3（c）を参照しながら説明する

- 。
- [0056] まず、図 2 (a) に示すように、半導体基板 1 の上に S i O C 膜である第 1 の絶縁膜 2 を形成し、リソグラフィ法及びドライエッチング法により、第 1 の絶縁膜 2 の上部に第 1 の配線溝 3 を形成する。
- [0057] 次に、図 2 (b) に示すように、第 1 の絶縁膜 2 の上並びに第 1 の配線溝 3 の側壁上及び底面上に第 1 のバリア膜 4 及び第 1 の C u 膜 5 を順次形成することにより、第 1 の配線溝 3 を埋め込む。続いて、第 1 の配線溝 3 の外部に形成された第 1 のバリア膜 4 及び第 1 の C u 膜 5 を化学機械研磨 (CMP) 法により除去して、下部配線 6 を形成する。本実施形態において、下部配線 6 の最小線幅は約 60 nm とし、高さは約 100 nm に設定している。
- [0058] 次に、図 2 (c) に示すように、第 1 の絶縁膜 2、第 1 のバリア膜 4 及び第 1 の C u 膜 5 を覆うように膜厚が約 10 nm の S i C N 膜である保護膜 7 を形成する。
- [0059] 次に、図 2 (d) に示すように、半導体基板 1 を 400℃程度に加熱し、S i H₄ に暴露する。これにより、第 1 の C u 膜 5 と保護膜 7 との界面に反応層である C u S i_x 層 8 が形成される。これは、S i H₄ が保護膜 7 の内部を拡散し、第 1 の C u 膜 5 の表面に到達し、第 1 の C u 膜 5 と反応するためである。このように、C u S i_x 層 8 を形成することにより、従来技術と比較して C u S i_x 層 8 の厚さを精度良く制御することができる。この理由に関しては、後に詳しく説明する。
- [0060] 次に、図 3 (a) に示すように、保護膜 7 の上に S i O C 膜である第 2 の絶縁膜 9 を形成し、リソグラフィ法及びドライエッチング法により、第 2 の絶縁膜 9 に保護膜 7 を露出するビアホール 10 を形成する。
- [0061] 次に、図 3 (b) に示すように、リソグラフィ法及びドライエッチング法により、第 2 の絶縁膜 9 の上部に複数の第 2 の配線溝 11 を形成すると共に、ビアホール 10 の底面の保護膜 7 を除去して、第 1 のバリア膜 4 及び C u S i_x 層 8 を露出する。複数の第 2 の配線溝 11 の一部は、下部配線 6 を露出するビアホール 10 を有する。

[0062] 次に、図3(c)に示すように、第2の絶縁膜9の上、ビアホール10の側壁上及び底面上並びに第2の配線溝11の側壁上及び底面上に第2のバリア膜12及び第2のCu膜13を順次形成しビアホール10及び第2の配線溝11を埋め込む。その後、ビアホール10及び第2の配線溝11の外部の第2のバリア膜12及び第2のCu膜13をCMP法により除去して、ビア及び上部配線14を形成することにより、2層の配線を有する半導体装置が完成する。本実施形態では、上部配線14の最小線幅を約60nmとし、高さを約100nmに設定している。なお、図3(c)に示す工程の後、図2(c)～図3(c)に示す工程を繰り返すことにより、所望の層数の配線を有する半導体装置を製造することもできる。

[0063] 本発明の第1の実施形態に係る半導体装置の製造方法によると、反応層であるCuSi_x層の厚さを精度良く制御できるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

[0064] ここで、本実施形態において、従来の技術と比較してCuSi_x層8の厚さを精度良く制御できる理由について説明する。一般に、Cu膜の表面において、SiH₄は触媒作用により分解し、CuSi_x層が形成されることが知られている。300℃以下の低温において、この反応は反応律速であるため、形成されるCuSi_x層の厚さは、Cu膜の表面温度及び結晶状態に大きく影響される。一方、本実施形態では、第1のCu膜5の上に保護膜7を形成することにより、SiH₄を保護膜7の内部に拡散し、第1のCu膜5の表面に供給するため、反応をSiH₄の供給律速とすることができる。すなわち、形成されるCuSi_x層8の厚さは、第1のCu膜5の表面に到達するSiH₄の量によって決まるため、第1のCu膜5の表面温度及び結晶状態に影響されない。以上の理由により、本実施形態では、従来の技術と比較してCuSi_x層8の厚さを精度良く制御することができる。

[0065] なお、CuSi_x層8を形成する反応を供給律速とするには、前記の方法の他に、半導体基板1の加熱温度を例えば350℃程度に高く設定し、SiH₄

の分圧を例えば 1 mPa 程度に低く設定した上で、保護膜 7 を形成せずに第 1 の Cu 膜 5 と SiH_4 とを直接接触させる方法もある。ただし、この方法では、 CuSi_x 層 8 の成長速度が大きく、半導体装置の製造に必要な数 nm の厚さの CuSi_x 層 8 を制御性良く形成することは困難であるため、前記のように保護膜 7 を介して SiH_4 を供給する方法が好ましい。

[0066] 前記のように、保護膜 7 の役割は、第 1 の Cu 膜 5 の表面に到達する SiH_4 の量を適切に制御することであるため、保護膜 7 は、 SiH_4 が通過できる程度の径の細孔を有している必要がある。また、保護膜 7 は、第 1 の絶縁膜 2、第 1 の Cu 膜 5 及び第 2 の絶縁膜 9 に対し、化学的に不活性であり、適度な密着性を有することも必要である。これらを満足する材料としては、 CH_3 基を不純物として含む SiCN が挙げられる。このような SiCN からなる保護膜 7 は、テトラメチルシラン (tetramethylsilane: TMS) 及びアンモニア (NH_3) を原料ガスとして用いるプラズマ化学気相成長 (Chemical Vapor Deposition: CVD) 法により得ることができる。また、保護膜 7 の膜厚は、 2.5 nm よりも薄くなると、ピンホール等に起因する CuSi_x 層 8 の異常成長の頻度が上昇してしまう。一方、保護膜 7 の膜厚が 20 nm よりも厚くなると、第 1 の Cu 膜 5 の表面に SiH_4 が到達する量が極端に減少し、 CuSi_x 層 8 が成長する速度が極端に低下してしまう。従って、保護膜 7 の膜厚は、 2.5 nm 以上且つ 20 nm 以下程度に設定することが好ましい。そこで、本実施形態では、保護膜 7 として膜厚が約 10 nm の SiCN 膜を用いている。

[0067] 次に、図 2 (d) に示す工程における、半導体基板 1 の好ましい加熱温度について説明する。加熱温度を 300°C よりも低く設定すると、 SiH_4 が保護膜 7 の内部を拡散する速度が低下するため、十分な厚さの CuSi_x 層 8 が得られない。また、加熱温度を 400°C よりも高く設定すると、 SiH_4 の分解反応のために保護膜 7 の表面に Si 層が形成される。従って、加熱温度は、 300°C 以上且つ 400°C 以下程度に設定することが好ましいため、本実施形態では加熱温度を 400°C 程度としている。

[0068] 次に、図2（d）に示す工程における、CuSi_x層8の好ましい厚さについて説明する。CuSi_x層8の厚さが2nmよりも小さくなると、CuSi_x層8の連続性を保つことが困難となり、第1のCu膜5と保護膜7との密着性が低下する。また、CuSi_x層8の厚さが10nmよりも大きくなると、下部配線6の抵抗が上昇し、半導体装置の動作速度が低下する。従って、CuSi_x層8の厚さは、2nm以上且つ10nm以下程度に設定することが好ましい。

[0069] （第1の実施形態の第1の変形例）

以下、本発明の第1の実施形態の第1の変形例に係る半導体装置について、図4を参照しながら説明する。第1の実施形態の第1の変形例の半導体装置において、第1の実施形態の半導体装置における図1に示す部材と同一の部材については、同一の符号を付与することにより説明を省略し、第1の実施形態と異なる点について説明する。

[0070] 図4に示すように、第1のCu膜5の上に反応層16が形成され、反応層16の上に保護膜7が形成されている点が第1の実施形態と異なる。反応層16は、CuSi_xとNiSi_xとの混合物からなる。このように、反応層16を形成することにより、第1の実施形態と比較して、第1のCu膜5と保護膜7の密着性がさらに向上するため、エレクトロマイグレーション耐性をさらに向上させることができる。

[0071] 本発明の第1の実施形態の第1の変形例に係る半導体装置によると、配線の抵抗の増大を抑制すると共に、配線と周囲の膜との密着性を向上させるのに必要な厚さを有する反応層を備えるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができる。

[0072] 以下、本発明の第1の実施形態の第1の変形例に係る半導体装置の製造方法について、図5（a）～図5（c）及び図6（a）～図6（c）を参照しながら説明する。なお、図5（a）～図5（c）及び図6（a）～図6（c）において、第1の実施形態における図2（a）～図2（d）及び図3（a）～図3（c）に示す部材と同一の部材については、同一の符号を付与する

ことにより説明を省略する。また、第1の実施形態の第1の変形例において、半導体基板1～下部配線6を形成するまでの工程は、第1の実施形態と同一であるため説明を省略する。

[0073] まず、図5(a)に示すように、第1のCu膜5の上部に被覆層15を形成する。ここで、被覆層15は、第1のCu膜5の表面に選択的に形成でき、且つ、 SiH_4 と反応して安定な化合物を生成することが必要である。これらを満足する材料としては、ニッケル(Ni)膜、Ni合金膜、コバルト(Co)膜及びCo合金膜等が知られている。これらは、無電解メッキ法により第1のCu膜5の表面に選択的に形成することができる。本実施形態において、被覆層15は、無電解メッキ法により析出させたNi層である。

[0074] 次に、図5(b)に示すように、第1の絶縁膜2、第1のバリア膜4及び被覆層15を覆うように保護膜7を形成する。

[0075] 次に、図5(c)に示すように、半導体基板1を加熱し、 SiH_4 に暴露する。これにより、第1のCu膜5と保護膜7との界面に反応層16が形成される。本実施形態の場合、反応層16は、 CuSi_x と NiSi_x との混合物からなる。このように、反応層16を形成することにより、第1の実施形態と比較して、第1のCu膜5と保護膜7の密着性がさらに向上するため、エレクトロマイグレーション耐性をさらに向上させることができる。

[0076] 次に、図6(a)～図6(c)に示すように、第1の実施形態と同様に、保護膜7の上に第2の絶縁膜9を形成し、第2の絶縁膜9にビアホール10及び第2の配線溝11を形成した後、ビアホール10及び第2の配線溝11を埋め込むように第2のバリア膜12及び第2のCu膜13を順次形成して、ビア及び上部配線14を形成する。なお、図6(c)に示す工程の後、図5(b)～図6(c)に示す工程を繰り返すことにより、所望の層数の配線を有する半導体装置を製造することもできる。

[0077] 本発明に係る第1の実施形態の第1の変形例によると、反応層である CuSi_x と NiSi_x との混合物からなる層の厚さを精度良く制御できるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体

装置を得ることができる。

[0078] (第1の実施形態の第2の変形例)

以下、本発明の第1の実施形態の第2の変形例について、図7(a)～図7(d)を参照しながら説明する。なお、図7(a)～図7(d)において、第1の実施形態における図2(a)～図2(d)及び図3(a)～図3(c)に示す部材と同一の部材については、同一の符号を付与することにより説明を省略する。また、第1の実施形態の第2の変形例において、半導体基板1～CuSi_x層8を形成するまでの工程は第1の実施形態と同一であるため説明を省略する。

[0079] まず、図7(a)に示すように、保護膜7の表面をNH₃プラズマに暴露する。これにより、第1のCu膜5、保護膜7及びCuSi_x層8の相互拡散が促進され、第1のCu膜5と保護膜7との密着性が向上するため、第1の実施形態と比較してエレクトロマイグレーション耐性を向上させることができる。ここで、この効果を確実に得るためには、保護膜7の表面に、窒素(N₂)、ジアゼン(HN=NH)及びヒドラジン(H₂N-NH₂)等の窒素化合物を含む雰囲気中において発生させたプラズマを照射することが好ましい。また、他の好ましい方法としては、保護膜7の表面に紫外光を照射することが挙げられる。

[0080] 次に、図7(b)～図7(d)に示すように、第1の実施形態と同様に、保護膜7の上に第2の絶縁膜9を形成し、第2の絶縁膜9にビアホール10及び第2の配線溝11を形成した後、ビアホール10及び第2の配線溝11を埋め込むように第2のバリア膜12及び第2のCu膜13を順次形成して、ビア及び上部配線14を形成する。なお、図7(d)に示す工程の後、図2(c)、図2(d)及び図7(a)～図7(d)に示す工程を繰り返すことにより、所望の層数の配線を有する半導体装置を製造することもできる。

[0081] 本実施形態は、第1の実施形態に対して工程を追加した例であるが、第1の実施形態の第1の変形例に対しても同様に適用することができる。

[0082] 本発明に係る第1の実施形態の第2の変形例によると、反応層であるCu

S i_x層の厚さを精度良く制御できるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

[0083] (第2の実施形態)

以下、本発明の第2の実施形態に係る半導体装置について、図8を参照しながら説明する。第2の実施形態の半導体装置は、第1の実施形態の半導体装置における図1に示す半導体基板1～下部配線6及びCuS i_x層8の構造と同一であるため、説明を省略する。

[0084] 図8に示すように、第1の絶縁膜2、第1のバリア膜4及びCuS i_x層8を覆うように、膜厚が約5nmのシリコン炭窒化膜(S i C N)である保護膜17が形成されている。保護膜17の上には、膜厚が約20nmの酸素添加シリコン炭化膜(S i C O膜)であるストッパ膜18が形成されている。ストッパ膜18の上には、S i O C膜である第2の絶縁膜9が形成されている。一部のCuS i_x層8及びその周辺に形成されている第1のバリア膜4の上には、第2の絶縁膜9、ストッパ膜18及び保護膜17を貫通し、CuS i_x層8及び第1のバリア膜4を露出するビアホール10が形成され、第2の絶縁膜9の上部には、第2の配線溝11が形成されている。ビアホール10及び第2の配線溝11の側壁上及び底面上には、第2のバリア膜12が形成され、第2のバリア膜12の上には、ビアホール10及び第2の配線溝11を埋め込むように第2のCu膜13が形成されて、ビア及び上部配線14が形成されている。ここで、下部配線6と上部配線14とをビアが接続している。

[0085] 第2の絶縁膜9の材料によっては、ビアホール10を形成する際にビアホール10の底部に下部配線6を露出させず、第2の配線溝11を形成する際に下部配線6を露出させる方が、歩留まりが良好な場合がある。これを安定して実現するために、本実施形態では、第2の絶縁膜9に対してエッチング選択比の大きいストッパ膜18を形成している。

[0086] 本発明の第2の実施形態に係る半導体装置によると、配線の抵抗の増大を抑制すると共に、配線と周囲の膜との密着性を向上させるのに必要な厚さを

有する反応層を備えるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができる。

[0087] 以下、本発明の第2の実施形態に係る半導体装置の製造方法について、図9(a)～図9(c)及び図10(a)～図10(c)を参照しながら説明する。なお、図9(a)～図9(c)及び図10(a)～図10(c)において、第1の実施形態における図2(a)～図2(d)及び図3(a)～図3(c)に示す部材と同一の部材については、同一の符号を付与することにより説明を省略する。また、第2の実施形態において、半導体基板1～下部配線6を形成するまでの工程は第1の実施形態と同一であるため説明を省略する。

[0088] まず、図9(a)に示すように、第1の絶縁膜2、第1のバリア膜4及び第1のCu膜5の上に、膜厚が約5nmのSiCN膜である保護膜17を形成する。

[0089] 次に、図9(b)に示すように、半導体基板1を加熱し、SiH₄に暴露する。これにより、第1のCu膜5と保護膜17との界面に反応層であるCuSi_x層8が形成される。

[0090] 次に、図9(c)に示すように、保護膜17の上にストッパ膜18を形成する。ここで、ストッパ膜18の材料として、SiCO又は窒化シリコン(SiN)を用いることが好ましい。SiCOは、テトラメチルシラン(TMS)及び二酸化炭素(CO₂)を原料ガスとして用いたプラズマCVD法により得ることができ、SiNはシラン及びNH₃を原料ガスとして用いたプラズマCVD法により得ることができる。本実施形態では、ストッパ膜18は、膜厚が約20nmのSiCO膜を用いている。

[0091] 次に、図10(a)に示すように、ストッパ膜18の上に第2の絶縁膜9を形成する。

[0092] 次に、図10(b)に示すように、第2の絶縁膜9の内部にビアホール10を形成する。このとき、ビアホール10のエッチングは、第2の絶縁膜9と比べて、ストッパ膜18の方がエッチングレートが低い条件で行い、スト

ツパ膜 18 の表面においてエッチングを停止する。

[0093] 第 2 の絶縁膜 9 の材料によっては、ビアホール 10 を形成する際にビアホール 10 の底部に下部配線 6 を露出させず、第 2 の配線溝 11 を形成する際に下部配線 6 を露出させる方が、歩留まりが良好な場合がある。これを安定して実現するためには、第 2 の絶縁膜 9 に対してエッチング選択比の大きいストツパ膜 18 を形成し、ビアホール 10 の形成のためのエッチングをストツパ膜 18 が露出するまで行うことが有効である。

[0094] 次に、図 10 (c) に示すように、第 2 の絶縁膜 9 の上部に複数の第 2 の配線溝 11 を形成すると共に、ビアホール 10 の底部の保護膜 17 及びストツパ膜 18 を除去した後、ビアホール 10 及び第 2 の配線溝 11 を埋め込むように第 2 のバリア膜 12 及び第 2 の Cu 膜 13 を順次形成して、ビア及び上部配線 14 を形成する。なお、図 10 (c) に示す工程の後、図 9 (a) ~ 図 9 (c) 及び図 10 (a) ~ 図 10 (c) に示す工程を繰り返すことにより、所望の層数の配線を有する半導体装置を製造することもできる。

[0095] 本実施形態は、第 1 の実施形態に対してストツパ膜 18 を形成する工程を追加した例であるが、第 1 の実施形態の第 1 の変形例及び第 2 の変形例に対しても適用できる。

[0096] 本発明に係る第 2 の半導体装置の製造方法によると、反応層である CuSi_x 層の厚さを精度良く制御できるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を有する半導体装置を得ることができる。

[0097] 以上、本発明の実施形態及びその変形例について説明してきたが、本発明はそれらに限定されるものではない。

[0098] 例えば、前記の実施形態では、CuSi_x 層 8 又は反応層 16 の形成に SiH₄ を用いているが、ポリシラン (Si_nH_{2n+2}) 等のシリコン化合物を代わりに用いることができる。さらに、これらのシリコン化合物の代わりに、ゲルマン (GeH₄) 及びポリゲルマン (Ge_nH_{2n+2}) 等のゲルマニウム化合物を代わりに用いることもできる。この場合、CuSi_x 層の代わりにゲルマニウム化銅 (CuGe_x) 層が形成され、反応層 16 は YGe_x と CuGe_x と

の混合物となる。ただし、YはNi又はCoのいずれかである。

[0099] また、前記の実施形態では、CuSi_x層8又は反応層16の形成のために、保護膜7の表面をSiH₄等の反応性ガスに暴露しているが、反応性ガスを化学的もしくは物理的に活性化する手段をさらに備えていても良い。前者の例としては、反応装置の内部又は外部におけるプラズマによる反応性ガスのラジカル化又はイオン化が挙げられる。また、後者の例としては、イオン注入技術の適用による反応性ガスへの運動エネルギーの付与が挙げられる。

[0100] また、前記の実施形態では、第1のCu膜5を用いて下部配線6を形成しているが、Cu合金膜、アルミニウム（Al）膜、Al合金膜、銀（Ag）膜、Ag合金膜、金（Au）膜及びAu合金膜等を用いて下部配線6を形成することも可能である。これらの場合には、CuSi_x層の代わりにXSi_x層が形成され、反応層16はYGe_xとCuGe_xとの混合物となる。ただし、Xは下部配線の主要な構成元素であり、YはNi又はCoのいずれかである。

[0101] また、前記の実施形態では、第2の配線溝11よりも先にビアホール10を形成しているが、逆に、ビアホール10よりも先に第2の配線溝11を形成することも可能である。

[0102] その他、本発明は、本発明の趣旨を逸脱しない範囲において、種々の形態に変形して適用可能である。

産業上の利用可能性

[0103] 本発明に係る半導体装置及びその製造方法は、反応層の膜厚を精度良く制御することが可能となるため、実用上十分なエレクトロマイグレーション耐性及び動作速度を得ることができ、特に、埋め込み型の配線構造を有する半導体装置及びその製造方法等に有用である。

符号の説明

- [0104] 1 半導体基板
2 第1の絶縁膜
3 第1の配線溝

- 4 第1のバリア膜
- 5 第1の銅（Cu）膜
- 6 下部配線
- 7 保護膜
- 8 ケイ化銅（CuSi_x）層（反応層）
- 9 第2の絶縁膜
- 10 ビアホール
- 11 第2の配線溝
- 12 第2のバリア膜
- 13 第2の銅（Cu）膜
- 14 上部配線
- 15 被覆層
- 16 反応層
- 17 保護膜
- 18 ストップパ膜

請求の範囲

- [請求項1] 半導体基板の上に第1の絶縁膜を形成する工程（a）と、
前記第1の絶縁膜に配線溝を形成する工程（b）と、
前記配線溝に第1の配線を形成する工程（c）と、
前記第1の絶縁膜及び第1の配線の上に保護膜を形成する工程（d）と、
前記工程（d）よりも後に、前記第1の配線と前記保護膜との界面に反応層を形成する工程（e）とを備えている半導体装置の製造方法。
- [請求項2] 請求項1において、
前記工程（e）は、シリコン化合物又はゲルマニウム化合物を前記保護膜の表面に暴露することにより行われる半導体装置の製造方法。
- [請求項3] 請求項1又は2において、
前記工程（e）は、反応性ガスを化学的に活性化する工程を含む半導体装置の製造方法。
- [請求項4] 請求項3において、
前記工程（e）では、前記反応性ガスをイオン化することにより化学的に活性化する半導体装置の製造方法。
- [請求項5] 請求項1又は2において、
前記工程（e）は、反応性ガスを物理的に活性化する工程を含む半導体装置の製造方法。
- [請求項6] 請求項5において、
前記工程（e）では、前記反応性ガスに運動エネルギーを付与することにより物理的に活性化する半導体装置の製造方法。
- [請求項7] 請求項1～6のいずれか1項において、
前記保護膜の上に第2の絶縁膜を形成する工程（f）と、
前記第2の絶縁膜の内部にビアホールを形成する工程（g）と、
前記ビアホールと接続するように第2の配線を形成する工程（h）

とをさらに備えている半導体装置の製造方法。

[請求項8] 請求項 1 ～ 7 のいずれか 1 項において、
前記保護膜は、シリコン炭窒化膜である半導体装置の製造方法。

[請求項9] 請求項 1 ～ 8 のいずれか 1 項において、
前記工程（c）と前記工程（d）との間に、前記第 1 の配線の上に被覆層を形成する工程（c 1）をさらに備えている半導体装置の製造方法。

[請求項10] 請求項 9 において、
前記被覆層の主たる構成材料は、ニッケル、ニッケル合金、コバルト及びコバルト合金のうちのいずれかである半導体装置の製造方法。

[請求項11] 請求項 1 ～ 10 のいずれか 1 項において、
前記工程（e）よりも後に、前記保護膜の表面をプラズマに暴露する工程（e 1）をさらに備えている半導体装置の製造方法。

[請求項12] 請求項 11 において、
前記プラズマは、窒素化合物を含む雰囲気中において発生させる半導体装置の製造方法。

[請求項13] 請求項 1 ～ 10 のいずれか 1 項において、
前記工程（e）よりも後に、前記保護膜の表面を紫外光に暴露する工程（e 2）をさらに備えている半導体装置の製造方法。

[請求項14] 請求項 1 ～ 13 のいずれか 1 項において、
前記工程（e）よりも後に、前記保護膜の上にストッパ膜を形成する工程（e 3）をさらに備えている半導体装置の製造方法。

[請求項15] 請求項 14 において、
前記ストッパ膜は、酸素添加シリコン炭化膜又はシリコン窒化膜である半導体装置の製造方法。

[請求項16] 請求項 1 ～ 15 のいずれか 1 項において、
前記反応層は、シリコン化合物層又はゲルマニウム化合物層である半導体装置の製造方法。

- [請求項17] 請求項 1 ～ 1 6 のいずれか 1 項において、
前記第 1 の配線の主たる構成材料は、アルミニウム、アルミニウム合金、銅、銅合金、銀、銀合金、金及び金合金のうちのいずれかである半導体装置の製造方法。
- [請求項18] 半導体基板の上に第 1 の絶縁膜を形成する工程と、
前記第 1 の絶縁膜に配線溝を形成する工程と、
前記配線溝に第 1 の配線を形成する工程と、
前記第 1 の配線の上部に反応層を形成する工程とを備え、
前記反応層は、供給律速の条件により形成する半導体装置の製造方法。
- [請求項19] 請求項 1 8 において、
前記反応層は、シリコン化合物層又はゲルマニウム化合物層である半導体装置の製造方法。
- [請求項20] 半導体基板の上に形成された第 1 の絶縁膜と、
前記第 1 の絶縁膜に形成された第 1 の配線と、
前記第 1 の絶縁膜及び第 1 の配線の上に形成された保護膜と、
前記第 1 の配線と前記保護膜との界面に形成された反応層とを備えている半導体装置。
- [請求項21] 請求項 2 0 において、
前記保護膜の上に形成された第 2 の絶縁膜と、
前記第 1 の配線の上に、前記保護膜及び第 2 の絶縁膜を貫通するように形成されたビアホールと、
前記ビアホールと接続するように形成された第 2 の配線とをさらに備えている半導体装置。
- [請求項22] 請求項 2 0 において、
前記保護膜の上に形成されたストッパ膜と、
前記ストッパ膜の上に形成された第 2 の絶縁膜と、
前記第 1 の配線の上に、前記保護膜、ストッパ膜及び第 2 の絶縁膜

を貫通するように形成されたビアホールと、

前記ビアホールと接続するように形成された第2の配線とをさらに備えている半導体装置。

[請求項23] 請求項20～22のいずれか1項において、
前記保護膜は、シリコン炭窒化膜である半導体装置。

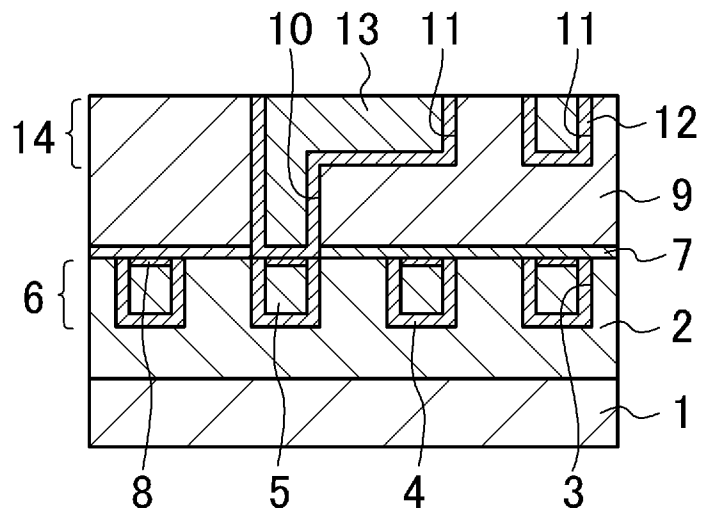
[請求項24] 請求項22において、
前記ストッパ膜は、酸素添加シリコン炭化膜又はシリコン窒化膜である半導体装置。

[請求項25] 請求項20～24のいずれか1項において、
前記反応層は、シリコン化合物層又はゲルマニウム化合物層である半導体装置。

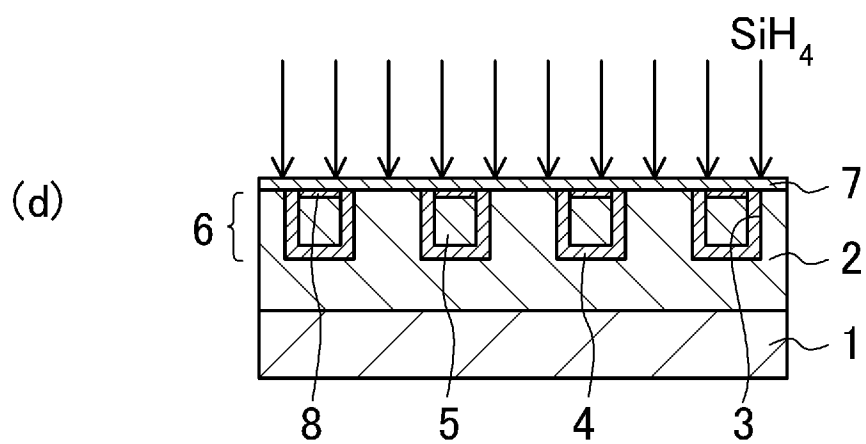
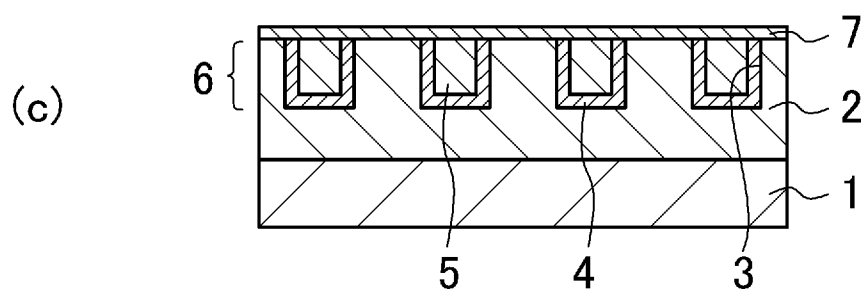
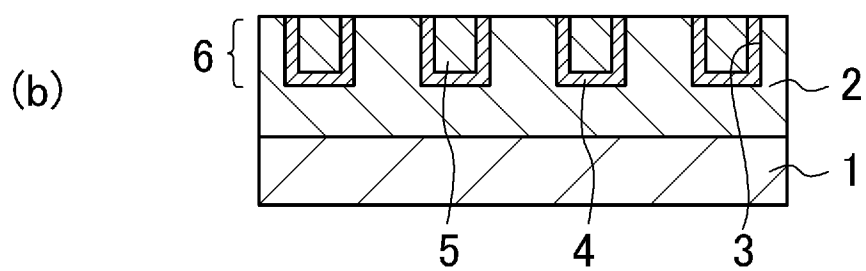
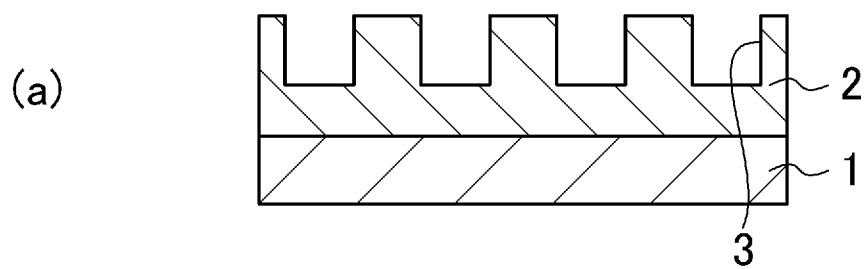
[請求項26] 請求項25において、
前記反応層は、ニッケル又はコバルトを含む半導体装置。

[請求項27] 請求項20～24のいずれか1項において、
前記第1の配線の主たる構成材料は、アルミニウム、アルミニウム合金、銅、銅合金、銀、銀合金、金及び金合金のうちのいずれかである半導体装置。

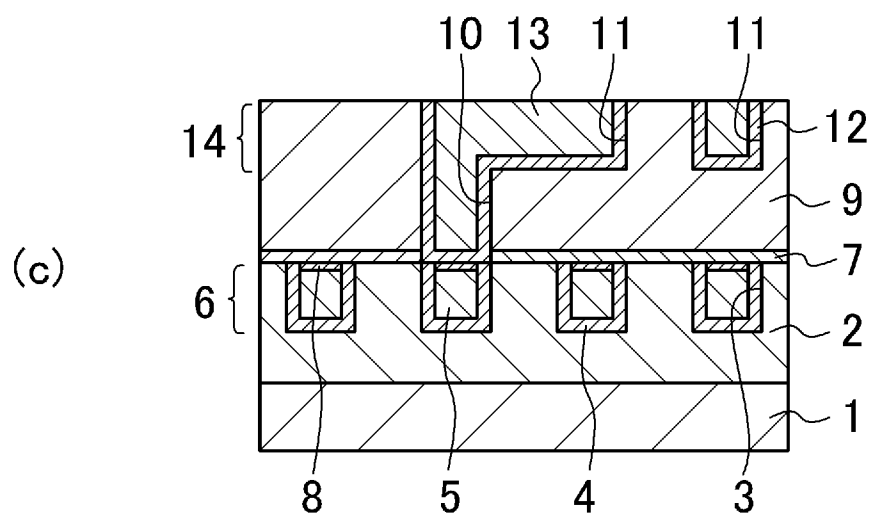
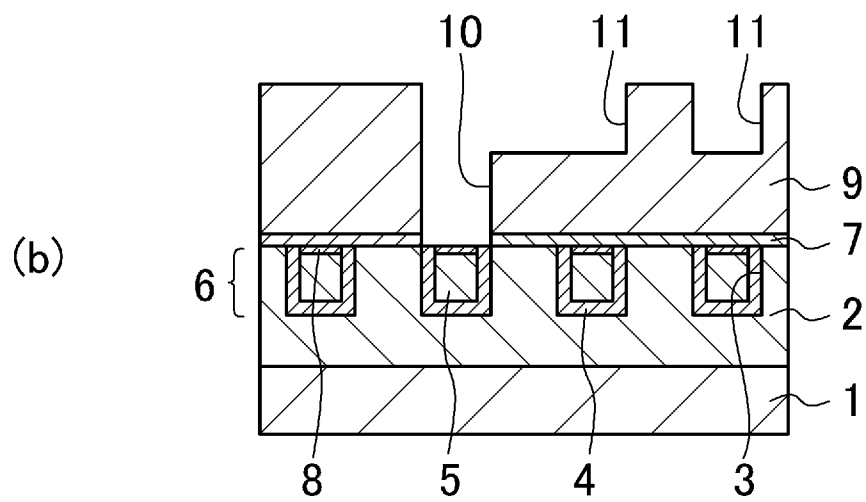
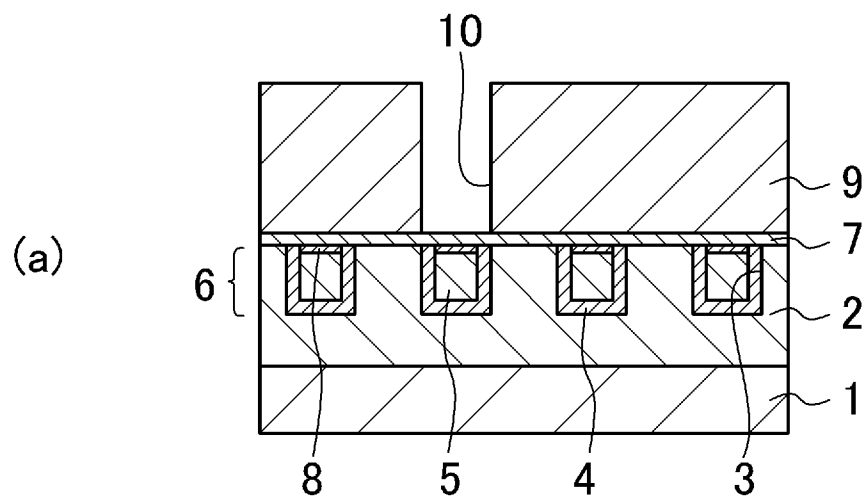
[図1]



[図2]

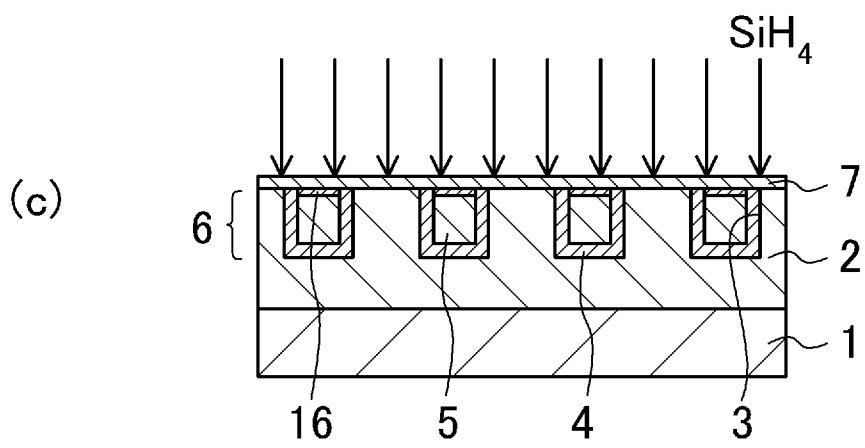
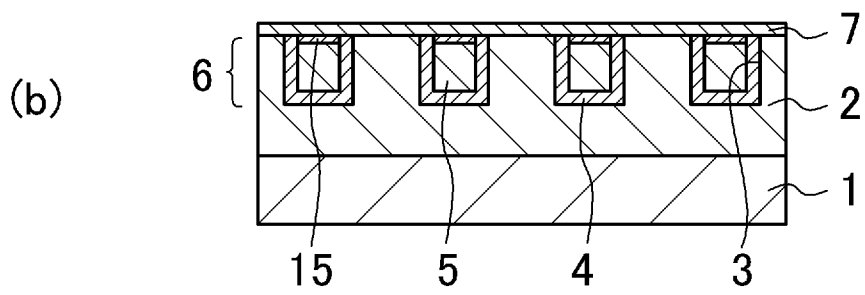
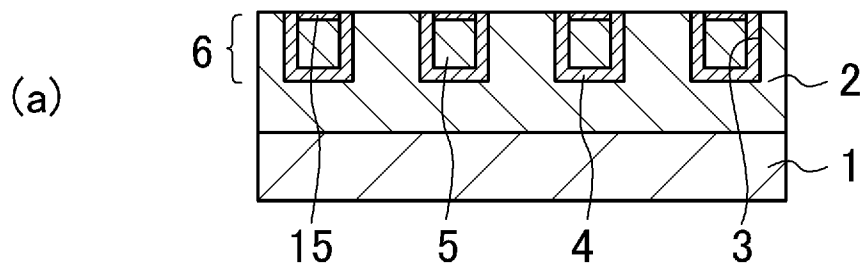


[図3]

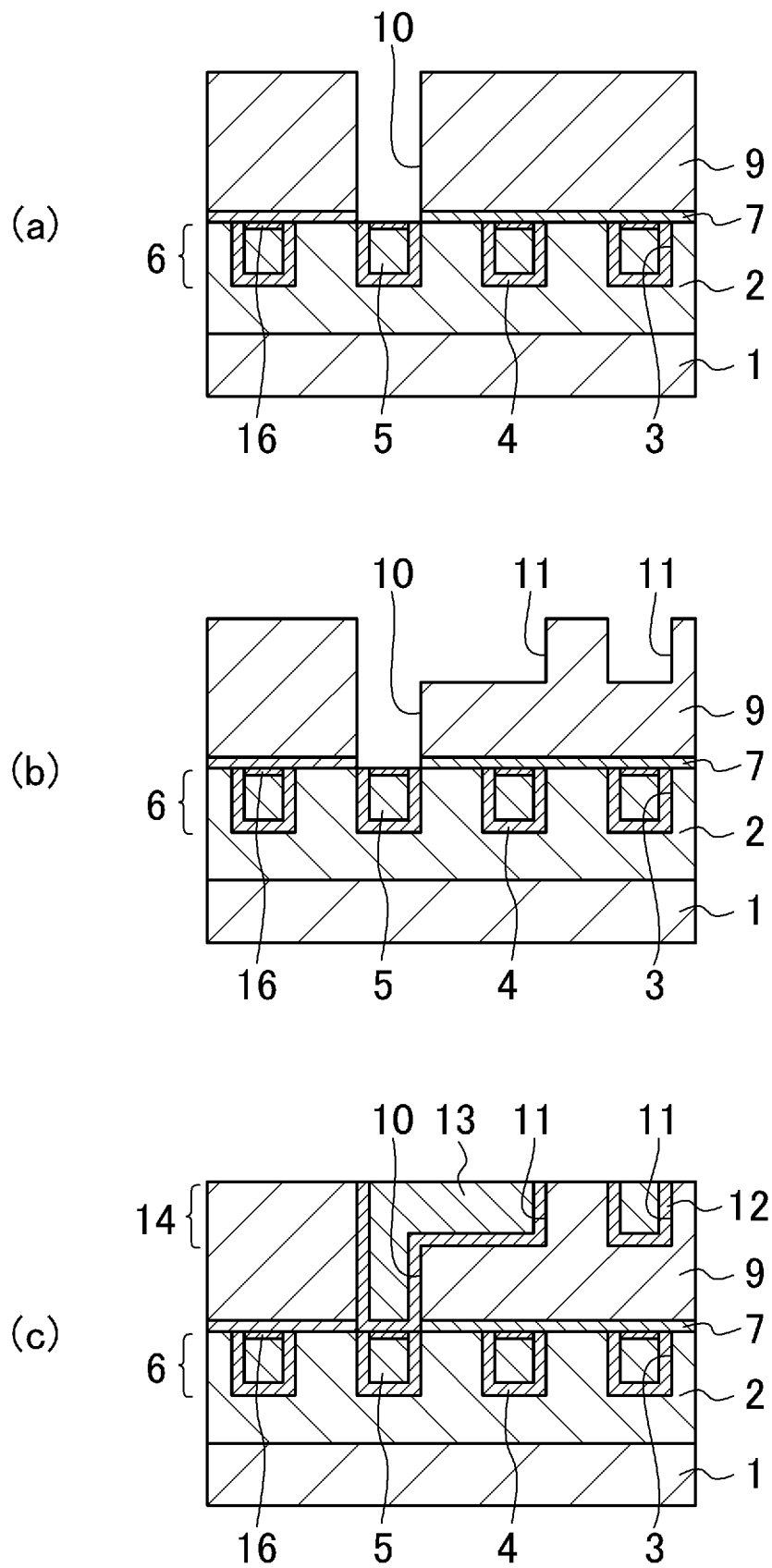


[illegible]

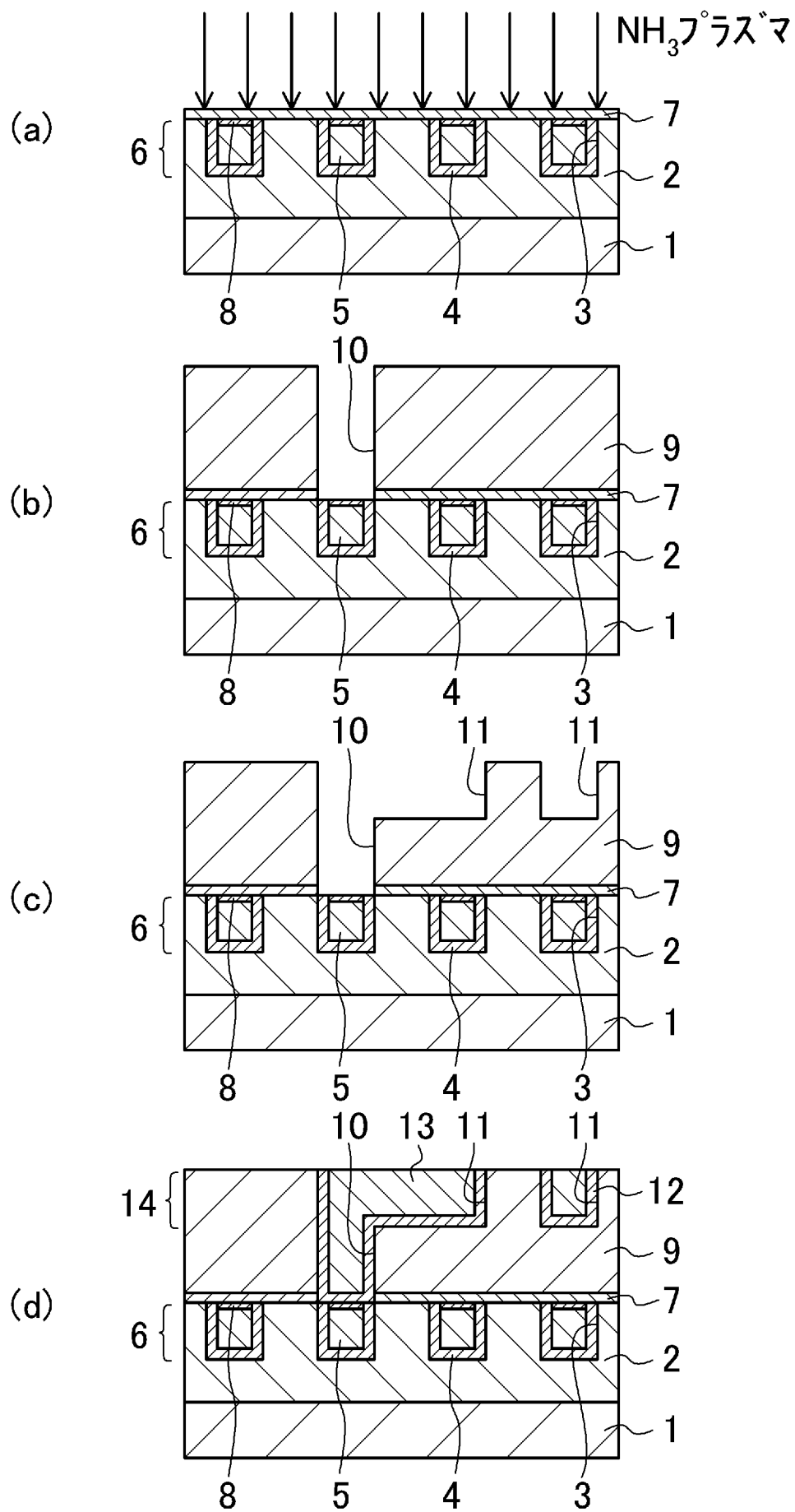
[図5]



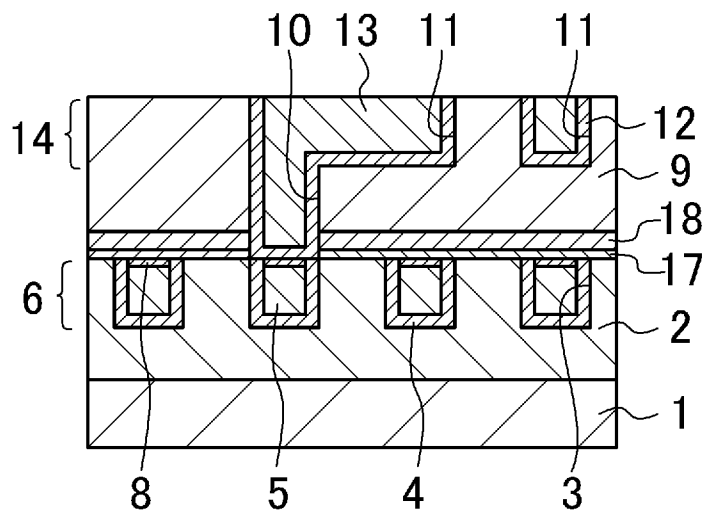
[図6]



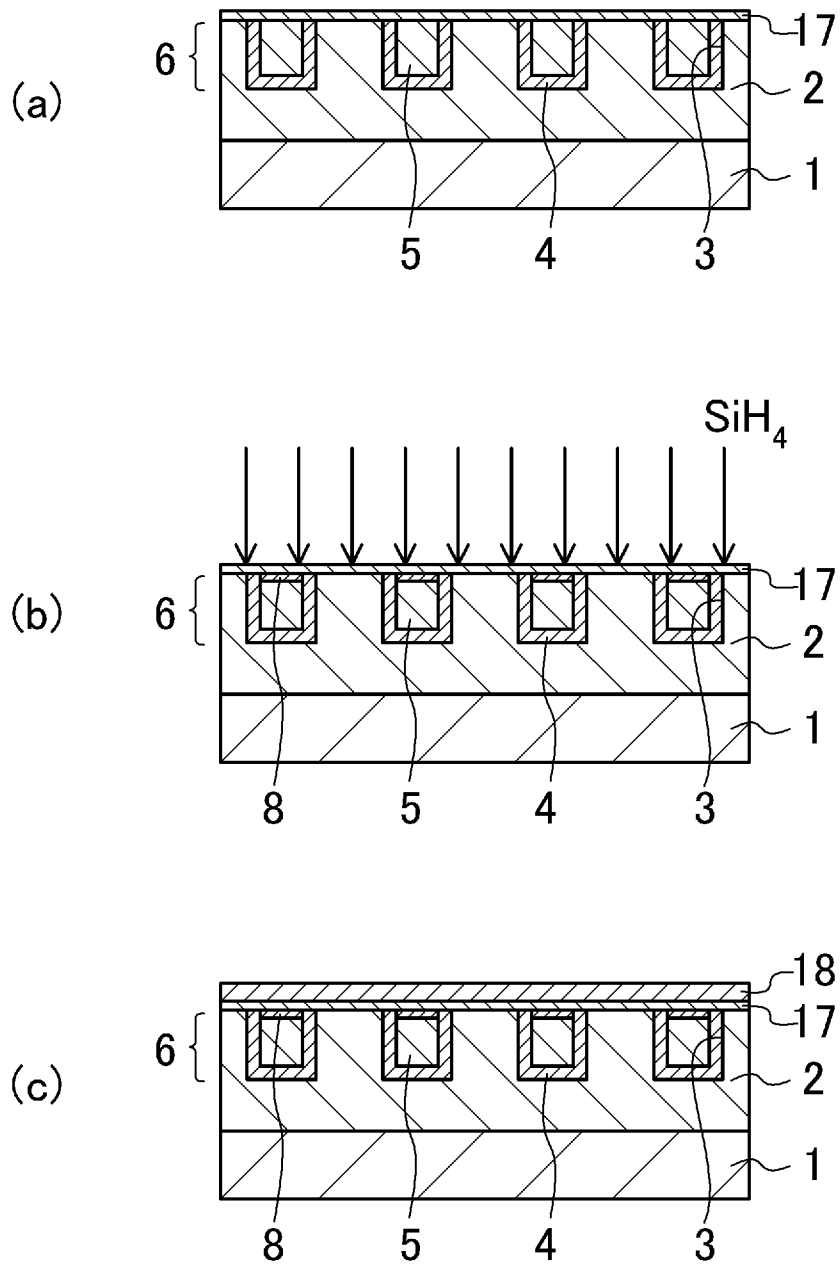
[図7]



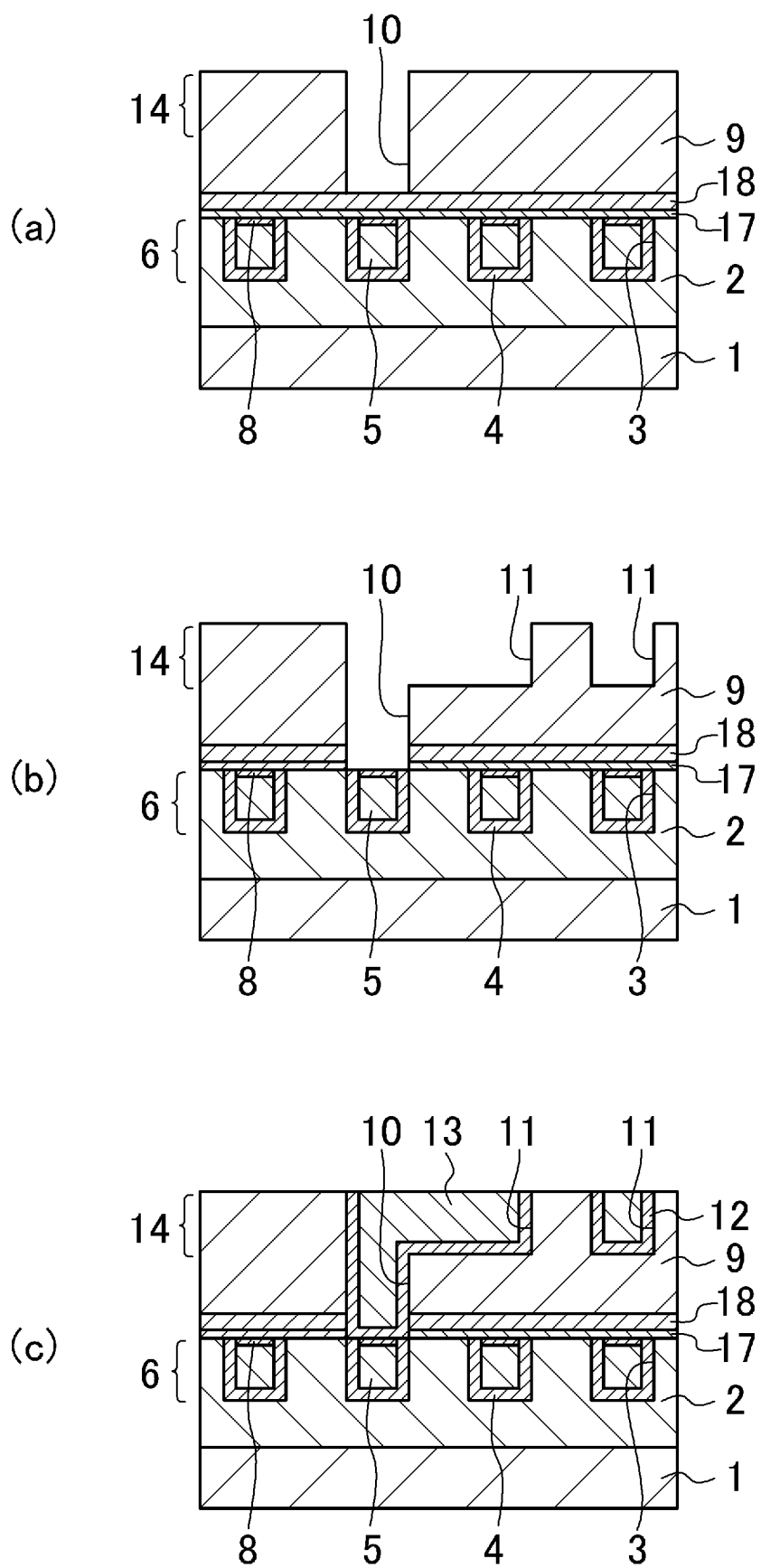
[図8]



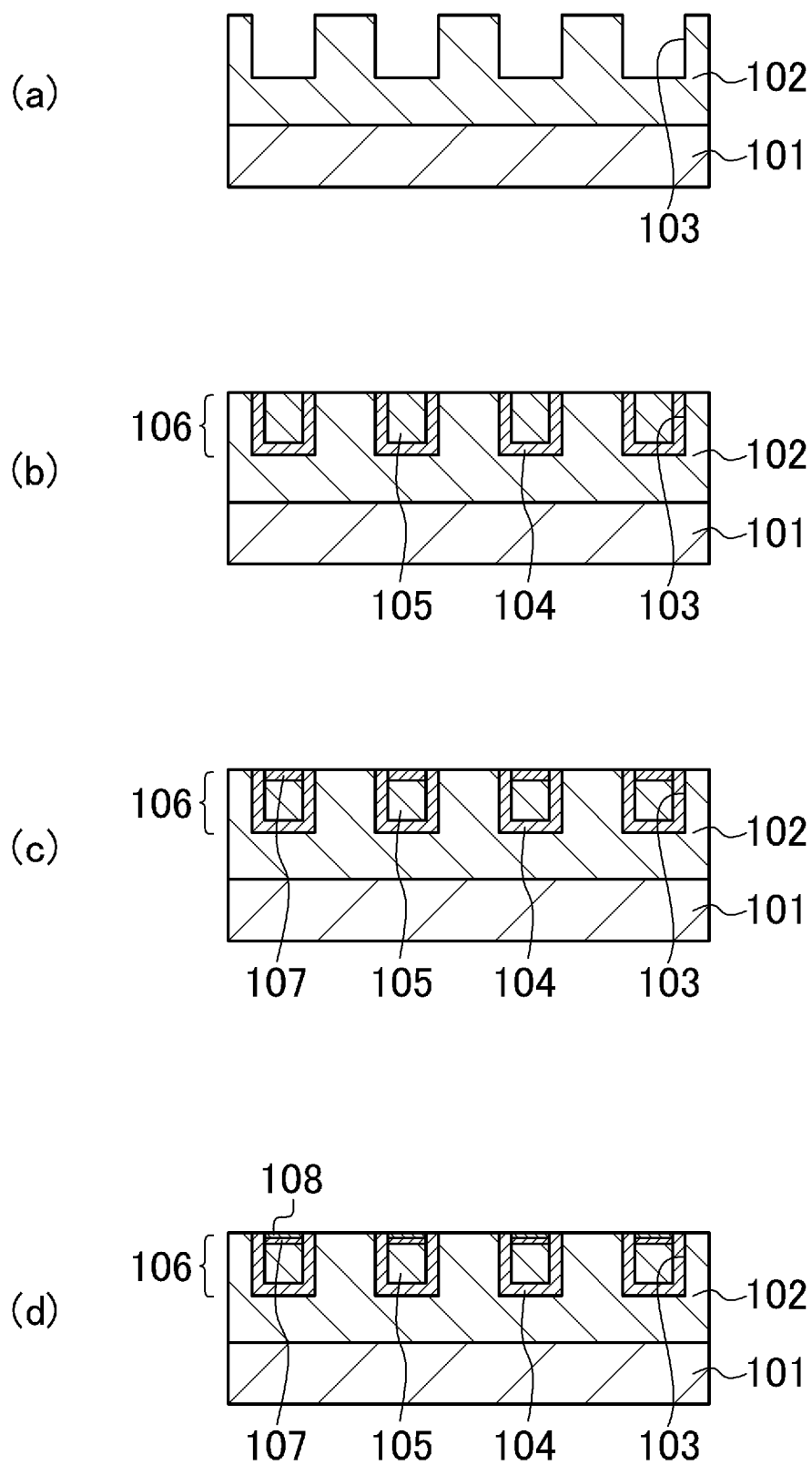
[図9]



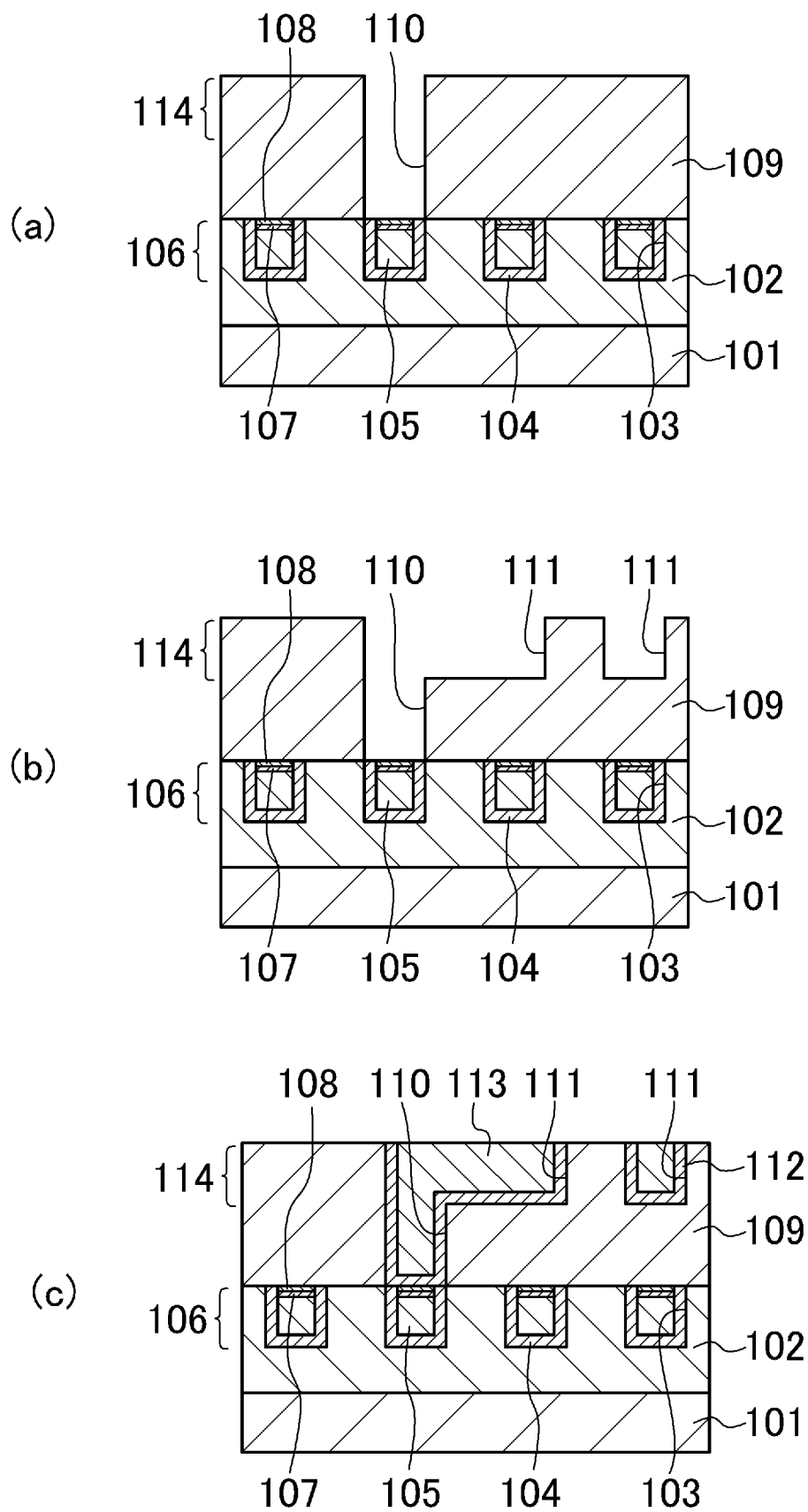
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000444

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/52(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L21/768, H01L23/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-027769 A (Samsung Electronics Co., Ltd.),	1, 7-8, 14-17, 20-25, 27
Y	01 February 2007 (01.02.2007),	9-10
A	paragraphs [0014] to [0036]; fig. 2 to 9 & US 2007/0018329 A1 & KR 10-2007-0010979 A & CN 1945826 A	2-6, 11-13
X	JP 2000-058544 A (Matsushita Electronics Corp.),	1, 16-17, 20, 25, 27
Y	25 February 2000 (25.02.2000), paragraphs [0080] to [0086]; fig. 7 to 8 (Family: none)	9-10
X	JP 2009-016520 A (Tokyo Electron Ltd.),	20-21, 23, 25-27
Y	22 January 2009 (22.01.2009), paragraphs [0076] to [0095]; fig. 9 to 10 & US 2009/0017621 A1	9-10

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 February, 2010 (22.02.10)Date of mailing of the international search report
02 March, 2010 (02.03.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000444

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-096052 A (NEC Electronics Corp.), 25 March 2004 (25.03.2004), paragraphs [0114] to [0147]; fig. 1 to 5 & US 2003/0173671 A1 & EP 1345270 A2 & TW 564514 B & CN 1444276 A & KR 10-2003-0074084 A	18-21, 23, 25, 27
X A	JP 2002-246391 A (NEC Corp.), 30 August 2002 (30.08.2002), paragraphs [0031] to [0039]; fig. 1 to 3 & US 6787480 B2 & US 2002/0155702 A1 & GB 2375888 A & GB 2409767 A & TW 522520 B & KR 10-2002-0068470 A & CN 1372313 A	18-19 1-17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000444

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000444

Continuation of Box No.III of continuation of first sheet (2)

Examination is made on claims 1, 18 and 20 which are independent claims.

The invention in claim 1 relates to a method for producing a semiconductor device as claimed in claim 20. A common matter between claim 1 and claim 20 is a semiconductor device itself as claimed in claim 20. A common matter between claim 1 and claim 18 is a method for producing a semiconductor device, which involves steps (a) to (c) as described in claim 1 and "a step of forming a reactive layer on the upper part of the first wire".

However, the common matter between claim 1 and claim 20 and the common matter between claim 1 and claim 18 are disclosed in Document 1 (JP 2007-027769 A (Samsung Electronics Co., Ltd.) 01 February 2007 (01.02.2007)), paragraphs [0014]-[0036] and fig. 2-9, Document 2 (JP 2000-058544 A (Matsushita Electronics Corp.) 25 February 2000 (25.02.2000)), paragraphs [0080]-[0086] and fig. 7-8, Document 3 (JP 2009-016520 A (Tokyo Electron Ltd.) 22 January 2009 (22.01.2009)), paragraphs [0076]-[0095] and fig. 9-10, and Document 4 (JP 2004-096052 A (NEC Electronics Corp.) 25 March 2004 (25.03.2004)), paragraphs [0114]-[0147] and fig. 1-5, and therefore cannot be regarded as special technical features.

Thus, there is no special technical feature which makes the inventions in claims 1-17, the inventions in claims 18-19 and the inventions in claims 20-27 to link to one another as to form a single general inventive concept.

Consequently, the group of inventions described in claims 1-27 do not comply with the requirement of unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/52(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/3205, H01L21/768, H01L23/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-027769 A（三星電子株式会社）2007.02.01, 段落番号[0014]-[0036], 図 2-9	1, 7-8, 14-17, 20-25, 27
Y	& US 2007/0018329 A1 & KR 10-2007-0010979 A & CN 1945826 A	9-10
A		2-6, 11-13
X	JP 2000-058544 A（松下電子工業株式会社）2000.02.25, 段落番号[0080]-[0086], 図 7-8	1, 16-17, 20, 25, 27
Y	（ファミリーなし）	9-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 2 . 2 0 1 0

国際調査報告の発送日

0 2 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

4 L

9 7 3 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-016520 A (東京エレクトロン株式会社) 2009.01.22, 段落番号[0076]-[0095], 図 9-10 & US 2009/0017621 A1	20-21, 23, 25-27 9-10
X	JP 2004-096052 A (NECエレクトロニクス株式会社) 2004.03.25, 段落番号[0114]-[0147], 図 1-5 & US 2003/0173671 A1 & EP 1345270 A2 & TW 564514 B & CN 1444276 A & KR 10-2003-0074084 A	18-21, 23, 25, 27
X A	JP 2002-246391 A (日本電気株式会社) 2002.08.30, 段落番号[0031]-[0039], 図 1-3 & US 6787480 B2 & US 2002/0155702 A1 & GB 2375888 A & GB 2409767 A & TW 522520 B & KR 10-2002-0068470 A & CN 1372313 A	18-19 1-17

独立請求項である請求項 1、請求項 18、請求項 20 について検討する。

請求項 1 に係る発明は、請求項 20 に係る半導体装置の製造方法であるので、請求項 1 と請求項 20 に共通な事項は、請求項 20 に係る半導体装置そのものである。また、請求項 1 と請求項 18 に共通な事項は、請求項 1 に記載された工程(a)-(c)、及び「第 1 の配線の上部に反応層を形成する工程」を備えた半導体装置の製造方法である。

しかしながら、請求項 1 と請求項 20 に共通な事項、及び、請求項 1 と請求項 18 に共通な事項は、文献 1(JP 2007-027769 A (三星電子株式会社) 2007. 02. 01) の段落番号[0014]-[0036] 及び図 2-9、文献 2(JP 2000-058544 A (松下電子工業株式会社) 2000. 02. 25) の段落番号[0080]-[0086] 及び図 7-8、文献 3(JP 2009-016520 A (東京エレクトロン株式会社) 2009. 01. 22) の段落番号[0076]-[0095] 及び図 9-10、文献 4(JP 2004-096052 A (NECエレクトロニクス株式会社) 2004. 03. 25) の段落番号[0114]-[0147] 及び図 1-5 にそれぞれ記載されているので、特別な技術的特徴とはいえない。

したがって、請求項 1-17、請求項 18-19、請求項 20-27 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための特別な技術的特徴が存在しない。

よって、請求項 1-27 に記載されている一群の発明は、発明の単一性の要件を満たしていない。

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。