[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/115 (2006.01)
G11C 16/02 (2006.01)

[12] 发明专利申请公开说明书

[21] 申请号 200610075413.1

[43] 公开日 2006 年 11 月 29 日

[11] 公开号 CN 1870274A

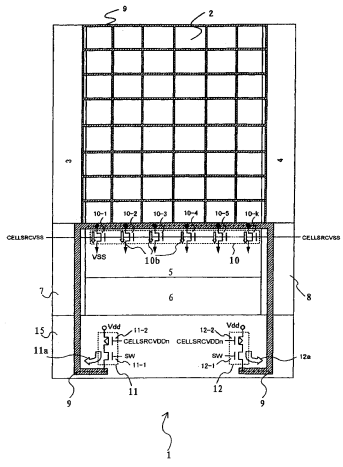
[22] 申请日 2006.4.14
[21] 申请号 200610075413.1
[30] 优先权
[32] 2005. 4.15 [33] JP [31] 2005 - 118596
[71] 申请人 株式会社东芝
地址 日本东京都
[72] 发明人 前岛洋
[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 岳耀锋
权利要求书 2 页 说明书 20 页 附图 16 页

[54] 发明名称

非易失性半导体存储器件

[57] 摘要

提供一种非易失性半导体存储器件，可以实现 NAND 型闪速存储器的写入速度的高速化。该非易失性半导体存储器件，包括：把 NAND 串配置成矩阵状而成的单元阵列，该 NAND 串由可电改写的存储单元串联连接而成；通过感测与上述存储单元连接的位线的电位，感测上述存储单元的阈值的检测放大器，该检测放大器包含具有高电压晶体管的第 1 区和具有低电压晶体管的第 2 区；与上述 NAND 串的一端连接的单元源线；以及具有与上述单元源线连接、向上述单元源线供给接地电位或低电位的第 1 晶体管的第 1 单元源线驱动器；且上述单元源线驱动器的上述第 1 晶体管配置在上述检测放大器的上述第 1 区上。



1. 一种非易失性半导体存储器件，其特征在于包括:

把 NAND 串配置成矩阵状而成的单元阵列，该 NAND 串由可电改写的存储单元串联连接而成;

通过感测与上述存储单元连接的位线的电位，感测上述存储单元的阈值的检测放大器，该检测放大器包含具有高电压晶体管的第 1 区和具有低电压晶体管的第 2 区;

与上述 NAND 串的一端连接的单元源线; 以及

具有与上述单元源线连接、向上述单元源线供给接地电位或低电位的第 1 晶体管的第 1 单元源线驱动器; 且

上述单元源线驱动器的上述第 1 晶体管配置在上述检测放大器的上述第 1 区上。

2. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于:

在上述单元阵列上形成的上述单元源线由配置成格子状、相互连接，且周期性地配置的布线构成。

3. 如权利要求 1 所述的非易失性半导体存储器件，其特征在于:

具有第 2 单元源线驱动器，该第 2 单元源线驱动器具有与上述单元源线连接、向上述单元源线供给高电位的第 2 晶体管，且上述第 2 晶体管配置在上述检测放大器与行解码器的交叉部或周边电路上。

4. 一种非易失性半导体存储器件，其特征在于包括:

把 NAND 串配置成矩阵状而成的单元阵列，该 NAND 串由可电改写的存储单元串联连接而成;

通过感测与上述存储单元连接的位线的电位，感测上述存储单元的阈值的检测放大器，该检测放大器包含具有高电压晶体管的第 1 区和具有低电压晶体管的第 2 区;

与上述 NAND 串的一端连接的单元源线; 以及

具有其一端与上述单元源线连接，其另一端与位线屏蔽线连接，经由上述位线屏蔽线向上述单元源线供给接地电位或低电位的第 1 晶

体管的第 1 单元源线驱动器；且

上述单元源线驱动器的上述第 1 晶体管配置在上述检测放大器的上述第 1 区上。

5. 如权利要求 4 所述的非易失性半导体存储器件，其特征在于：

在上述单元阵列上形成的上述单元源线由配置成格子状、相互连接，且周期性地配置的布线构成。

6. 如权利要求 4 所述的非易失性半导体存储器件，其特征在于：

具有第 2 单元源线驱动器，该第 2 单元源线驱动器具有与上述单元源线连接、向上述单元源线供给高电位的第 2 晶体管，且上述第 2 晶体管配置在上述检测放大器与行解码器的交叉部或周边电路上。

非易失性半导体存储器件

技术领域

本发明涉及可电改写的半导体存储器件。尤其涉及非易失性半导体存储器件中的NAND单元型EEPROM（NAND型闪速存储器）。

背景技术

近年来，对小型大容量的非易失性半导体存储器件的需要急剧增加，其中的与现有NOR型闪速存储器相比，通过把多个存储单元串联连接构成NAND单元块可实现高集成化、大容量化的NAND型闪速存储器引人注目。NAND型闪速存储器的数据写入和擦除动作如下。

NAND型闪速存储器的数据写入动作主要从离位线最远处的存储单元依次进行。首先，如果数据写入动作开始，则与写入数据对应地向位线施加0V（写入数据“0”）或电源电压Vcc（写入数据“1”），向被选择的位线侧选择栅线施加Vcc。此时，位线为0V时，在被连接的选择NAND单元中，经由选择栅晶体管把NAND单元内的沟道部固定为0V。位线为Vcc时，在被连接的选择NAND单元中，经由选择栅晶体管把NAND单元内的沟道部充电到[Vcc-Vtsg]（其中，Vtsg为选择栅晶体管的阈值电压）后成为浮置状态。

然后，使选择NAND单元内的选择存储单元的控制栅线为0V~Vpp（=20V左右：写入用高电压），使选择NAND单元内的非选择存储单元的控制栅线为0V~Vmg（=10V左右：中间电压）。

在此，由于位线为0V时，在被连接的选择NAND单元中NAND单元内的沟道部被固定为0V，所以在选择NAND单元内的选择存储单元的栅（=Vpp电位）与沟道部（=0V）之间产生大的电位差（=20V左右），发生从沟道部向浮置栅的电子注入。由此，该选择存储单元的阈值向正方向移动。该状态为数据“0”。

另一方面，由于位线为 Vcc 时，在被连接的选择 NAND 单元中 NAND 单元内的沟道部为浮置状态，随着因选择 NAND 单元内的控制栅线和沟道部之间的电容耦合的影响导致的控制栅线的电压上升（0V→Vpp、Vmg），沟道部的电位从维持浮置状态的电位[Vcc-Vtsg]上升到 Vmch（=8V 左右）。此时，由于选择 NAND 单元内的选择存储单元的栅（=Vpp 电位）与沟道部（=Vmch）之间的电位差为 12V 左右，比较小，所以不发生电子注入，因此选择存储单元的阈值不变化，维持负的状态。该状态为数据“1”。

NAND 型闪速存储器的数据擦除对被选择的 NAND 单元块内的全部存储单元同时进行。即，使被选择的 NAND 单元块内的全部控制栅成为“0”，使位线、源线、非选择 NAND 单元块中的控制栅和全部的选择栅成为浮置，向 p 型阱（或 p 型衬底）施加 20V 左右的高电压。由此，在选择 NAND 单元块中的全部存储单元中，向 p 型阱（或 p 型衬底）发射浮置栅的电子，阈值电压向负方向移动。这样，在 NAND 单元型闪速存储器中以块为单位一并进行数据擦除动作。

数据读出，通过使被选择的存储单元的控制栅为 0V，除此以外的存储单元的控制栅和选择栅为由读出动作时的应力规定的电压（例如 5V），并检测是否在选择存储单元中流过电流来进行。

通常，必须把写入数据“0”后的阈值控制在约 0V~约 4V 之间。因此，进行写入校验，以只检测出数据“0”写入不足的存储单元，只对数据“0”写入不足的存储单元进行再写入的方式，设定再写入数据（每位校验）。通过使被选择的控制栅为例如 0.5V（校验电压）读出来检测数据“0”写入不足的存储单元。即，存储单元的阈值对于 0V 具有容限，如果不是 0.5V 以上，则在选择存储单元中流过电流，检测为数据“0”写入不足。

通过一边反复进行写入动作和写入校验，一边进行数据写入，对各个存储单元使写入时间最优化，把写入数据“0”后的阈值控制在约 0V~约 4V 之间。

对于上述这样的现有 NAND 型闪速存储器，例如，在以下的非

专利文献 1 中记载了其动作的概要。

[非专利文献 1] T. Tanaka 等，"A Quick Intelligent Page-Programming Architecture and a Shielded Bitline Sensing Method for 3V-Only NAND Flash Memory", J. Solid State Circuits, Vol.29, No.11, pp.1366-1372, Nov. 1994

发明内容

在现有的 NAND 型闪速存储器中，与 NAND 串连接的源布线（金属布线）以直线状配置在存储单元阵列之间。但是，随着图形的微细化，存储单元阵列之间的空间和金属布线自身也更加微细化，与此伴随着产生金属布线的电阻上升的问题。

为此，如在先的专利申请（日本特愿 2003-379988）中公开的那样，本发明人提出了，不是在存储单元阵列之间以直线状配置供给接地电位或低电平的电位 Vss 的源布线（金属布线），而是把这些布线配置成例如梯子状（阶梯状）、格子状等并相互连接，同时周期性地配置这些布线，由此改善金属布线的电阻的技术。

图 13 展示了 NAND 型闪速存储器 101 的示意结构图，其中源布线（金属布线）配置成格子状且相互连接，同时把这些布线周期性地配置。在图 13 中，为了便于说明，把电路结构、电路块、布线图形等混合展示。

图 13 所示的 NAND 型闪速存储器 101 包括：把存储单元配置成矩阵状而成的单元阵列 102、行解码器部 103 和 104、检测放大器部（高电压晶体管区）105、检测放大器部（低电压晶体管区）106、行解码器部 103 与检测放大器部 105 和 106 的交叉部 107、行解码器部 104 与检测放大器部 105 和 106 的交叉部 108、单元源线（CELLSRC）109、单元源线驱动器 110 和 111、位线屏蔽线（BLCRL）驱动器 112 和 113、位线屏蔽线（BLCRL）114、以及周边电路部 115。在此，单元源线驱动器 110 和 111 设置在周边电路部 115 上，位线屏蔽线（BLCRL）驱动器 112 和 113 分别设置在交叉部 107、108 上。

在 NAND 型闪速存储器 101 中，利用检测放大器部 105 和 106 中的检测放大器电路进行存储单元的数据读出动作。在检测放大器部（高电压晶体管区）105 中，由于使用栅氧化膜厚且可耐高电压的晶体管（在此称为“高电压晶体管”），所以记述为“高电压晶体管区”。而在检测放大器部（低电压晶体管区）106 中，由于使用与检测放大器部（高电压晶体管区）105 中使用的高电压晶体管相比，施加低电压的晶体管（在此称为“低电压晶体管”），所以记述为“低电压晶体管区”。如图 13 所示，检测放大器部（高电压晶体管区）105 设置在单元阵列 102 和检测放大器部（低电压晶体管区）106 之间。

如图 13 所示，单元源线 109 是，在单元阵列 102 上把布线配置成格子状并相互连接，同时把这些布线周期性地配置。单元源线驱动器 110 具有把两个 n 沟道型晶体管 110-1 和 110-2 与 1 个 p 沟道型晶体管 110-3 串联连接而成的结构，单元源线 109 与两个 n 沟道型晶体管 110-1 和 110-2 的源或漏相互连接的连接点电连接。在此，还把 n 沟道型晶体管 110-1 叫作“放电晶体管”，把 n 沟道型晶体管 110-2 和 p 沟道型晶体管 110-3 叫作“充电晶体管”。另外，单元源线驱动器 111 具有与单元源线驱动器 110 同样的结构，具有把两个 n 沟道型晶体管 111-1 和 111-2 与 1 个 p 沟道型晶体管 111-3 串联连接而成的结构，单元源线 109 与两个 n 沟道型晶体管 111-1 和 111-2 的源或漏相互连接的连接点电连接。

如图 13 所示，布设成格子状的单元源线 109 从单元阵列 102 上通过交叉部 107 和 108 上，回绕到在周边电路部 115 的区域上配置的单元源线驱动器 110 和 111。单元源线驱动器 110 和 111 具有：到 VSS 的放电路径（接地路径）110b 和 111b（都用空心箭头表示）、和把单元源线 109 充电到 1V 左右电压的充电路径 110a 和 111a（都用空心箭头表示）。从存储单元读出数据时，使放电路径 110b 和 111b 接通，单元源线 109 接地。而在向存储单元写入数据（数据编程）时，充电路径 110a 和 111a 接通，单元源线 109 被预充电到 1V 左右。另外，在擦除存储单元的数据时，为了向单元源线 109 施加 20V 左右的高电

压，作为驱动单元源线 109 的最末级电路的单元源线驱动器 110 和 111 必须由高电压晶体管构成。

图 14 展示了与 4 个位线对对应的检测放大器部（高电压晶体管区）105 和检测放大器部（低电压晶体管区）106 的电路的例子。

如图 14 所示，在 NAND 型闪速存储器中，通常采用把两条位线（BL_odd 和 BL_even）成对使用、经由图 14 中的 SABL 的节点与在检测放大器部 106 上配置的一个检测放大器连接的结构。另外，在成对的位线中的一个位线被选择时，从图 14 中的 BLCRL 的节点向另一个位线供给屏蔽电位，用作屏蔽。

在此，参照图 15，图 15 展示了图 14 所示的电路中的与一个位线对对应的检测放大器部（高电压晶体管区）105 和检测放大器部（低电压晶体管区）106 的电路的例子。图 15 中还展示了在交叉部 107 上设置的 BLCRL 驱动器和在周边电路部 115 上设置的单元源线驱动器 110 的电路结构。另外，在图 15 中，为了说明位线屏蔽线（BLCRL）114 和单元源线（CELLSRC）109 中的电流流动，用空心箭头示出了以 BL_odd 为选择位线，以 BL_even 为非选择位线时的电流流动。

如图 15 所示，在选择位线侧，由于从预充电电位通过 NAND 串向单元源线驱动器 110 进行放电，因此电流从选择位线 BL_odd 通过 NAND 串、经由单元源线（CELLSRC）109、向与单元源线驱动器 110 的 n 沟道型晶体管 110-1 的 VSS 连接的节点流动。而在非选择位线侧，为了使非选择位线 BL_even 成为屏蔽电位，非选择位线 BL_even 与 BLCRL 驱动器 112 电连接，电流从非选择位线 BL_even 经由位线屏蔽线（BLCRL）114 向与 BLCRL 驱动器 112 的 n 沟道型晶体管 112-1 的 VSS 连接的节点流动。

位线屏蔽线（BLCRL）114 的布线电阻 R1 比较小。另一方面，单元阵列 102 上的单元源线（CELLSRC）109 的布线电阻 R2 比较小，但交叉部 107 和周边电路部 115 上的单元源线（CELLSRC）109 的布线电阻 R3 还有单元源线（CELLSRC）109 被回绕的部分，比较大。

近年来，在 NAND 型闪速存储器中，要求从存储单元读出数据的

动作的高速化。为了实现 NAND 型闪速存储器中的数据读出动作的高速化，必须降低单元源线 109 的电阻。原因在于，尤其是，如果放电时的单元源线 109 的电阻大，则发生单元源线 109 的不必要的电位上升，这成为诱因，导致在位线中产生噪声，存储单元的检测容限减小。

在此，为了说明上述现象，参照图 16。图 16 展示了从存储单元读出数据时，存储了数据“1”的“1”单元的位线、存储了数据“0”的“0”单元的位线、单元源线（CELLSRC）109 和位线屏蔽线（BLCRL）的电位的变化。

如果单元源线 109 的电阻大，则从“1”单元的位线向单元源线（CELLSRC）109 流过所谓的单元电流（图 16 的“a”所示的部分），导致单元源线（CELLSRC）109 的不必要的电位的上升（图 16 的“b ”所示的部分，也称为“单元源线噪声”）。通过使“1”单元的位线电位下降，本来应该是屏蔽电位 VSS 的邻接位线的电位因耦合而下降，由此，与被屏蔽的全部位线连接的位线屏蔽线（BLCRL）的电位下降（图 16 的“c”所示的部分，也称为“位线屏蔽线噪声”）。通过使位线屏蔽线的电位下降，“0”单元的位线的电位因来自邻接的被屏蔽的位线的噪声而下降（图 16 的“d”所示的部分），“0”单元的检测容限减小。例如，在除一个存储单元以外的全部存储单元的数据为“1”的情况下，该数据为“0”的存储单元的位线电位，通过位线屏蔽线的电位被耦合到 VSS 侧，其电位下降。因为单元源线 109 的电阻大，发生这样的不希望的电位的上升下降即噪声，位线的检测容限减小，对数据的读出动作有大的影响。

单元源线 109 的电阻，其寄生电阻是主要原因。单元源线 109 的寄生电阻由以下的三个电阻分量产生。

（1）单元阵列 102 上的布线引起的电阻分量 R（1）

（2）检测放大器 105 和 106 与行解码器部 103 和 104 的交叉部 107 和 108 上的布线引起的电阻分量 R（2）

（3）放电晶体管 110-1 和 111-1 的接通电阻分量 R（3）

关于上述（1）的电阻分量 R（1），为了降低单元源线 109 的布

线电阻分量，例如，在单元阵列 102 上用第 2 布线层（M2）以大的宽度覆盖单元源线 109 是有效的。例如，假定单元阵列 102 的纵向宽度为 11000μm、横向宽度为 2500μm、第 2 布线层（M2）的覆盖率为 50%，薄膜电阻为 0.06Ω/□，则单元阵列上的布线电阻 R（1）如下计算:

布线电阻 R（1）= 0.06 × 11000/（2500/2）= 0.53Ω

接着，关于上述（2）的电阻分量（R2），在检测放大器 105 和 106 与行解码器部 103 和 104 的交叉部 107 和 108 中，由于各种布线混合，在该部分上难以确保单元源线 109 的充分的布线宽度。因此，难以实现交叉部 107 和 108 上的单元源线 109 的电阻分量的降低。例如，在交叉部 107 和 108 中分别配置高 450μm、宽 8μm 的单元源线 109 时，交叉部 107 和 108 中的单元源线 109 的布线电阻 R（2）分别如下计算:

布线电阻 R（2）= 0.06 × 500/8 = 3.75Ω

另外，关于上述（3）的电阻分量 R（3），为了降低放电晶体管 110-1 和 111-1 的接通电阻，只要增大晶体管的沟道宽度 W 即可。另一方面，如果增大晶体管的沟道宽度 W，则放电晶体管 110-1 和 111-1 的面积占有率增大，所以要考虑周边电路部 115 中的放电晶体管 110-1 和 111-1 的配置和周边电路部 115 全体中的放电晶体管 110-1 和 111-1 的大小来确定沟道宽度 W。现状是，把放电晶体管 110-1 和 111-1 的沟道宽度 W 确定成使其接通电阻 R（3）分别与上述的电阻分量 R（2）同等。

结果，上述的（2）检测放大器 105 和 106 与行解码器部 103 和 104 的交叉部 107 和 108 上的布线电阻分量 R（2），占单元源线 109 全体的电阻的近一半。因此，为了降低单元源线 109 的电阻，问题在于如何能够减小上述（2）的交叉部 107 和 108 上的布线电阻分量 R（2）。

于是，本发明正是鉴于上述问题而提出的，其目的在于实现可以降低单元源线的布线电阻、抑制数据读出时的单元源线和位线中的噪声的产生、高速地进行数据读出动作的以 NAND 型闪速存储器为代表的非易失性半导体存储器件。

根据本发明，提供一种非易失性半导体存储器件，其特征在于包括:

把 NAND 串配置成矩阵状而成的单元阵列，该 NAND 串由可电改写的存储单元串联连接而成;

通过感测与上述存储单元连接的位线的电位，感测上述存储单元的阈值的检测放大器，该检测放大器包含具有高电压晶体管的第 1 区和具有低电压晶体管的第 2 区;

与上述 NAND 串的一端连接的单元源线; 以及

具有与上述单元源线连接、向上述单元源线供给接地电位或低电位的第 1 晶体管的第 1 单元源线驱动器; 且

上述单元源线驱动器的上述第 1 晶体管配置在上述检测放大器的上述第 1 区上。

在本发明的非易失性半导体存储器件中，可以是，在上述单元阵列上形成的上述单元源线由配置成格子状、相互连接，且周期性地配置的布线构成。

在本发明的非易失性半导体存储器件中，可以是，具有第 2 单元源线驱动器，该第 2 单元源线驱动器具有与上述单元源线连接、向上述单元源线供给高电位的第 2 晶体管，且上述第 2 晶体管配置在上述检测放大器与行解码器的交叉部或周边电路上。

另外，根据本发明，提供一种非易失性半导体存储器件，其特征在于包括:

把 NAND 串配置成矩阵状而成的单元阵列，该 NAND 串由可电改写的存储单元串联连接而成;

通过感测与上述存储单元连接的位线的电位，感测上述存储单元的阈值的检测放大器，该检测放大器包含具有高电压晶体管的第 1 区和具有低电压晶体管的第 2 区;

与上述 NAND 串的一端连接的单元源线; 以及

具有其一端与上述单元源线连接，其另一端与位线屏蔽线连接，经由上述位线屏蔽线向上述单元源线供给接地电位或低电位的第 1 晶

体管的第 1 单元源线驱动器；且

上述单元源线驱动器的上述第 1 晶体管配置在上述检测放大器的上述第 1 区上。

在本发明的非易失性半导体存储器件中，可以是，在上述单元阵列上形成的上述单元源线由配置成格子状、相互连接，且周期性地配置的布线构成。

在本发明的非易失性半导体存储器件中，可以是，具有第 2 单元源线驱动器，该第 2 单元源线驱动器具有与上述单元源线连接、向上述单元源线供给高电位的第 2 晶体管，且上述第 2 晶体管配置在上述检测放大器与行解码器的交叉部或周边电路上。

根据本发明，可以减小向单元源线驱动器的放电用晶体管放电的放电路径中的单元源线的布线电阻，由此可以抑制数据读出时的单元电流的减少，抑制单元源线和位线中的噪声的产生，可以高速地进行数据读出动作。

而且，根据本发明，通过使单元源线的电位和位线屏蔽线的电位均衡，可以基本上消除在两个布线中产生的噪声，由此可以抑制数据读出时的单元电流的减少，抑制单元源线和位线中的噪声的产生，可以高速地进行数据读出动作。

附图说明

图 1 是根据本发明的一个实施方式的 NAND 型闪速存储器 1 的示意结构图；

图 2 是更详细地展示根据本发明的一个实施方式的 NAND 型闪速存储器 1 的结构图；

图 3 是根据本发明的一个实施方式中的与 4 个位线对对应的检测放大器部（高电压晶体管区）5 和检测放大器部（低电压晶体管区）6 的电路的例子；

图 4 是根据本发明的一个实施方式中的与 4 个位线对对应的检测放大器部（高电压晶体管区）5 和检测放大器部（低电压晶体管区）6

的布局图的例子;

图 5 是根据本发明的一个实施例的 NAND 型闪速存储器 20 的示意结构图;

图 6 是根据本发明的一个实施例的 NAND 型闪速存储器 30 的示意结构图;

图 7 是根据本发明的一个实施例中的与 4 个位线对对应的检测放大器部(高电压晶体管区)5 和检测放大器部(低电压晶体管区)6 的电路的例子;

图 8 是根据本发明的一个实施例中的与 4 个位线对对应的检测放大器部(高电压晶体管区)5 和检测放大器部(低电压晶体管区)6 的布局图的例子;

图 9 是根据本发明的一个实施例中的与 1 个位线对对应的检测放大器部(高电压晶体管区)5 和检测放大器部(低电压晶体管区)6 的电路的例子;

图 10 是展示了从根据本发明的一个实施例中的 NAND 型闪速存储器的存储单元读出数据时,存储了数据“1”的“1”单元的位线、存储了数据“0”的“0”单元的位线、单元源线(CELLSRC)9 和位线屏蔽线(BLCRL)17 的电位的变化的曲线图;

图 11 是单元源线(CELLSRC)和位线屏蔽线(BLCRL)的电位的计算机模拟结果;

图 12 是根据本发明的一个实施例的 NAND 型闪速存储器 40 的示意结构图;

图 13 展示了 NAND 型闪速存储器 101 的示意结构图,其中源布线配置成格子状且相互连接,同时把这些布线周期性地配置;

图 14 展示了图 13 所示的 NAND 型闪速存储器 101 中的与 4 个位线对对应的检测放大器部(高电压晶体管区)105 和检测放大器部(低电压晶体管区)106 的电路的例子;

图 15 展示了图 14 所示的电路中的与 1 个位线对对应的检测放大器部(高电压晶体管区)105 和检测放大器部(低电压晶体管区)106

的电路的例子;

图 16 是展示了从图 13 所示的 NAND 型闪速存储器 101 的存储单元读出数据时，存储了数据“1”的“1”单元的位线、存储了数据“0”的“0”单元的位线、单元源线(CELLSRC)109 和位线屏蔽线(BLCRL)的电位的变化的曲线图。

(附图标记说明

1、NAND 型闪速存储器；2、单元阵列；3、4、行解码器部；5、6、检测放大器部；7、8、交叉部；9、单元源线（CELLSRC）；10、放电用单元源线驱动器；10-1~10-k、放电用晶体管；10b、放电路径；11、12、充电用单元源线驱动器；11-2、p 沟道型晶体管；12、充电用单元源线驱动器；13、BLCRL 驱动器；15、周边电路部；16、放电用单元源线驱动器；16-1~16-k、均衡用晶体管；30、NAND 型闪速存储器；40、NAND 型闪速存储器；100、NAND 型闪速存储器；102、单元阵列；103、解码器部；105、106、检测放大器；107、108、交叉部；109、单元源线；110、111，单元源线驱动器；110-1、110-2、n 沟道型晶体管；110a、111a、充电路径；111、单元源线驱动器；111-3、p 沟道型晶体管；112、113、BLCRL 驱动器。）

具体实施方式

以下详细说明本发明的非易失性半导体存储器件。在本实施方式中，作为本发明的非易失性半导体存储器件，以 NAND 型闪速存储器为例进行说明。

参照图 1。图 1 是作为本发明的非易失性半导体存储器件的一例的 NAND 型闪速存储器 1 的示意框图。图 1 所示的 NAND 型闪速存储器 1 包括：把存储单元配置成矩阵状而成的单元阵列 2、行解码器部 3 和 4、检测放大器部（高电压晶体管区）5、检测放大器部（低电压晶体管区）6、行解码器部 3 与检测放大器部 5 和 6 的交叉部 7、行解码器部 4 与检测放大器部 5 和 6 的交叉部 8、以及周边电路部 15。

然后参照图 2。图 2 是更详细地展示根据本实施方式的本发明的

NAND 型闪速存储器 1 的结构图。在图 2 中，为了便于说明，把电路结构、电路块、布线图形等混合展示。

根据本实施方式的本发明的 NAND 型闪速存储器 1 包括单元源线（CELLSRC）9、放电用单元源线驱动器 10、以及充电用单元源线驱动器 11 和 12。

放电用单元源线驱动器 10 具有多个 n 沟道型晶体管 10-1~10-k(k 是自然数）。这些 n 沟道型晶体管 10-1~10-k 承担单元源线 109 的放电，使用高电压晶体管。在此，构成放电用单元源线驱动器 10 的 n 沟道型晶体管 10-1~10-k 叫作“放电用晶体管”。在本发明的 NAND 型闪速存储器 1 中，由高电压晶体管构成的放电用单元源线驱动器 10 即放电用晶体管 10-1~10-k 设置在检测放大器部（高电压晶体管区）5 上，这是本发明的特征之一。另外，构成放电用单元源线驱动器 10 的放电用 n 沟道型晶体管的数目、尺寸（沟道宽度、沟道长度）可以适当地变更设计。

在本发明的 NAND 型闪速存储器 1 中，通过在检测放大器部（高电压晶体管区）5 上配置放电用单元源线驱动器 10，在向单元源线驱动器 10 的放电用晶体管 10-1~10-k 放电的放电路径 10b 中，可以排除作为现有问题的交叉部 7 和 8 中的单元源线 9 的布线电阻。因此，可以减小放电时的单元源线 9 的布线电阻，由此可以抑制数据读出时的单元源线和位线中的噪声的产生，可以高速地进行数据读出动作。

另一方面，在周边电路部 115 上设置充电用单元源线驱动器 11 和 12。单元源线驱动器 11 具有把 1 个 n 沟道型晶体管 11-1 与 1 个 p 沟道型晶体管 11-2 串联连接而成的结构，单元源线 9 与把它们各自的源或漏相互连接的连接点电连接。在此，把 n 沟道型晶体管 11-1 和 p 沟道型晶体管 11-2 叫作“充电用晶体管”。另外，充电用单元源线驱动器 12 具有与单元源线驱动器 11 同样的结构，具有把 1 个 n 沟道型晶体管 12-1 与 1 个 p 沟道型晶体管 12-2 串联连接而成的结构，单元源线 9 与把它们各自的源或漏相互连接的连接点电连接。另外，构成充电用单元源线驱动器 11 和 12 的 n 沟道型晶体管和 p 沟道型晶体管各

自的数目、尺寸（沟道宽度、沟道长度）也可以适当地变更设计。

另外，如图 2 所示，在本实施方式中，单元源线（CELLSRC）9 是通过在单元阵列 2 上把布线配置成格子状并相互连接，同时把这些布线周期性地配置而形成的，但是单元源线（CELLSRC）9 的形状并不仅限于此，什么样的形状都可以，例如，也可以在单元阵列上配置成梯子状并相互连接，同时把这些布线周期性地配置，也可以像现有的那样在存储单元阵列 2 之间上直线状地配置单元源线。

在本实施方式的 NAND 型闪速存储器 1 中，利用检测放大器部 5 和 6 中的检测放大器电路感测与存储单元连接的位线的电位，由此感测存储单元的阈值，进行数据读出动作。检测放大器部（高电压晶体管区）5 中使用高电压晶体管，而检测放大器部（低电压晶体管区）6 中使用低电压晶体管。如图 1 和图 2 所示，检测放大器部（高电压晶体管区）5 设置在单元阵列 2 和检测放大器部（低电压晶体管区）6 之间。

如图 2 所示，单元源线 9，通过在单元阵列 2 上把布线配置成格子状相互连接，同时把这些布线周期性地配置而形成。由于放电用单元源线驱动器 10 只由 n 沟道型晶体管构成，同样地在检测放大器部（高电压晶体管区）5 只由 n 沟道型晶体管构成时，可以在检测放大器部（高电压晶体管区）5 上集中配置 n 沟道的高电压晶体管，在布局上有优势。

如图 2 所示，布设成格子状的单元源线 9 从单元阵列 2 上通过交叉部 7 和 8 上，回绕到在周边电路部 15 的区域上配置的单元源线驱动器 11 和 12。单元源线驱动器 10 具有：到 VSS 的放电路径（接地路径）10b（用空心箭头表示）。单元源线驱动器 11 和 12 具有：把单元源线 9 充电到 1V 左右电压的充电路径 11a 和 12a（都用空心箭头表示）。

从存储单元读出数据时，使放电路径 10b 接通，单元源线 9 接地（VSS）。而在向存储单元写入数据（数据编程）时，充电路径 11a 和 12a 接通，单元源线 9 被预充电到 1V 左右。另外，在擦除存储单元的数据时，为了向单元源线 9 施加 20V 左右的高电压，作为驱动单

元源线 9 的最末级电路的单元源线驱动器 11 和 12 必须由高电压晶体管构成。

下面，参照图 3 和图 4。图 3 展示了本实施方式中的与 4 个位线对对应的检测放大器部（高电压晶体管区）5 和检测放大器部（低电压晶体管区）6 的电路的例子。如图 3 所示，与 1 个位线对对应的电路块以成为台阶层叠的状态配置，构成检测放大器部（高电压晶体管区）5。如图 3 所示，在本实施方式中，单元源线驱动器 10（放电用晶体管）配置在与 1 个位线对对应的电路块和邻接的与 1 个位线对对应的电路块之间，但并不仅限于此。例如，也可以配置在与两个位线对对应的电路块和邻接的与两个位线对对应的电路块之间。另外，在本实施方式中，是 1 个放电用晶体管与两个位线对相对应，但并不仅限于此。放电用晶体管的数目、尺寸（沟道宽度、沟道长度）可以适当地变更设计。

接着，图 4 展示了本实施方式中的与 4 个位线对对应的检测放大器部（高电压晶体管区）5 和检测放大器部（低电压晶体管区）6 的布局图像的例子。图 4 中，“AA”是活性区，“GC”是栅布线，“M0”是第 1 布线层，“M1”是第 2 布线层，“M2”是第 3 布线层。另外，用图中所示的标记示出了从 M0 到 AA 的触点、从 M1 到 M0 的触点、从 M2 到 M1 的触点。

单元源线（CELLSRC）109 和 VSS 布线使用由金属（例如铝）的带状（ベタ）布线构成的 M2。因此，为了设置从 M2 到 M1 的触点，单元源线驱动器 10 的放电用晶体管配置在从单元阵列 2 延伸的位线（由 M1 构成）的配置被缓和的部分上。如图 4 所示，在本实施方式中，该被缓和的部分是检测放大器部（高电压晶体管区）5 的中央附近。

通过像本实施方式的 NAND 型闪速存储器 1 那样，在检测放大器部的高电压晶体管区 5 上配置单元源线驱动器 10 的放电用晶体管，利用 M2 使 VSS 布线重新回绕，相当于该 VSS 布线的电阻作为放电路径中的电阻附加。因此，如何能减小该 VSS 布线的电阻成为问题。

通常，由于检测放大器的高电压晶体管的区域5具有100μm左右的高度，可以确保VSS布线的宽度为40μm左右。如果这样，VSS布线的布线电阻RVSS为：

$RVSS = 0.06 \times 2500/40/2 = 1.88\Omega$

结果，如果考虑可以排除作为现有问题的、上述（2）由检测放大器5和6与行解码器部3和4的交叉部7和8上的布线导致的电阻分量R（2），可以实现与使电阻分量R（2）减半同等的效果。

另外，如果使单元阵列2的字线方向（横向）的长度减短，降低布线电阻的效果更显著。这是因为，字线沿单元阵列2的横向在检测放大器的高电压晶体管区上延伸，所以如果减短其长度布线电阻也会降低。而且，放电用晶体管可以在横向上排成一列，可以确保充分大的沟道宽度W，也可以抑制放电用晶体管的接通电阻。

如上所述，在本发明的NAND型闪速存储器1中，通过在检测放大器部（高电压晶体管区）5上配置放电用单元源线驱动器10，在向单元源线驱动器10的放电用晶体管10-1~10-k放电的放电路径10b中，可以排除作为现有问题的交叉部7和8中的单元源线109的布线电阻。因此，作为结果，可以减小放电时的单元源线109的布线电阻，由此可以抑制数据读出时的单元源线和位线中的噪声的产生，可以高速地进行数据读出动作。

（实施例1）

在本实施例中说明在上述实施方式中说明过的本发明的NAND型闪速存储器1中，分别在交叉部7和8上配置充电用单元源线驱动器11和12的例子。

参照图5。图5展示了根据本实施例的本发明的NAND型闪速存储器20的示意结构图。对在图5所示的根据本实施例的本发明的NAND型闪速存储器20中，与上述实施方式中说明过的本发明的NAND型闪速存储器1同样的结构赋予相同的附图标记，所以在此不再说明。

如图5所示，本实施例的NAND型闪速存储器20，分别在交叉部

7 和交叉部 8 上配置充电用单元源线驱动器 11 和 12。通过这样，可以使充电路径 11a 和 12a 中的单元源线（CELLSRC）9 的布线减短，减小充电路径 11a 和 12a 的电阻。而且，由于通常交叉部 7 和交叉部 8 中没有那么密集地配置其它电路，在布局上有富余，所以通过在交叉部 7 和交叉部 8 上配置尺寸大的充电用单元源线驱动器 11 和 12，可以减轻周边电路部 15 的面积负担，提高周边电路部 15 的布局效率，由此可以提高 NAND 型闪速存储器 20 全体的布局效率。

（实施例 2）

在本实施例中说明在上述实施方式中说明过的本发明的 NAND 型闪速存储器 1 中，在紧挨着单元阵列的检测放大器部的高电压晶体管区中配置把单元源线（CELLSRC）的电位和位线屏蔽线（BLCRL）的电位均衡的晶体管的例子。

参照图 6。图 6 展示了根据本实施例的本发明的 NAND 型闪速存储器 30 的示意结构图。对在图 6 所示的根据本实施例的本发明的 NAND 型闪速存储器 30 中，与上述实施方式中说明过的本发明的 NAND 型闪速存储器 1 同样的结构赋予相同的附图标记，所以在此不再说明。

在本实施例的 NAND 型闪速存储器 30 中，在紧挨着单元阵列 2 的检测放大器部（高电压晶体管区）5 中配置把单元源线（CELLSRC）的电位和位线屏蔽线（BLCRL）的电位均衡的、由多个晶体管（均衡用晶体管或放电用晶体管）16-1~16-k 构成的放电用单元源线驱动器 16。位线屏蔽线（BLCRL）17 被位线屏蔽线驱动器 13 和 14 驱动，成为 VSS 电位。另外，均衡用晶体管 16-1~16-k 并不限于这个数目，它们的尺寸（沟道宽度、沟道长度）也可以适当地变更设计。

下面，参照图 7。图 7 展示了本实施例中的与 4 个位线对对应的检测放大器部（高电压晶体管区）5 和检测放大器部（低电压晶体管区）6 的电路的例子。如图 7 所示，与 1 个位线对对应的电路块以成为台阶层叠的状态配置，构成检测放大器部（高电压晶体管区）。如图 7 所示，在本实施例中，单元源线驱动器 16（放电用晶体管）配置

在与 1 个位线对对应的电路块和邻接的与 1 个位线对对应的电路块之间，但并不仅限于此。例如，也可以配置在与两个位线对对应的电路块和邻接的与两个位线对对应的电路块之间。另外，在本实施方式中，是 1 个放电用晶体管（均衡用晶体管）与两个位线对相对应，但并不仅限于此。放电用晶体管（均衡用晶体管）的数目、尺寸（沟道宽度、沟道长度）可以适当地变更设计。

接着，图 8 展示了本实施方式中的与 4 个位线对对应的检测放大器部（高电压晶体管区）5 和检测放大器部（低电压晶体管区）6 的布局图像的例子。图 8 中，与图 4 同样地，“AA”是活性区，“GC”是栅布线，“M0”是第 1 布线层，“M1”是第 2 布线层，“M2”是第 3 布线层。另外，与图 4 同样地，用图中所示的标记示出了从 M0 到 AA 的触点、从 M1 到 M0 的触点、从 M2 到 M1 的触点。

单元源线（CELLSRC）9、位线屏蔽线（BLCRL）17 和 VSS 布线使用由金属（例如铝）的带状布线构成的 M2。因此，为了设置从 M2 到 M1 的触点，单元源线驱动器 10 的放电用晶体管配置在从单元阵列 2 延伸的位线（由 M1 构成）的配置被缓和的部分上。如图 4 所示，在本实施方式中，该被缓和的部分在与 1 个位线对对应的电路块和邻接的与 1 个位线对对应的电路块之间。

在此，参照图 9，说明在根据本实施例的本发明的 NAND 型闪速存储器 30 中，把单元源线（CELLSRC）9 的电位和位线屏蔽线（BLCRL）17 的电位均衡时的电流流动。图 9 展示了图 7 和 8 所示的电路中的与 1 个位线对对应的检测放大器部（高电压晶体管区）5 和检测放大器部（低电压晶体管区）6 的电路的例子。图 9 中还展示了在交叉部 7 上设置的 BLCRL 驱动器 13 和在周边电路部 15 上设置的单元源线驱动器 11 的电路结构。另外，在图 9 中，为了说明位线屏蔽线（BLCRL）17 和单元源线（CELLSRC）9 中的电流流动，用空心箭头示出了以 BL_odd 为选择位线，以 BL_even 为非选择位线，利用单元源线驱动器 16 的放电用晶体管 16-1~16-k 把位线屏蔽线（BLCRL）17 的电位和单元源线（CELLSRC）9 的电位均衡了时的

电流流动。

如图 9 所示，在本发明的 NAND 型闪速存储器 30 中，在读出数据时，非选择位线 BL_even 与位线屏蔽线 17 连接，从 BLCRL 驱动器 13 向非选择位线 BL_even 供给接地电位 VSS。同时，选择位线侧的单元源线 9 也经由单元源线驱动器 16（均衡用晶体管 16-1~16-k）接地。如果基于电流的流动说明，在读出数据时，电流从选择位线 BL_odd 通过 NAND 串、经由单元源线驱动器 16（均衡用晶体管 16-1~16-k）向与 BLCRL 驱动器 13 的 n 沟道型晶体管 13-1 的 VSS 连接的节点流动。而在非选择位线侧，电流从非选择位线 BL_even 经由位线屏蔽线（BLCRL）17 向与 BLCRL 驱动器 13 的 n 沟道型晶体管 13-1 的 VSS 连接的节点流动。

位线屏蔽线（BLCRL）17 的布线电阻 R1 比较小。另一方面，单元阵列 2 上的单元源线（CELLSRC）9 的布线电阻 R2 比较小，但交叉部 7 和周边电路部 15 上的单元源线（CELLSRC）9 的布线电阻 R3 还有单元源线（CELLSRC）9 被回绕的部分，比较大。在根据本实施例的本发明的 NAND 型闪速存储器 30 中，由于该单元源线 9 中的电阻大的部分不作为电流路径使用，可以抑制单元源线 9 中产生的噪声。

在此，参照图 10。图 10 展示了从存储单元读出数据时，存储了数据“1”的“1”单元的位线、存储了数据“0”的“0”单元的位线、单元源线（CELLSRC）9 和位线屏蔽线（BLCRL）17 的电位的变化。

在根据本实施例的本发明的 NAND 型闪速存储器 30 中，由于放电路线中的单元源线 9 的电阻小，可以抑制从“1”单元的位线向单元源线（CELLSRC）9 流入所谓单元电流，可以抑制单元源线（CELLSRC）9 的不必要的电位上升（图 10 的“b’”表示的部分）。另外，单元源线 9 的电位上升和位线屏蔽线 17 的电位下降呈相互逆相的关系，大小大致相同。这是由于位线容量的约 92%被邻接位线容量占据。因此，通过在紧挨着单元阵列 2 的位置分散配置电位均衡用的晶体管 16-1~16-k，把单元源线 9 的电位上升和位线屏蔽线（BLCRL）17 进行均衡，可以基本上消除两个布线中产生的噪声（图 10 中的“b’”

和“c’ ”），可以显著地改善噪声量，成为现有的 1/4 以下。因此，由于位线屏蔽线（BLCRL）17 的电位没有下降，“0”单元的位线的电位不会因来自邻接的被屏蔽的位线的噪声导致的下降(图 10 的“d’”表示的部分），不会对“0”单元的检测容限带来不良影响。

在此，参照图 11。图 11 展示了从存储单元读出数据时，根据本实施例的本发明的 NAND 型闪速存储器 30 的单元源线（CELLSRC）9 和位线屏蔽线（BLCRL）17 的电位变化、以及图 13 所示的 NAND 型闪速存储器 100 的单元源线（CELLSRC）109 和位线屏蔽线（BLCRL)114 的电位变化的计算机模拟结果。单元源线(CELLSRC）9 和单元源线（CELLSRC）109 中出现电位的上升，位线屏蔽线（BLCRL）17 和位线屏蔽线（BLCRL）114 中出现电位的下降。

从图 11 可以看出，根据本实施例的本发明的 NAND 型闪速存储器 30 的单元源线（CELLSRC）9 几乎看不到电位的上升，位线屏蔽线（BLCRL）17 中也几乎看不到电位的下降。而图 13 所示的 NAND 型闪速存储器 100 的单元源线（CELLSRC）109 的电位大幅上升，且位线屏蔽线（BLCRL）114 的电位大幅下降。该计算机模拟结果与图 10 和图 16 一致。

在根据本实施例的本发明的 NAND 型闪速存储器 30 中，通过分散配置均衡用晶体管 16-1~16-k 使单元源线 9 的电位的上升和位线屏蔽线 17 的电位均衡，可以基本上消除在两个布线中产生的噪声，由此可以抑制数据读出时的单元电流的减少，抑制单元源线和位线中的噪声的产生，可以高速地进行数据读出动作。

（实施例 3）

在本实施例中说明在上述实施例 2 中说明过的本发明的 NAND 型闪速存储器 30 中，分别在交叉部 7 和 8 上配置充电用单元源线驱动器 11 和 12 的例子。

参照图 12。图 12 展示了根据本实施例的本发明的 NAND 型闪速存储器 40 的示意结构图。对在图 12 所示的根据本实施例的本发明的 NAND 型闪速存储器 40 中，与上述实施方式和实施例 2 中说明过的本

发明的 NAND 型闪速存储器 1 和本发明的 NAND 型闪速存储器 30 同样的结构赋予相同的附图标记，所以在此不再说明。

如图 12 所示，本实施例的 NAND 型闪速存储器 40，分别在交叉部 7 和交叉部 8 上配置充电用单元源线驱动器 11 和 12。通过这样，可以使充电路径 11a 和 12a 中的单元源线（CELLSRC）9 的布线减短，减小充电路径 11a 和 12a 的电阻。而且，由于通常交叉部 7 和交叉部 8 中没有那么密集地配置其它电路，在布局上有富余，所以通过在交叉部 7 和交叉部 8 上配置尺寸大的充电用单元源线驱动器 11 和 12，可以减轻周边电路部 15 的面积负担，提高周边电路部 15 的布局效率，由此可以提高 NAND 型闪速存储器 40 全体的布局效率。因此，通过分散配置均衡用晶体管 16-1~16-k 使单元源线 9 的电位的上升和位线屏蔽线 17 的电位均衡，实现抑制单元源线和位线中的噪声发生，进而使数据读出动作高速化的优异效果。

本发明的非易失性半导体存储器件可以实现写入动作的高速化，可以实现 NAND 型闪速存储器的系统全体的高速化。因此，根据本发明，可以实现更廉价、小型、高速且大容量的非易失性半导体存储器件。本发明的非易失性半导体存储器件，可以作为以计算机为开端的数字相机、便携电话、家电制品等的电子装置的存储装置使用。

图1

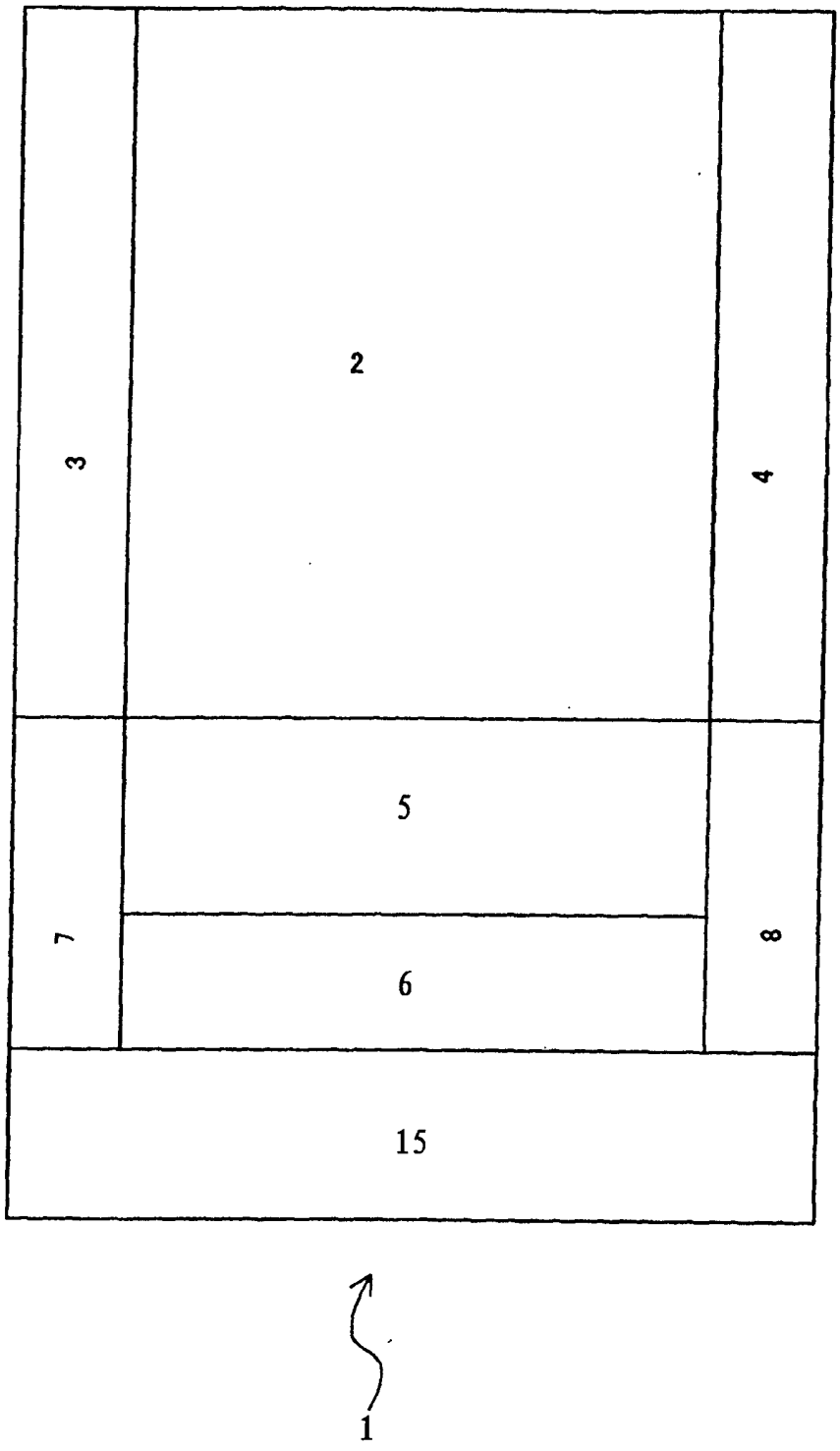


图2

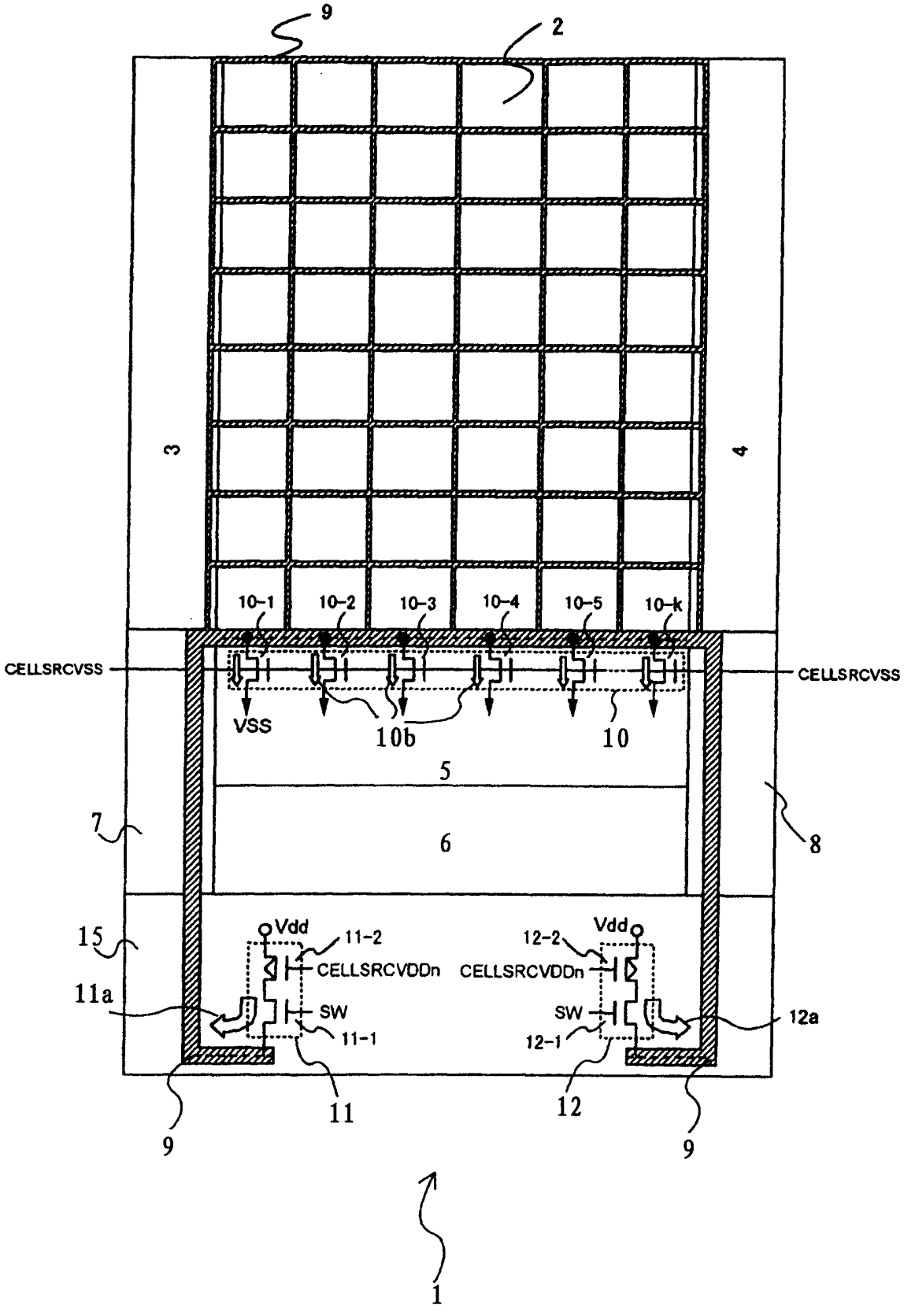

9
2
3
4
10-1
10-2
10-3
10-4
10-5
10-k
CELLSRCVSS
CELLSRCVSS
VSS
10b
10
5
6
7
8
15
Vdd
11-2
CELLSRCVDDn
SW
11-1
11a
12-2
Vdd
CELLSRCVDDn
SW
12-1
12a
9
11
12
9
1

图 3

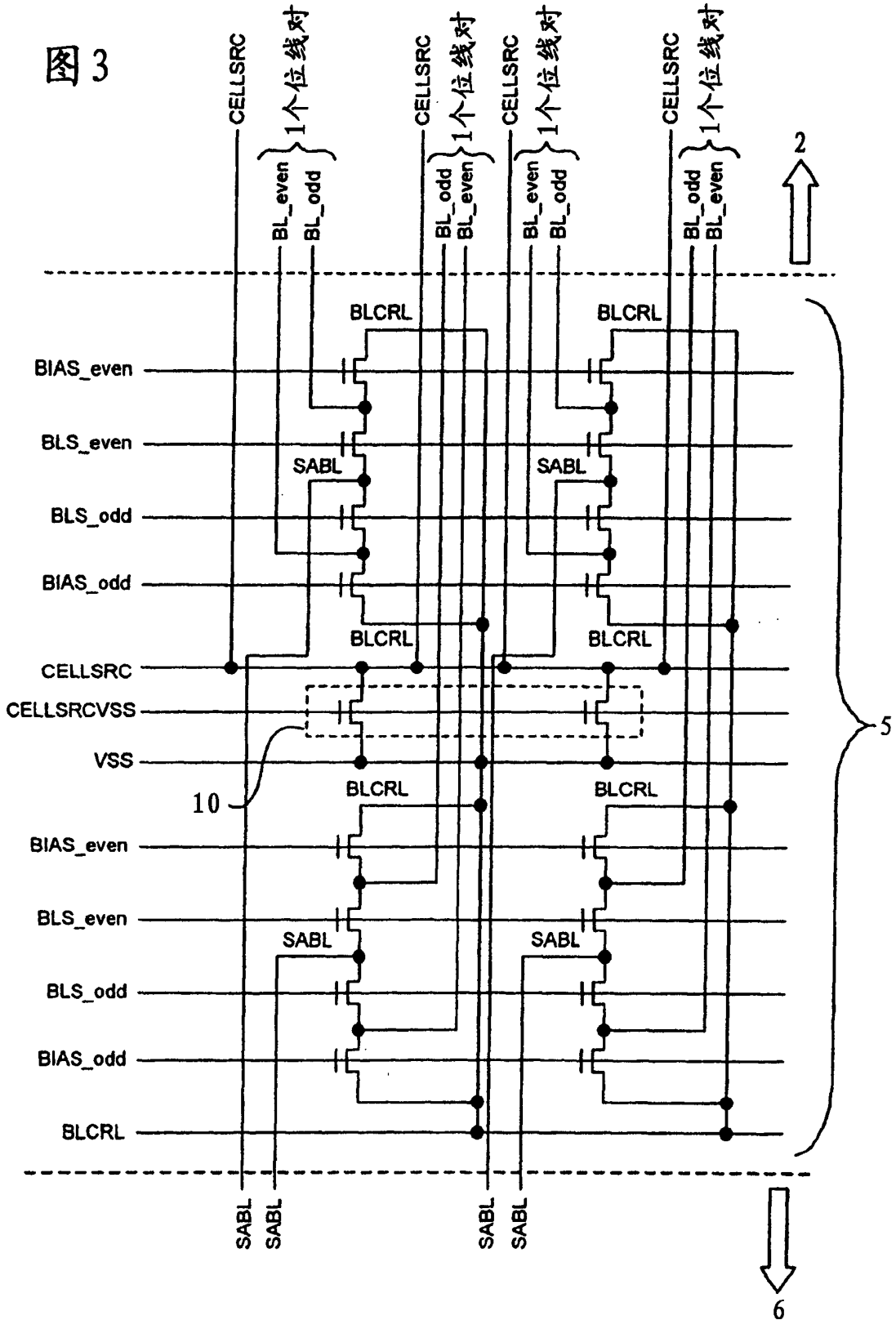

CELLSRC
1个位线对
BL_even
BL_odd
BL_odd
BL_even
2
BLCRL
BIAS_even
BLS_even
SABL
BLS_odd
BIAS_odd
CELLSRC
CELLSRCVSS
VSS
10
5
SABL
6

图4

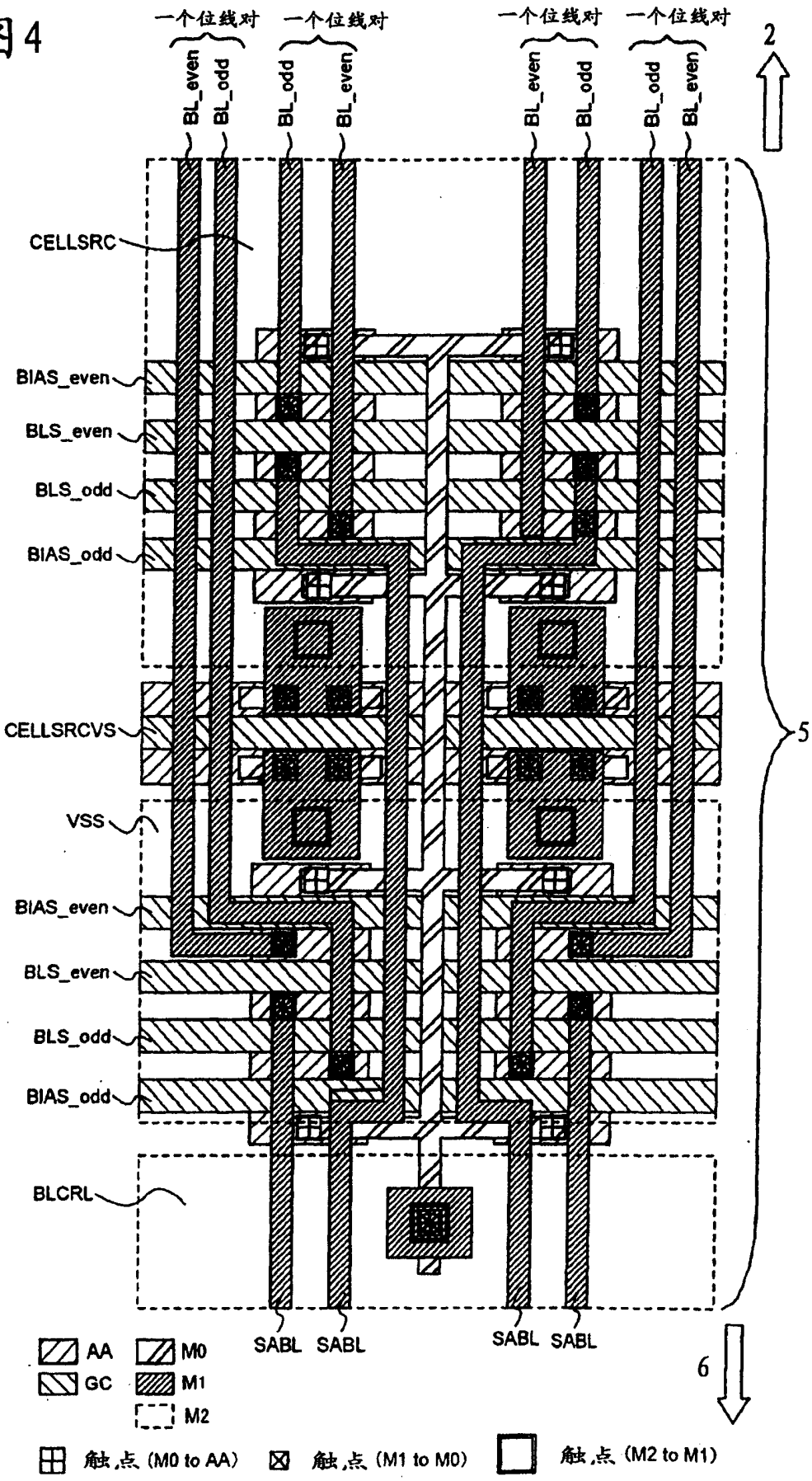

一个位线对
一个位线对
一个位线对
一个位线对
BL_even
BL_odd
BL_odd
BL_even
BL_even
BL_odd
BL_odd
BL_even
2
CELLSRC
BIAS_even
BLS_even
BLS_odd
BIAS_odd
CELLSRCVS
VSS
BIAS_even
BLS_even
BLS_odd
BIAS_odd
BLCRL
5
SABL
SABL
SABL
SABL
6
AA
GC
M0
M1
M2
触点 (M0 to AA)
触点 (M1 to M0)
触点 (M2 to M1)

图5

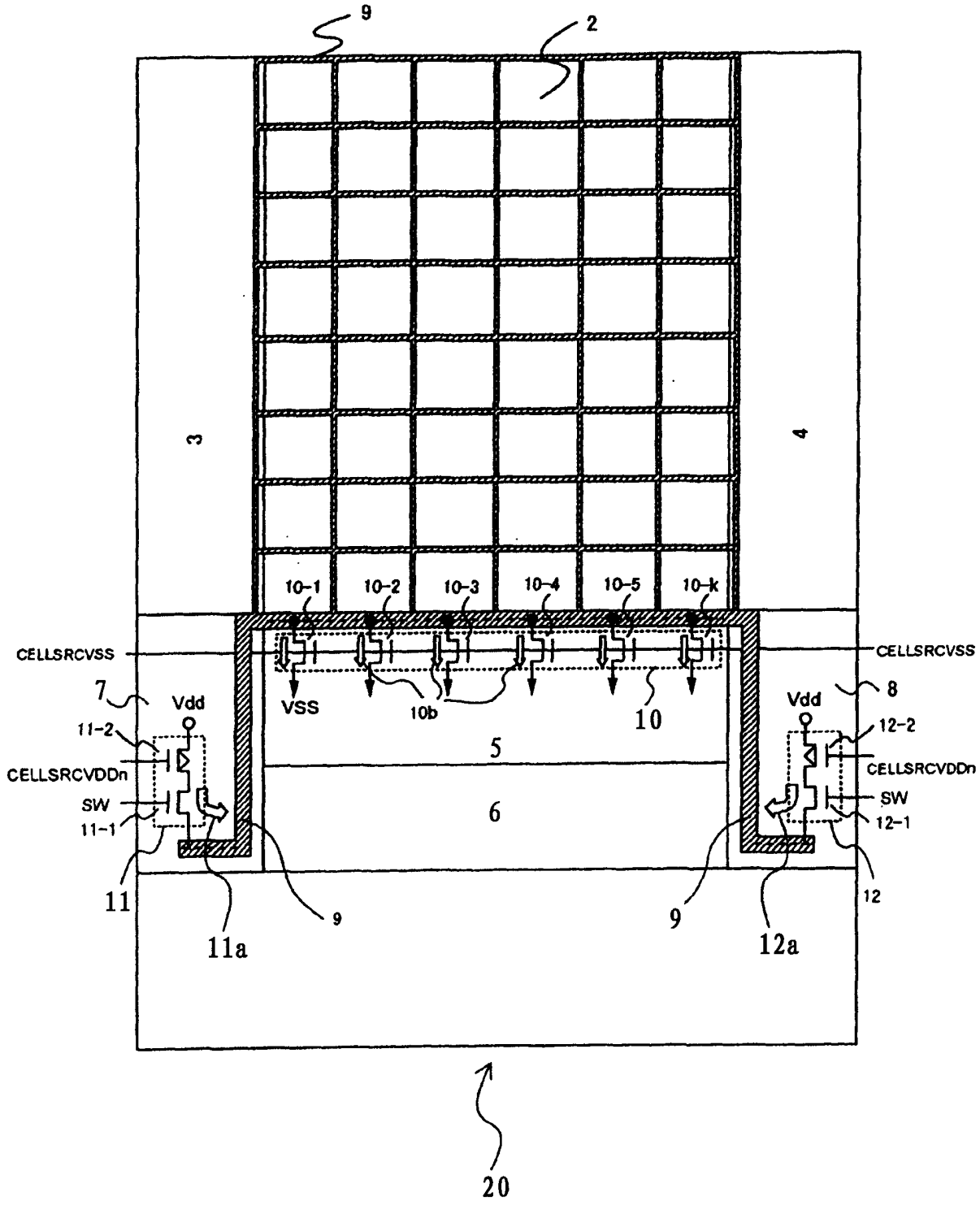

9
2
3
4
10-1
10-2
10-3
10-4
10-5
10-k
CELLSRCVSS
CELLSRCVSS
7
Vdd
VSS
10b
10
8
Vdd
11-2
CELLSRCVDDn
SW
11-1
5
6
12-2
CELLSRCVDDn
SW
12-1
11
11a
9
9
12a
12
20

图6

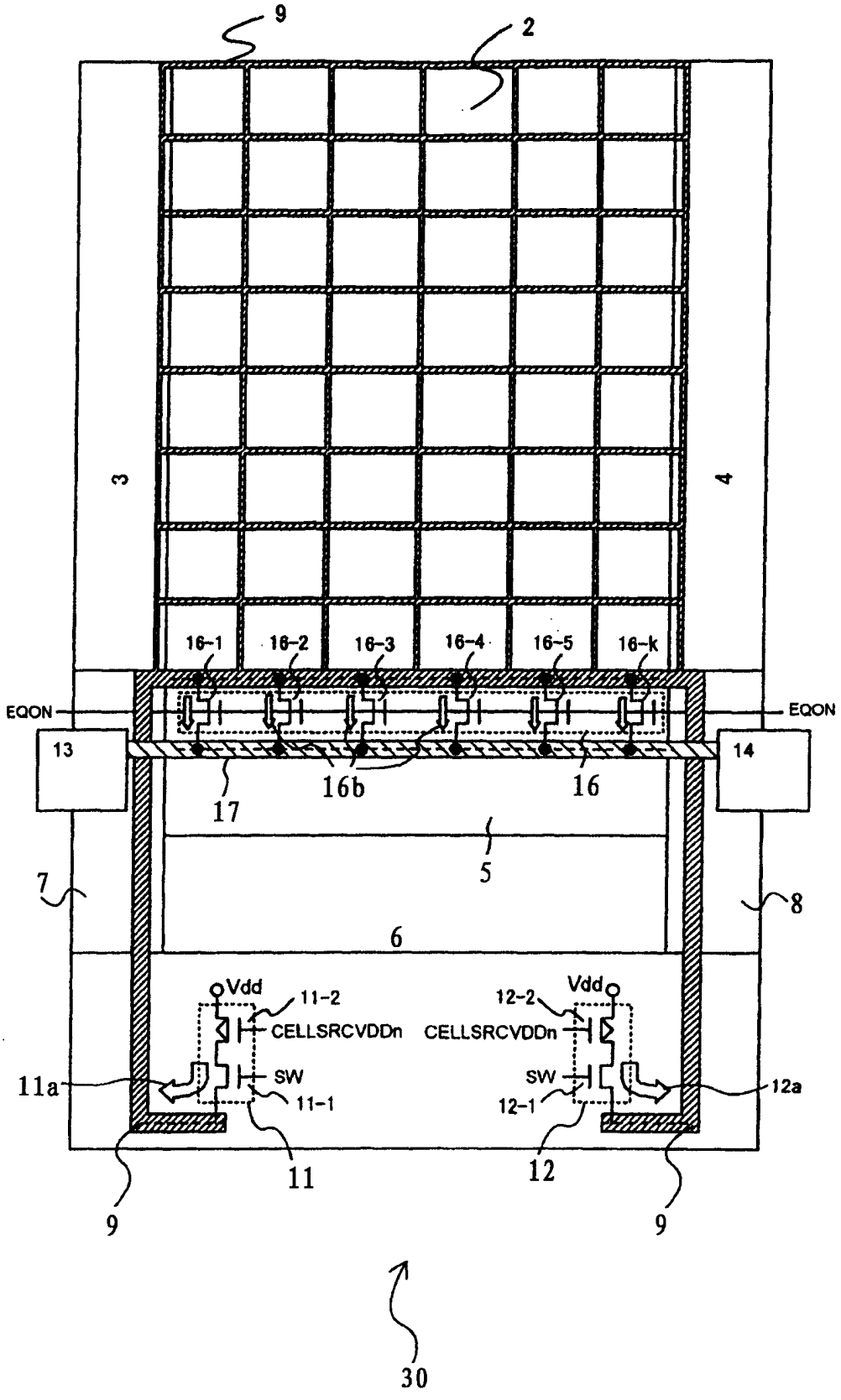

9
2
3
4
16-1
16-2
16-3
16-4
16-5
16-k
EQON
EQON
13
14
17
16b
16
5
7
8
6
Vdd
11-2
CELLSRCVDDn
SW
11-1
11a
11
9
12-2
Vdd
CELLSRCVDDn
SW
12-1
12a
12
9
30

图7

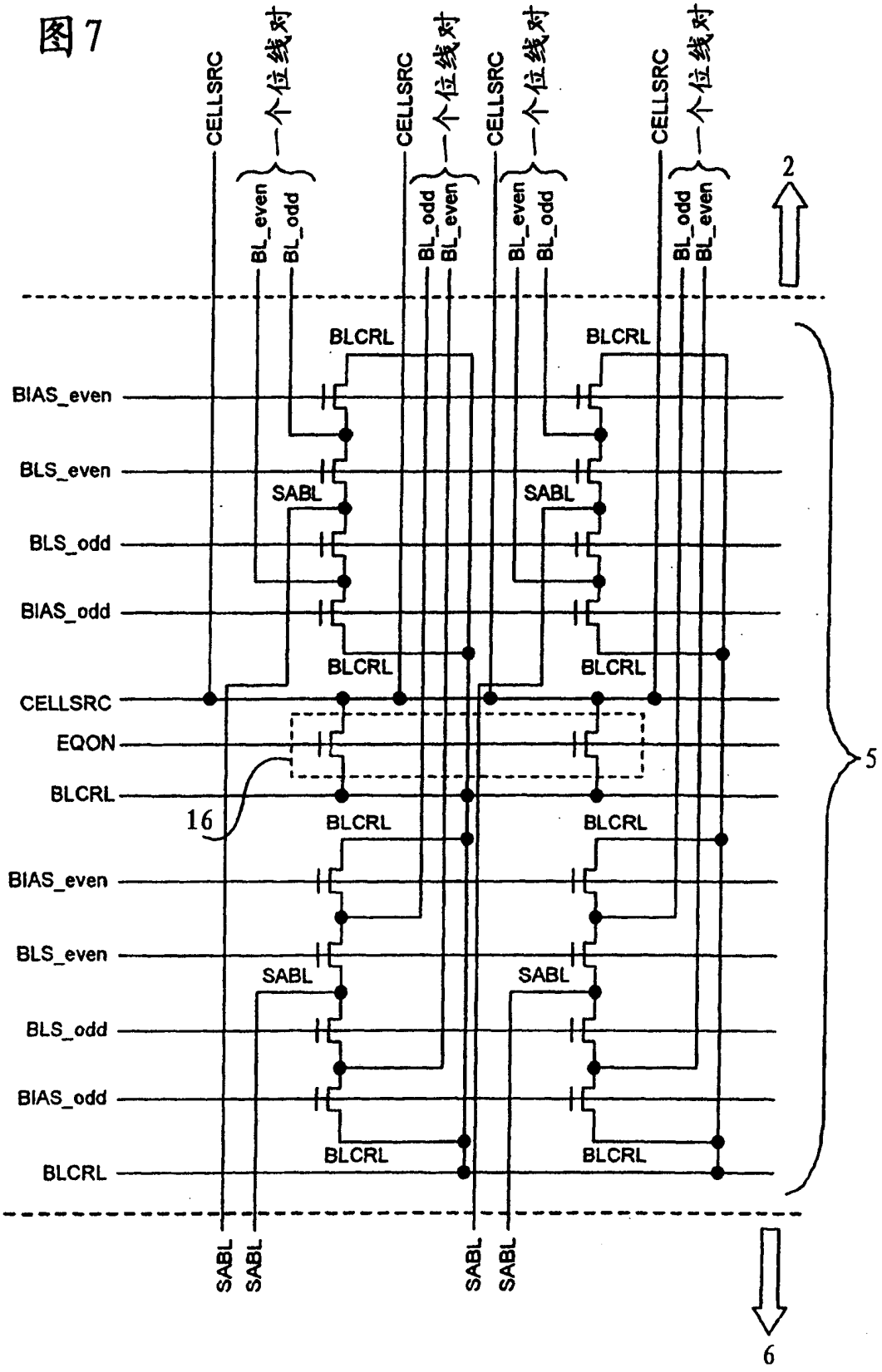

CELLSRC
一个位线对
BL_even
BL_odd
BL_odd
BL_even
2
BLCRL
BIAS_even
BLS_even
SABL
BLS_odd
BIAS_odd
CELLSRC
EQON
BLCRL
16
5
SABL
6

图8

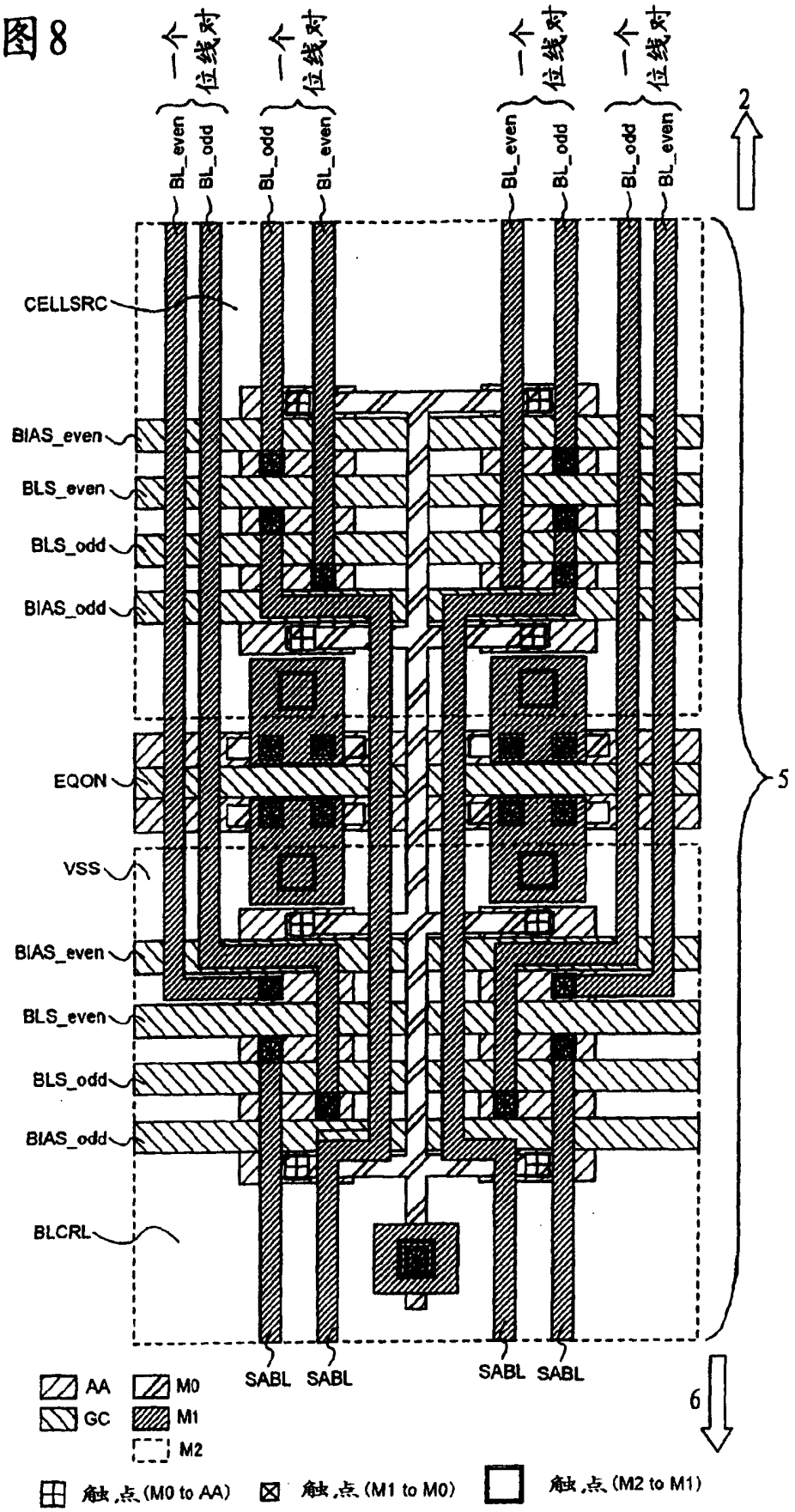

一个位线对
一个位线对
一个位线对
一个位线对
BL_even
BL_odd
BL_odd
BL_even
BL_even
BL_odd
BL_odd
BL_even
2
CELLSRC
BIAS_even
BLS_even
BLS_odd
BIAS_odd
EQON
VSS
BIAS_even
BLS_even
BLS_odd
BIAS_odd
BLCRL
5
SABL SABL
SABL SABL
6
AA
GC
M0
M1
M2
触点(M0 to AA)
触点(M1 to M0)
触点(M2 to M1)

图9

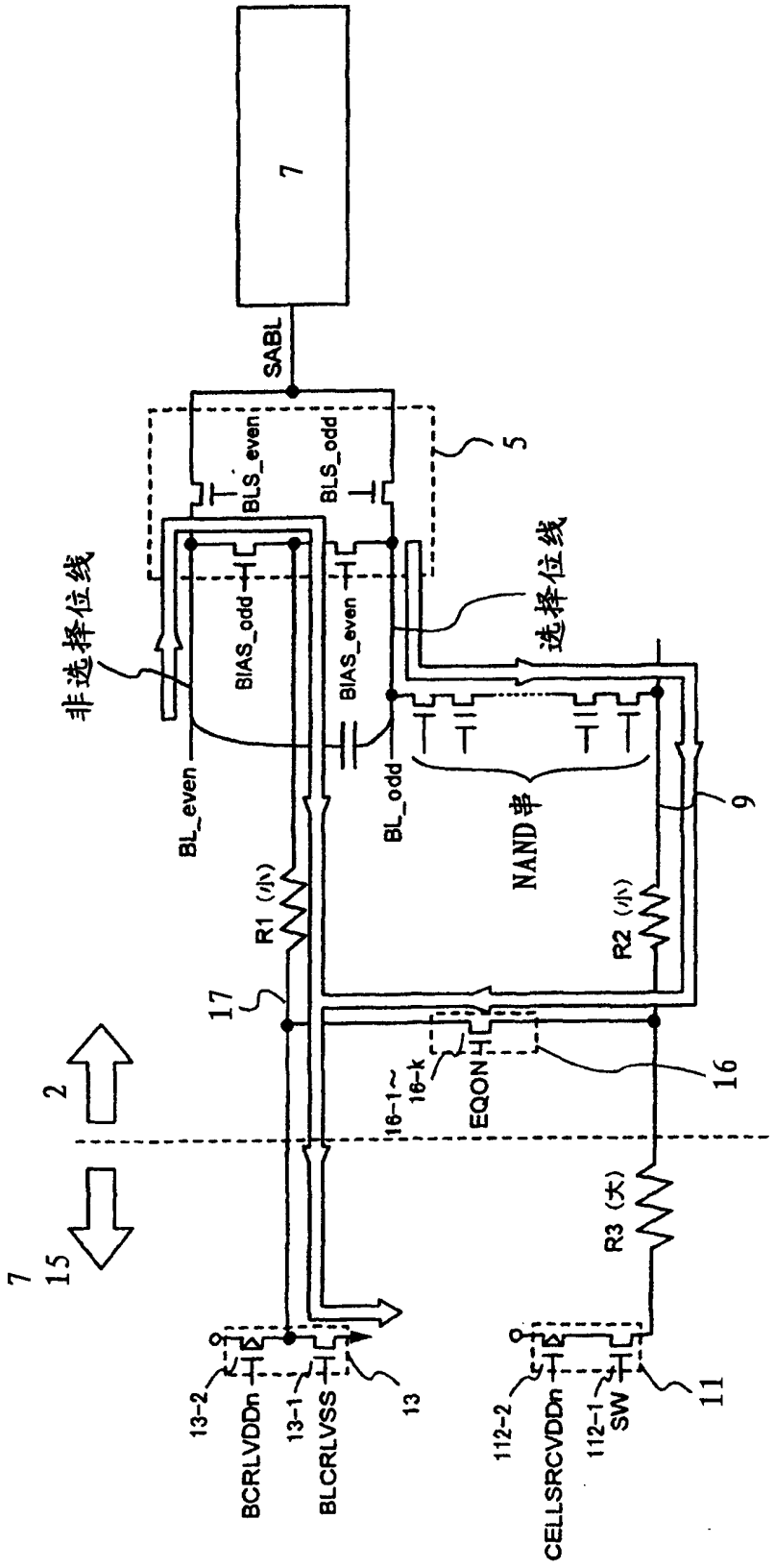

7
SABL
BLS_even
BLS_odd
5
非选择位线
选择位线
BIAS_odd
BIAS_even
BL_even
BL_odd
NAND串
9
R1 (小)
R2 (小)
17
16
16-1~
16-k
EQON
2
7
15
R3 (大)
13-2
BCRLVDDn
13-1
BLCRLVSS
13
112-2
CELLSRCVDDn
112-1
SW
11

图10

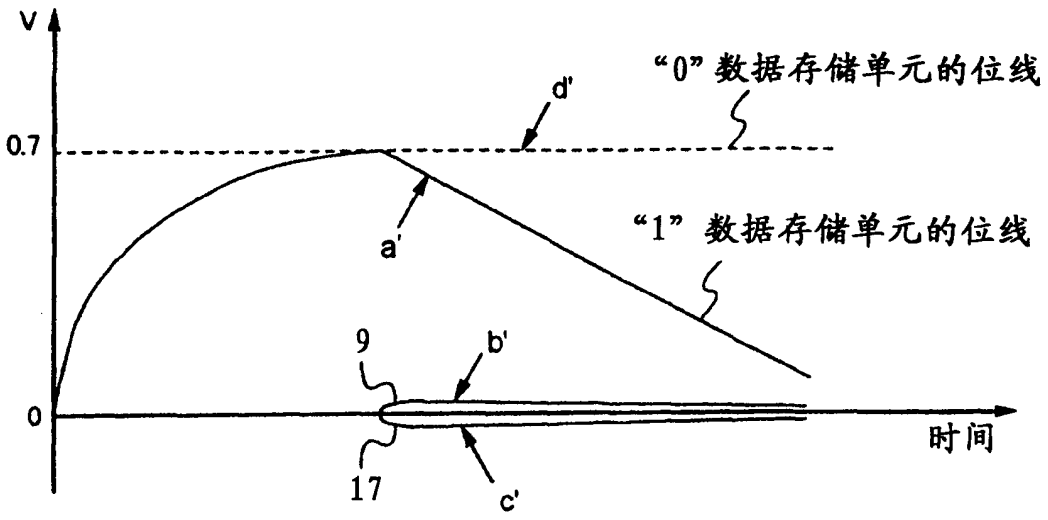


图11

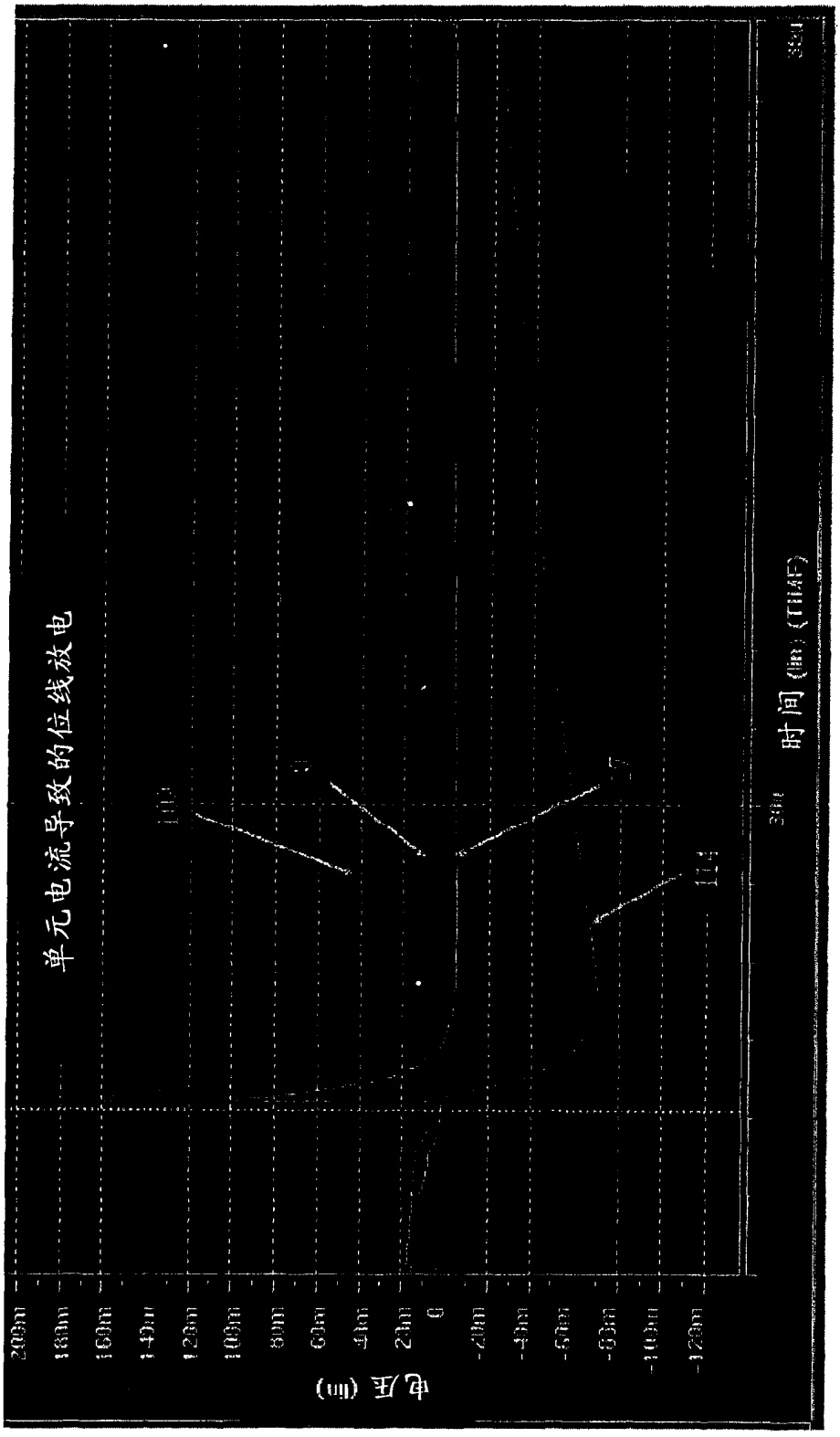

单元电流导致的位线放电
电压 (lin)
时间 (lin) (TIME)
200m
180m
160m
140m
120m
100m
80m
60m
40m
20m
0
-20m
-40m
-60m
-80m
-100m
-120m
110
111

图12

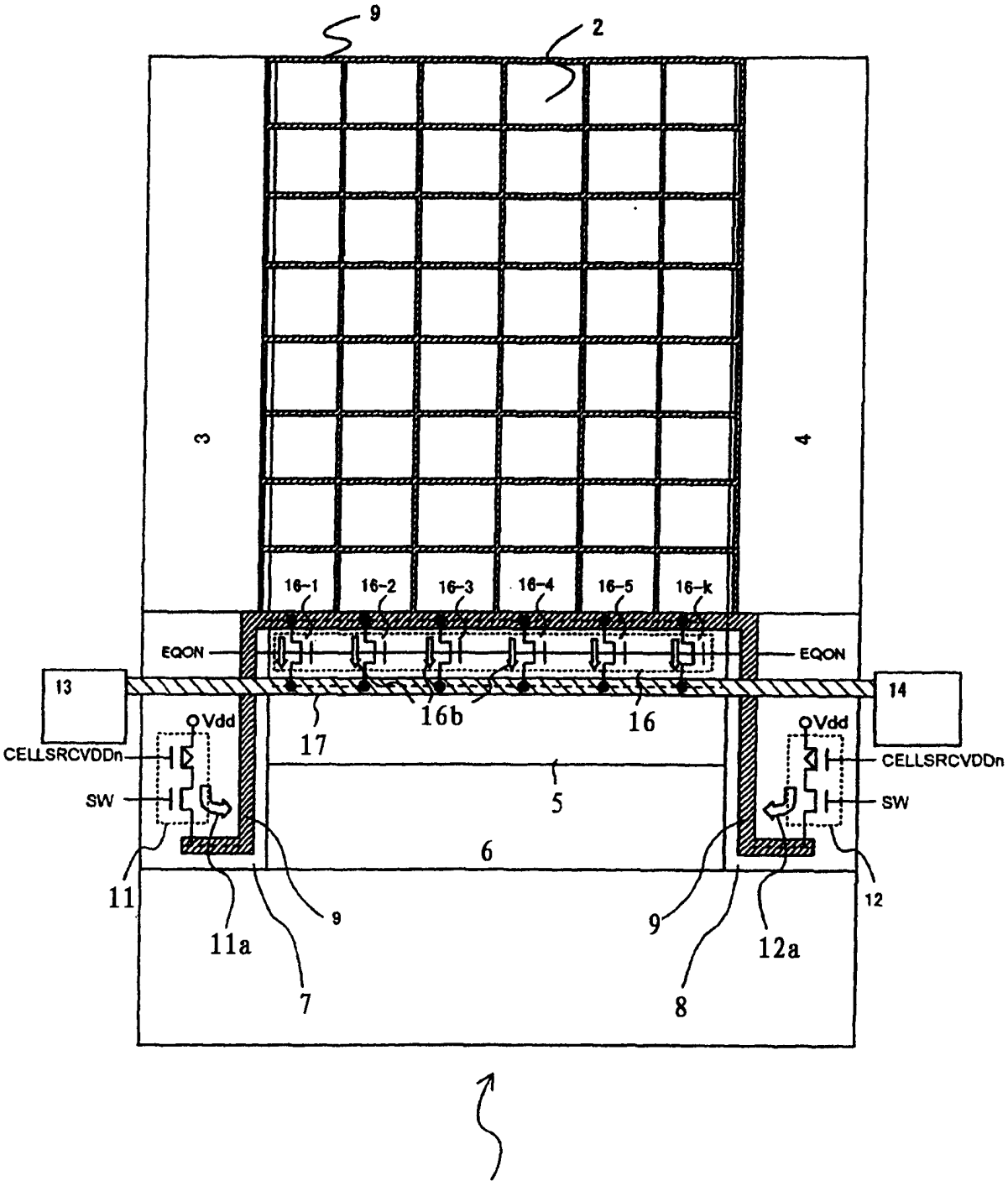

9
2
3
4
16-1
16-2
16-3
16-4
16-5
16-k
EQON
EQON
13
14
Vdd
Vdd
CELLSRCVDDn
CELLSRCVDDn
SW
SW
17
16b
16
5
6
11
11a
9
7
9
8
12a
12

图13

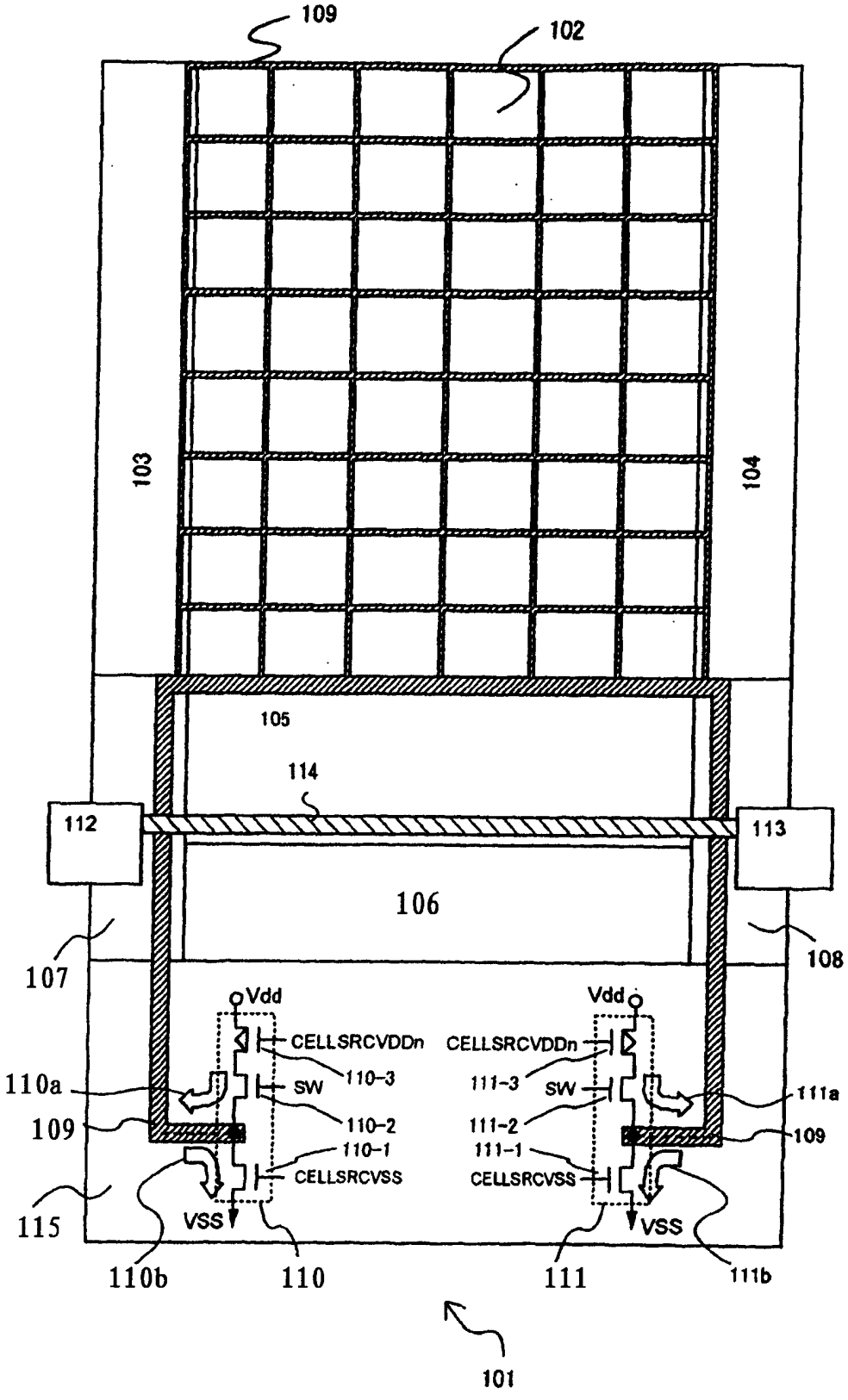

109
102
103
104
105
114
112
113
106
107
108
Vdd
CELLSRCVDDn
110-3
SW
110-2
110-1
CELLSRCVSS
VSS
110a
109
115
110b
110
111
111b
111a
111-3
111-2
111-1
101

图14

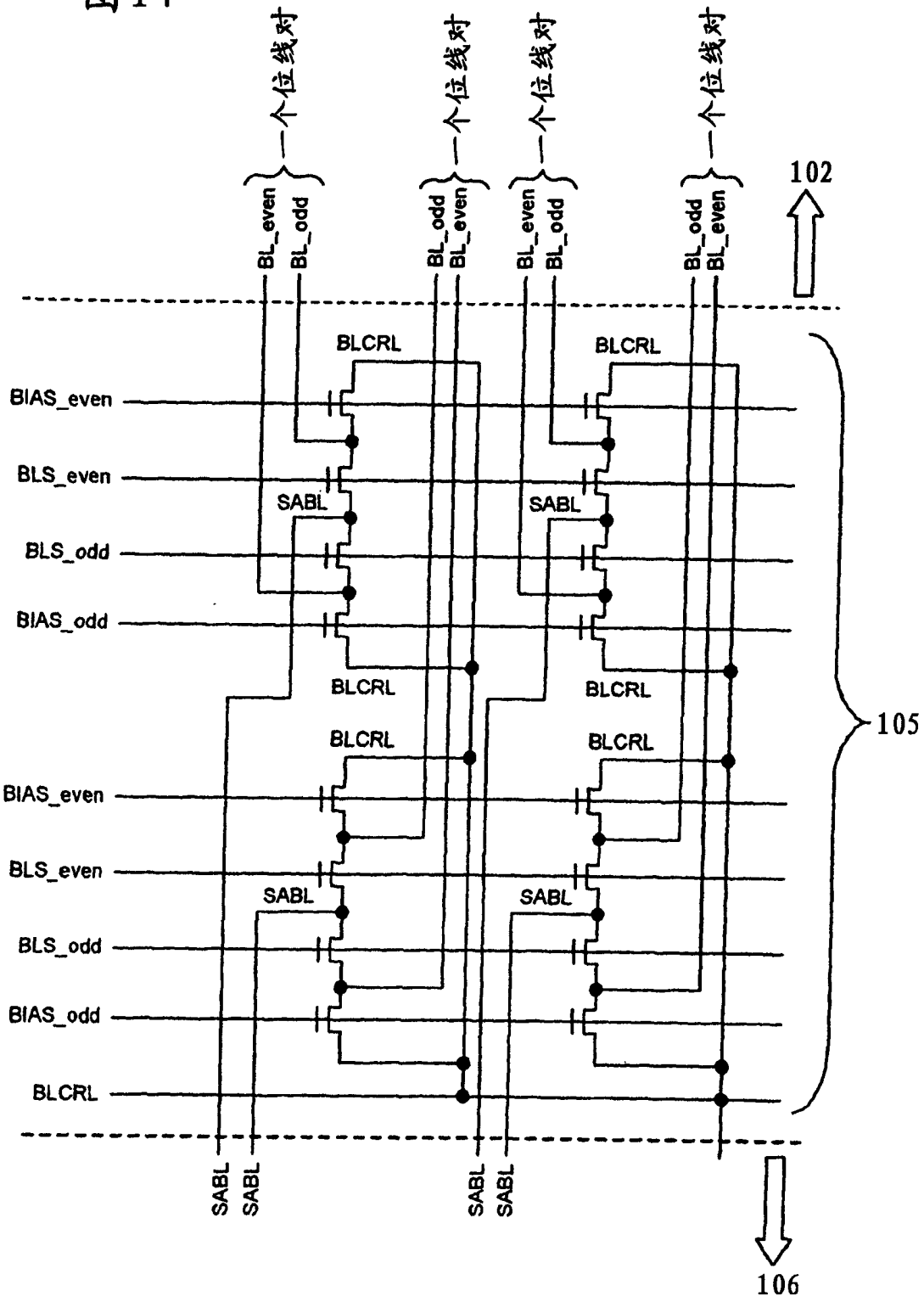
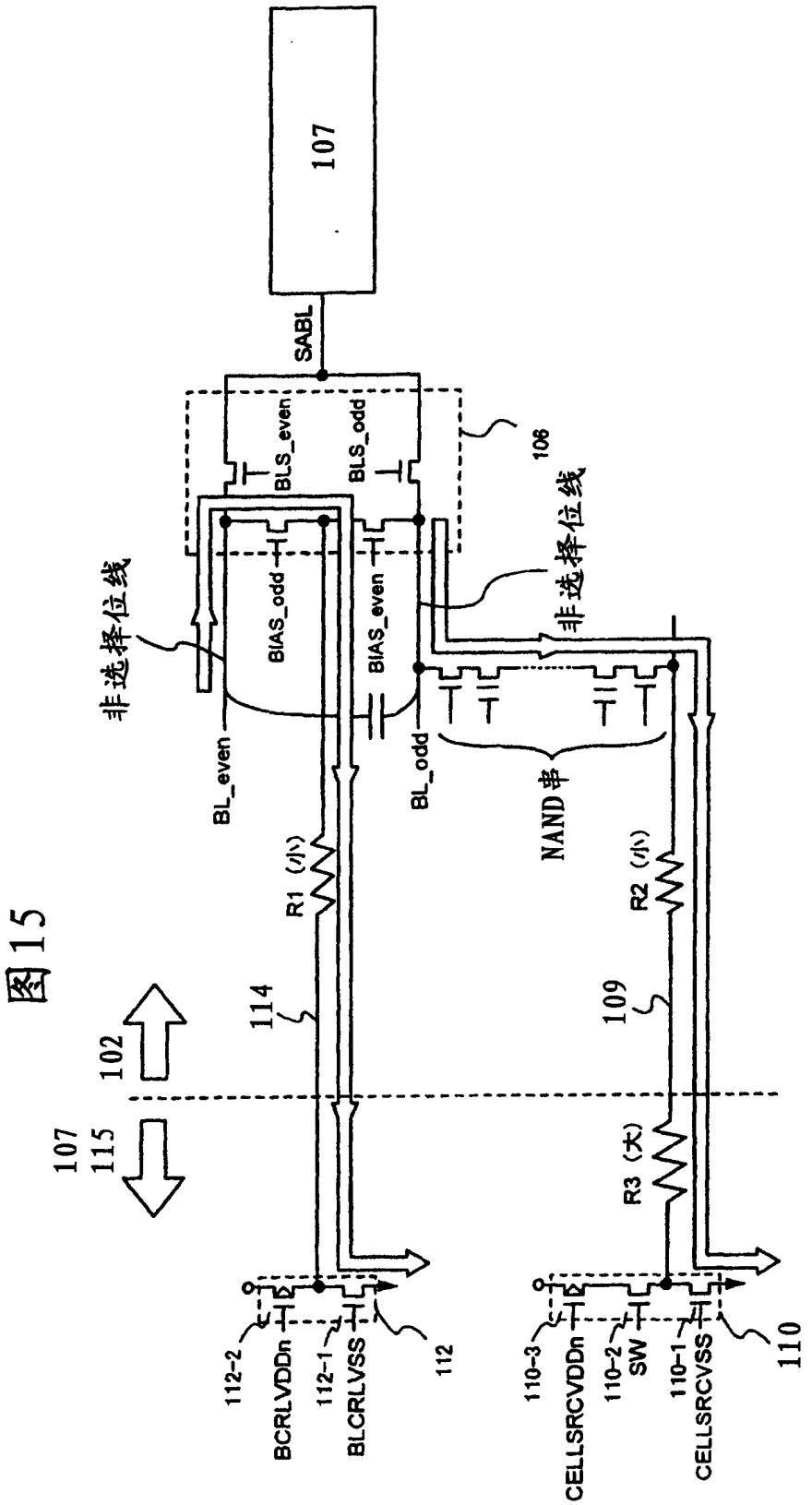

一个位线对
一个位线对
一个位线对
一个位线对
BL_even
BL_odd
BL_odd
BL_even
BL_even
BL_odd
BL_odd
BL_even
102
BLCRL
BLCRL
BIAS_even
BLS_even
SABL
SABL
BLS_odd
BIAS_odd
BLCRL
BLCRL
BLCRL
BLCRL
105
BIAS_even
BLS_even
SABL
SABL
BLS_odd
BIAS_odd
BLCRL
SABL
SABL
SABL
SABL
106

图15


107
SABL
BLS_even
BLS_odd
106
非选择位线
BIAS_odd
BIAS_even
非选择位线
BL_even
BL_odd
NAND串
R1 (小)
R2 (小)
114
109
102
107
115
R3 (大)
112-2
BCRLVDDn
112-1
BLCRLVSS
112
110-3
CELLSRCVDDn
110-2
SW
110-1
CELLSRCVSS
110

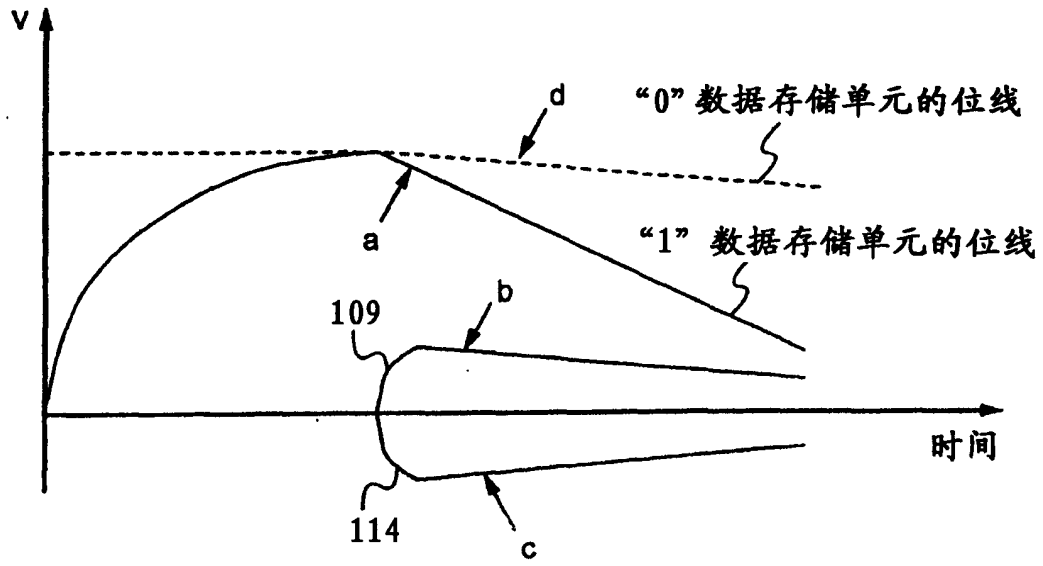



图16