

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成20年11月13日(2008.11.13)

【公表番号】特表2008-515095(P2008-515095A)

【公表日】平成20年5月8日(2008.5.8)

【年通号数】公開・登録公報2008-018

【出願番号】特願2007-534653(P2007-534653)

【国際特許分類】

G 0 6 F 12/08 (2006.01)

【F I】

G 0 6 F 12/08 5 7 9

G 0 6 F 12/08 5 4 3 B

G 0 6 F 12/08 5 1 3

【手続補正書】

【提出日】平成20年9月17日(2008.9.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

プロセッサのキャッシュメモリを設定する方法であって、
前記キャッシュメモリの現在の利用率をモニタするステップと、
前記現在の利用率が、所定の利用値より低いかを決定するステップと、
前記現在の利用率が前記所定の利用値より低いという決定に応じて、前記キャッシュメモリの 1 以上の部分への供給電圧レベルを制御して、前記キャッシュメモリの 1 以上の部分を選択的に無効にするステップと、を含む、
方法。

【請求項 2】

前記所定の利用値を設定可能なストレージ内に格納するステップを更に含む、
請求項 1 記載の方法。

【請求項 3】

前記利用率が、前記所定の利用値より低いかを決定するステップが、前記所定の利用値と前記現在の利用率とを比較するステップを含む、
請求項 1 記載の方法。

【請求項 4】

前記キャッシュメモリにおいて使用されているエントリ数を決定するとともに、前記キャッシュメモリへのアクセス頻度を決定することにより、前記現在の利用値を決定するステップを更に含む、
請求項 1 記載の方法。

【請求項 5】

前記キャッシュメモリにおいて使用されているエントリ数の決定が、犠牲を発生させる前記キャッシュメモリへの書き込み数をモニタするステップを含む、
請求項 4 記載の方法。

【請求項 6】

前記キャッシュメモリへのアクセス頻度の決定が、カウンタを使用して、前記キャッシュメモリへのアクセス数をカウントするステップを含む、

請求項 4 記載の方法。

【請求項 7】

電力の除去又は電圧を低下させることで、前記キャッシュメモリの 1 以上の部分を無効にする、

請求項 1 記載の方法

【請求項 8】

前記キャッシュメモリは、レベル 2 又はレベル 3 のキャッシュメモリである、

請求項 1 記載の方法。

【請求項 9】

各々がキャッシュメモリを有する複数のプロセッサコアを含む処理ノードを、動的に構成するための方法であって、

前記キャッシュメモリの各々に対応する現在の利用率を独立にモニタするステップと、

各々の前記現在の利用率が、所定の利用値より低いかを決定するステップと、

各々の前記現在の利用率が、前記所定の利用値より低いという決定に応じて、対応する前記キャッシュメモリの 1 以上の部分を選択的に無効にするステップとを含む、

方法。

【請求項 10】

前記所定の利用値を設定可能なストレージ内に格納するステップを更に含む、

請求項 9 記載の方法。

【請求項 11】

前記キャッシュメモリにおいて使用されているエントリ数を決定するとともに、前記キャッシュメモリへのアクセス頻度を決定することにより、前記現在の利用値を決定するステップを更に含む、

請求項 9 記載の方法。

【請求項 12】

電力の除去又は電圧を低下させることで、対応する前記キャッシュメモリの 1 以上の部分を無効にする、

請求項 9 記載の方法。

【請求項 13】

前記キャッシュメモリは、レベル 2 のキャッシュメモリである、

請求項 9 記載の方法。

【請求項 14】

各プロセッサコアの前記キャッシュメモリの 1 以上の部分を無効にし、且つ異なるプロセッサコアの他のキャッシュメモリの現在の利用率が第 2 の所定の利用値を上回ると、前記異なるプロセッサコアの前記キャッシュメモリを共有にすることを選択的に可能にするステップを更に含む、

請求項 9 記載の方法。

【請求項 15】

複数のプロセッサコアにより共有された前記キャッシュメモリの各々の現在の利用率を独立にモニタするステップと、

前記現在の利用率が、所定の利用値より低いかを決定するステップと、

前記現在の利用率が、前記所定の利用値より低いという決定に応じて、共有された前記キャッシュメモリの 1 以上の部分を選択的に無効にするステップと、を更に含む、

請求項 9 記載の方法。

【請求項 16】

キャッシュメモリと、

前記キャッシュメモリに結合され、前記キャッシュメモリの現在の利用率をモニタするとともに、前記現在の利用率が、所定の利用値より低いかを決定するように構成されたキャッシュモニタユニットと、

前記キャッシュモニタユニット及び前記キャッシュメモリに結合されたコンフィギュレ

ーションユニットと、を備え、

前記キャッシュコンフィギュレーションユニットは、前記現在の利用率が、前記所定の利用値より低いことを決定する前記キャッシュモニタユニットに応じて、前記キャッシュメモリの1以上の部分を選択的に無効にするように構成される、

プロセッサ。

【請求項17】

複数のプロセッサコアを備える処理ノードであって、各プロセッサコアは、
キャッシュメモリと、

前記キャッシュメモリに結合されて、自身に結合された前記キャッシュメモリの現在の利用率を独立してモニタするとともに、前記現在の利用率が、所定の利用値より低いかを決定するように構成されたキャッシュモニタユニットと、

前記キャッシュモニタユニット及び前記キャッシュメモリに結合されたコンフィギュレーションユニットと、を備え、

前記キャッシュコンフィギュレーションユニットは、前記現在の利用率が、前記所定の利用値より低いことを決定する前記キャッシュモニタユニットに応答して、前記コンフィギュレーションユニットが結合された、対応する前記キャッシュメモリの1以上の部分を選択的に無効にするように構成される、

処理ノード。

【請求項18】

複数のプロセッサコアの各々によりアクセス可能な共有のキャッシュメモリを更に備える、

請求項17記載の処理ノード。

【請求項19】

それぞれ前記共有のキャッシュメモリに接続された、増設のキャッシュモニタユニット及び増設のコンフィギュレーションユニットを備えており、

前記増設のキャッシュモニタユニットは、前記共有のキャッシュメモリの現在の利用率をモニタして、前記共有のキャッシュメモリの現在の利用率が、所定の第2利用値よりも低いかを決定する、

請求項18記載の処理ノード。

【請求項20】

前記増設のコンフィギュレーションユニットは、前記共有のキャッシュメモリの現在の利用率が、前記所定の第2利用値よりも低いことが決定されると、前記共有のキャッシュメモリの1以上の部分を選択的に無効にするように構成される、

請求項19記載の処理ノード。