

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4570359号
(P4570359)

(45) 発行日 平成22年10月27日 (2010.10.27)

(24) 登録日 平成22年8月20日 (2010.8.20)

(51) Int. Cl.

F I

G 1 1 C 11/413 (2006.01)

G 1 1 C 11/34 3 0 1 A

請求項の数 11 (全 10 頁)

(21) 出願番号	特願2003-519943 (P2003-519943)	(73) 特許権者	507219491
(86) (22) 出願日	平成14年8月7日 (2002.8.7)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2004-538596 (P2004-538596A)		N X P B. V.
(43) 公表日	平成16年12月24日 (2004.12.24)		オランダ国 5656エイジー アインド
(86) 国際出願番号	PCT/IB2002/003331		ーフエン ハイ テク キャンパス 60
(87) 国際公開番号	W02003/015101		High Tech Campus 60
(87) 国際公開日	平成15年2月20日 (2003.2.20)		, NL-5656 AG Eindhoven,
審査請求日	平成17年8月5日 (2005.8.5)		Netherlands
(31) 優先権主張番号	01119102.0	(74) 代理人	100147485
(32) 優先日	平成13年8月8日 (2001.8.8)		弁理士 杉村 憲司
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100134005
			弁理士 澤田 達也
		(74) 代理人	100147692
			弁理士 下地 健一

最終頁に続く

(54) 【発明の名称】 ダイオード付きバッファを有するランダムアクセスメモリデバイス

(57) 【特許請求の範囲】

【請求項 1】

n本の選択線と、

m本のビット線と、

各々が前記n本の選択線の対応する1本及び前記m本のビット線の対応する1本に接続された $n \times m$ 個のRAMセルであって、各RAMセルは、前記m本のビット線の1本と前記n本の選択線の1本との間に位置する選択トランジスタを有するRAMセルと、

選択信号を受信したときにn本の選択線のうちの1本を読み出しのために選択するk個の選択バッファであって、kはn以下である選択バッファとを備え、

前記各選択バッファは、ドライバとして働くインバータを有し、前記インバータには、前記それぞれの選択線で出力電圧スイングを制限するためのダイオードが後続する、ランダムアクセスメモリデバイスにおいて、

前記選択トランジスタは、該選択トランジスタを弱反転領域または中反転領域で動作するように保証する電圧によって駆動されることを特徴とするランダムアクセスメモリデバイス。

【請求項 2】

請求項1に記載のランダムアクセスメモリデバイスにおいて、前記選択バッファは、前記デバイスの供給電圧よりも小さい特定の電圧を前記選択線に提供する、ランダムアクセスメモリデバイス。

【請求項 3】

請求項 1 または 2 に記載のランダムアクセスメモリデバイスにおいて、前記選択トランジスタは、該選択トランジスタが高抵抗スイッチとして動作するような電圧で駆動される、ランダムアクセスメモリデバイス。

【請求項 4】

請求項 1 乃至 3 の何れか 1 項に記載のランダムアクセスメモリデバイスにおいて、前記選択バッファは、データの読み出しのために前記それぞれの選択バッファが接続されている前記選択線を通じて前記 $n \times m$ の RAM セルの幾つかを選ぶために設けられる、ランダムアクセスメモリデバイス。

【請求項 5】

10

請求項 1 乃至 4 の何れか 1 項に記載のランダムアクセスメモリデバイスにおいて、前記選択バッファは、前記それぞれの選択線で特定の電圧が与えられることを保証し、前記特定の電圧は、当該ランダムアクセスメモリデバイスの供給電圧よりも小さく前記選択トランジスタの閾値電圧よりも大きい、ランダムアクセスメモリデバイス。

【請求項 6】

請求項 5 に記載のランダムアクセスメモリデバイスにおいて、前記供給電圧は、1.5V と 3.3V との間にあり、前記特定の電圧は、0.5V と 1V との間にあって好適には 0.7V と 0.9V との間にある、ランダムアクセスメモリデバイス。

【請求項 7】

請求項 1 乃至 6 の何れか 1 項に記載のランダムアクセスメモリデバイスにおいて、ダイオードとして分岐したトランジスタは、出力電圧スイングを制限するためのダイオードとして働く、ランダムアクセスメモリデバイス。

20

【請求項 8】

請求項 1 乃至 7 の何れか 1 項に記載のランダムアクセスメモリデバイスにおいて、前記選択バッファを通じる電流を制限するために前記ランダムアクセスメモリデバイスの電流源が使用されることを特徴とするランダムアクセスメモリデバイス。

【請求項 9】

請求項 1 乃至 8 の何れか 1 項に記載のランダムアクセスメモリデバイスを有し、好適には液晶ディスプレイである、ディスプレイ。

【請求項 10】

30

データをランダムアクセスメモリデバイスから読み取るための方法であって、前記ランダムアクセスメモリデバイスは、

選択線と、

ビット線と、

各々が前記選択線の対応した一つ及び前記ビット線の対応した一つに接続された RAM セルであって、各 RAM セルは、前記 m 本のビット線の 1 本と前記 n 本の選択線の 1 本との間に位置する選択トランジスタを有する RAM セルと、

選択信号を受信したときに前記選択線のうちの一つを読み出しのために選択する選択バッファであって、前記各選択バッファは、ドライバとして働くインバータ及びダイオードを有する選択バッファと

40

を備え、

当該方法は、

選択信号を前記選択バッファの一つに適用するステップと、

第 1 フェーズの最中に、前記選択信号によって選択された前記一つの選択バッファを通じる電流の流れを提供するステップであって、前記電流は前記一つの選択バッファによって制御される前記選択線の方へ流れる、ステップと、

第 2 フェーズの最中に、前記電流の一部は、前記一つの選択バッファによって制御される前記選択線の方へ依然として流れる一方で、前記電流の残りの部分は前記それぞれの選択線における出力電圧スイングを制限するために前記ダイオードを通じてグラウンドに流れるように、前記電流の流れを分岐させるステップと、

50

選択トランジスタを弱反転領域または中反転領域で動作するように保証する電圧によって、前記選択トランジスタが駆動されるように設定するステップとを有する方法。

【請求項 11】

請求項 10 に記載の方法において、前記選択線に前記デバイスの供給電圧よりも小さい特定の電圧を供給するステップを有する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ランダムアクセスメモリ (RAM) デバイスに関し、より詳細には、読み出しのための選択バッファを組み込んだ RAM デバイスに関する。

10

【背景技術】

【0002】

一般に、RAM デバイスは、各々が何らかの双安定フリップフロップ回路を有する多数の RAM セルを有し、前記双安定フリップフロップ回路は記憶されるべき 1 ビットにつき幾つかのトランジスタを用いる。通常、RAM セルは、互いにクロス結合された一対のドライバトランジスタ、一対の負荷レジスタ又は負荷トランジスタ、並びに、一本のワード線及び一対のビット線に接続されたトランスファートランジスタを有する。このような RAM セルにおいて、ドライバトランジスタのうちのただ一つだけがメモリデータ「1」又は「0」に対応するようオンにされる。

20

【0003】

RAM セルを読み取るには、トランスファートランジスタは、選択線の電位を変えることによってオンにされ、ドライバトランジスタ上のデータはビット線に転送される。他方では、書込みは、更に、トランスファートランジスタをオンにして、次に、適当な電圧をビット線に印加することによって達成される。

【0004】

MOS スタティック型の従来の RAM デバイスは、互いに垂直な行及び列に沿って配置される多数のこのようなメモリセルを組み込んでいる。加えて、RAM デバイスは、一つの対応した行に属する RAM セルに各々が接続された複数の選択線、一つの対応した列に属する RAM セルに各々が接続された複数のビット線対、及び一つの対応したビット線対に各々が接続された複数のビットドライバ対を有する。この場合、メモリセルの中の一つのセルの選択は、一つの選択線及び一対のビット線を選択することによって実行される。

30

【0005】

上述した従来型のデバイスにおいて、一つの RAM セルが、セルに記憶されたデータを読み出すように選択されると、この選択された RAM セルと同一の選択線に属する他の選択されていない RAM セルのトランスファートランジスタもオンにされ、このため、電流は、選択されていない RAM セルを通じて電源から他の電源 (グラウンド) に流れてしまう。従って、多数の選択されていない RAM セルが一つの選択線に接続されているので、消費電力は高い。

【0006】

40

RAM デバイスを設計する際には、これらのデバイスを可能な限りコンパクトにすることへの強い関心がある。重要な問題は、RAM を異なったブロックに分離又は分割することである。RAM ブロックサイズの一つの制限因子は、出力バスである。これは、例えば、読み出しポートが大きなバスを用いる液晶ディスプレイ RAM デバイスにおいて当てはまる。これは、複数行アドレッシング (MRA) RAM においては、各列に対して数個のピクセル (行) が一度に読み出されなければならないため、重大な問題である。例えば、128 列及び MRA モード 8 においては、一時に 1024 ビットが読み出されなければならない。

【0007】

より正確には、制限は実際には RAM デバイスの読み出しによる。1024 の出力ビット線をグラウンドに短絡することにより 1024 ビットを一時に読み出すこと (全 RAM セルが値「0」

50

を有する最悪のケース)は、グラウンドへのビット線キャパシタンスの重要な放電電流を生じている。これは、RAMの機能に影響を及ぼす可能性がある(RAM-グラウンドの不安定な電圧)。

【0008】

RAMデバイス10からのデータが読み出される古典的な方法に注目すると、電圧VDDまで予め充電されたビットライン11.1~11.3が、図1に示されるように、RAMセル12.1~12.3を介してグラウンドに短絡されていることに気付くであろう。従って、ビット線11.1~11.3の放電は、主に、選択トランジスタ13.1~13.3及びそれぞれのRAMセル12.1~12.3のNMOSトランジスタを通じて起こる。そのゲート14.1~14.3にVDDが印加される選択トランジスタ13.1~13.3は、強反転領域で動作し飽和する、即ち、これは短絡モードで「理想的な」スイッチとして働く。RAMデバイス10は、読み出しを選択するための選択バッファを更に有する。図1においては、一つの選択バッファ16及び一つの選択線17のみが示される。選択バッファ16が選択信号を受信すると、RAMセル12.1~12.3のうちの一つ以上が読み出されることができる。

10

【0009】

本実施例では、選択トランジスタ13.1が閉じているので、RAMセル12.1が読み出されている。選択トランジスタ13.1を表す「理想的な」スイッチ15は、図1の左側に示される。このスイッチ15が閉じている間、RAMセル12.1に記憶されたビットが読み出されている。

【0010】

ディスプレイドライバ(DD)において、読み出しにビットラインを1本しか用いない、一般に用いられている特定のRAMデバイスがある。補完ビット線(逆ビット線とも呼ばれる)を放棄することによって、RAMに2ビット線ではなく1ビット線しか通さなくてよくなるため、RAMデバイスの面積を減少することが可能になる。

20

【0011】

図1に示される解決策は、実際に多くのRAMデバイスにおいて用いられている実証済みの読み出し方法である。

【0012】

しかし、ディスプレイは更に大きくなってきている。ディスプレイの解像度が増加しているのみならず、改良されたグレースケール、それぞれのカラーディスプレイへの増加する需要もある。RAMのMRAアーキテクチャは、ディスプレイドライバの物理的な要件に対して発生する問題を取り扱うための一つの方法である。MRAは物理的な制限について非常に有利であるが、RAM設計については非常に困難である。一時に複数の選択線が読み出しのためにアドレスされるので、一列につき複数のビットがRAMデバイスの出力に送られなければならない。

30

【0013】

8行が一度にアドレスされる(MRA-8と呼ばれる)場合、これは、通常のアドレス方法(一行ごと)と比較して一度に8倍のビットが読み出されなければならないことを意味する。

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明の目的は、改良された機能を有するランダムアクセスメモリデバイス及びディスプレイを提供することである。

40

【0015】

本発明の目的は、グラウンドに対するビット線キャパシタンスのピーク放電電流が低減されるランダムアクセスメモリデバイス及びディスプレイを提供することである。

【課題を解決するための手段】

【0016】

ここで、RAMの読み出しから生じるピーク電流を低減させることにより従来のRAMデバイスのデザインを改良する解決策が説明され請求される。

【0017】

50

本発明によるランダムアクセスメモリデバイスは、選択線、ビット線及びRAMセルを有する。各RAMセルは、選択線の対応した一つ及びビット線の対応した一つに接続される。加えて、ランダムアクセスメモリデバイスは、選択信号を受信した際に可能になる読み出しのための選択線の選択バッファを有する。選択バッファは、ドライバとして働くインバータを有する。インバータは、それぞれの選択線における出力電圧スイングを制限するためのダイオードの前に位置する。

【0018】

本発明によれば、
－選択信号を前記選択バッファの一つに適用するステップと、
－前記選択信号によって選択された前記一つの選択バッファを通じる電流の流れを提供するステップであって、前記電流は前記一つの選択バッファによって制御される前記選択線の方へ流れる、ステップと、
－次に、前記電流の一部は、前記一つの選択バッファによって制御される前記選択線の方へ依然として流れる一方で、前記電流の残りの部分は前記それぞれの選択線における出力電圧スイングを制限するために前記ダイオードを通じてグラウンドに流れるように、前記電流の流れを分岐させるステップと、
が実行される。

10

【0019】

本発明の実施例は、大規模な読み出しが発生するRAMデバイスに良く適しており、特に、電流センス増幅器が読み出しに用いられる場合に適している。

20

【発明を実施するための最良の形態】

【0020】

本発明のより完全な説明並びに他の目的及び利点のため、添付の図面と共に以下の説明が参照される。

【0021】

ここで提案される解決策は、読み出しの最中にビット線放電から生じる低減したピーク電流を提供する。これを達成するために、RAMセルの選択トランジスタのゲート電圧はVDDによっては駆動されず、選択トランジスタを弱反転領域で動作させるように保証する電圧で駆動される。

【0022】

これは、選択トランジスタが「理想的な」スイッチとして機能せず、高抵抗のスイッチとして機能するという作用を有する。

30

【0023】

基礎となる原理は、図2において示される。RAMデバイス20が示されている。これは、nの選択線27(図2には一つの選択線のみ示される)、mのビット線21.1～21.3及び及びnxmのRAMセル22.1～22.3を有する。各RAMセル22.1～22.3は、前記nの選択線27の対応した一つ及び前記mビット線21.1～21.3の対応した一つに、接続される。本実施例では、RAMセル22.1は、選択線27とビット線21.1との間に接続され、RAMセル22.2は、選択線27とビット線21.2との間に接続され、RAMセル22.3は、選択線27とビット線21.3との間に接続されている。

【0024】

選択バッファは、データの読み出しのために、選択線27を通じてRAMセルを選択するために設けられる。本実施例では、一つの選択バッファ26のみが示される。選択信号を受信すると、この選択バッファ26は、特定の電圧Vxが選択バッファ出力28で与えられ、従って選択線27で与えられることを保証する。本発明によれば、この電圧Vxは、供給電圧VDDよりも小さくて、選択トランジスタ23.1～23.3の閾値電圧Vthreshよりも大きい。つまり、 $V_{\text{thresh}} < V_x < V_{\text{DD}}$ である。

40

【0025】

本発明の一つの実施例によれば、供給電圧VDDは、1.5Vと3.3Vとの間にあり、電圧Vxは、0.5Vと1Vとの間にあり、好適には0.7Vと0.9Vとの間にある。

【0026】

50

図2にて示されたように、選択バッファ26は、ドライバとして働くインバータ29を有する。出力電圧を制限するためのダイオード30が後続するインバータ29は、選択バッファ出力28でスイングし、よって、更に、それぞれの選択線27においてもスイングする。本発明による選択バッファ26は、ここでは、ダイオード付きバッファと呼ばれる。

【0027】

ダイオード付きバッファ(例えばバッファ26)の使用のため、電流Iは、電位VDDにある端子31から、グラウンド(GND)に接続された端子32へ流れる。この電流の流れIは、従来のRAMデバイスのビット線電流とは異なり放電電流でなく、これは、この電流IがRAMデバイス全体の消費電力を上昇させることを意味する。

【0028】

電流消費全体に対するダイオード付きバッファ26の相対的な電流増加は、高いVDD電圧においてよりも低いVDDにおいて重要になることに注意されたい。標準の選択バッファ16を用いると、バッファ16は、全ての選択線17を電圧VDDまで充電しなければならない。選択バッファ16は、更に、VDD供給電圧を供給する電圧源から電流を取る。一方、本発明によるダイオード付きバッファ26を用いると、選択線27は、閾値電圧Vthresを僅かに上回る電圧Vxまでしか充電されない。電圧Vthresは、一般的に1Vより小さい。

【0029】

選択バッファ出力28の低下した電圧のために、選択線27を充電するのに必要な電流は低下させられる。他方では、イネーブル期間の間、ダイオード付きバッファ26は、電流をいくらか必要とする。

【0030】

ビット線21.1~21.3のうちの一つの視点から見ると、RAMセル22.1~22.3は、選択トランジスタ23.1~23.3がゲート24.1~24.3において供給電圧VDDで駆動される従来のRAMデバイスの電圧源のような働きをせず、ビット線21.1~21.3から電流を取る電流源のような働きをする。

【0031】

電圧Vxが閾値電圧Vthresよりも大きくて供給電圧VDDよりも小さいという事実のために、選択トランジスタ23.1~23.3は、高抵抗スイッチとして動作する。即ち、本発明では、選択トランジスタ23.1~23.3は、動作モードを弱反転領域で動作する動作モードとなるように保証する電圧Vxで意図的に動作される。図2において、選択トランジスタの一つ(即ちトランジスタ23.1)は、高抵抗スイッチ25として示される。図2において、高抵抗スイッチ25はレジスタRが後続する理想的なスイッチによって表される。

【0032】

ピーク放電電流の減少は、ビット線キャパシタンス33.1~33.3及びスイッチレジスタRから生じる上昇した時定数RxCのため、高抵抗選択トランジスタ23.1~23.3によって達成される。副作用として、選択トランジスタ23.1~23.3を駆動するダイオード付きバッファ26は、VDD供給源からGNDへ電流を分ける。

【0033】

本発明のダイオード付きバッファ26のより詳細な説明は、図3A及び3Bと関連して与えられる。RAMデバイス20の選択線27が選択されると、ダイオード付きバッファ26は該バッファ26の入力端子34で選択信号を受信する。本実施例では、「ゼロ」信号は、ダイオード付きバッファ26によって制御される選択線27のための選択信号として働く。選択信号が「ゼロ」にスイッチされると、ダイオード付きバッファ26のPMOSトランジスタT1はスイッチオンされて、選択線27のキャパシタンスへの充電を開始する。図3-Aにおいて、この選択線キャパシタンスは、キャパシタCsel(ここでは第1フェーズと呼ばれる)によって図式的に表される。最初のうちは選択線27には「ゼロ」もあるので、ダイオードとして働くトランジスタT2は伝導しない。この場合、PMOSトランジスタT1を通じて流れる全電流は、従来の選択線バッファのように、選択線キャパシタンスCselを充電することを意図される。選択線が、ダイオードとして分岐したトランジスタT2の伝導を可能にする電圧(一般的にVthresh周辺)に接近すると、PMOSトランジスタT1を通じて流れる電流は、選択線キャパシタン

10

20

30

40

50

スCsel(ここでは第2の時期と呼ばれる)を充電させるだけでなくダイオード(トランジスタT2)を通じるようにずらされる。従って、出力端子28の電圧は、NMOSトランジスタT2が、この特定の選択線27に接続された他の全てのセレクトトランジスタ23.1~23.mと同様に伝導するようなものになる。

【0034】

出力端子28の電圧はVDDまで上昇せず、最小のピンチオフ電圧V_x(V_{thresh}よりも僅かに上)にとどまるので、他の選択トランジスタ23.1~23.mは、同様に伝導するが、これらは、弱反転領域又は中反転領域に留まり、高オームレジスタとして挙動することが可能である。

【0035】

選択フェーズの間のこの回路26の電氣的等価物が、図3Bで示される。PMOSトランジスタT1の抵抗RT1が主に選択フェーズの間に流れている電流を決定することに注意されたい。それゆえに、好適には、PMOSトランジスタT1は、小さいW/L(大きい抵抗)を有するトランジスタである。

【0036】

本発明によるダイオード付きバッファ46の他の実施例が、図4A及び4Bにおいて示される。これらの図は、ダイオード付きバッファ46のための改良された解決策を示す。選択フェーズの間のダイオードの電流消費の欠点は、電流源を使用することによって制限されることができる。

【0037】

RAMデバイスが実現されるチップで電流源が既に利用可能であると、この電流源によって提供される基準電流は、選択フェーズの間にダイオード付きバッファ46を通じる電流を制限するのに用いられることができる。ダイオード付きバッファのためだけの電流源を実現することは、電流源が永久電流を消費し、従って、RAMデバイス全体の電力消費を上昇させるため、正当と認められない可能性がある。

【0038】

RAMデバイスが実装されるチップ上の電流源の処分が実現され、この電流は、ダイオード付きバッファ46に反射されることができる。この解決策の概略回路図は、図4Aに示される。図4Bは、選択フェーズの間の改良されたダイオード付きバッファ46の電氣的等価回路を示す。ダイオード付きバッファ46がイネーブルされていないとき、即ち選択信号「1」が該バッファ46の入力端子44に適用される間、ダイオード付きバッファ46上の電流ミラー48はスイッチオフされる。

【0039】

該バッファ46の入力44に選択信号「0」を適用することによってダイオード付きバッファ46が使用可能にされると、ダイオード付きバッファ46は、電流ミラー48をスイッチオンし、回路全体が、図3A及び3Bと関連して前述したように機能する。前述との違いは、第1フェーズに選択線キャパシタンスCselを充電する電流と、第2フェーズにダイオードを通じて流れている電流とが、電流ミラー48によって制御されるということである。それゆえに、端子41で供給電圧VDDに依存しない基準電流がある場合、ダイオード付きバッファ46を通じて流れるピーク電流は、供給電圧VDDにも依存しない。

【0040】

しかし、電流ミラー48からの電流は、十分に高速な選択線キャパシタンスCselの充電を保証するよう十分に高いべきであり、これは、読み出しのためのRAMセルの選択時間がRAMデバイスの仕様を満たすのに十分小さく保たれることになっていることを意味する。

【0041】

本発明は、RAMデバイスの大規模な読み出しのためのピーク放電電流を低下させることを可能にする。本発明は、より長期間にわたる放電の分布を提供する。

【0042】

本発明は、RAMを分割する必要無しにより大きいRAMブロックを実現することを可能にする。

10

20

30

40

50

【0043】

ここで説明され請求されるダイオード付きバッファは、用いられるプロセス及び／又は技術には依存しない。ダイオード付きバッファのアーキテクチャは、比較的単純である。

【0044】

高いオーム抵抗は、電流センス増幅器にとって望ましい。換言すれば、本発明は、電流センス増幅器に非常に適している。電流センス増幅器は、RAMデバイスが電流源として作動することを期待する。これは、本発明による高抵抗スイッチによってのみ可能である。

【0045】

本発明によって、同じRAMデバイスが広範囲の電源のために用いられることが可能になる。

10

【0046】

示される実施例及び実現例は、電流消費と供給電圧のスケーラビリティとの間の折衷案である。

【0047】

ここで説明され請求されるダイオード付きバッファのアプローチは、低電圧($V_{DD} < 1.8V$) RAMアプリケーションだけでなく高電圧($V_{DD} > 3V$) RAMアプリケーションのための現実的な解法を表す。

【0048】

本発明は、高解像度ディスプレイ構成に非常に適している。

20

【0049】

本発明の種々の特徴は、明確さのために別個の実施例において説明されている場合でも、単一の実施例において組み合わせとして提供されることもできる。反対に、本発明の種々の特徴が、簡潔さのために単一の実施例において説明されていても、別々に又はあらゆる適切なサブコンビネーションで提供されることができる。

【0050】

図面及び明細書において、本発明の好適な実施例が記載され、特定の用語が用いられたが、ここで与えられた説明は、一般的且つ説明的な意味でのみ技術用語を用いており、限定する目的はない。

【図面の簡単な説明】

30

【0051】

【図1】従来のRAMデバイスの概略ブロック図である。

【図2】本発明によるRAMデバイスの概略ブロック図である。

【図3-A】本発明によるダイオード付きバッファの概略ブロック図である。

【図3-B】選択フェーズの間の図3-Aのダイオード付きバッファの模式的な電氣的等価物である。

【図4-A】本発明による他のダイオード付きバッファの概略ブロック図である。

【図4-B】選択フェーズの間の図4-Aのダイオード付きバッファの模式的な電氣的等価物である。

【図 3 A】

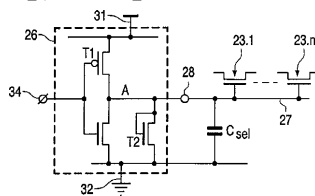


FIG. 3A

【図 3 B】

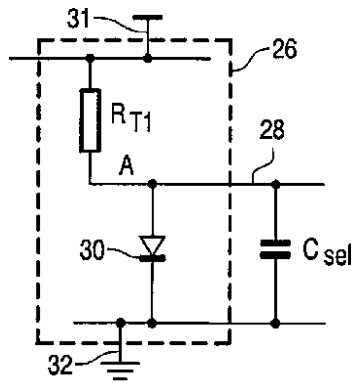


FIG. 3B

Fig. 1 is a circuit diagram of a reference current source. It includes a current source labeled I_{ref} connected to a node labeled "選択線" (Selection Line). This node is also connected to a diode and a capacitor. The circuit is enclosed in a dashed box 46, with terminals 41 and 42.

フロントページの続き

(72)発明者 ストヤノヴ ニコラ
オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

審査官 仲間 晃

(56)参考文献 特開平06-223577 (JP, A)
特開昭60-059589 (JP, A)
特開平03-125397 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/413