

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4510072号  
(P4510072)

(45) 発行日 平成22年7月21日(2010.7.21)

(24) 登録日 平成22年5月14日(2010.5.14)

(51) Int.Cl.

F I

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/04 (2006.01)

G 1 1 C 17/00 6 1 1 F

G 1 1 C 17/00 6 4 1

G 1 1 C 17/00 6 2 2 E

G 1 1 C 17/00 6 1 2 D

G 1 1 C 17/00 6 0 1 T

請求項の数 2 (全 14 頁)

(21) 出願番号 特願2007-328525 (P2007-328525)  
 (22) 出願日 平成19年12月20日(2007.12.20)  
 (65) 公開番号 特開2009-151865 (P2009-151865A)  
 (43) 公開日 平成21年7月9日(2009.7.9)  
 審査請求日 平成22年3月10日(2010.3.10)

早期審査対象出願

(73) 特許権者 599092848  
 力晶半導体股▲ふん▼有限公司  
 台湾新竹科学工業園區力行一路12號  
 (74) 代理人 100101454  
 弁理士 山田 卓二  
 (74) 代理人 100081422  
 弁理士 田中 光雄  
 (74) 代理人 100125874  
 弁理士 川端 純市  
 (72) 発明者 矢野 勝  
 東京都港区新橋六丁目21番3号 V a n  
 t e l 株式会社新橋設計センター内

審査官 外山 毅

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置とその書き込み方法

(57) 【特許請求の範囲】

【請求項 1】

各メモリセルに複数の異なるしきい値を設定することにより多値を記録する不揮発性のメモリセルアレイと、上記メモリセルアレイへの書き込みを制御する制御回路とを備えた不揮発性半導体記憶装置において、

上記制御回路は、上記メモリセルに対してデータを書き込んだとき、隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトウェアのベリファイを行うことにより、隣接メモリセルにおいて狭帯化された消去レベル分布を実現でき、

上記不揮発性半導体記憶装置は、第1と第2のラッチを含むページバッファを備え、

上記制御回路は、処理対象のメモリセルに書き込むべきページデータを上記第2のラッチに格納し、書き込み指示のプログラム発生コマンドに応答して、次に書き込むべき隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトウェアのベリファイを行った後、上記ページデータを上記第2のラッチから上記第1のラッチに転送してコピーし、上記ページデータを当該メモリセルに書き込むことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

各メモリセルに複数の異なるしきい値を設定することにより多値を記録する不揮発性のメモリセルアレイと、上記メモリセルアレイへの書き込みを制御する制御回路とを備えた不揮発性半導体記憶装置の書き込み方法において、

10

20

上記制御回路は、上記メモリセルに対してデータを書き込んだとき、隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのベリファイを行うことにより、隣接メモリセルにおいて狭帯化された消去レベル分布を実現でき、

上記不揮発性半導体記憶装置は、第1と第2のラッチを含むページバッファを備え、

上記制御回路は、処理対象のメモリセルに書き込むべきページデータを上記第2のラッチに格納し、書き込み指示のプログラム発生コマンドに応答して、次に書き込むべき隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのベリファイを行った後、上記ページデータを上記第2のラッチから上記第1のラッチに転送してコピーし、上記ページデータを当該メモリセルに書き込むことを特徴とする不揮発性半導体記憶装置の書き込み方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばフラッシュメモリなどの電氣的書き換え可能な不揮発性半導体記憶装置（EEPROM）とその書き込み方法に関する。

【背景技術】

【0002】

ビット線とソース線との間に複数のメモリセルトランジスタ（以下、メモリセルという）を直列に接続してNANDストリングを構成し、高集積化を実現したNAND型不揮発性半導体記憶装置が知られている（例えば、非特許文献1-4参照。）。 20

【0003】

一般的なNAND型不揮発性半導体記憶装置において、消去は、半導体基板に例えば20Vの高電圧を印加し、ワード線に0Vを印加する。これにより、例えばポリシリコンなどからなる電荷蓄積層であるフローティングゲートより電子を引き抜いて、しきい値を消去しきい値（例えば、-3V）よりも低くする。一方、書き込み（プログラム）においては、半導体基板に0Vを与え、制御ゲートに例えば20Vの高電圧を印加する。これにより、半導体基板よりフローティングゲートに電子を注入することにより、しきい値を書き込みしきい値（例えば、1V）よりも高くする。これらのしきい値をとるメモリセルは、書き込みしきい値と読み出ししきい値の間の読み出し電圧（例えば、0V）を制御ゲートに印加することにより、そのメモリセルに電流が流れるか否かにより、その状態を判断することができる。 30

【0004】

以上のように構成された不揮発性半導体記憶装置において、書き込み対象であるメモリセルにプログラム動作により書き込みを行うと、メモリセルトランジスタのフローティングゲートに電荷が注入されしきい値電圧が上昇する。これにより、ゲートにしきい値以下の電圧を印加しても電流が流れなくなり、データ「0」を書き込んだ状態が達成される。一般に、消去状態のメモリセルのしきい値電圧にはバラツキがある。従って、所定の書き込み電圧を印加してプログラム動作を実行し、しきい値電圧がベリファイレベル以上になるようにベリファイすると、書き込み後のメモリセルのしきい値電圧はベリファイレベル以上である程度分布を有するものとなる。 40

【0005】

メモリセルを異なるしきい値電圧に設定することで多値を表現する多値メモリセルの不揮発性半導体記憶装置の場合には、しきい値電圧が広い分布を有すると、隣り合うレベル値の間の間隔が狭くなり確実なデータ記録を実行することが困難になる。この問題点を解決するために、特許文献5においては、メモリセルに複数の異なるしきい値を設定することにより多値を記録する不揮発性のメモリコア回路と、上記メモリコア回路への書き込みを制御する制御回路を含み、上記制御回路は、ある1つのしきい値にメモリセルをプログラムする際に上記1つのしきい値に設定されるメモリセル及び上記1つのしきい値より高いしきい値に設定されるメモリセルを上記1つのしきい値にプログラムし、上記複数の異 50

なるしきい値の低い方のしきい値から順番にプログラムしていくことを特徴としている。

【 0 0 0 6 】

【特許文献 1】特開平 9 - 1 4 7 5 8 2 号公報。

【特許文献 2】特開 2 0 0 0 - 2 8 5 6 9 2 号公報。

【特許文献 3】特開 2 0 0 3 - 3 4 6 4 8 5 号公報。

【特許文献 4】特開 2 0 0 1 - 0 2 8 5 7 5 号公報。

【特許文献 5】特開 2 0 0 1 - 3 2 5 7 9 6 号公報。

【特許文献 6】特開 2 0 0 6 - 0 9 9 9 1 2 号公報。

【特許文献 7】特開 2 0 0 4 - 3 2 6 8 6 6 号公報。

【特許文献 8】特開 2 0 0 7 - 2 0 7 3 3 2 号公報。

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、多値の不揮発性半導体記憶装置において、隣接のビット線及びワード線を用いたメモリセルへの書き込み完了時に、それらに囲まれたビットのメモリセルはそのしきい値分布を上昇させる現象（以下、しきい値分布の上昇現象という。）がある。この現象は、特許文献 7 に開示されているように、互いに隣接しているメモリセルのフローティングゲート間の容量結合による干渉効果によるものであり、隣接するメモリセルのフローティングゲートに書き込まれる、すなわち電子がフローティングゲートに注入された場合、処理対象の該当メモリセルのフローティングゲートの電位が引き下げられ、すなわちしきい値が上昇するものである。この様子を図 5 に示す。図 5 ( a ) は処理対象メモリセルにおける隣接メモリセルの書き込み前後のデータ値を示す図であり、図 5 ( b ) は図 4 の書き込み方法において隣接メモリセルの書き込みを示す図である。

20

【 0 0 0 8 】

図 4 乃至図 7 は従来技術及び実施形態に係る書き込み方法に係る書き込み方法による 4 値のフラッシュ E E P R O M のしきい値電圧の確率分布を示す図である。ここで、2 ビットのマルチレベルセル ( M L C ) の書き込みは、それぞれ図 4 ( a ) 及び図 4 ( b ) に示すように、下位ビット ( L S B ) と上位ビット ( M S B ) に分けて行われる。これは、L S B の書き込み時のしきい値電圧 (  $V_{th}$  ) シフトによるしきい値分布の上昇現象は M S B の書き込み時にはキャンセルすることができるからであり、特許文献 8 においてその詳細が記述されている。ここで、図 4 に示すように、データ値 ( 1 , 1 ) からデータ値 ( 0 , 1 ) への M S B の書き込み時のしきい値電圧 (  $V_{th}$  ) の変化量  $V_{th2}$  は、L S B データ値 ( 1 , 0 ) からデータ値 ( 0 , 0 ) への M S B の書き込み時のしきい値電圧 (  $V_{th}$  ) の変化量  $V_{th1}$  の約 2 倍となっており、その分、しきい値電圧の上昇現象も大きい。そのため、図 6 に示すように、データの消去の後に続いて弱い書き込み（ソフトプログラム）を行い、消去後のしきい値分布幅の縮小を図っている。

30

【 0 0 0 9 】

しかしながら、従来技術のソフトプログラムは全セル同時に行い、全ワード線一括でベリファイを行うために、しきい値分布幅の縮小には限界があった。もし ( 1 , 1 ) 分布を図 7 の斜線で示した分布のように縮小できたならば、しきい値効果も大きく削減できることになる。

40

【 0 0 1 0 】

本発明の目的は以上の問題点を解決し、隣接のビット線及びワード線を用いたメモリセルへの書き込み完了時に、それらに囲まれたビットのメモリセルにおけるしきい値分布の上昇現象を最小化できる不揮発性半導体記憶装置とその書き込み方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

第 1 の発明に係る不揮発性半導体記憶装置は、各メモリセルに複数の異なるしきい値を設定することにより多値を記録する不揮発性のメモリセルアレイと、上記メモリセルアレ

50

イへの書き込みを制御する制御回路とを備えた不揮発性半導体記憶装置において、

上記制御回路は、上記メモリセルに対してデータを書き込んだとき、隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのペリファイを行うことにより、隣接メモリセルにおいて狭帯化された消去レベル分布を実現できることを特徴とする。

【0012】

上記不揮発性半導体記憶装置において、上記不揮発性半導体記憶装置は、第1と第2のラッチを含むページバッファを備え、

上記制御回路は、処理対象のメモリセルに書き込むべきページデータを上記第2のラッチに格納し、書き込み指示のプログラム発生コマンドに応答して、上記ページデータを上記第2のラッチから上記第1のラッチに転送してコピーし、上記ページデータを当該メモリセルに書き込んだ後、次に書き込むべき隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのペリファイを行うことを特徴とする。

10

【0013】

また、上記不揮発性半導体記憶装置において、上記不揮発性半導体記憶装置は、第1と第2のラッチを含むページバッファを備え、

上記制御回路は、処理対象のメモリセルに書き込むべきページデータを上記第2のラッチに格納し、書き込み指示のプログラム発生コマンドに応答して、次に書き込むべき隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのペリファイを行った後、上記ページデータを上記第2のラッチから上記第1のラッチに転送してコピーし、上記ページデータを当該メモリセルに書き込むことを特徴とする。

20

【0014】

第2の発明に係る不揮発性半導体記憶装置の書き込み方法は、各メモリセルに複数の異なるしきい値を設定することにより多値を記録する不揮発性のメモリセルアレイと、上記メモリセルアレイへの書き込みを制御する制御回路とを備えた不揮発性半導体記憶装置の書き込み方法において、

上記制御回路は、上記メモリセルに対してデータを書き込んだとき、隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのペリファイを行うことにより、隣接メモリセルにおいて狭帯化された消去レベル分布を実現できることを特徴とする。

30

【0015】

上記不揮発性半導体記憶装置の書き込み方法において、上記不揮発性半導体記憶装置は、第1と第2のラッチを含むページバッファを備え、

上記制御回路は、処理対象のメモリセルに書き込むべきページデータを上記第2のラッチに格納し、書き込み指示のプログラム発生コマンドに応答して、上記ページデータを上記第2のラッチから上記第1のラッチに転送してコピーし、上記ページデータを当該メモリセルに書き込んだ後、次に書き込むべき隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのペリファイを行うことを特徴とする。

40

【0016】

また、上記不揮発性半導体記憶装置の書き込み方法において、上記不揮発性半導体記憶装置は、第1と第2のラッチを含むページバッファを備え、

上記制御回路は、処理対象のメモリセルに書き込むべきページデータを上記第2のラッチに格納し、書き込み指示のプログラム発生コマンドに応答して、次に書き込むべき隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのペリファイを行った後、上記ページデータを上記第2のラッチから上記第1のラッチに転送してコピーし、上記ページデータを当該メモリセルに書き込むことを特徴とする。

50

## 【発明の効果】

## 【0017】

従って、本発明に係る不揮発性半導体記憶装置とその書き込み方法によれば、上記制御回路は、上記メモリセルに対してデータを書き込んだとき、隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのベリファイを行うことにより、隣接メモリセルにおいて狭帯化された消去レベル分布を実現できる。これにより、例えば、データ値(1, 1)からデータ値(0, 1)へのしきい値電圧 $V_{th}$ のシフト量を均一化してかつ最小化できるため、書き込みにおいて発生する隣接ビットによるしきい値分布の上昇現象の影響を最小限に抑えることができる。これにより、リードマージンに対する見積もりが容易になり、かつしきい値分布間にウィンドウを確保できる。従って、メモリセルへの書き込み及び読み取りの誤り確率を大幅に軽減できる。

10

## 【発明を実施するための最良の形態】

## 【0018】

以下、本発明に係る実施形態について図面を参照して説明する。なお、以下の各実施形態において、同様の構成要素については同一の符号を付している。

## 【0019】

図1は本発明の一実施形態に係るNAND型フラッシュEEPROMの全体構成を示すブロック図である。また、図2は図1のメモリセルアレイ10とその周辺回路の構成を示す回路図である。さらに、図3は図2のページバッファ(2本のビットライン分)の詳細構成を示す回路図である。まず、本実施形態に係るNAND型フラッシュEEPROMの構成について以下に説明する。

20

## 【0020】

図1において、本実施形態に係るNAND型フラッシュEEPROMは、メモリセルアレイ10と、その動作を制御する制御回路11と、ロウデコーダ12と、高電圧発生回路13と、データ書き換え及び読み出し回路14と、カラムデコーダ15と、コマンドレジスタ17と、アドレスレジスタ18と、動作ロジックコントローラ19と、データ入出力バッファ50と、データ入出力端子51とを備えて構成される。

## 【0021】

メモリセルアレイ10は、図2に示すように、例えば16個のスタックド・ゲート構造の電氣的書き換え可能な不揮発性メモリセルMC0~MC15を直列接続してNANDセルユニットNU(NU0, NU1, ...)が構成される。各NANDセルユニットNUは、ドレイン側が選択ゲートトランジスタSG1を介してビット線BLに接続され、ソース側が選択ゲートトランジスタSG2を介して共通ソース線CELSRCに接続される。ロウ方向に並ぶメモリセルMCの制御ゲートは共通にワード線WLに接続され、選択ゲートトランジスタSG1, SG2のゲート電極はワード線WLと平行して配設される選択ゲート線SGD, SGSに接続される。1本のワード線WLにより選択されるメモリセルの範囲が書き込み及び読み出しの単位となる1ページである。1ページ又はその整数倍の範囲の複数のNANDセルユニットNUの範囲がデータ消去の単位である1ブロックとなる。書き換え及び読み出し回路14は、ページ単位のデータ書き込み及び読み出しを行うために、ビット線毎に設けられたセンスアンプ回路(SA)及びラッチ回路(DL)を含み、以下、ページバッファという。

30

40

## 【0022】

図2のメモリセルアレイ10は、簡略化した構成を有し、複数のビット線でページバッファを共有してもよい。この場合は、データ書き込み又は読み出し動作時にページバッファに選択的に接続されるビット線数が1ページの単位となる。また、図2は、1個の入出力端子52との間でデータの入出力が行われるセルアレイの範囲を示している。メモリセルアレイ10のワード線WL及びビット線BLの選択を行うために、それぞれロウデコーダ12及びカラムデコーダ15が設けられている。制御回路11は、データ書き込み、消去及び読み出しのシーケンス制御を行う。制御回路11により制御される高電圧発生回路

50

13は、データ書き換え、消去、読み出しに用いられる昇圧された高電圧や中間電圧を発生する。

#### 【0023】

入出力バッファ50は、データの入出力及びアドレス信号の入力に用いられる。すなわち、入出力バッファ50及びデータ線52を介して、入出力端子51とページバッファ14の間でデータの転送が行われる。入出力端子52から入力されるアドレス信号は、アドレスレジスタ18に保持され、ロウデコーダ12及びカラムデコーダ15に送られてデコードされる。入出力端子52からは動作制御のコマンドも入力される。入力されたコマンドはデコードされてコマンドレジスタ17に保持され、これにより制御回路11が制御される。チップイネーブル信号CEB、コマンドラッチイネーブルCLE、アドレスラッチイネーブル信号ALE、書き込みイネーブル信号WEB、読み出しイネーブル信号REB等の外部制御信号は動作ロジックコントロール回路19に取り込まれ、動作モードに応じて内部制御信号が発生される。内部制御信号は、入出力バッファ50でのデータラッチ、転送等の制御に用いられ、さらに制御回路11に送られて、動作制御が行われる。

#### 【0024】

ページバッファ14は、2個のラッチ回路14a, 14bを備え、多値動作の機能とキャッシュの機能を切り換えて実行できるように構成されている。すなわち、1つのメモリセルに1ビットの2値データを記憶する場合に、キャッシュ機能を備え、1つのメモリセルに2ビットの4値データを記憶する場合には、キャッシュ機能とするか、又はアドレスによって制限されるがキャッシュ機能を有効とすることができる。そのような機能を実現するための具体的なページバッファ14A(2本のビットライン分)の詳細構成を図3に示す。

#### 【0025】

図3において、ページバッファ14Aは、2個のインバータ61, 62にてなるラッチL1と、2個のインバータ63, 64にてなるラッチL2と、ペリファイ用キャパシタ70と、プリチャージ用トランジスタ71と、ペリファイ用トランジスタ72乃至75と、プルアップトランジスタ76, 77と、カラムゲートトランジスタ81, 82と、転送スイッチトランジスタ83乃至85, 88, 89と、ビットライン選択トランジスタ86, 87と、ラッチイネーブルトランジスタ90と、リセットトランジスタ91とを備えて構成される。

#### 【0026】

図3において、2本のビット線BLE, BLOがページバッファ14Aに選択的に接続されるようになっている。この場合、ビット線選択信号BLS E又はBLS Oによって、ビットライン選択トランジスタ86又は87を導通させ、ビット線BLE又はビット線BLOの一方を選択的にページバッファ14Aに接続する。なお、一方のビット線が選択されている間、非選択状態である他方のビット線は、固定の接地電位や電源電圧電位にすることによって、隣接ビット線間のノイズを削減することが好ましい。

#### 【0027】

図3のページバッファ14Aは、第1のラッチL1と、第2のラッチL2とを有する。ページバッファ14Aは所定の動作制御によって、主に読み出し、書き込み動作に寄与する。また、第2のラッチL2は、2値動作においては、キャッシュ機能を実現する二次的なラッチ回路であり、キャッシュ機能を使用しない場合には当該ページバッファ14Aの動作に補助的に寄与して多値動作を実現する。

#### 【0028】

ラッチL1は、クロック・インバータ61, 62を逆並列接続して構成されている。メモリセルアレイ10のビット線BLは、転送スイッチトランジスタ85を介してセンスノードN4に接続され、センスノードN4はさらに転送スイッチトランジスタ83を介してラッチL1のデータ保持ノードN1に接続されている。センスノードN4には、プリチャージ用トランジスタ71が設けられている。ノードN1は、転送スイッチトランジスタ74, 75を介してノードN1のデータを一時記憶するための一時記憶ノードN3に接続

されている。さらに、ノードN4には、ビット線に対して電圧V1をプリチャージするためのプリチャージ用トランジスタ71も接続されている。ノードN4にはレベル保持のためのキャパシタ70が接続されている。キャパシタ70の他端は接地される。

#### 【0029】

第2のラッチL2は、第1のラッチL1と同様に、クロック・インバータ63, 64を逆並列接続して構成されている。ラッチL2の2つのデータノードN5, N6は、カラム選択信号CSLにより制御されるカラムゲートトランジスタ81, 82を介して、データ入出力バッファ50に接続されるデータ線52に接続される。ノードN5は、転送スイッチトランジスタ84を介して、ノードN4に接続される。

#### 【0030】

図3は、メモリセルアレイ10と、ページバッファ14と、データ入出力バッファ50の接続関係を示す。NAND型フラッシュEEPROMの読み出し、書き込みの処理単位は、あるロウアドレスでの同時に選択される1ページ分の容量(例えば512バイト)となっている。8個のデータ入出力端子52があるため、1つのデータ入出力端子52に対しては、512ビットとなっており、図3ではその512ビット分の構成を示している。

#### 【0031】

データをメモリセルに書き込む場合には、データ信号線52から書き込みデータを第2のラッチL2に取り込む。書き込み動作を開始するには、書き込みデータが第1のラッチL1になければならないので、続いて、ラッチL2に保持したデータをラッチ回路L1に転送する。また、読み出し動作においては、データ入出力端子51にデータを出力するには、読み出したデータがラッチL2になければならないので、ラッチL1で読み出したデータをラッチL2に転送する必要がある。従って、転送スイッチトランジスタ83, 84を導通状態にしてラッチL1とラッチL2の間でデータを転送を行うことが可能のように構成されている。このとき、転送先のラッチ回路を非活性状態にしてからデータを転送し、その後転送先のラッチ回路を活性状態に戻してデータを保持することとなる。

#### 【0032】

なお、図1乃至図3において、メモリセルアレイ10へのデータの書き込み、消去の基本動作は例えば非特許文献4-5において開示されており周知技術であり、詳細説明を省略する。

#### 【0033】

本実施形態では、フラッシュEEPROMにおいて、書き込みにおいて発生する隣接ビットの影響を最小限に抑える方法を開示しており、選択されているワード線に対して、次に選択されるワード線の消去レベルのしきい値分布幅を縮めることにより、起こりうる影響を抑える。これにより、次に選択されたワード線の書き込みによるしきい値の上昇効果を小さくする。

#### 【0034】

消去動作後にできるしきい値電圧分布は、図4又は図6に示すように例えば2V-3Vのしきい値分布幅を有する。このため、消去動作中にそのしきい値電圧を最小にするため、弱い書き込みパルスを与えるが、一度にベリファイされる数が大きいことでその効果は小さい。また、ワード線毎のベリファイを行う場合には消去自身の全体時間が長くなる。そこで、書き込み動作時に隣接のワード線を選択し、そこで、データの書き込みよりも弱い書き込みを与え、通常のデータ書き込みのように、1ページ分のベリファイを行うことで解決することを特徴としている。

#### 【0035】

図8は図1の制御回路11により実行される本実施形態に係るソフトプログラムモード処理を示すフローチャートである。

#### 【0036】

図8において、まず、ステップS1において、データロードコマンドを受信し、ステップS2において開始アドレスを入力する。次いで、ステップS3においてページデータ(2kB)をラッチL2に格納し、ステップS4においてプログラム発生コマンドを受信す

10

20

30

40

50

る。そして、ステップ S 5 において、ページデータをラッチ L 2 からラッチ L 1 に転送してコピーし、ステップ S 6 においてラッチ L 1 に格納されたページデータに基づいて、メモリセルアレイ 10 内の対象メモリセルに対して L S B をプログラムする。次いで、ステップ S 7 においてソフトプログラムに対して、現在処理対象のワード線とは隣接する次のワード線を選択し、ステップ S 8 においてすべてのビットがパスするまでソフトプログラムを実行することにより 1 ページ分のベリファイを行う。ここで、ソフトプログラムは 1 ページ分のすべてのメモリセルに対して行われる。

【 0 0 3 7 】

なお、本実施形態に係るソフトプログラムモード処理における各電圧について以下に示す。ここで、弱い書き込みにおける処理は従来技術に係る通常書き込み処理と同様であるが、プログラム時のワード線 W L 電圧とベリファイ時のワード線 W L 電圧、特に、ベリファイ時の電圧が異なる。ここでは、図 3 のビットライン B L o が選択されている場合の各電圧の一例を次の表に示す。

【 0 0 3 8 】

【表 1】

	通常書き込み	通常ベリファイ	ソフトプログラム	ソフトプログラムのベリファイ
L1, SLR1	0V(書き込み) Vdd(書き込み済み) Vdd(書き込みしない)	0V Vdd Vdd	0V(書き込み) Vdd(書き込み済み) —	0V Vdd —
BLo	=SLR1			
BL <sub>e</sub>	Vdd	0V	Vdd	0V
WL(選択)	17~25V	0.5~4V	12~20V	0~0.5V
SL	1.5~2V	0V	1.5~2V	0.2~0.5V

【 0 0 3 9 】

以上説明したように、本実施形態によれば、メモリセルアレイ 10 内のメモリセルに対してデータを書き込んだとき、隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを行い、1 ページ分のベリファイを行うので、図 7 のしきい値分布 101 から 102 への矢印 103 での推移に示すように、本発明に係る弱い書き込みが行われた消去レベル分布からの書き込みは、大きなしきい値のシフトはないので、選択されているワード線に対して次に選択され書き込みされるワード線のしきい値分布の上昇効果を小さくする(図 7 の 101 の斜線で示すしきい値分布参照。)ことができ、書き込みにおいて発生する隣接ビットの影響を最小限に抑えることができる。これにより、リードマージンに対する見積もりが容易になり、かつしきい値分布間にウィンドウを確保できる。従って、メモリセルへの書き込み及び読み取りの誤り確率を大幅に軽減できる。

【 0 0 4 0 】

変形例 .

図 8 の実施形態に係るソフトプログラムモード処理のフローチャートでは、選択されたメモリセルの L S B データの書き込みの後に隣接するワード線 W L 上の隣接のメモリセルの消去レベル分布のソフトプログラムを行っているが、これは、選択メモリセルに対する L S B データの書き込み直前に行ってもよい。また、選択メモリセルの M S B データの書き込み直前に行ってもよい。これらの変形例を以下に示す。

【 0 0 4 1 】

図 9 は第 1 の変形例に係るソフトプログラムモード処理を示すフローチャートである。図 9 の処理は、図 8 の処理に比較して、ステップ S 7 及び S 8 の処理を、ステップ S 4 とステップ S 5 との間に挿入したことを特徴としている。また、図 10 は第 2 の変形例に係



るソフトプログラムモード処理を示すフローチャートである。図10の処理は、図9の処理に比較して、ステップS6において、LSBのプログラムに代えてMSBのプログラムを行うことを特徴としている。さらに、図11は第3の変形例に係るソフトプログラムモード処理を示すフローチャートである。図11の処理は、図10の処理に比較して、「ワード線電圧 $W_L = 0V$ で読み出し、データ値(1, 1)のみをソフトプログラム対象としてラッチL1にセットする」ステップS9処理を、ステップS7とステップS8との間に挿入したことを特徴としている。図10の処理では、隣接メモリセルはすでにLSBのデータが書かれているのを無視してソフトプログラムを行うが、1回の書き込みにてデータ値(1, 0)へのペリファイはパスするためにほとんど影響はない。図11の処理では、その点を解決するようにステップS9の処理を挿入したものである。

10

#### 【0042】

以上の実施形態においては、NAND型フラッシュEEPROMについて説明しているが、本発明はこれに限らず、NOR型フラッシュEEPROMなどのフローティングゲートにデータを書き込むことが可能な不揮発性半導体記憶装置に広く適用できる。

#### 【0043】

以上の実施形態においては、図4のしきい値分布を仮定して、最低の電圧を有するデータをプログラムすることを説明しているが、本発明はこれに限らず、多値のいずれかのデータをプログラムするときに適用できる。

#### 【産業上の利用可能性】

#### 【0044】

20

以上詳述したように、本発明によれば、上記メモリセルに対してデータを書き込んだとき、隣接のワード線を選択し、上記データの書き込みよりも弱い書き込みを消去レベルで行い、1ページ分のソフトプログラムのペリファイを行うことにより、隣接メモリセルにおいて狭帯化された消去レベル分布を実現できる。これにより、例えば、データ値(1, 1)からデータ値(0, 1)へのしきい値電圧 $V_{th}$ のシフト量を均一化してかつ最小化できるため、書き込みにおいて発生する隣接ビットによるしきい値分布の上昇現象の影響を最小限に抑えることができる。これにより、リードマージンに対する見込みりが容易になり、かつしきい値分布間にウィンドウを確保できる。従って、メモリセルへの書き込み及び読み取りの誤り確率を大幅に軽減できる。ここで、本発明は特に、NAND型フラッシュEEPROM、又はNOR型フラッシュEEPROMなどのフローティングゲートにデータを書き込むことが可能な不揮発性半導体記憶装置に利用できる。

30

#### 【図面の簡単な説明】

#### 【0045】

【図1】本発明の一実施形態に係るNAND型フラッシュEEPROMの全体構成を示すブロック図である。

【図2】図1のメモリセルアレイ10とその周辺回路の構成を示す回路図である。

【図3】図2のページバッファ(2本のビットライン分)の詳細構成を示す回路図である。

【図4】従来技術に係る書き込み方法に係る書き込み方法による4値のフラッシュEEPROMのしきい値電圧の確率分布を示す図であり、(a)はデータ値(1, 1)からLSB書き込み後のデータ値(0, 1)を示す図であり、(b)は各データ値からMSB書き込み後のデータ値を示す図である。

40

【図5】(a)は図4の書き込み方法において処理対象メモリセルにおける隣接メモリセルの書き込み前後のデータ値を示す図であり、(b)は図4の書き込み方法において隣接メモリセルの書き込みを示す図である。

【図6】実施形態に係る書き込み方法に係る書き込み方法による4値のフラッシュEEPROMのしきい値電圧の確率分布を示す図であり、データ値(1, 1)に対するソフトプログラムを示す図である。

【図7】従来技術及び実施形態に係る書き込み方法に係る書き込み方法による4値のフラッシュEEPROMのしきい値電圧の確率分布を示す図であり、データ値(1, 1)に対

50

するソフトプログラムの有無による、データ値（０，１）への書き込み時のしきい値電圧変化を示す図である。

【図８】本実施形態に係るソフトプログラムモード処理を示すフローチャートである。

【図９】第１の変形例に係るソフトプログラムモード処理を示すフローチャートである。

【図１０】第２の変形例に係るソフトプログラムモード処理を示すフローチャートである。

。

【図１１】第３の変形例に係るソフトプログラムモード処理を示すフローチャートである。

。

【符号の説明】

【００４６】

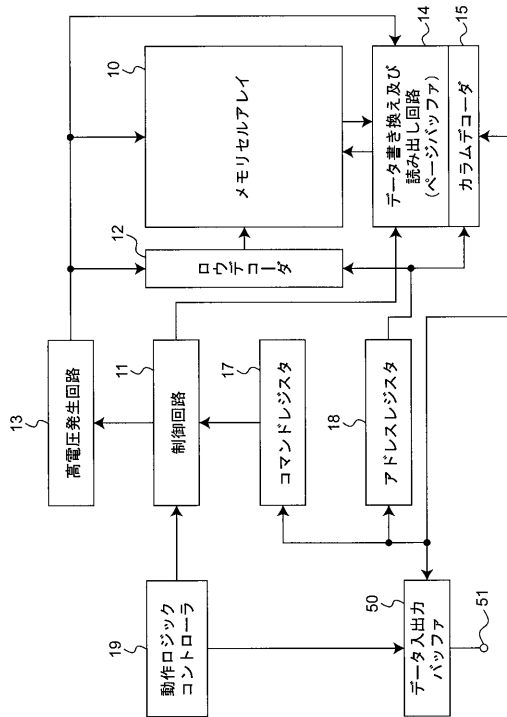
- １０…メモリセルアレイ、
- １１…制御回路、
- １２…ロウデコーダ、
- １３…高電圧発生回路、
- １４，１４Ａ…データ書き換え及び読み出し回路（ページバッファ）、
- １４ａ，１４ｂ…ラッチ回路、
- １５…カラムデコーダ、
- １７…コマンドレジスタ、
- １８…アドレスレジスタ、
- １９…動作ロジックコントローラ、
- ５０…データ入出力バッファ、
- ５１…データ入出力端子、
- ５２…データ線、
- ６１乃至６４…インバータ、
- ７０…ベリファイ用キャパシタ、
- ７１…プリチャージ用トランジスタ、
- ７２乃至７５…ベリファイ用トランジスタ、
- ７６，７７…プルアップトランジスタ、
- ８１，８２…カラムゲートトランジスタ、
- ８３乃至８５，８８，８９…転送スイッチトランジスタ、
- ８６，８７…ビットライン選択トランジスタ、
- ９０…ラッチイネーブルトランジスタ、
- ９１…リセットトランジスタ、
- Ｌ１，Ｌ２…ラッチ。

10

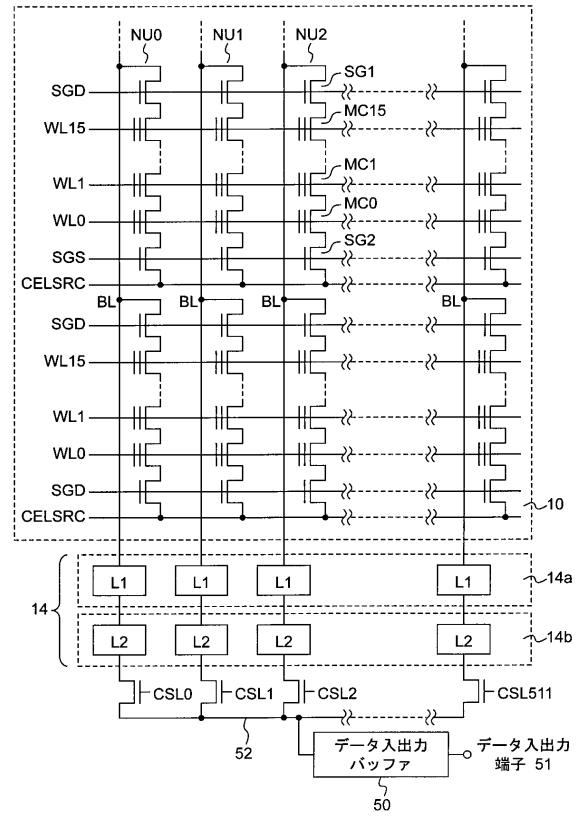
20

30

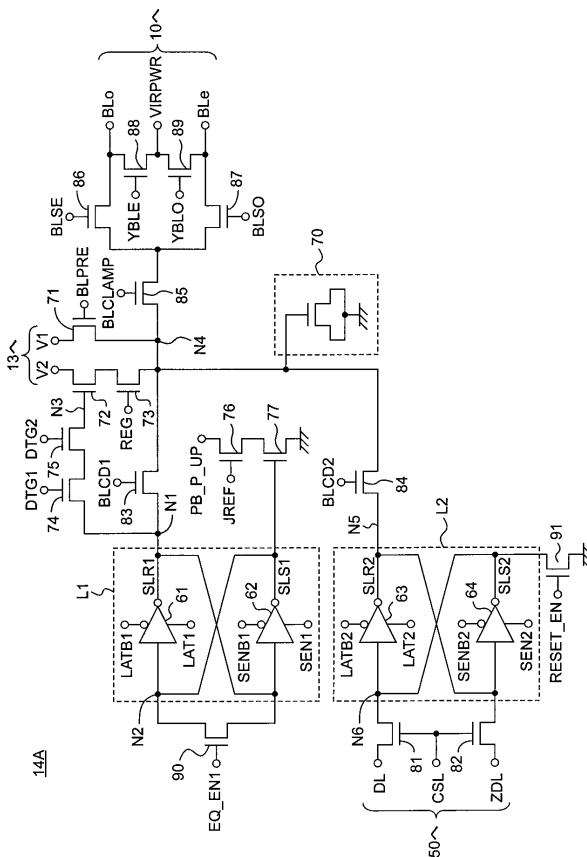
【図 1】



【図 2】

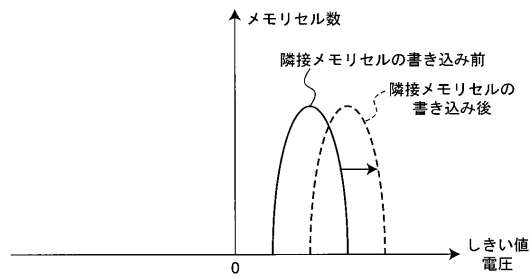


【図 3】

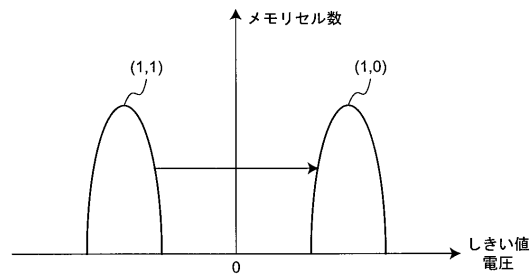


【図 5】

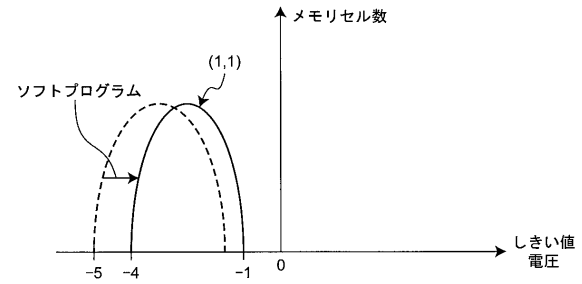
(a) 処理対象メモリセル



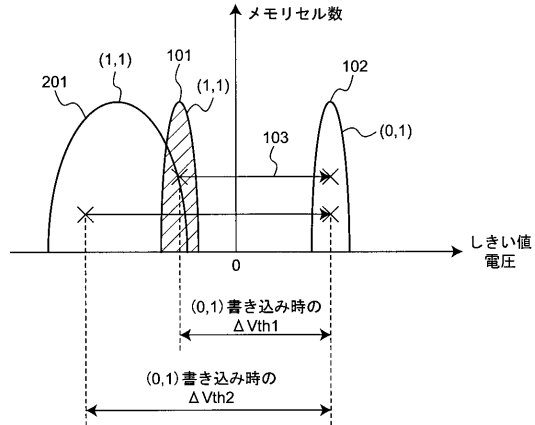
(b) 隣接メモリセルの書き込み



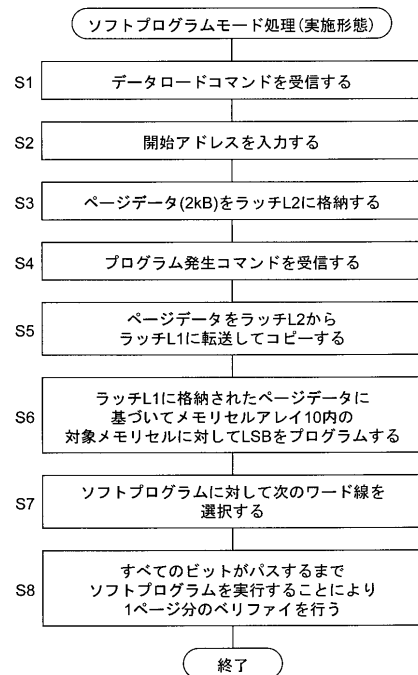
【図 6】



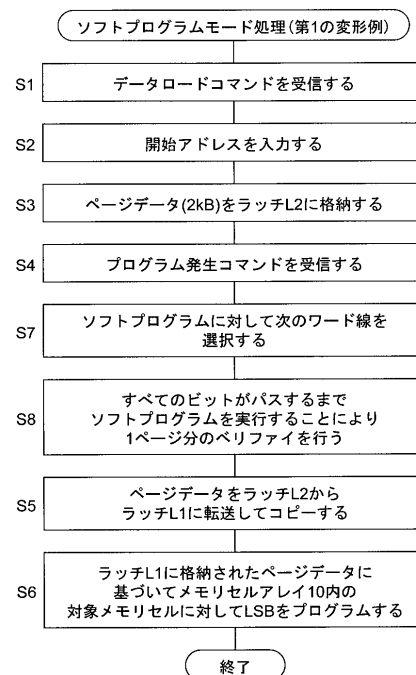
【図 7】



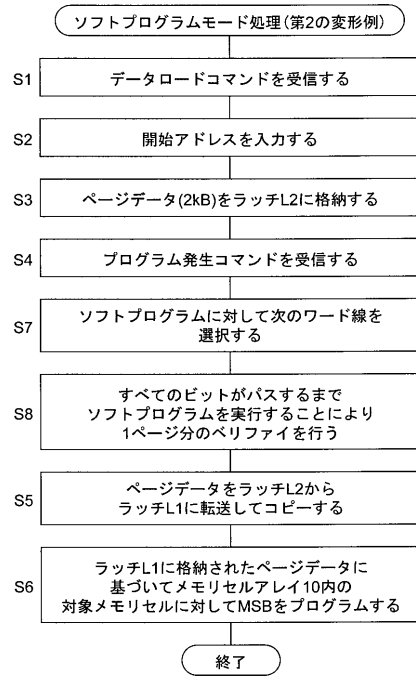
【図 8】



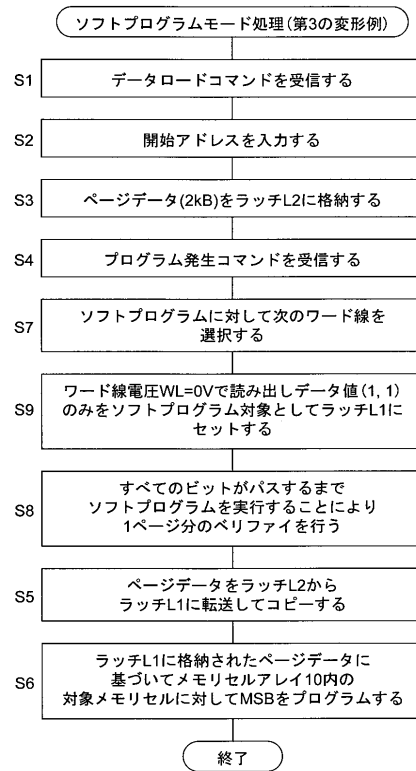
【図 9】



【図 10】



【図 11】



---

フロントページの続き

(56)参考文献 特開2007-305204(JP,A)  
特開2006-139864(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 16/00 - 16/34