



(21)申請案號：108100656 (22)申請日：中華民國 101 (2012) 年 09 月 27 日

(51)Int. Cl. : **H03K17/687 (2006.01)** **H01L29/786 (2006.01)**

(30)優先權：2011/09/30 日本 2011-217150

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)
日本

(72)發明人：梅崎敦司 UMEZAKI,ATSUSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW	200605509A	TW	200627768A
TW	201014178A	TW	201120909A
JP	2004260788A	JP	2009219081A
US	5502406A	US	5517148A
US	7554379B2	US	7772884B2
US	7795946B2	US	8710895B2
US	20100253393A1		

審查人員：蘇齊賢

申請專利範圍項數：8 項 圖式數：17 共 85 頁

(54)名稱
半導體裝置

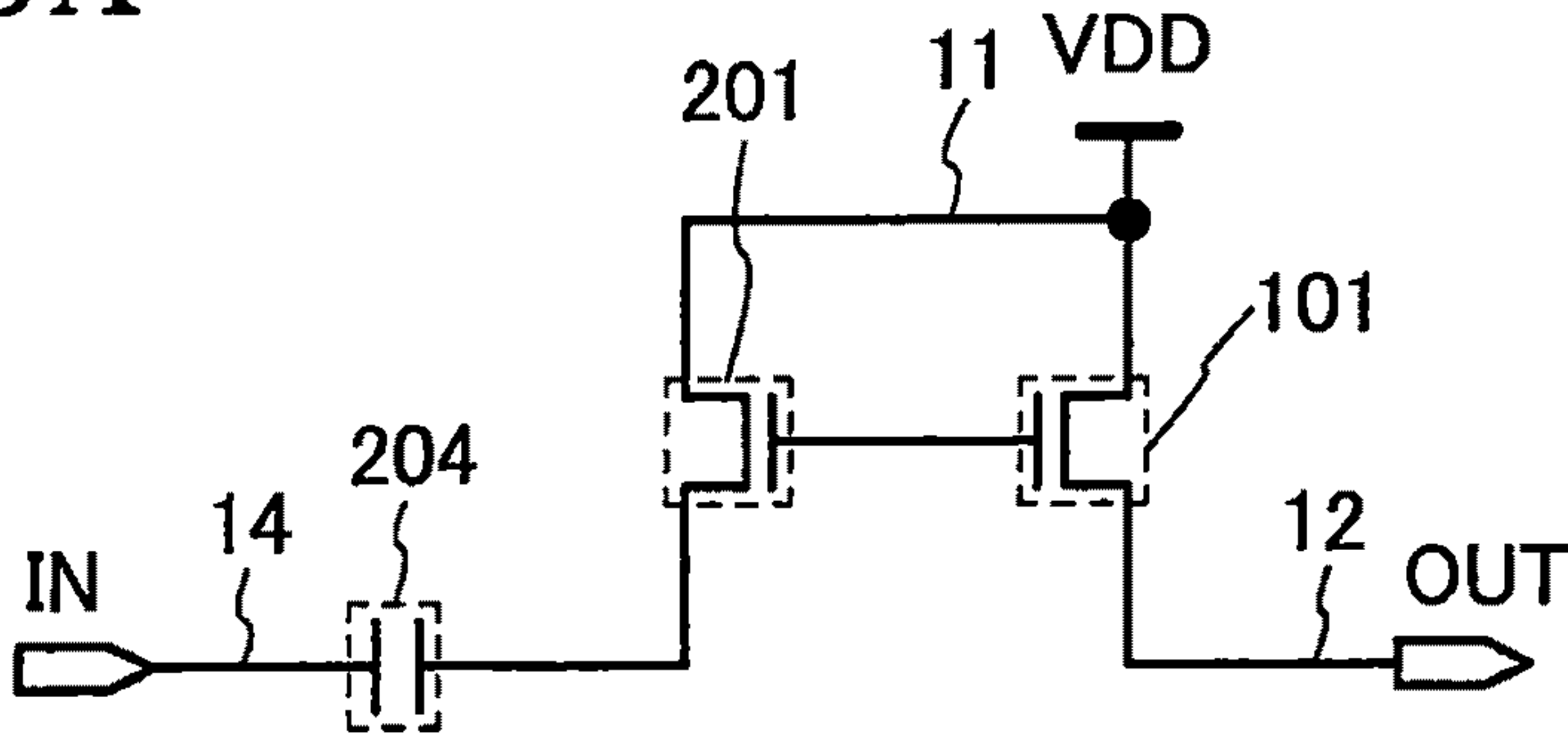
(57)摘要

本發明提供一種以反相器電路和移位暫存器電路為例的半導體裝置，該半導體裝置的電晶體數少。該半導體裝置包括第一電晶體、第二電晶體及電容器。第一電晶體的源極和汲極中的一個與第一佈線電連接，第一電晶體的源極和汲極中的另一個與第二佈線電連接。第二電晶體的源極和汲極中的一個與第一佈線電連接，第二電晶體的閘極與第一電晶體的閘極電連接，並且第二電晶體的源極和汲極中的另一個與電容器的一個電極電連接，電容器的另一個電極與第三佈線電連接。第一電晶體和第二電晶體具有相同導電型。

Provided is a semiconductor device exemplified by an inverter circuit and a shift register circuit, which is characterized by a reduced number of transistors. The semiconductor device includes a first transistor, a second transistor, and a capacitor. One of a source and a drain of the first transistor is electrically connected to a first wiring, and the other thereof is electrically connected to a second wiring. One of a source and a drain of the second transistor is electrically connected to the first wiring, a gate of the second transistor is electrically connected to a gate of the first transistor, and the other of the source and the drain of the second transistor is electrically connected to one electrode of the capacitor, while the other electrode of the capacitor is electrically connected to a third wiring. The first and second transistors have the same conductivity type.

指定代表圖：

圖 16A



符號簡單說明：

11 . . . 佈線

12 . . . 佈線

14 . . . 佈線

101 . . . 電晶體

201 . . . 電晶體

204 . . . 電容器

VDD . . . 電位

IN . . . 信號

OUT . . . 信號

I691165

發明摘要

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【中文】

本發明提供一種以反相器電路和移位暫存器電路為例的半導體裝置，該半導體裝置的電晶體數少。該半導體裝置包括第一電晶體、第二電晶體及電容器。第一電晶體的源極和汲極中的一個與第一佈線電連接，第一電晶體的源極和汲極中的另一個與第二佈線電連接。第二電晶體的源極和汲極中的一個與第一佈線電連接，第二電晶體的閘極與第一電晶體的閘極電連接，並且第二電晶體的源極和汲極中的另一個與電容器的一個電極電連接，電容器的另一個電極與第三佈線電連接。第一電晶體和第二電晶體具有相同導電型。

【 英文 】

Provided is a semiconductor device exemplified by an inverter circuit and a shift register circuit, which is characterized by a reduced number of transistors. The semiconductor device includes a first transistor, a second transistor, and a capacitor. One of a source and a drain of the first transistor is electrically connected to a first wiring, and the other thereof is electrically connected to a second wiring. One of a source and a drain of the second transistor is electrically connected to the first wiring, a gate of the second transistor is electrically connected to a gate of the first transistor, and the other of the source and the drain of the second transistor is electrically connected to one electrode of the capacitor, while the other electrode of the capacitor is electrically connected to a third wiring. The first and second transistors have the same conductivity type.

【代表圖】

【本案指定代表圖】：第(16A)圖。

【本代表圖之符號簡單說明】：

11：佈線

12：佈線

14：佈線

101：電晶體

201：電晶體

204：電容器

VDD：電位

IN：信號

OUT：信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

SEMICONDUCTOR DEVICE

【技術領域】

本發明的一個實施例關於一種半導體裝置及顯示裝置。

【先前技術】

隨著液晶顯示裝置及 EL 顯示裝置等的顯示裝置的大型化，對附加價值更高的顯示裝置的研究開發不斷進展。尤其是僅使用具有一種導電型的電晶體構成顯示裝置的驅動電路的技術不斷進展（參照專利文獻 1、非專利文獻 1）。

圖 17A 示出專利文獻 1 中公開的驅動電路。專利文獻 1 的驅動電路由電晶體 M1、電晶體 M2、電晶體 M3 及電晶體 M4 構成。當信號 IN 為高位準時，電晶體 M1 變為截止，電晶體 M2、電晶體 M3 及電晶體 M4 變為導通。並且，信號 OUT 變為高位準。另一方面，當信號 IN 為低位準時，電晶體 M1 變為導通，電晶體 M2 及電晶體 M4 變為截止，電晶體 M3 暫時變為導通後變為截止。並且，信號 OUT 變為低位準。

圖 17B 示出非專利文獻 1 中公開的驅動電路。非專利文獻 1 的驅動電路由電晶體 M11 至電晶體 M19 及電容器 C11 等構成。當信號 IN 為高位準時，電晶體 M12、電晶體 M14、電晶體 M16 及電晶體 M17 變為導通，電晶體 M11、電晶體 M13 及電晶體 M15 變為截止，電晶體 M18 及電晶體 M19 暫時變為導通後變為截止。並且，信號 OUT 變為低位準。另一方面，當信號 IN 為低位準時，電晶體 M12、電晶體 M14、電晶體 M16、電晶體 M17 及電晶體 M18 變為截止，電晶體 M11、電晶體 M15 及電晶體 M19 變為導通，電晶體 M13 暫時變為導通後變為截止。並且，信號 OUT 變為高位準。

[專利文獻 1] 日本專利申請公開第 2002-328643 號公報

[非專利文獻 1] Eri Fukumoto, Toshiaki Arai, Narihiro Morosawa, Kazuhiko Tokunaga, Yasuhiro Terai, Takashige Fujimori and Tatsuya Sasaoka, "High Mobility Oxide Semiconductor TFT for Circuit Integration of AM-OLED", IDW' 10, pp.631-634

在專利文獻 1 的驅動電路中，當信號 IN 變為高位準時，電晶體 M3 與電晶體 M4 都變為導通。因此，在信號 IN 變為高位準的期間中，電流從被提供電位 VDD 的佈線依次藉由電晶體 M3 及電晶體 M4 流過被提供電位 VSS 的佈線，而使耗電量增大。

另外，在專利文獻 1 的驅動電路中，在信號 IN 變為

高位準的期間中，需要使電晶體 M1 的閘極電位降至電晶體 M1 變為截止的程度。為此，需要使電晶體 M4 的 W （ W ：通道寬度）/ L （ L ：通道長度）充分地大於電晶體 M3 的 W/L ，但是這並不容易。這是因為要想增大電晶體 M3 的 W/L 必須增大電晶體 M4 的 W/L ，而這樣會導致佈局面積的增大。因此，在信號 IN 變為高位準的期間中，電晶體 M3 變為導通，當對電晶體 M1 的閘極提供電位 VDD 時，電晶體 M1 的閘極電位達到預定電位的時間變長。因此，電晶體 M1 變為導通的時序變遲，電晶體 M1 的 V_{gs} 變小，信號 OUT 的上升時間變長。因此，發生信號 OUT 的延遲或失真等。

另外，明確的是：與專利文獻 1 的驅動電路相比，非專利文獻 1 的驅動電路需要多個電晶體及電容器等元件。

【發明內容】

於是，本發明的一個實施例的目的之一是減小電路的佈線間的藉由電晶體流過的電流來降低電路的耗電量。另外，本發明的一個實施例的目的之一是縮短來自電路的輸出信號的上升時間以抑制輸出信號的延遲或失真。另外，本發明的一個實施例的目的之一是減少電路的電晶體及電容器等的元件數。另外，本發明的一個實施例的目的之一是提供一種新穎的電路結構。另外，課題與效果是密不可分的，當本說明書等中記述效果時，必然存在對應於該效果的課題。另一方面，當本說明書等中記述課題時，也必

然有對應於該課題的效果。

本發明的一個實施例是一種半導體裝置，該半導體裝置包括：源極和汲極中的一個與第一佈線電連接，源極和汲極中的另一個與第二佈線電連接的第一電晶體；源極和汲極中的一個與第一佈線電連接，閘極與第一電晶體的閘極電連接的第二電晶體；以及一個電極與第三佈線電連接，另一個電極與第二電晶體的源極和汲極中的另一個電連接的電容器。

另外，在上述本發明的一個實施例中，可以使第一電晶體的 W/L （ W 是通道寬度、 L 是通道長度）比第二電晶體的 W/L 大。

另外，在上述本發明的一個實施例中，可以使第一電晶體與第二電晶體具有相同導電型。

本發明的一個實施例可以抑制電路的佈線間的藉由電晶體而流過的電流來降低電路的耗電量。另外，本發明的一個實施例可以縮短來自電路的輸出信號的上升時間由此可以抑制輸出信號的延遲或失真。另外，本發明的一個實施例可以減少電路的電晶體及電容器等的元件數。

【圖式簡單說明】

在圖式中：

圖 1A 和 1B 是說明根據本發明的一個實施例的反相器電路的圖；

圖 2A 和 2B 是說明根據本發明的一個實施例的反相

器電路的圖；

圖 3A 和 3B 是說明根據本發明的一個實施例的反相器電路的圖；

圖 4A 至 4F 是說明根據本發明的一個實施例的反相器電路所使用的電路的圖；

圖 5A 和 5B 是說明根據本發明的一個實施例的反相器電路的圖；

圖 6A 和 6B 是說明根據本發明的一個實施例的反相器電路的圖；

圖 7A 和 7B 是說明根據本發明的一個實施例的移位暫存器電路的圖；

圖 8A 和 8B 是說明根據本發明的一個實施例的移位暫存器電路的圖；

圖 9A 和 9B 是說明根據本發明的一個實施例的移位暫存器電路的圖；

圖 10A 和 10B 是說明根據本發明的一個實施例的移位暫存器電路的圖；

圖 11 是說明根據本發明的一個實施例的移位暫存器電路的圖；

圖 12 是說明根據本發明的一個實施例的顯示裝置的圖；

圖 13A 至 13D 是說明根據本發明的一個實施例的電晶體的圖；

圖 14 是說明根據本發明的一個實施例的顯示裝置的

圖；

圖 15A 至 15E 是說明根據本發明的一個實施例的電子裝置的圖；

圖 16A 至 16C 是說明根據本發明的一個實施例的半導體裝置的圖；

圖 17A 和 17B 是說明習知的驅動電路的圖。

【實施方式】

下面，參照圖式說明來說明本發明的實施例的一個例子。注意，所屬技術領域的普通技術人員可以很容易地理解一個事實就是實施例的內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不侷限在以下所示的實施例所記載的內容中。

實施例 1

在本實施例中對根據本發明的一個實施例的反相器電路（也稱為半導體裝置或驅動電路）進行說明。

參照圖 1A 對本實施例的反相器電路的結構進行說明。

圖 1A 的反相器電路包括電路 100 和電路 200。電路 100 與佈線 11、佈線 12、佈線 13、佈線 14 及電路 200 連接。另外，電路 200 與佈線 11、佈線 13、佈線 14 及電路 100 連接。

電路 100 包括電晶體 101 和電晶體 102。電晶體 101

的第一端子（也稱為源極和汲極中的一個）與佈線 11 連接，電晶體 101 的第二端子（也稱為源極和汲極中的另一個）與佈線 12 連接。電晶體 102 的第一端子與佈線 13 連接，電晶體 102 的第二端子與佈線 12 連接，電晶體 102 的閘極與佈線 14 連接。

電路 200 包括電晶體 201、電晶體 202、電晶體 203 以及電容器 204。電晶體 201 的第一端子與佈線 11 連接，電晶體 201 的閘極與電晶體 101 的閘極連接。電晶體 202 的第一端子與佈線 13 連接，電晶體 202 的第二端子與電晶體 201 的第二端子連接，電晶體 202 的閘極與佈線 14 連接。電晶體 203 的第一端子與佈線 13 連接，電晶體 203 的第二端子與電晶體 201 的閘極連接，電晶體 203 的閘極與佈線 14 連接。電容器 204 的第一電極（也稱為一個電極）與佈線 14 連接，電容器 204 的第二電極（也稱為另一個電極）與電晶體 201 的第二端子連接。

另外，將電晶體 101 的閘極、電晶體 201 的閘極與電晶體 203 的第二端子的連接部分稱為節點 N1。另外，將電晶體 201 的第二端子、電晶體 202 的第二端子與電容器 204 的第二電極的連接部分稱為節點 N2。

另外，較佳的是本實施例的反相器電路所具有的電晶體具有相同導電型。例如，在圖 1A 的反相器電路中，較佳的是電晶體 101、電晶體 102、電晶體 201、電晶體 202 及電晶體 203 具有相同導電型。在本實施例中，對電晶體 101、電晶體 102、電晶體 201、電晶體 202 及電晶體 203

為 N 通道型時的情況進行說明。

另外，在本說明書等中“連接”是指電連接，相當於，能夠提供或傳輸電流、電壓、電位、信號或電荷等的狀態。因此，“連接”除了包括直接連接的狀態外，還包括藉由如佈線、導電膜、電阻、二極體、電晶體、切換元件等元件間接連接的狀態。

佈線 11（也稱為電源線）被提供電位 VDD，佈線 11 具有傳輸電位 VDD 的功能。電位 VDD 為固定電位。

佈線 13（也稱為電源線）被提供電位 VSS，佈線 13 具有傳輸電位 VSS 的功能。電位 VSS 為固定電位並小於電位 VDD。

佈線 14（也稱為信號線）被輸入信號 IN，佈線 14 具有傳輸信號 IN 的功能。信號 IN 為圖 1A 的反相器電路的輸入信號。另外，信號 IN 是用來控制電晶體 102、電晶體 202 及電晶體 203 的導通或非導通的信號。

從佈線 12（也稱為信號線）輸出信號 OUT，佈線 12 具有傳輸信號 OUT 的功能。信號 OUT 為圖 1A 的反相器電路的輸出信號。

另外，不侷限於上述信號或電位，也可以對佈線 11、佈線 13 及佈線 14 輸入各種各樣的信號或電位等。

電路 100（也稱為緩衝電路）具有根據電路 200 的輸出信號將佈線 11 的電位 VDD 提供至佈線 12 的功能。另外，電路 100 具有根據信號 IN 將佈線 13 的電位 VSS 提供至佈線 12 的功能。另外，電路 100 具有根據電路 200

的輸出信號及信號 IN 將佈線 11 的電位 VDD 和佈線 13 的電位 VSS 中的一個提供至佈線 12 的功能。

電路 200（也稱為控制電路）具有根據信號 IN 產生控制電路 100 向佈線 12 提供佈線 11 的電位 VDD 的時序的信號（節點 N1 的電位）的功能。

電晶體 101 具有控制佈線 11 與佈線 12 的導通或非導通的功能。另外，電晶體 101 具有將佈線 11 的電位 VDD 提供至佈線 12 的功能。另外，電晶體 101 具有保持佈線 12 與節點 N1 的電位差的功能。

電晶體 102 具有控制佈線 13 與佈線 12 的導通或非導通的功能。另外，電晶體 102 具有將佈線 13 的電位 VSS 提供至佈線 12 的功能。

電晶體 201 具有控制佈線 11 與節點 N2 的導通或非導通的功能。另外，電晶體 201 具有將佈線 11 的電位 VDD 提供至節點 N2 的功能。另外，電晶體 201 具有保持節點 N1 與節點 N2 的電位差的功能。

電晶體 202 具有控制佈線 13 與節點 N2 的導通或非導通的功能。另外，電晶體 202 具有將佈線 13 的電位 VSS 提供至節點 N2 的功能。

電晶體 203 具有控制佈線 13 與節點 N1 的導通或非導通的功能。另外，電晶體 203 具有將佈線 13 的電位 VSS 提供至節點 N1 的功能。

電容器 204 具有保持佈線 14 與節點 N2 的電位差的功能。

接著，參照圖 1B 對圖 1A 的反相器電路的驅動方法的一個例子進行說明。圖 1B 示出用來說明圖 1A 的反相器電路的驅動方法的時序圖的一個例子。

另外，對信號 IN 為與電位 VDD 相等的高位準電位且與電位 VSS 相等的低位準電位的數位信號的情況進行說明。另外，分開說明信號 IN 為高位準時的情況及信號 IN 為低位準時的情況。

首先，當信號 IN 變為高位準時，電晶體 102、電晶體 202 及電晶體 203 變為導通。

當電晶體 203 變為導通時，佈線 13 的電位 VSS 被提供至節點 N1。因此，節點 N1 的電位降至電位 VSS。當節點 N1 的電位降至電位 VSS 時，電晶體 101 及電晶體 201 變為截止。

另外，當電晶體 202 變為導通時，佈線 13 的電位 VSS 被提供至節點 N2。因此，節點 N2 的電位降至電位 VSS。

另外，當電晶體 102 變為導通時，佈線 13 的電位 VSS 被提供至佈線 12。因此，佈線 12 的電位降至電位 VSS。即，信號 OUT 變為低位準。

接著，當信號 IN 變為低位準時，電晶體 102、電晶體 202 及電晶體 203 變為截止。

當電晶體 203 變為截止時，節點 N1 變為浮動狀態。因此，節點 N1 的電位仍保持電位 VSS，因此電晶體 101 及電晶體 201 保持截止。

另外，當電晶體 202 變為截止時，節點 N2 變為浮動狀態。此時，電容器 204 保持信號 IN 為高位準期間時的佈線 14 與節點 N2 的電位差。因此，隨著信號 IN 變為低位準，節點 N2 的電位也降低。當節點 N2 的電位從節點 N1 的電位（例如電位 VSS）降至小於減去電晶體 201 的臨界電壓的電位時，電晶體 201 變為導通。

當電晶體 201 變為導通時，佈線 11 的電位 VDD 被提供至節點 N2。因此，節點 N2 的電位上升。此時，電晶體 201 的閘極與第二端子之間保持電晶體 202 變為截止時的節點 N1 與節點 N2 的電位差。因此，隨著節點 N2 的電位上升，節點 N1 的電位也上升。節點 N2 的電位上升至電位 VDD，節點 N1 的電位變成比電位 VDD 高的電位。即所謂的自舉。並且，由於節點 N1 的電位上升，電晶體 101 變為導通。

當電晶體 101 變為導通時，佈線 11 的電位 VDD 被提供至佈線 12。另外，如之前所述，節點 N1 的電位變為比電位 VDD 高的電位。因此，佈線 12 的電位上升至電位 VDD。即，信號 OUT 變為高位準。

如上所述，在圖 1A 的反相器電路中不存在電晶體 101 和電晶體 102 同時變為導通的期間。另外，不存在電晶體 201 和電晶體 202 同時變為導通的期間。因此，可以消除佈線 11 與佈線 13 之間電流不斷流過的路徑。另外，與現有驅動電路相比可以以更少的電晶體使信號 OUT 的高位準電位上升至佈線 11 的電位 VDD。

另外，當信號 IN 變為低位準時，隨著電晶體 201 的第二端子的電位上升以及電晶體 101 的第二端子的電位上升，節點 N1 的電位也上升。因此，可以縮短節點 N1 的電位達到預定電位的時間，由此可以提前電晶體 101 變為導通的時序。另外，由於可以進一步提高節點 N1 的電位，因此可以進一步增大電晶體 101 的 V_{gs} 。在圖 1A 的反相器電路中，由於可以提前電晶體 101 變為導通的時序並且可以增大電晶體 101 的 V_{gs} ，因此可以大幅縮短信號 OUT 的上升時間。

接著，參照圖 2A 至圖 6B 對與圖 1A 不同的反相器電路進行說明。

首先，圖 2A 的反相器電路是在圖 1A 的反相器電路中設置電路 300A 的結構。

電路 300A 的第一端子（也稱為輸入端子）與佈線 14 連接，電路 300A 的第二端子（也稱為輸出端子）與電晶體 203 的閘極連接。

電路 300A 具有從第二端子輸出對應於輸入到第一端子的信號（例如信號 IN）的信號的功能。另外，電路 300A 具有從第二端子輸出比輸入到第一端子的信號延遲及/或失真的信號的功能。

另外，例如，“與第一信號相比第二信號延遲”是指與第一信號的上升時序或下降時序相比第二信號的上升時序或下降時序更遲。另外，例如，“與第一信號相比第二信號失真”是指與第一信號的上升時間或下降時間相比第

二信號的上升時間或下降時間更長。

在圖 2A 的反相器電路中，即使信號 IN 從高位準變為低位準，在預定的期間中，從電路 300A 的第二端子輸出的信號仍保持高位準。也就是說，即使信號 IN 從高位準變為低位準，在預定的期間中，電晶體 203 仍為導通，節點 N1 仍被提供電位 VSS。

因此，在圖 2A 的反相器電路中，當節點 N2 的電位因電容器 204 的電容耦合而下降時，可以對節點 N1 提供佈線 13 的電位 VSS。因此，可以抑制節點 N1 的電位隨著節點 N2 的電位下降而下降。也就是說，可以增大節點 N1 與節點 N2 的電位差。藉由增大節點 N1 與節點 N2 的電位差，可以進一步提高節點 N2 的電位變為電位 VDD 時的節點 N1 的電位，由此可以進一步增大電晶體 101 的 V_{gs} 。因此，可以縮短信號 OUT 的上升時間。

另外，在圖 2A 的反相器電路中，可以使電容器 204 的第一電極與電路 300A 的第二端子連接。

另外，圖 2B 的反相器電路是在圖 2A 的反相器電路中設置電路 300B 的結構。

電路 300B 的第一端子與佈線 14 連接，電路 300B 的第二端子與電容器 204 的第一電極連接。

電路 300B 具有與電路 300A 同樣的功能。但是，較佳的是，與從電路 300A 的第二端子輸出的信號相比，從電路 300B 的第二端子輸出的信號不延遲及/或失真。

在圖 2B 的反相器電路中，即使信號 IN 從高位準變為

低位準，在預定的期間中，從電路 300A 的第二端子及電路 300B 的第二端子輸出的信號仍為高位準。也就是說，即使信號 IN 從高位準變為低位準，在預定的期間中，電晶體 203 仍為導通，節點 N1 仍被提供電位 VSS。另外，在預定的期間中，輸入到電容器 204 的第一電極的信號仍為高位準。

並且，即使從電路 300B 的第二端子輸出的信號從高位準變為低位準，在預定的期間中，從電路 300A 輸出的信號仍為高位準。也就是說，即使從電路 300B 的第二端子輸出的信號從高位準變為低位準，在預定的期間中，電晶體 203 仍為導通，節點 N1 仍被提供電位 VSS。

因此，在圖 2B 的反相器電路中，可以在電晶體 202 變為截止後，降低電容器 204 的第一電極的電位。即，可以在確實地使節點 N2 變為浮動狀態之後，利用電容器 204 的電容耦合降低節點 N2 的電位。因此，可以進一步降低節點 N2 的電位。另外，與圖 2A 的反相器電路相同，當節點 N2 的電位因電容器 204 的電容耦合而下降時，可以對節點 N1 提供佈線 13 的電位 VSS。因此，可以抑制節點 N1 的電位隨著節點 N2 的電位下降而下降。

另外，圖 2B 的反相器電路可以進一步降低節點 N2 的電位並可以抑制節點 N1 的電位下降，由於該協同相互作用可以進一步增大節點 N1 與節點 N2 的電位差。藉由進一步增大節點 N1 與節點 N2 的電位差，可以進一步提高節點 N2 的電位為電位 VDD 時的節點 N1 的電位，由此

可以進一步增大電晶體 101 的 V_{gs} 。因此，可以進一步縮短信號 OUT 的上升時間。

另外，圖 3A 的反相器電路是在圖 2A 的反相器電路中設置電路 300C 的結構。

電路 300C 的第一端子與佈線 14 連接，電路 300C 的第二端子與電路 300A 的第一端子及電容器 204 的第一電極連接。

電路 300C 具有與電路 300A 同樣的功能。

在圖 3A 的反相器電路中，即使信號 IN 從高位準變為低位準，在預定的期間中，從電路 300A 的第二端子及電路 300C 的第二端子輸出的信號仍為高位準。也就是說，即使信號 IN 從高位準變為低位準，在預定的期間中，電晶體 203 仍為導通，節點 N1 仍被提供電位 V_{SS} 。另外，在預定的期間中，輸入到電容器 204 的第一電極的信號仍為高位準。

另外，即使從電路 300C 的第二端子輸出的信號從高位準變為低位準，在預定的期間中，從電路 300A 輸出的信號仍為高位準。也就是說，即使從電路 300C 的第二端子輸出的信號從高位準變為低位準，在預定的期間中，電晶體 203 仍為導通，節點 N1 仍被提供電位 V_{SS} 。

因此，圖 3A 的反相器電路可以進行與圖 2B 的反相器電路相同的工作。因此，能夠起到與圖 2B 的反相器電路同樣的效果。

並且，在圖 3A 的反相器電路中，由於電路 300A 與

電路 300C 串聯連接，從電路 300A 的第二端子輸出的信號比從電路 300C 的第二端子輸出的信號延遲及/或失真。由此，可以縮小電路 300A 的電路規模或電路 300A 中的元件尺寸。

另外，圖 3B 的反相器電路相當於使圖 2A 的反相器電路的電晶體 102 的閘極與電晶體 203 的閘極連接的結構。

在圖 3B 的反相器電路中，與電晶體 102 的閘極不藉由電路 300A 與佈線 14 連接的情況相比，可以使電晶體 102 變為導通的時序延後。因此，可以縮短電晶體 101 與電晶體 102 同時變為導通的時間。即，可以抑制佈線 11 與佈線 13 之間流過的貫通電流。因此，可以降低耗電量。

另外，與圖 3B 的反相器電路同樣，也可以使圖 2B 或圖 3A 等中所述的反相器電路的電晶體 102 的閘極與電晶體 203 的閘極連接。

這裏，參照圖 4A 至 4F 對電路 300A、電路 300B 及電路 300C 的具體結構例進行說明。圖 4A 至 4F 示出能夠用作電路 300A、電路 300B 及電路 300C 的電路 300。

圖 4A 的電路 300 具有電阻器 301。

電阻器 301 的一個端子與電路 300 的第一端子連接，電阻器 301 的另一個端子與電路 300 的第二端子連接。

圖 4B 的電路 300 是在圖 4A 的電路 300 中設置電容器 302 的結構。

電容器 302 的第一電極與佈線 13 連接，電容器 302 的第二電極與電路 300 的第二端子連接。

另外，也可以使電容器 302 的第一電極與佈線 11 或佈線 14 等連接。

另外，也可以使電容器 302 的第二電極與電路 300 的第一端子連接。

圖 4C 的電路 300 具有電晶體 303。

電晶體 303 的第一端子與電路 300 的第一端子連接，電晶體 303 的第二端子與電路 300 的第二端子連接，電晶體 303 的閘極與佈線 11 連接。

圖 4D 的電路 300 是在圖 4C 的電路 300 中設置電晶體 304 的結構。

電晶體 304 的第一端子與電路 300 的第一端子連接，電晶體 304 的第二端子與電路 300 的第二端子連接，電晶體 304 的閘極與電路 300 的第一端子連接。

在圖 4D 的電路 300 中，當被輸入第一端子的信號為低位準時，電晶體 303 變為導通，電晶體 304 變為截止。另一方面，當輸入到第一端子的信號為高位準時，電晶體 303 及電晶體 304 都變為導通。

因此，在圖 4D 的電路 300 中，當輸入到第一端子的信號為低位準時，可以使信號延遲並從第二端子輸出該信號。另一方面，當輸入到第一端子的信號為高位準時，圖 4D 的電路 300 可以儘量不使信號遲延地從第二端子輸出該信號。

另外，也可以在圖 4A 和 4B 等上述電路 300 中設置電晶體 304。

圖 4E 的電路 300 是在圖 4C 的電路 300 中設置電晶體 305 的結構。

電晶體 305 的第一端子與佈線 11 連接，電晶體 305 的第二端子與電路 300 的第二端子連接，電晶體 305 的閘極與電路 300 的第一端子連接。

在圖 4E 的電路 300 中，當輸入到第一端子的信號為低位準時，電晶體 303 變為導通，電晶體 305 變為截止。另一方面，當輸入到第一端子的信號為高位準時，電晶體 303 及電晶體 305 都變為導通。

因此，圖 4E 的電路 300 可以具有與圖 4D 的電路 300 同樣的效果。

另外，也可以在圖 4A 和 4B 等上述電路 300 中設置電晶體 305。

圖 4F 的電路 300 是在圖 4C 的電路 300 中設置電晶體 306 及電晶體 307 的結構。

電晶體 306 的第一端子與佈線 11 連接，電晶體 306 的第二端子與電路 300 的第二端子連接。電晶體 307 的第一端子與電路 300 的第一端子連接，電晶體 307 的第二端子與電晶體 306 的閘極連接，電晶體 307 的閘極與佈線 11 連接。

在圖 4F 的電路 300 中，當輸入到第一端子的信號為低位準時，電晶體 303 變為導通，電晶體 306 變為截止。

另一方面，當輸入到第一端子的信號為高位準時，電晶體 303 及電晶體 306 都變成導通。尤其是當輸入到第一端子的信號為高位準時，藉由自舉電晶體 306 的閘極電位變成高於電位 V_{DD} 的電位。

因此，不但可以具有與圖 4D 的電路 300 相同的效果，還可以將從第二端子輸出的信號的高位準電位設定為電位 V_{DD} 。並且，與圖 4D 的電路 300 相比，能夠縮短當輸入到第一端子的信號為高位準時的信號延遲。

另外，當將圖 4F 的電路 300 用於圖 2A 的反相器電路時，可以使電容器 204 的第一電極與電晶體 306 的閘極連接。由於電晶體 306 的閘極電位的最小值與最大值的差比信號 IN 的振幅電壓大，由此可以進一步降低節點 N2 的電位。

另外，也可以在圖 4A 和 4B 等中所述的電路 300 中設置電晶體 306 及電晶體 307。

另外，較佳的是電路 300 所具有的電晶體（例如電晶體 304、電晶體 305、電晶體 306 及電晶體 307）與電晶體 101 具有相同導電型。

另外，作為電路 300A、電路 300B 及電路 300C，沒有必要必須具有相同的結構，而可以適當地採用圖 4A 至 4F 中的任一種結構。

另外，圖 5A 的反相器電路是將圖 4D 的電路 300 用作圖 2A 的反相器電路中的電路 300A 的結構例。

另外，圖 5B 的反相器電路是將圖 4F 的電路 300 用作

圖 2A 的反相器電路中的電路 300A 的結構例。

另外，圖 6A 的反相器電路是在圖 1A 的反相器電路中設置電晶體 205 的結構。

電晶體 205 的第一端子與電晶體 203 的第二端子連接，電晶體 205 的第二端子與電晶體 101 的閘極以及電晶體 201 的閘極連接，電晶體 205 的閘極與佈線 11 連接。

電晶體 205 具有控制電晶體 101 的閘極及電晶體 201 的閘極與電晶體 203 的第二端子之間的導通或非導通的功能。

作為圖 6A 的反相器電路，在信號 IN 變為低位準的期間中，當電晶體 203 的第二端子的電位上升至電晶體 205 的閘極電位（電位 VDD）減去電晶體 205 的臨界電壓的電位時，電晶體 205 變為截止。因此，可以降低電晶體 203 的第二端子的電位，由此可以抑制電晶體 203 的劣化及/或損壞。

另外，與圖 6A 的反相器電路同樣地，也可以在圖 2A、圖 2B、圖 3A、圖 3B、圖 5A 及圖 5B 等中所述的反相器電路中設置電晶體 205。

另外，圖 6B 的反相器電路是將圖 1A 的反相器電路中的佈線 11 及佈線 13 分割為多個佈線的結構。

佈線 11 被分割為佈線 11A 及佈線 11B，電晶體 101 的第一端子與佈線 11A 連接，電晶體 201 的第一端子與佈線 11B 連接。另外，佈線 13 被分割為佈線 13A、佈線 13B 及佈線 13C，電晶體 102 的第一端子與佈線 13A 連

接，電晶體 202 的第一端子與佈線 13B 連接，電晶體 203 的第一端子與佈線 13C 連接。

在圖 6B 的反相器電路中，對佈線 11A 及佈線 11B 提供電位 VDD，對佈線 13A、佈線 13B 及佈線 13C 提供電位 VSS，即可進行與圖 1A 同樣的工作。但是，也可以對佈線 11A 及佈線 11B 提供不同的電位。另外，也可以對佈線 13A、佈線 13B 及佈線 13C 提供不同的電位。

另外，也可以僅將佈線 11 和佈線 13 中的一個分割為多個佈線。

另外，當將佈線 13 分割為多個佈線時，可以省略佈線 13C 而將電晶體 203 的第一端子與佈線 13A 或佈線 13B 連接。或者，可以省略佈線 13A 而將電晶體 102 的第一端子與佈線 13B 或佈線 13C 連接。

另外，與圖 6B 的反相器電路同樣地，也可以將圖 2A、圖 2B、圖 3A、圖 3B、圖 5A、圖 5B 及圖 6A 等中所述的反相器電路中的佈線 11 及/或佈線 13 分割為多個佈線。

另外，雖然沒有圖示，也可以在圖 1A、圖 2A、圖 2B、圖 3A、圖 3B、圖 5A、圖 5B、圖 6A 及圖 6B 等中所述的反相器電路中設置第一電極與電晶體 101 的第二端子連接而第二電極與電晶體 101 的閘極連接的電容器。

另外，雖然沒有圖示，也可以在圖 1A、圖 2A、圖 2B、圖 3A、圖 3B、圖 5A、圖 5B、圖 6A 及圖 6B 等中所述的反相器電路中設置第一電極與電晶體 201 的第二端子

連接且第二電極與電晶體 201 的閘極連接的電容器。

另外，由電晶體 101 驅動的負載（例如連接於佈線 12 的負載）比由電晶體 201、電晶體 202 及電晶體 203 驅動的負載（例如連接於節點 N1 或節點 N2 的負載）大。另外，電晶體 101 的 W/L 越大越可以縮短信號 OUT 的上升時間。因此，較佳的是電晶體 101 的 W/L 大於電晶體 201 的 W/L 、電晶體 202 的 W/L 以及電晶體 203 的 W/L 。

同樣地，由電晶體 102 驅動的負載（例如連接於佈線 12 的負載）比由電晶體 201、電晶體 202 及電晶體 203 驅動的負載大。另外，電晶體 102 的 W/L 越大越可以縮短信號 OUT 的下降時間。因此，較佳的是電晶體 102 的 W/L 大於電晶體 201 的 W/L 、電晶體 202 的 W/L 以及電晶體 203 的 W/L 。

另外，電晶體 101 為導通時的 V_{gs} 比電晶體 102 為導通時的 V_{gs} 小的情況較多。因此，較佳的是電晶體 101 的 W/L 大於電晶體 102 的 W/L 。即，較佳的是電晶體 101 的 W/L 在本實施例的反相器電路所具有的電晶體中最大。

另外，當信號 IN 的低位準電位為使電晶體 102、電晶體 202 及電晶體 203 變為截止程度的電位時，本實施例的反相器電路正常工作。因此，可以使信號 IN 的低位準電位低於電位 V_{SS} 。如此，可以使電晶體 201、電晶體 202 及電晶體 203 變為截止時的 V_{gs} 為負電壓。由此，即使在電晶體 201、電晶體 202 及電晶體 203 為常導通或電晶體 201、電晶體 202 及電晶體 203 的閘極與源極間的電

位差為 0[V]時的汲極電流較大的情況下，也可以正常工作。

另外，當信號 IN 的高位準電位為使電晶體 102、電晶體 202 及電晶體 203 變為導通程度的電位時，本實施例的反相器電路正常工作。因此，可以使信號 IN 的高位準電位低於電位 VDD。如此，可以降低對佈線 14 輸出信號的電路的驅動電壓。另外，作為本實施例的反相器電路，即使在信號 IN 的高位準電位為低於電位 VDD 的電位的情況下，也可以將信號 OUT 的高位準電位設定為電位 VDD。

另外，只要信號 IN 具有使電晶體 102、電晶體 202 及電晶體 203 變為截止並使電晶體 102、電晶體 202 及電晶體 203 變為導通的電位，就不侷限於數位信號。例如，信號 IN 可以為三個以上的電位，也可以為類比信號。

另外，藉由對佈線 11 輸入時脈信號等信號，可以在信號 IN 為低位準時將佈線 11 的信號輸出至佈線 12。尤其是當如圖 6B 的反相器電路那樣將佈線 11 分割為佈線 11A 及佈線 11B 時，較佳為對佈線 11A 輸入時脈信號等信號並對佈線 11B 提供電位 VDD。如此，可以使節點 N1 的電位為高電位，電晶體 101 容易變為導通。因此，可以穩定地將佈線 11A 的信號輸出至佈線 12。

另外，當在電晶體 102、電晶體 202 及電晶體 203 變為導通的期間（例如信號 IN 變為高位準期間）中對佈線 13 輸入成為低位準的信號時，本實施例的反相器電路正

常工作。另外，當在整個電晶體 102、電晶體 202 及電晶體 203 變為截止期間（例如信號 IN 變為低位準期間）或部分期間中對佈線 13 輸入成為高位準的信號時，可以對電晶體 102、電晶體 202 及電晶體 203 施加反向偏置。因此，可以緩和電晶體 102、電晶體 202 及電晶體 203 的劣化。

這裏，本發明的一個實施例具有如下結構。

本發明的一個實施例是具有電晶體 101、電晶體 201 及電容器 204 的半導體裝置。電晶體 101 的第一端子與佈線 11 連接，電晶體 101 的第二端子與佈線 12 連接。電晶體 201 的第一端子與佈線 11 連接，電晶體 201 的閘極與電晶體 101 的閘極連接。電容器 204 的第一電極與佈線 14 連接，電容器 204 的第二電極與電晶體 201 的第二端子連接（參照圖 16A）。

另外，在上述本發明的一個實施例中，隨著佈線 14 的電位下降，電晶體 201 的第二端子的電位下降。另外，由於電晶體 201 的第二端子的電位下降，電晶體 201 變為導通並且佈線 11 的電位被提供至電晶體 201 的第二端子而使電晶體 201 的第二端子的電位上升（參照圖 16B）。另外，隨著電晶體 201 的第二端子的電位上升，電晶體 201 的閘極的電位上升。另外，由於電晶體 201 的閘極電位上升，電晶體 101 變為導通並且佈線 11 的電位被提供至佈線 12 而使佈線 12 的電位上升（參照圖 16C）。

本實施例可以與其他的實施例等適當地組合而實施。

實施例 2

在本實施例中對根據本發明的一個實施例的移位暫存器電路（也稱為半導體裝置或驅動電路）進行說明。

本實施例的移位暫存器電路具有多個正反器電路（也稱為半導體裝置或驅動電路）。首先，對正反器電路進行說明，然後對具有正反器電路的移位暫存器電路進行說明。

參照圖 7A 對本實施例的移位暫存器電路所具有的正反器電路進行說明。

圖 7A 的正反器電路包括電晶體 401、電晶體 402、電晶體 403、電晶體 404、電晶體 405 及電路 500。電晶體 401 的第一端子與佈線 21 連接，電晶體 401 的第二端子與佈線 22 連接。電晶體 402 的第一端子與佈線 13 連接，電晶體 402 的第二端子與佈線 22 連接。電晶體 403 的第一端子與佈線 13 連接，電晶體 403 的第二端子與電晶體 401 的閘極連接。電晶體 404 的第一端子與佈線 23 連接，電晶體 404 的第二端子與電晶體 401 的閘極連接，電晶體 404 的閘極與佈線 23 連接。電晶體 405 的第一端子與佈線 13 連接，電晶體 405 的第二端子與電晶體 401 的閘極連接，電晶體 405 的閘極與佈線 24 連接。電路 500 的第一端子（也稱為輸入端子）與電晶體 401 的閘極連接，電路 500 的第二端子（也稱為輸出端子）與電晶體 402 的閘極及電晶體 403 的閘極連接。

另外，電路 500 可以使用實施例 1 的反相器電路。電路 500 的第一端子對應於實施例 1 的反相器電路的佈線 14，電路 500 的第二端子對應於實施例 1 的反相器電路的佈線 12。

另外，將電晶體 401 的閘極、電晶體 403 的第二端子、電晶體 404 的第二端子、電晶體 405 的第二端子、電路 500 的第一端子的連接部分稱為節點 N3。另外，將電晶體 402 的閘極、電晶體 403 的閘極、電路 500 的第二端子的連接部分稱為節點 N4。

另外，較佳的是本實施例的正反器電路所具有的電晶體具有相同導電型。例如，在圖 7A 的正反器電路中，較佳的是電晶體 401、電晶體 402、電晶體 403、電晶體 404 及電晶體 405 及電路 500 所具有電晶體具有相同導電型。

佈線 21（也稱為信號線）被輸入信號 CK，佈線 21 具有傳輸信號 CK 的功能。信號 CK 是重複高位準與低位準的時脈信號。

從佈線 22（也稱為信號線）輸出信號 SOUT，佈線 22 具有傳輸信號 SOUT 的功能。信號 SOUT 是圖 7A 的正反器電路的輸出信號。

佈線 23（也稱為信號線）被輸入信號 SP，佈線 23 具有傳輸信號 SP 的功能。信號 SP 是圖 7A 的正反器電路的輸入信號。

佈線 24（也稱為信號線）被輸入信號 RE，佈線 24 具有傳輸信號 RE 的功能。信號 RE 是圖 7A 的正反器電路

的輸入信號。

另外，不侷限於上述信號或電位，也可以對佈線 21、佈線 23 及佈線 24 輸入各種各樣的信號或電位等。

電晶體 401 具有控制佈線 21 與佈線 22 的導通或非導通的功能。另外，電晶體 401 具有將佈線 21 的信號 CK 提供至佈線 22 的功能。另外，電晶體 401 具有保持佈線 22 與節點 N3 的電位差的功能。

電晶體 402 具有控制佈線 13 與佈線 22 的導通或非導通的功能。另外，電晶體 402 具有將佈線 13 的電位 VSS 提供至佈線 22 的功能。

電晶體 403 具有控制佈線 13 與節點 N3 的導通或非導通的功能。另外，電晶體 403 具有將佈線 13 的電位 VSS 提供至節點 N3 的功能。

電晶體 404 具有控制佈線 23 與節點 N3 的導通或非導通的功能。另外，電晶體 404 具有將佈線 23 的信號 SP 提供至節點 N3 的功能。

電晶體 405 具有控制佈線 13 與節點 N3 的導通或非導通的功能。另外，電晶體 405 具有將電位 VSS 提供至節點 N3 的功能。

接著，參照圖 7B 對圖 7A 的正反器電路的驅動方法的一個例子進行說明。圖 7B 示出用來說明圖 7A 的正反器電路的驅動方法的時序圖的一個例子。

另外，對信號 CK、信號 SP 及信號 RE 分別為具有等於電位 VDD 的高位準電位且具有等於電位 VSS 的低位準

電位的數位信號的情況進行說明。另外，分期間 Ta、期間 Tb、期間 Tc 及期間 Td 進行說明。

在期間 Ta 中，信號 SP 變為高位準，信號 RE 處於低位準，信號 CK 變為低位準。因此，電晶體 404 變為導通，電晶體 405 變為截止。

當電晶體 404 變為導通時，佈線 23 的信號 SP 被提供至節點 N3。由於信號 SP 為高位準，節點 N3 的電位上升。當節點 N3 的電位上升時，電路 500 的輸出信號變為低位準。因此，電晶體 402 及電晶體 403 變為截止。此外，當節點 N3 的電位上升時，電晶體 401 變為導通。

當電晶體 401 變為導通時，佈線 21 的信號 CK 被提供至佈線 22。由於信號 CK 為低位準，所以佈線 22 的電位變為電位 VSS。即，信號 SOUT 變為低位準。

另外，當節點 N3 的電位上升至電晶體 404 的閘極電位（電位 VDD）減去電晶體 404 的臨界電壓的電位時，電晶體 404 變為截止。因此，節點 N3 變為浮動狀態。

接著，在期間 Tb 中，信號 SP 變為低位準，信號 RE 仍為低位準，信號 CK 變為高位準。因此，電晶體 404 及電晶體 405 仍為截止。另外，電路 500 的輸出信號仍為低位準。因此，電晶體 402 及電晶體 403 仍為截止。

由於電晶體 403、電晶體 404 及電晶體 405 仍為截止，節點 N3 仍為浮動狀態。因此，節點 N3 的電位仍為高電位，而電晶體 401 仍為導通。

由於電晶體 401 仍為導通，佈線 21 的信號 CK 仍被

提供至佈線 22。由於信號 CK 為高位準，所以佈線 22 的電位開始上升。此時，電晶體 401 的閘極與第二端子間保持期間 Ta 中的節點 N3 與佈線 22 的電位差。因此，隨著佈線 22 的電位上升，節點 N3 的電位也上升。因此，佈線 22 的電位上升至與信號 CK 相等的電位 VDD。即，信號 SOUT 變為高位準。

接著，在期間 Tc 中，信號 SP 仍為低位準，信號 RE 變為高位準，信號 CK 變為低位準。因此，電晶體 404 仍為截止，電晶體 405 變為導通。

當電晶體 405 變為導通時，佈線 13 的電位 VSS 被提供至節點 N3。因此，節點 N3 的電位降至電位 VSS。因此，電晶體 401 變為截止。另外，電路 500 的輸出信號變為高位準，電晶體 402 及電晶體 403 變為導通。

當電晶體 402 變為導通時，佈線 13 的電位 VSS 被提供至佈線 22。因此，佈線 22 的電位降至電位 VSS。即，信號 SOUT 變為低位準。

接著，在期間 Td 中，信號 SP 仍為低位準，信號 RE 變為低位準，信號 CK 重複低位準與高位準。因此，電晶體 404 仍為截止，電晶體 405 變為截止。另外，電路 500 的輸出信號仍為高位準。因此，電晶體 402 及電晶體 403 仍為導通。

當電晶體 403 仍為導通時，佈線 13 的電位 VSS 被提供至節點 N3。因此，由於節點 N3 的電位維持電位 VSS，因此電晶體 401 仍為截止。

另外，當電晶體 402 仍為導通時，佈線 13 的電位 VSS 仍被提供至佈線 22。因此，佈線 22 的電位仍為電位 VSS。即，信號 SOUT 仍為低位準。

如上所述，藉由使圖 7A 的正反器電路具有實施例 1 的反相器電路，可以使其具有與實施例 1 的反相器電路同樣的效果。

接著，參照圖 8A 和 8B 及圖 9A 和 9B 對與圖 7A 不同的正反器電路進行說明。另外，對與圖 7A 不同的部分進行說明。

首先，圖 8A 的正反器電路是在圖 7A 的正反器電路中設置電晶體 406 的結構。

電晶體 406 的第一端子與佈線 13 連接，電晶體 406 的第二端子與佈線 22 連接，電晶體 406 的閘極與佈線 25 連接。

佈線 25（也稱為信號線）被輸入信號 CKB，佈線 25 具有傳輸信號 CKB 的功能。信號 CKB 是相位與信號 CK 相反的信號或與信號 CK 相位不同的信號。

電晶體 406 具有控制佈線 13 與佈線 22 的導通或非導通的功能。另外，電晶體 406 具有將佈線 13 的電位 VSS 提供至佈線 22 的功能。

作為圖 8A 的正反器電路，在期間 Td 中，每當信號 CKB 變為高位準時，電晶體 406 變為導通。因此，在期間 Td 中，每當信號 CKB 變為高位準時，佈線 13 的電位 VSS 被提供至佈線 22。

尤其是當信號 CKB 為信號 CK 的反轉信號時，在期間 Ta 及期間 Tc 中，信號 CKB 變為高位準，電晶體 406 變為導通。因此，在期間 Tc 中，佈線 13 的電位 VSS 藉由電晶體 402 及電晶體 406 提供至佈線 22，由此可以縮短信號 SOUT 的下降時間。

另外，藉由使正反器電路具有電晶體 406，在期間 Td 中，可以將佈線 22 的電位維持為電位 VSS。因此，可以省略電晶體 402。藉由省略電晶體 402，可以削減電晶體數目並縮小佈局面積等。

另外，圖 8B 的正反器電路是在圖 7A 的正反器電路中設置電晶體 407 的結構。

電晶體 407 的第一端子與佈線 13 連接，電晶體 407 的第二端子與佈線 22 連接，電晶體 407 的閘極與佈線 24 連接。

電晶體 407 具有控制佈線 13 與佈線 22 的導通或非導通的功能。另外，電晶體 407 具有將佈線 13 的電位 VSS 提供至佈線 22 的功能。

作為圖 8B 的正反器電路，在期間 Ta、期間 Tb 及期間 Td 中，電晶體 407 變為截止。另外，在期間 Tc 中，電晶體 407 變為導通。在期間 Tc 中，電晶體 407 變為導通，佈線 13 的電位 VSS 被提供至佈線 22。

因此，在期間 Tc 中，佈線 13 的電位 VSS 藉由電晶體 402 及電晶體 407 被提供至佈線 22，因此可以縮短信號 SOUT 的下降時間。

另外，與圖 8B 的正反器電路同樣地，也可以在圖 8A 等中所述的正反器電路中設置電晶體 407。

另外，圖 9A 的正反器電路是在圖 7A 的正反器電路中設置電晶體 408 的結構。

電晶體 408 的第一端子與佈線 11 連接，電晶體 408 的第二端子與節點 N4 連接，電晶體 408 的閘極與佈線 24 連接。

電晶體 408 具有控制佈線 11 與節點 N4 的導通或非導通的功能。另外，電晶體 408 具有將佈線 11 的電位 VDD 提供至節點 N4 的功能。

在圖 9A 的正反器電路中，在期間 Ta、期間 Tb 及期間 Td 中電晶體 408 變為截止。另外，在期間 Tc 中，電晶體 408 變為導通。在期間 Tc 中，電晶體 408 變為導通，佈線 11 的電位 VDD 被提供至節點 N4。

因此，由於可以縮短節點 N4 的電位到達預定的值的時間，可以提前電晶體 402 及電晶體 403 變為導通的時序。由此，佈線 13 的電位 VSS 提供至佈線 22 的時序也被提前，因此可以縮短信號 SOUT 的下降時間。

另外，與圖 9A 的正反器電路同樣地，也可以在圖 8A 和 8B 等中所述的正反器電路中設置電晶體 408。

另外，當正反器電路具有電晶體 408 時，在期間 Tc 中，電晶體 402 及電晶體 403 變為導通。因此，可以省略電晶體 405。藉由省略電晶體 405，可以削減電晶體數目並縮小佈局面積等。

另外，可以將電晶體 408 用於圖 8A 的正反器電路，並使電晶體 408 的第一端子與佈線 25 連接。即使電晶體 408 的第一端子與佈線 25 連接，由於在期間 T_c 中佈線 25 的信號 CKB 變為高位準而電晶體 408 變為導通，因此可以進行上述工作。

另外，圖 9B 的正反器電路是對圖 7A 的正反器電路設置電晶體 409 的結構。

電晶體 409 的第一端子與佈線 21 連接，電晶體 409 的第二端子與佈線 26 連接，電晶體 409 的閘極與節點 N3 連接。

另外，在圖 9B 的正反器電路中，將從佈線 22 輸出的信號稱為信號 SOUTa，將從佈線 26 輸出的信號稱為信號 SOUTb。信號 SOUTb 是正反器電路的輸出信號。另外，佈線 26（也稱為信號線）具有傳輸信號 SOUTb 的功能。

電晶體 409 具有與電晶體 401 同樣的功能，例如電晶體 409 具有控制佈線 21 與佈線 26 的導通或非導通的功能。

在圖 9B 的正反器電路中，可以產生與信號 SOUTa 同樣的信號的信號 SOUTb。因此，例如，可以將信號 SOUTa 用作用來使與佈線 22 連接的負載驅動的信號，將信號 SOUTb 用作用來使與佈線 26 連接的其他級的正反器電路驅動的信號。

另外，與圖 9B 的正反器電路同樣地，也可以在圖 8A、圖 8B 及圖 9A 等中所述的正反器電路中設置電晶體

409。

另外，雖然沒有圖示，也可以在圖 7A、圖 8A、圖 8B、圖 9A 及圖 9B 等中所述的正反器電路中使電晶體 404 的第一端子與佈線 11 或佈線 25 連接。此時，在期間 Ta 中，節點 N3 被提供佈線 11 或佈線 25 的電位或信號等，因此可以降低對佈線 23 提供信號 SP 的電路的負載。

另外，雖然沒有圖示，也可以在圖 7A、圖 8A、圖 8B、圖 9A 及圖 9B 等中所述的正反器電路中設置一個電極與佈線 22 連接且另一個電極與節點 N3 連接的電容器。藉由將該電容器設置於正反器電路，可以使電晶體 401 的閘極與第二端子間的電容值增大，由此易於進行自舉。

另外，雖然沒有圖示，也可以對圖 7A、圖 8A、圖 8B、圖 9A 及圖 9B 等中所述的正反器電路設置第一端子與佈線 22 連接、第二端子與節點 N3 連接、閘極與佈線 21 連接的電晶體。如此，在期間 Td 中的信號 CK 變為高位準的期間中，可以將節點 N3 的電位 VSS 提供至佈線 22 或將佈線 22 的電位提供至節點 N3。因此，可以省略電晶體 402 和電晶體 403 中的一個。藉由省略電晶體 402 和電晶體 403 中的一個，電路 500 的負載降低，由此可以減小電路 500 所具有的電晶體的 W/L。

另外，雖然沒有圖示，也可以對圖 7A、圖 8A、圖 8B、圖 9A 及圖 9B 等中所述的正反器電路設置第一端子與佈線 23 連接、第二端子與節點 N3 連接、閘極與佈線 25 連接的電晶體。此時，在期間 Ta 中，可以使節點 N3

的電位迅速上升。

另外，雖然沒有圖示，在圖 7A、圖 8A、圖 8B、圖 9A 及圖 9B 等中所述的正反器電路中，也可以不使電晶體 404 的第二端子與電晶體 401 的閘極連接，而增置第一端子與電晶體 404 的第二端子連接、第二端子與電晶體 401 的閘極連接、閘極與佈線 11 或佈線 25 連接的電晶體。如此，可以降低施加到電晶體 404 及與電晶體 404 的第二端子連接的電晶體上的電壓，由此可以防止電晶體的劣化或損壞等。另外，電路 500 的第一端子可以與電晶體 404 的第二端子或電晶體 401 的閘極連接。另外，電晶體 405 的第二端子可以與電晶體 404 的第二端子或電晶體 401 的閘極連接。

另外，雖然沒有圖示，也可以對圖 9B 等中所述的正反器電路設置第一端子與佈線 13 連接、第二端子與佈線 26 連接、閘極與節點 N4、佈線 24 或佈線 25 連接的電晶體。如此，可以將佈線 13 的電位 VSS 提供至佈線 26，由此易於將佈線 26 的電位維持為電位 VSS。

接著，作為電路 500 對使用實施例 1 的反相器電路的具體例子進行說明。

圖 10A 的正反器電路具有如下結構，即在圖 7A 的正反器電路中作為電路 500 使用圖 1A 的反相器電路。

圖 10B 的正反器電路具有將圖 10A 的正反器電路的電晶體 101 的第一端子及電晶體 201 的第一端子與佈線 21 連接的結構。

作為圖 10B 的正反器電路，在期間 Ta 和期間 Tb 中，佈線 13 的電位 VSS 被提供至節點 N4，在期間 Tc 和期間 Td 中，佈線 21 的信號 CK 被提供至節點 N4。在期間 Td 中，當佈線 21 的信號 CK 被提供至節點 N4 時，節點 N4 的電位重複電位 VDD 與電位 VSS，電晶體 402 和電晶體 403 重複導通、截止。即，在期間 Td 中，佈線 13 的電位 VSS 定期地被提供至佈線 22 並且電晶體 402 及電晶體 403 變為導通的時間變短。因此，可以將佈線 22 的電位維持為電位 VSS 並可以抑制電晶體 402 及電晶體 403 的劣化。

另外，與圖 10B 的正反器電路同樣地，在圖 8A、圖 8B、圖 9A 及圖 9B 等中所述的正反器電路中，無論作為電路 500 使用實施例 1 中的哪一種反相器電路，都可以將電晶體 101 的第一端子及電晶體 201 的第一端子與佈線 21 連接。

接著，參照圖 11 對本實施例的移位暫存器電路進行說明。

圖 11 的移位暫存器電路具有 N（N 為自然數）個的正反器電路 600。但是，圖 11 僅示出第 1 級至第 3 級的正反器電路 600（正反器電路 600_1、正反器電路 600_2、正反器電路 600_3）。

在圖 11 的移位暫存器電路中，作為正反器電路 600 使用圖 7A 的正反器電路。但是，正反器電路 600 不侷限於圖 7A 的正反器電路。

圖 11 的移位暫存器電路與 N 個佈線 31、佈線 32、佈線 33 及佈線 34 連接。第 i (i 為 2 至 $N-1$ 中的任一個) 級的正反器電路 600 與第 i 級的佈線 31、第 $i-1$ 級的佈線 31、第 $i+1$ 級的佈線 31、佈線 33 和佈線 34 中的一個連接。另外，佈線 22 與第 i 級的佈線 31 連接，佈線 23 與第 $i-1$ 級的佈線 31 連接，佈線 24 與第 $i+1$ 級的佈線 31 連接，佈線 21 與佈線 33 或佈線 34 連接。

另外，當在第 i 級的正反器電路 600 中佈線 21 與佈線 33 連接時，在第 $i-1$ 級及第 $i+1$ 級的正反器電路 600 中佈線 21 與佈線 34。

另外，第 1 級的正反器電路 600 與第 i 級的正反器電路 600 也具有同樣的連接關係，但是不存在對應於第 1 級的正反器電路 600 的第 $i-1$ 級的佈線 31。因此，在第 1 級的正反器電路中佈線 23 與佈線 32 連接。

另外，雖然第 N 級的正反器電路 600 與第 i 級的正反器電路 600 也具有同樣的連接關係，但是第 N 級的正反器電路 600 不存在第 $i+1$ 級的佈線 31。因此，在第 N 級的正反器電路 600 中佈線 24 與佈線 32 連接。但是，在第 N 級的正反器電路 600 中，也可以使佈線 24 與佈線 33 或佈線 34 連接。或者，也可以與輸入有對應於信號 RE 的信號的佈線連接。

分別從 N 個佈線 31 (也稱為信號線) 輸出信號 SOUT_1 至信號 SOUT_ N ， N 個佈線 31 具有傳輸信號 SOUT_1 至信號 SOUT_ N 的功能。例如，從第 i 級的佈線

31 輸出信號 SOUT_i，第 i 級的佈線 31 具有傳輸信號 SOUT_i 的功能。

佈線 32（也稱為信號線）被輸入信號 SSP，佈線 32 具有傳輸信號 SSP 的功能。信號 SSP 是圖 11 的移位暫存器電路的起始脈衝。

佈線 33（也稱為信號線）被輸入信號 CK，佈線 33 具有傳輸信號 CK 的功能。

佈線 34（也稱為信號線）被輸入信號 CKB，佈線 34 具有傳輸信號 CKB 的功能。

另外，不侷限於上述信號或電位等，也可以對佈線 32、佈線 33 及佈線 34 輸入各種各樣的信號或電位等。

本實施例可以與其他的實施例適當地組合而實施。

實施例 3

以 EL 顯示裝置為例，使用圖 12 對根據本發明的一個實施例的顯示裝置的像素和驅動電路的剖面結構進行說明。圖 12 示出像素 840 和驅動電路 841 的剖面圖的一個例子。

像素 840 包括發光元件 832 以及具有對發光元件 832 提供電流的功能的電晶體 831。另外，像素 840 除了包括發光元件 832 及電晶體 831 之外，還可以包括控制對像素 840 輸入影像信號的電晶體、保持影像信號的電位的電容器等各種各樣的半導體元件。

驅動電路 841 包括電晶體 830 以及用來保持電晶體

830 的閘極電壓的電容器 833。驅動電路 841 相當於實施例 1 的反相器電路、實施例 2 的正反器電路或移位暫存器電路等。具體來說，電晶體 830 相當於實施例 1 的電晶體 101 或實施例 2 的電晶體 401 等。另外，驅動電路 841 除了包括電晶體 830 及電容器 833 之外，還可以包括電晶體、電容器等各種各樣的半導體元件。

電晶體 831 在具有絕緣表面的基板 800 上包括：用作閘極的導電膜 816；導電膜 816 上的閘極絕緣膜 802；在與導電膜 816 重疊的位置位於閘極絕緣膜 802 上的半導體膜 817；用作源極端子或汲極端子的位於半導體膜 817 上的導電膜 815 及導電膜 818。導電膜 816 也用作掃描線。

電晶體 830 在具有絕緣表面的基板 800 上包括：用作閘極的導電膜 812；導電膜 812 上的閘極絕緣膜 802；在與導電膜 812 重疊的位置位於閘極絕緣膜 802 上的半導體膜 813；用作源極端子或汲極端子的位於半導體膜 813 上的導電膜 814 及導電膜 819。

電容器 833 在具有絕緣表面的基板 800 上包括：導電膜 812；導電膜 812 上的閘極絕緣膜 802；在與導電膜 812 重疊的位置位於閘極絕緣膜 802 上的導電膜 819。

另外，在導電膜 814、導電膜 815、導電膜 818、導電膜 819 上依次層疊有絕緣膜 820 及絕緣膜 821。並且，在絕緣膜 821 上設置有用作陽極的導電膜 822。導電膜 822 藉由形成於絕緣膜 820 及絕緣膜 821 中的接觸孔 823 與導電膜 818 連接。

另外，具有使導電膜 822 的一部分露出的開口部的絕緣膜 824 設置在絕緣膜 821 上。導電膜 822 的一部分及絕緣膜 824 上依次層疊有 EL 層 825 及用作陰極的導電膜 826。導電膜 822、EL 層 825 及導電膜 826 彼此重疊的區域相當於發光元件 832。

另外，在本發明的一個實施例中，電晶體 830 及電晶體 831 既可以使用為非晶、微晶、多晶或單晶的矽或鍺等半導體作為半導體膜，也可以使用如氧化物半導體等的寬能隙半導體作為半導體膜。

當作為電晶體 830 及電晶體 831 的半導體膜使用為非晶、微晶、多晶或單晶的矽或鍺等的半導體時，對上述半導體膜添加賦予一種導電性的雜質元素來形成用作源極端子或汲極端子的雜質區。例如，藉由對上述半導體膜添加磷或砷，可以形成具有 n 型導電性的雜質區。另外，例如，藉由對上述半導體膜添加硼，可以形成具有 p 型導電性的雜質區。

當作為電晶體 830 及電晶體 831 的半導體膜使用氧化物半導體時，可以對上述半導體膜添加摻雜劑來形成用作源極端子或汲極端子的雜質區。可以使用離子植入法添加摻雜劑。作為摻雜劑，例如可以使用氮、氬、氙等稀有氣體或氮、磷、砷、銻等第 15 族元素等。例如，在將氮用作摻雜劑的情況下，雜質區中的氮原子的濃度較佳為 $5 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。

另外，作為矽半導體可以使用：藉由電漿 CVD 法等

的氣相生長法或濺射法形成的非晶矽；藉由雷射退火法等處理使非晶矽結晶化而得到的多晶矽；在對單晶矽晶片注入氫離子等之後剝離了表層部的單晶矽等。

氧化物半導體膜至少含有選自 In、Ga、Sn 及 Zn 中的一種以上的元素。例如，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、Sn-Al-Zn-O 類氧化物半導體；二元系金屬氧化物的 In-Zn-O 類氧化物半導體、Sn-Zn-O 類氧化物半導體、Al-Zn-O 類氧化物半導體、Zn-Mg-O 類氧化物半導體、Sn-Mg-O 類氧化物半導體、In-Mg-O 類氧化物半導體、In-Ga-O 類氧化物半導體；一元系金屬氧化物的 In-O 類氧化物半導體、Sn-O 類氧化物半導體、Zn-O 類氧化物半導體等。此外，也可以使用使上述氧化物半導體含有 In、Ga、Sn、Zn 以外的元素如 SiO_2 而得到的氧化物半導體。

例如，In-Ga-Zn-O 類氧化物半導體是指含有銦（In）、鎵（Ga）、鋅（Zn）的氧化物半導體，並且對其組成沒有限制。

另外，作為氧化物半導體膜，可以使用由化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜。在此，M 表示選自 Zn、Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，有 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co

等。

另外，當作為氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材中的金屬元素的原子數比設定為 In:Zn=50:1 至 1:2（換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 1:4），較佳設定為 In:Zn=20:1 至 1:1（換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 1:2），更佳的是為 In:Zn=15:1 至 1.5:1（換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 3:4）。例如，作為用來形成 In-Zn-O 類氧化物半導體的靶材，當原子數比為 In:Zn:O=X:Y:Z 時，滿足 $Z>1.5X+Y$ 。藉由將 Zn 的比率設定為上述範圍內，可以提高遷移率。

另外，藉由減少成為電子給體（施體）的水分或氫等雜質且減少氧缺陷被高度純化的氧化物半導體（purified Oxide Semiconductor）成為 i 型（本質半導體）或無限趨近於 i 型。因此，使用上述氧化物半導體的電晶體具有截止電流顯著低的特性。另外，氧化物半導體的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳的是為 3eV 以上。藉由使用藉由充分減少水分或氫等的雜質濃度並減少氧缺陷而被高度純化的氧化物半導體膜，可以降低電晶體的截止電流。

明確而言，根據各種試驗可以證明將被高度純化的氧化物半導體用作半導體膜的電晶體的截止電流低。例如，通道寬度為 $1\times 10^6\mu\text{m}$ ，且通道長度為 $10\mu\text{m}$ 的元件也可以在源極端子與汲極端子之間的電壓（汲極電壓）為 1V 至 10V 的範圍內獲得截止電流為半導體參數分析儀的測量極

限以下，即 $1 \times 10^{-13} \text{A}$ 以下的特性。在此情況下，可知相當於以截止電流除以電晶體的通道寬度的值的截止電流密度為 $100 \text{zA}/\mu\text{m}$ 以下。此外，可以使用如下電路進行截止電流密度的測量，在該電路中電容器與電晶體彼此連接且由該電晶體控制流入到電容器或從電容器流出的電荷。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區，並根據電容器的單位時間的電荷量推移測量該電晶體的截止電流密度。由該測量可知當電晶體的源極端子與汲極端子之間的電壓為 3V 時，可以獲得為幾十 $\text{yA}/\mu\text{m}$ 的極低的截止電流密度。由此，可知將被高度純化的氧化物半導體膜用作通道形成區的電晶體的截止電流顯著地低於使用具有結晶性的矽的電晶體的截止電流。

此外，在沒有特別的說明的情況下，本說明書所述的截止電流在 n 通道型電晶體中是指在使汲極端子的電位高於源極端子及閘極的電位的狀態下，當以源極端子的電位為標準時的閘極的電位為 0V 以下時，流過源極端子與汲極端子之間的電流。或者，本說明書所述的截止電流在 p 通道型電晶體中是指在使汲極端子的電位低於源極端子及閘極的電位的狀態下，當以源極端子的電位為標準時的閘極的電位為 0V 以上時，流過源極端子與汲極端子之間的電流。

例如，氧化物半導體膜可以藉由使用包含 In （銦）、 Ga （鎵）和 Zn （鋅）的靶材的濺射法形成。在藉由濺射法形成 In-Ga-Zn 類氧化物半導體膜的情況下，較佳為使

用原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $4:2:3$ 、 $3:1:2$ 、 $1:1:2$ 、 $2:1:3$ 或 $3:1:4$ 的 In-Ga-Zn 類氧化物的靶材。藉由使用具有上述原子數比的 In-Ga-Zn 類氧化物的靶材形成氧化物半導體膜，容易形成多晶或後述 CAAC。

另外，包含 In 、 Ga 及 Zn 的靶材的填充率為 90%以上且 100%以下，較佳為 95%以上且低於 100%。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體膜。

並且，具體地，可以藉由將基板放置在保持為減壓狀態的處理室內邊去除處理室內的殘留水分邊導入被去除了氫及水分的濺射氣體，並使用上述靶材形成氧化物半導體膜。在進行成膜時，也可以將基板溫度設定為 100°C 以上且 600°C 以下，較佳為 200°C 以上且 400°C 以下。藉由邊加熱基板邊進行成膜，可以降低形成的氧化物半導體膜中含有的雜質濃度。另外，可以減輕由於濺射帶來的損傷。為了去除殘留在處理室中的水分，較佳為使用吸附型真空泵。例如，較佳為使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用配備有冷阱的渦輪泵。在使用低溫泵對處理室進行排氣時，排出例如氫原子、水（ H_2O ）等的包含氫原子的化合物（更佳的是為包含碳原子的化合物）等，由此可以降低該處理室中形成的氧化物半導體膜所包含的雜質的濃度。

另外，有時在藉由濺射等形成的氧化物半導體膜中包含多量的作為雜質的水分或氫（包括羥基）。由於水分或氫容易形成施體能階，因此對於氧化物半導體來說水分或

氫是雜質。於是，在本發明的一個實施例中，為了減少氧化物半導體膜中的水分或氫等雜質（脫水化或脫氫化），較佳為在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧氣氛圍或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy: 光腔衰蕩光譜法）方式的露點計進行測定時的水分量是 20ppm（露點換算為 -55°C ）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）氛圍下對氧化物半導體膜進行加熱處理。

藉由對氧化物半導體膜進行加熱處理，可以使氧化物半導體膜中的水分或氫脫離。明確而言，可以在 250°C 以上且 750°C 以下，較佳為在 400°C 以上且低於基板的應變點的溫度下進行加熱處理。例如，以 500°C 進行 3 分鐘以上且 6 分鐘以下左右的加熱處理即可。藉由使用 RTA 法作為加熱處理，可以在短時間內進行脫水化或脫氫化，由此即使在超過玻璃基板的應變點的溫度下也可以進行處理。

此外，有時由於上述加熱處理，從氧化物半導體膜氧脫離而在氧化物半導體膜內形成氧缺損。由此，在本發明一個實施例中，作為接觸於氧化物半導體膜的閘極絕緣膜等的絕緣膜，使用包含氧的絕緣膜。並且，藉由在形成包含氧的絕緣膜之後進行加熱處理，從上述絕緣膜將氧供應到氧化物半導體膜。藉由採用上述結構，可以降低成為施體的氧缺損，而滿足包括在氧化物半導體膜中的氧化物半導體的化學計量組成。氧化物半導體膜較佳為包含超過化

學計量組成的氧。由此可以使氧化物半導體膜趨近於 i 型，減輕因氧缺損而導致的電晶體的電特性偏差，從而可以提高電特性。

在氮、超乾燥空氣或稀有氣體（氬、氦等）的氛圍下較佳為以 200℃ 以上且 400℃ 以下，例如以 250℃ 以上且 350℃ 以下進行用來將氧供應到氧化物半導體膜的加熱處理。上述氣體的含水量較佳為 20ppm 以下，更佳的是為 1ppm 以下，進一步較佳的是為 10ppb 以下。

氧化物半導體膜為單晶、多晶（polycrystal）或非晶等狀態。

較佳的是氧化物半導體膜為 CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：C 軸配向結晶氧化物半導體）膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下，該結晶部的尺寸為能夠容納在一邊短於 100nm 的立方體內的尺寸。另外，在使用透射電子顯微鏡（TEM:Transmission Electron Microscope）觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，在利用 TEM 觀察時的影像中，在 CAAC-OS 膜中不能觀察到晶界（grain boundary）。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於

CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，在只記載“垂直”時，也包括 85° 以上且 95° 以下的範圍。另外，在只記載“平行”時，也包括 -5° 以上且 5° 以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比率高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部產生非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。藉由在進行成膜時或成膜之後進行加熱處理等的晶化處理形成結晶部。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，該電晶體的可靠性高。

另外，構成氧化物半導體膜的氧的一部分也可以用氮

取代。

作為 CAAC-OS 膜，例如使用多晶的氧化物半導體濺射靶材並利用濺射法形成。當離子碰撞到該濺射靶材時，包含在濺射靶材中的結晶區域從 a-b 面劈開，即具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子剝離。此時，該平板狀的濺射粒子可以保持結晶狀態到達基板，由此可以形成 CAAC-OS 膜。

另外，為了形成 CAAC-OS 膜，較佳的是應用如下條件。

藉由降低成膜時的雜質的混入，可以抑制因雜質導致的結晶狀態的破壞。例如，可以降低存在於沉積室內的雜質（氫、水、二氧化碳及氮等）的濃度。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

另外，藉由提高成膜時的基板加熱溫度，可以促進濺射粒子到達基板後濺射粒子的遷移。因此，將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下的狀態下進行成膜。藉由提高成膜時的基板加熱溫度，到達基板的平板狀的濺射粒子在基板上遷移，而可以以濺射粒子的平坦的面與基板平行的方式形成氧化物半導體膜。

另外，較佳的是，藉由提高成膜氣體中的氧比例並對電力進行最優化，減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為 100vol.%。

以下，作為濺射靶材的一個例子示出 In-Ga-Zn-O 化合物靶材。

將 InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末以規定的莫耳數比混合，進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到作為多晶的 In-Ga-Zn-O 化合物靶材。另外， x 、 y 及 z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末及 ZnO_z 粉末的規定的莫耳數比例如為 2:2:1、8:4:3、3:1:1、1:1:1、4:2:3 或 3:1:2。另外，粉末的種類及其混合莫耳數比可以根據所製造的濺射靶材適當地改變。

接著，對本發明的半導體裝置所具有的電晶體的具體結構的一個例子進行說明。

圖 13A 所示的電晶體是通道蝕刻結構的底閘極型電晶體。

並且，圖 13A 所示的電晶體包括：形成在絕緣表面上的閘極電極（閘極）1602；閘極電極 1602 上的閘極絕緣膜 1603；在閘極絕緣膜 1603 上與閘極電極 1602 重疊的半導體膜 1604；以及形成在半導體膜 1604 上的導電膜 1605 及導電膜 1606。並且，電晶體還可以包括形成在半導體膜 1604、導電膜 1605 及導電膜 1606 上的絕緣膜 1607。

另外，圖 13A 所示的電晶體還可以包括在與半導體膜 1604 重疊的位置形成在絕緣膜 1607 上的背閘極電極。

圖 13B 所示的電晶體是通道保護結構的底閘極型電晶

體。

並且，圖 13B 所示的電晶體包括：形成在絕緣表面上的閘極電極 1612；閘極電極 1612 上的閘極絕緣膜 1613；在閘極絕緣膜 1613 上與閘極電極 1612 重疊的半導體膜 1614；形成在半導體膜 1614 上的通道保護膜 1618；以及形成在半導體膜 1614 上的導電膜 1615 及導電膜 1616。並且，電晶體還可以包括形成在通道保護膜 1618、導電膜 1615 及導電膜 1616 上的絕緣膜 1617。

另外，圖 13B 所示的電晶體還可以包括在與半導體膜 1614 重疊的位置形成在絕緣膜 1617 上的背閘極電極。

藉由設置通道保護膜 1618，可以防止在後面的製程中對半導體膜 1614 中的成為通道形成區的部分造成諸如蝕刻時的電漿或蝕刻劑所導致的膜減少等的損傷。由此，可以提高電晶體的可靠性。

圖 13C 所示的電晶體是底接觸結構的底閘極型電晶體。

並且，圖 13C 所示的電晶體包括：形成在絕緣表面上的閘極電極 1622；閘極電極 1622 上的閘極絕緣膜 1623；閘極絕緣膜 1623 上的導電膜 1625、導電膜 1626；以及在閘極絕緣膜 1623 上與閘極電極 1622 重疊且形成在導電膜 1625、導電膜 1626 上的半導體膜 1624。並且，電晶體還可以包括形成在導電膜 1625、導電膜 1626 及半導體膜 1624 上的絕緣膜 1627。

另外，圖 13C 所示的電晶體還可以包括在與半導體膜

1624 重疊的位置形成在絕緣膜 1627 上的背閘極電極。

圖 13D 所示的電晶體是底接觸結構的頂閘極型電晶體。

並且，圖 13D 所示的電晶體包括：形成在絕緣表面上的導電膜 1645、導電膜 1646；形成在絕緣表面及導電膜 1645、導電膜 1646 上的半導體膜 1644；形成在導電膜 1645、導電膜 1646 及半導體膜 1644 上的閘極絕緣膜 1643；以及在閘極絕緣膜 1643 上與半導體膜 1644 重疊的閘極電極 1642。並且，電晶體還可以包括形成在閘極電極 1642 上的絕緣膜 1647。

本實施例可以與其他實施例適當地組合而實施。

實施例 4

在圖 14 中說明相當於顯示裝置的一個實施例的面板的一個例子。圖 14 所示的面板包括：基板 700；基板 700 上的像素部 701；信號線驅動電路 702；掃描線驅動電路 703；以及端子 704。

像素部 701 包括多個像素，各像素中設置有顯示元件以及控制該顯示元件的工作的一個或多個電晶體。掃描線驅動電路 703 藉由控制對與各像素連接的掃描線的電位提供來選擇像素部 701 所具有的像素。信號線驅動電路 702 控制對藉由掃描線驅動電路 703 被選擇的像素的影像信號的提供。

信號線驅動電路 702 和掃描線驅動電路 703 中的一者

或兩者具有實施例 1 的反相器電路、實施例 2 的正反器電路或實施例 2 的移位暫存器電路。如此，可以具有實施例 1 及實施例 2 中說明的效果並能夠增大像素部 701。另外，可以在像素部 701 中設置多個像素。

本實施例可以與其他的實施例適當地組合而實施。

實施例 5

根據本發明的一個實施例的半導體裝置可以用於顯示設備、個人電腦、具備儲存媒體的影像再現裝置（典型地是，能夠再現如 DVD（Digital Versatile Disc：數位通用光磁）等儲存媒體並具有能夠顯示其影像的顯示器的裝置）等電子裝置。此外，作為能夠使用根據本發明的一個實施例的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式遊戲機的遊戲機、可攜式資訊終端、電子書閱讀器、例如攝像機和數位相機等影像拍攝裝置、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再現裝置（例如，汽車音頻系統和數位音頻播放器等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）、自動售貨機等。圖 15A 至 15E 示出這些電子裝置的具體例子。

圖 15A 是可攜式遊戲機，其包括外殼 5001、外殼 5002、顯示部 5003、顯示部 5004、麥克風 5005、揚聲器 5006、操作鍵 5007、觸控筆 5008 等。藉由將根據本發明的一個實施例的半導體裝置用於可攜式遊戲機的驅動電

路，可以提供耗電量低且工作穩定的可攜式遊戲機。藉由將根據本發明的一個實施例的半導體裝置用於顯示部 5003 或顯示部 5004，可以提供高影像品質的可攜式遊戲機。另外，圖 15A 所示的可攜式遊戲機具有顯示部 5003 及顯示部 5004 兩個顯示部，但是可攜式遊戲機所具有的顯示部的數目不侷限於此。

圖 15B 是顯示設備，其包括外殼 5201、顯示部 5202、支架 5203 等。藉由將根據本發明的一個實施例的半導體裝置用於顯示設備的驅動電路，可以提供耗電量低且工作穩定的顯示設備。藉由將根據本發明的一個實施例的半導體裝置用於顯示部 5202，可以提供高影像品質的顯示設備。注意，顯示裝置包括顯示資訊的所有顯示設備，例如用於個人電腦、電視廣播接收以及廣告顯示等的顯示設備。

圖 15C 是筆記本式個人電腦，其包括外殼 5401、顯示部 5402、鍵盤 5403 及指向裝置 5404 等。藉由將根據本發明的一個實施例的半導體裝置用於筆記本式個人電腦的驅動電路，可以提供耗電量低且工作穩定的筆記本式個人電腦。藉由將根據本發明的一個實施例的半導體裝置用於顯示部 5402，可以提供高影像品質的筆記本式個人電腦。

圖 15D 是可攜式資訊終端，其包括第一外殼 5601、第二外殼 5602、第一顯示部 5603、第二顯示部 5604、連接部 5605、操作鍵 5606 等。第一顯示部 5603 設置在第

一外殼 5601 中，第二顯示部 5604 設置在第二外殼 5602 中。並且，第一外殼 5601 與第二外殼 5602 藉由連接部 5605 連接，第一外殼 5601 與第二外殼 5602 之間的角度可以藉由連接部 5605 改變。第一顯示部 5603 中的影像可以根據由連接部 5605 形成的第一外殼 5601 與第二外殼 5602 之間的角度進行切換。另外，也可以對第一顯示部 5603 和第二顯示部 5604 中的至少一個使用附加有位置輸入裝置的功能的半導體顯示裝置。另外，可以藉由對半導體顯示裝置設置觸控螢幕來使其具有位置輸入裝置的功能。或者，也可以藉由在半導體顯示裝置的像素部中設置被稱為光電感測器的光電轉換元件來使其具有位置輸入裝置的功能。藉由將根據本發明的一個實施例的半導體裝置用於可攜式資訊終端的驅動電路，可以提供耗電量低且工作穩定的可攜式資訊終端。藉由將根據本發明的一個實施例的半導體裝置用於第一顯示部 5603 或第二顯示部 5604，也可以提供高影像品質的可攜式資訊終端。

圖 15E 是行動電話，其包括外殼 5801、顯示部 5802、聲音輸入部 5803、音聲輸出部 5804、操作鍵 5805、光接收部 5806 等。藉由將由光接收部 5806 接收的光轉換為電信號，可以提取外部的影像。藉由將根據本發明的一個實施例的半導體裝置用於行動電話的驅動電路，可以提供耗電量低且工作穩定的行動電話。藉由將根據本發明的一個實施例的半導體裝置用於顯示部 5802，可以提供高影像品質的行動電話。

本實施例可以與其他的實施例適當地組合而實施。

【符號說明】

11：佈線

11A：佈線

11B：佈線

12：佈線

13：佈線

13A：佈線

13B：佈線

13C：佈線

14：佈線

21：佈線

22：佈線

23：佈線

24：佈線

25：佈線

26：佈線

31：佈線

32：佈線

33：佈線

34：佈線

100：電路

101：電晶體

102：電晶體

200：電路

201：電晶體

202：電晶體

203：電晶體

204：電容器

205：電晶體

300：電路

300A：電路

300B：電路

300C：電路

301：電阻器

302：電容器

303：電晶體

304：電晶體

305：電晶體

306：電晶體

307：電晶體

401：電晶體

402：電晶體

403：電晶體

404：電晶體

405：電晶體

406：電晶體

407：電晶體

408：電晶體

409：電晶體

500：電路

600：正反器電路

600_1：正反器電路

600_2：正反器電路

600_3：正反器電路

700：基板

701：像素部

702：信號線驅動電路

703：掃描線驅動電路

704：端子

800：基板

802：閘極絕緣膜

812：導電膜

813：半導體膜

814：導電膜

815：導電膜

816：導電膜

817：半導體膜

818：導電膜

819：導電膜

820：絕緣膜

821：絕緣膜
822：導電膜
823：接觸孔
824：絕緣膜
825：EL層
826：導電膜
830：電晶體
831：電晶體
832：發光元件
833：電容器
840：像素
841：驅動電路
1602：閘極電極
1603：閘極絕緣膜
1604：半導體膜
1605：導電膜
1606：導電膜
1607：絕緣膜
1612：閘極電極
1613：閘極絕緣膜
1614：半導體膜
1615：導電膜
1616：導電膜
1617：絕緣膜

1618：通道保護膜

1622：閘極電極

1623：閘極絕緣膜

1624：半導體膜

1625：導電膜

1626：導電膜

1627：絕緣膜

1642：閘極電極

1643：閘極絕緣膜

1644：半導體膜

1645：導電膜

1646：導電膜

1647：絕緣膜

5001：外殼

5002：外殼

5003：顯示部

5004：顯示部

5005：麥克風

5006：揚聲器

5007：操作鍵

5008：觸控筆

5201：外殼

5202：顯示部

5203：支架

5401：外殼

5402：顯示部

5403：鍵盤

5404：指向裝置

5601：外殼

5602：外殼

5603：顯示部

5604：顯示部

5605：連接部

5606：操作鍵

5801：外殼

5802：顯示部

5803：音頻輸入部

5804：音頻輸出部

5805：操作鍵

5806：光接收部

M1：電晶體

M2：電晶體

M3：電晶體

M4：電晶體

M11：電晶體

M12：電晶體

M13：電晶體

M14：電晶體

M15：電晶體

M16：電晶體

M17：電晶體

M18：電晶體

M19：電晶體

C11：電容器

VDD：電位

VSS：電位

N1：節點

N2：節點

N3：節點

N4：節點

SP：信號

RE：信號

CK：信號

CKB：信號

IN：信號

SSP：信號

OUT：信號

SOUT：信號

SOUTa：信號

SOUTb：信號

SOUT_1：信號

SOUT_i：信號

SOUT_N：信號

申請專利範圍

1. 一種半導體裝置，包含：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；以及

電容；

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體分別具有閘極、第一端子及第二端子；

其中，該第一電晶體的閘極電連接至該電容的第一電極；

其中，該第二電晶體的閘極電連接至該電容的第一電極；

其中，該第二電晶體的第一端子電連接至該電容的第二電極；

其中，該第三電晶體的第一端子電連接至該電容的第二電極；

其中，該第一電晶體的第二端子電連接至該第四電晶體的閘極；

其中，該第四電晶體的第一端子電連接至該第五電晶體的第一端子；並且

其中，信號被輸入至該電容的該第一電極。

2. 如請求項1記載的半導體裝置，

其中，該信號在高位準與低位準間振盪。

3. 如請求項1記載的半導體裝置，

其中，該第一至第五電晶體具有相同的導電型。

4. 如請求項1記載的半導體裝置，

其中，至少該第一至第五電晶體其中之一在通道形成區中包括氧化物半導體。

5. 一種顯示裝置，包含：

基板上的像素部；及

該基板上的掃描線驅動電路；

其中該掃描線驅動電路包含：

第一電晶體；

第二電晶體；

第三電晶體；

第四電晶體；

第五電晶體；以及

電容；

其中，該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體分別具有閘極、第一端子及第二端子；

其中，該第一電晶體的閘極電連接至該電容的第一電極；

其中，該第二電晶體的閘極電連接至該電容的第一電極；

其中，該第二電晶體的第一端子電連接至該電容的第二電極；

其中，該第三電晶體的第一端子電連接至該電容的第二電極；

其中，該第一電晶體的第二端子電連接至該第四電晶體的閘極；

其中，該第四電晶體的第一端子電連接至該第五電晶體的第一端子；並且

其中，信號被輸入至該電容的該第一電極。

6. 如請求項5記載的顯示裝置，

其中，該信號在高位準與低位準間振盪。

7. 如請求項5記載的顯示裝置，

其中，該第一至第五電晶體具有相同的導電型。

8. 如請求項5記載的顯示裝置，

其中，至少該第一至第五電晶體其中之一在通道形成區中包括氧化物半導體。

圖式

圖 1A

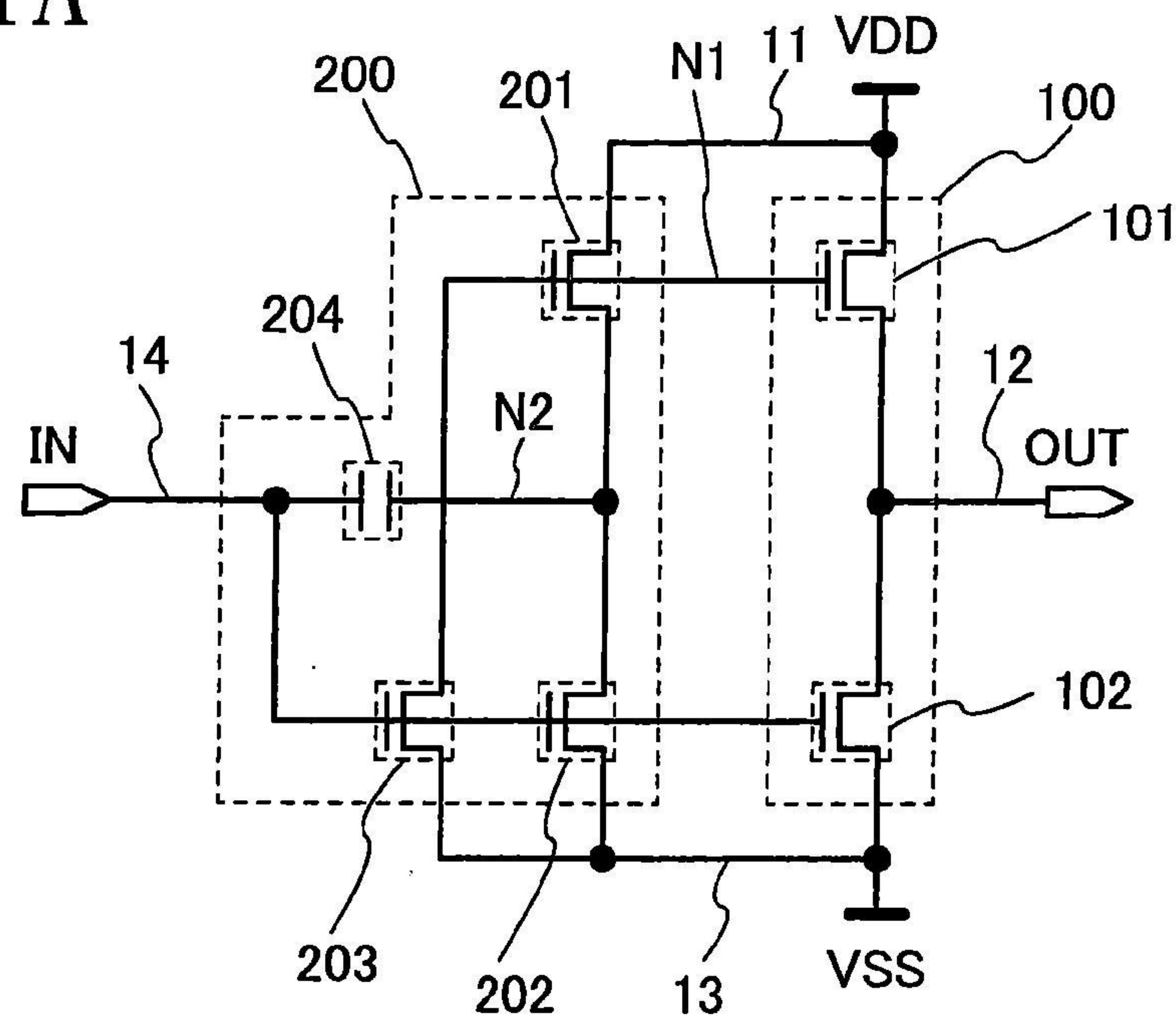


圖 1B

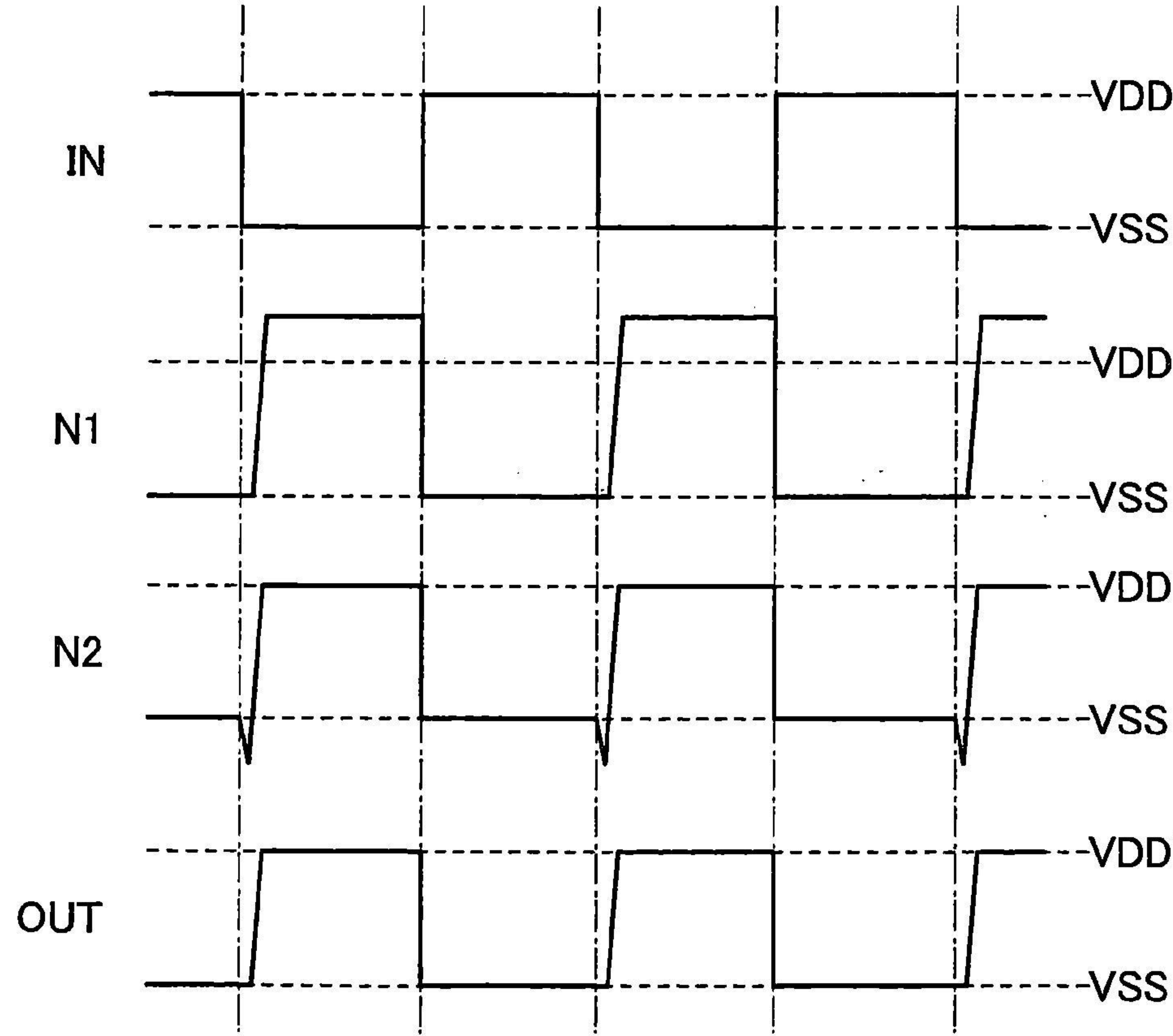


圖 2A

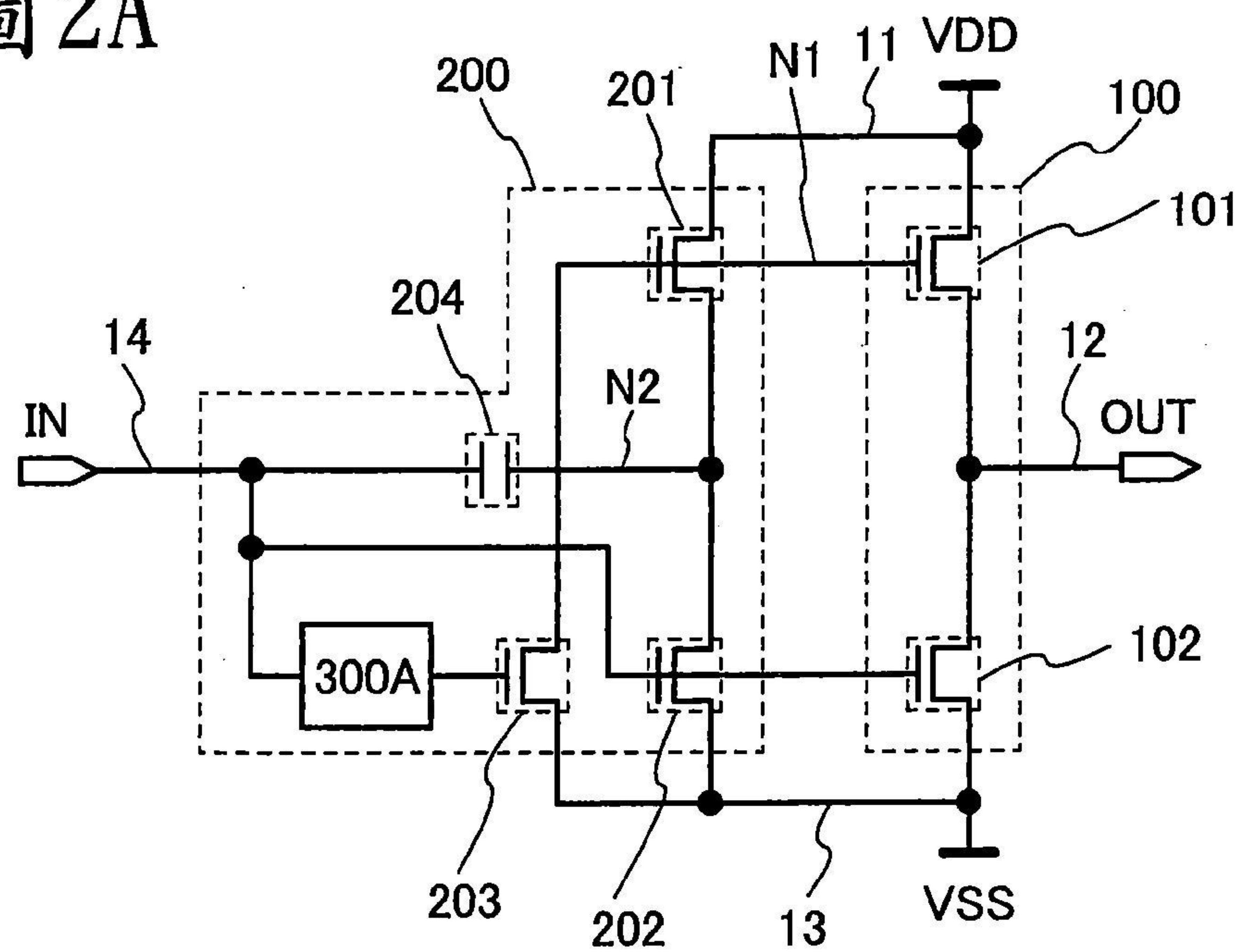


圖 2B

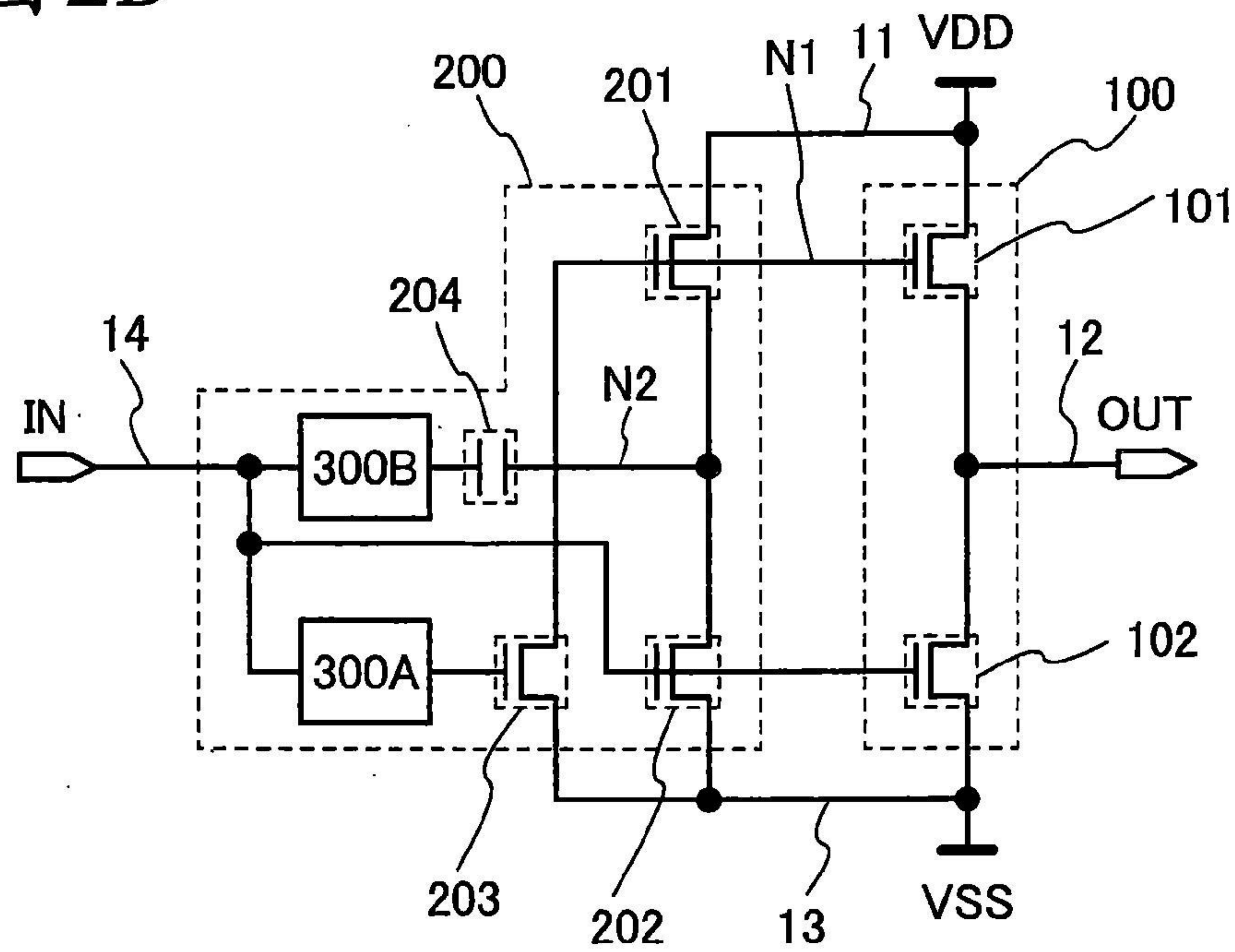


圖 3A

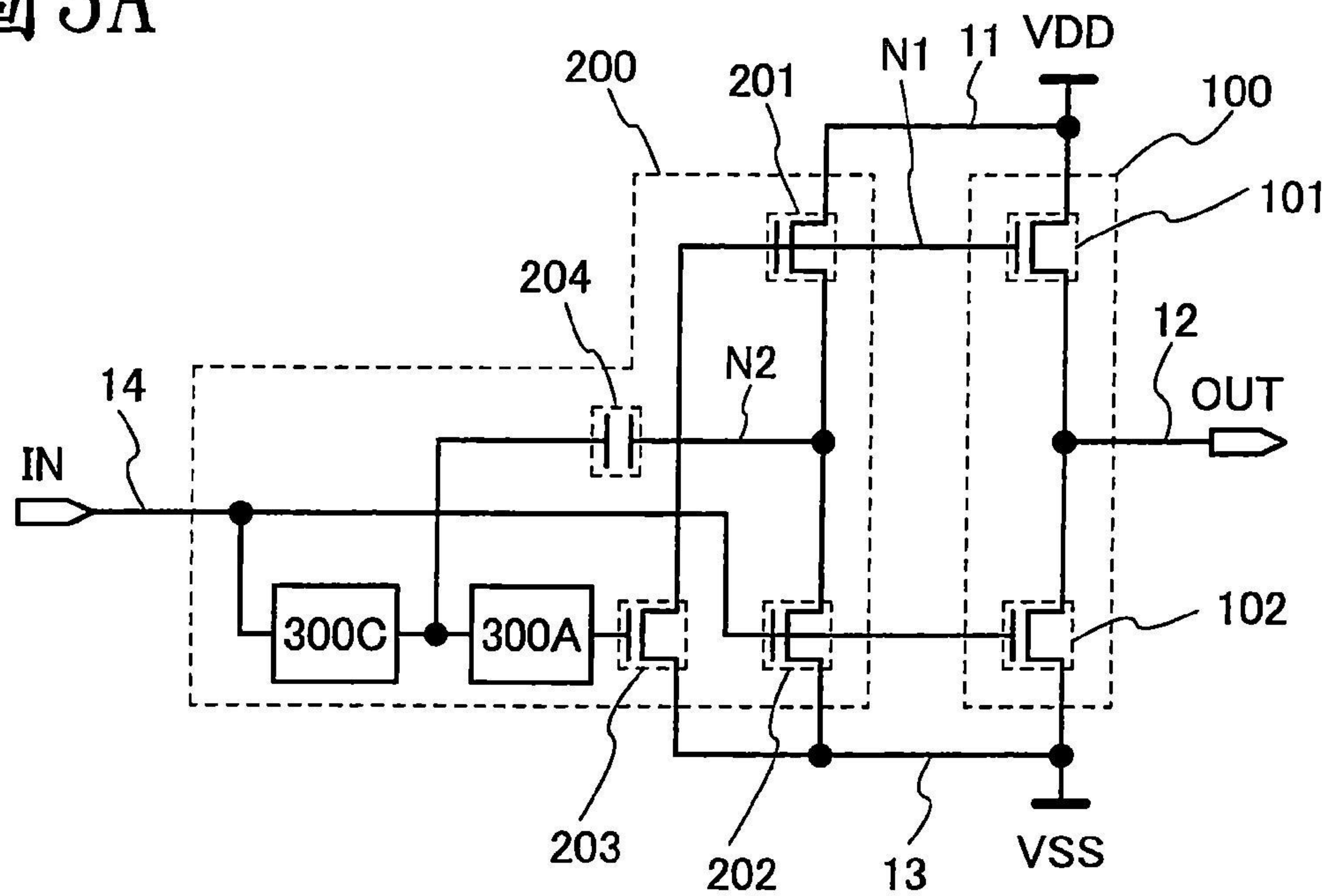


圖 3B

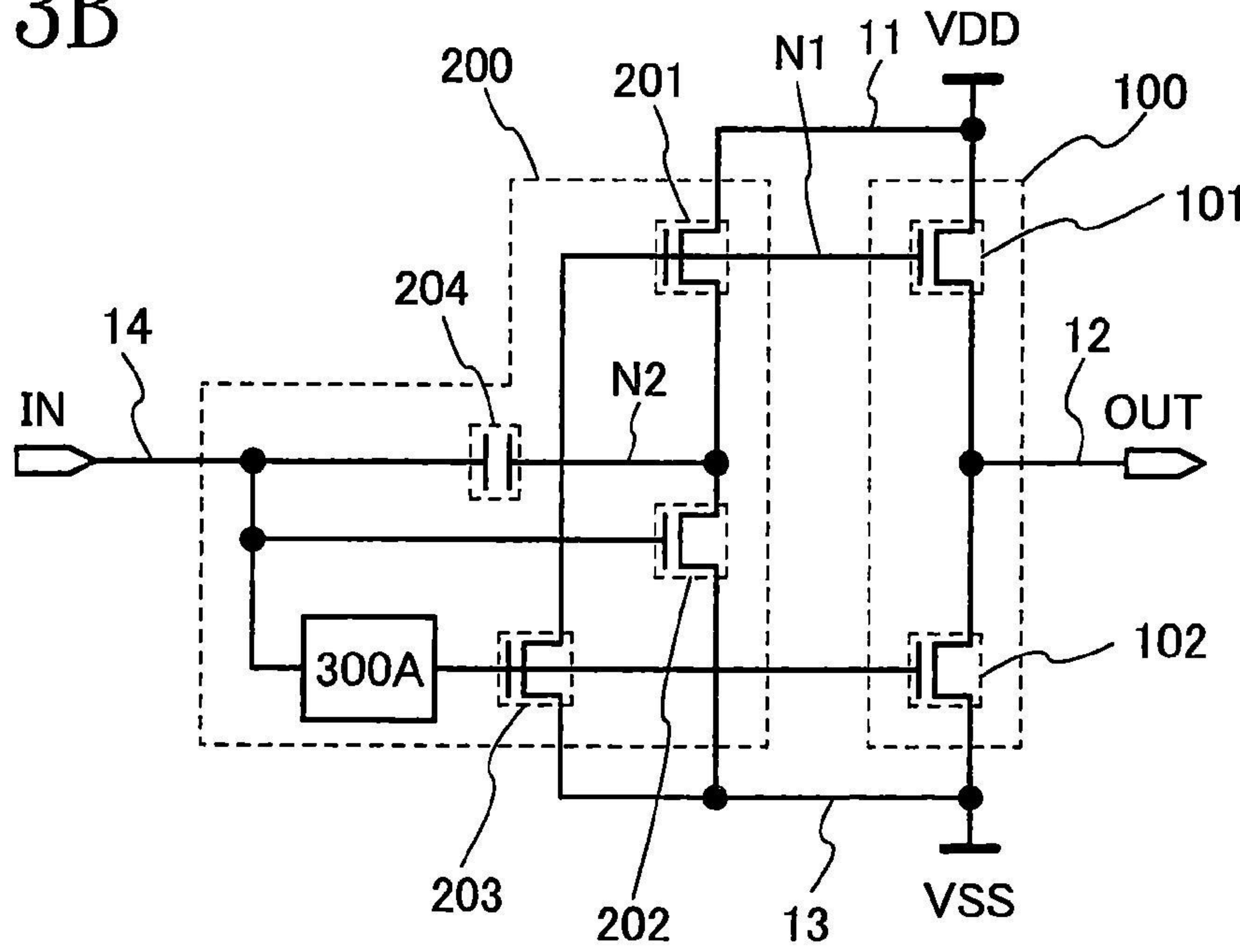


圖 4A

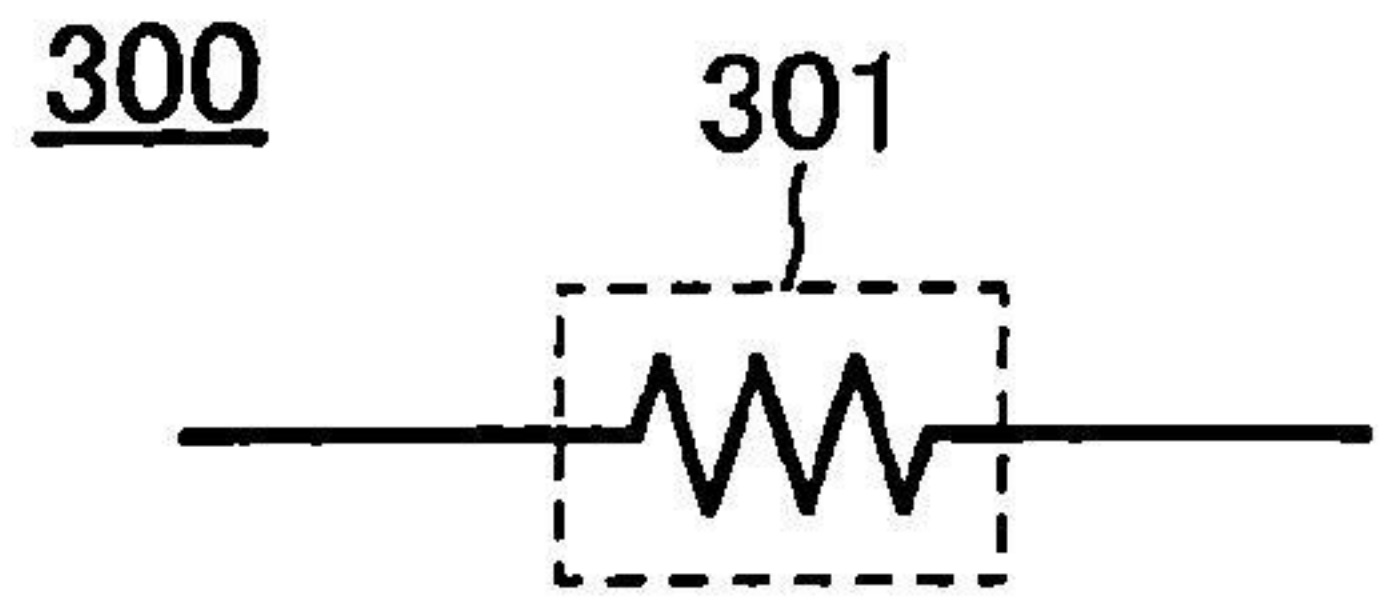


圖 4B

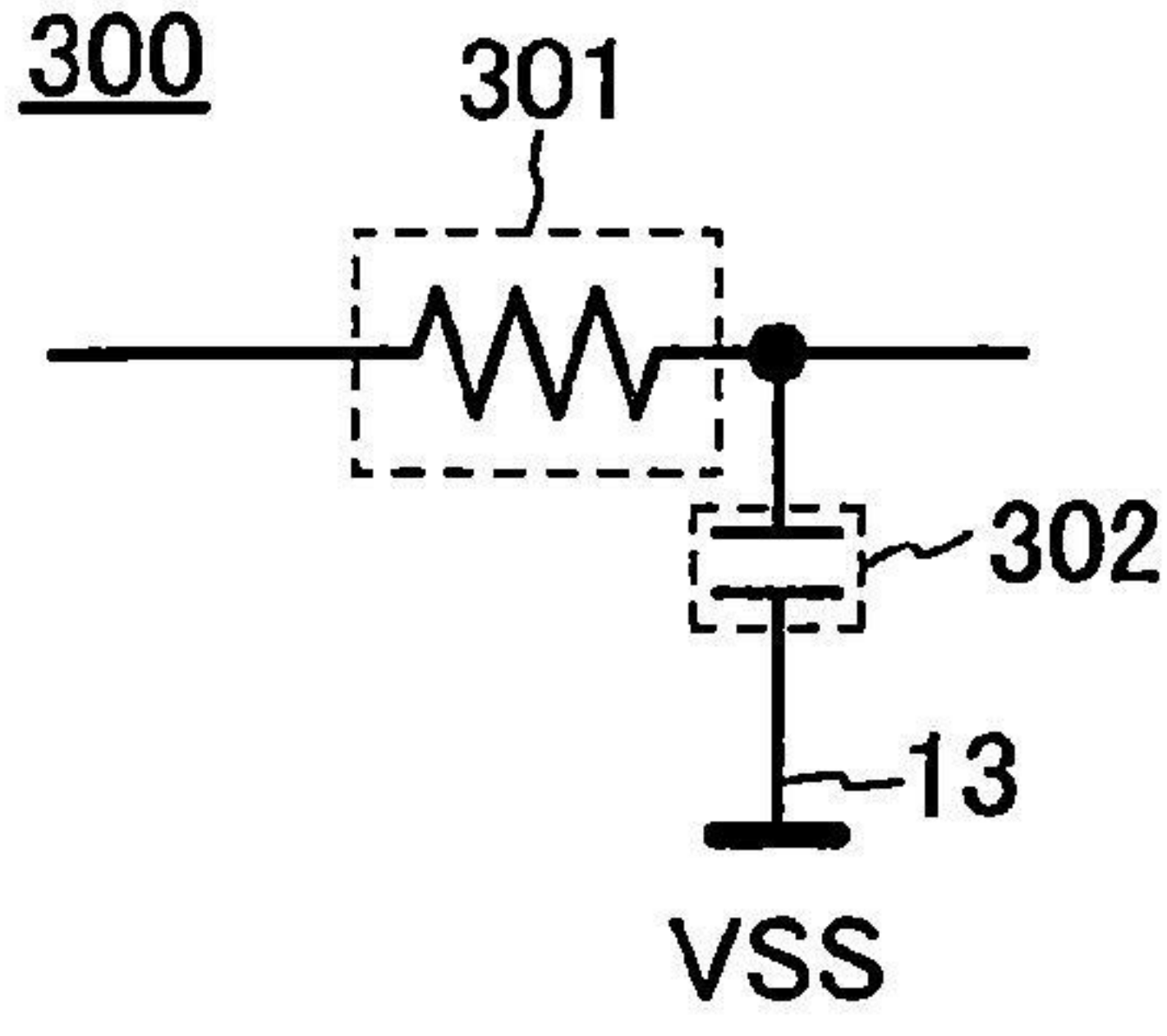


圖 4C

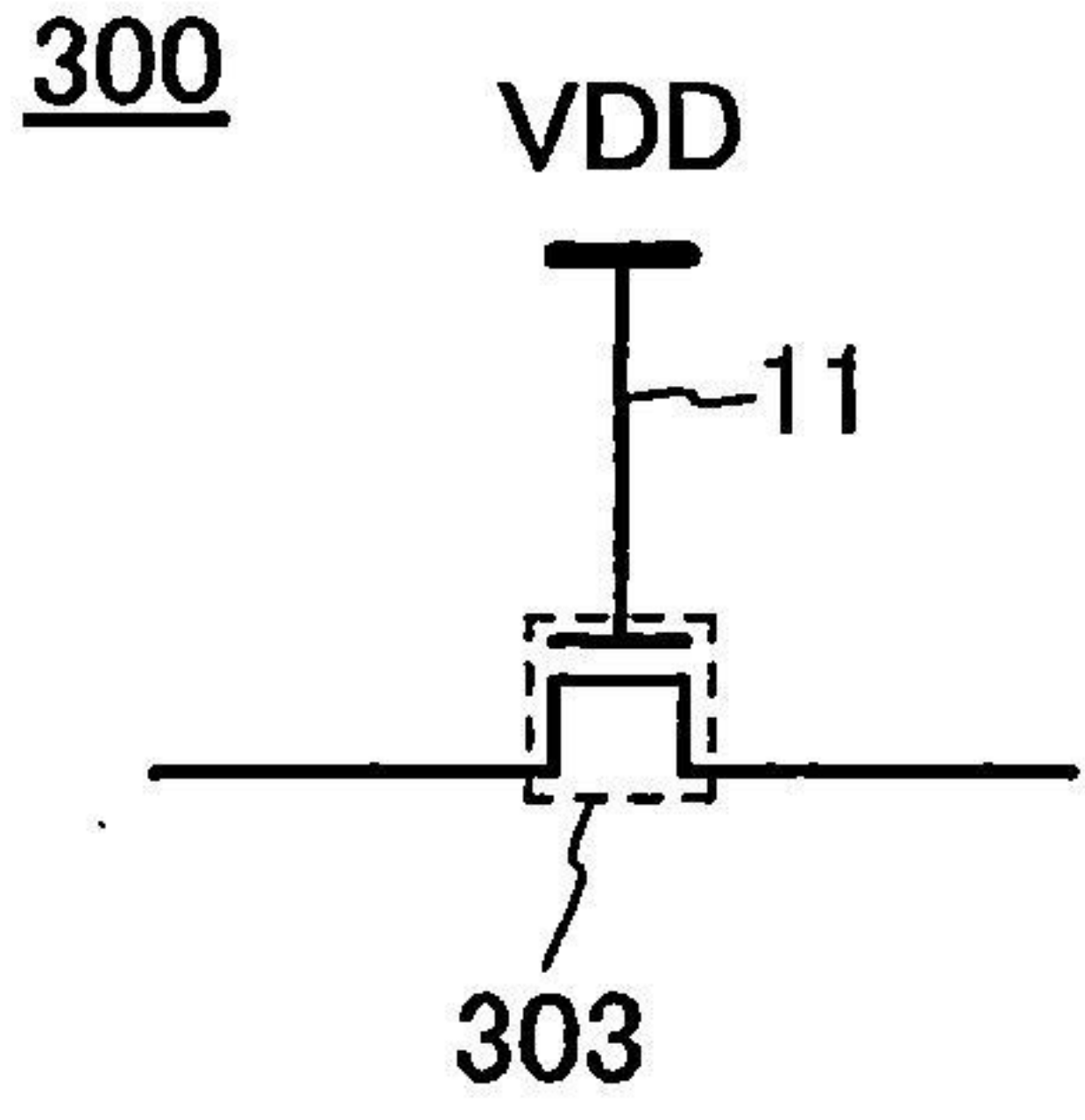


圖 4D

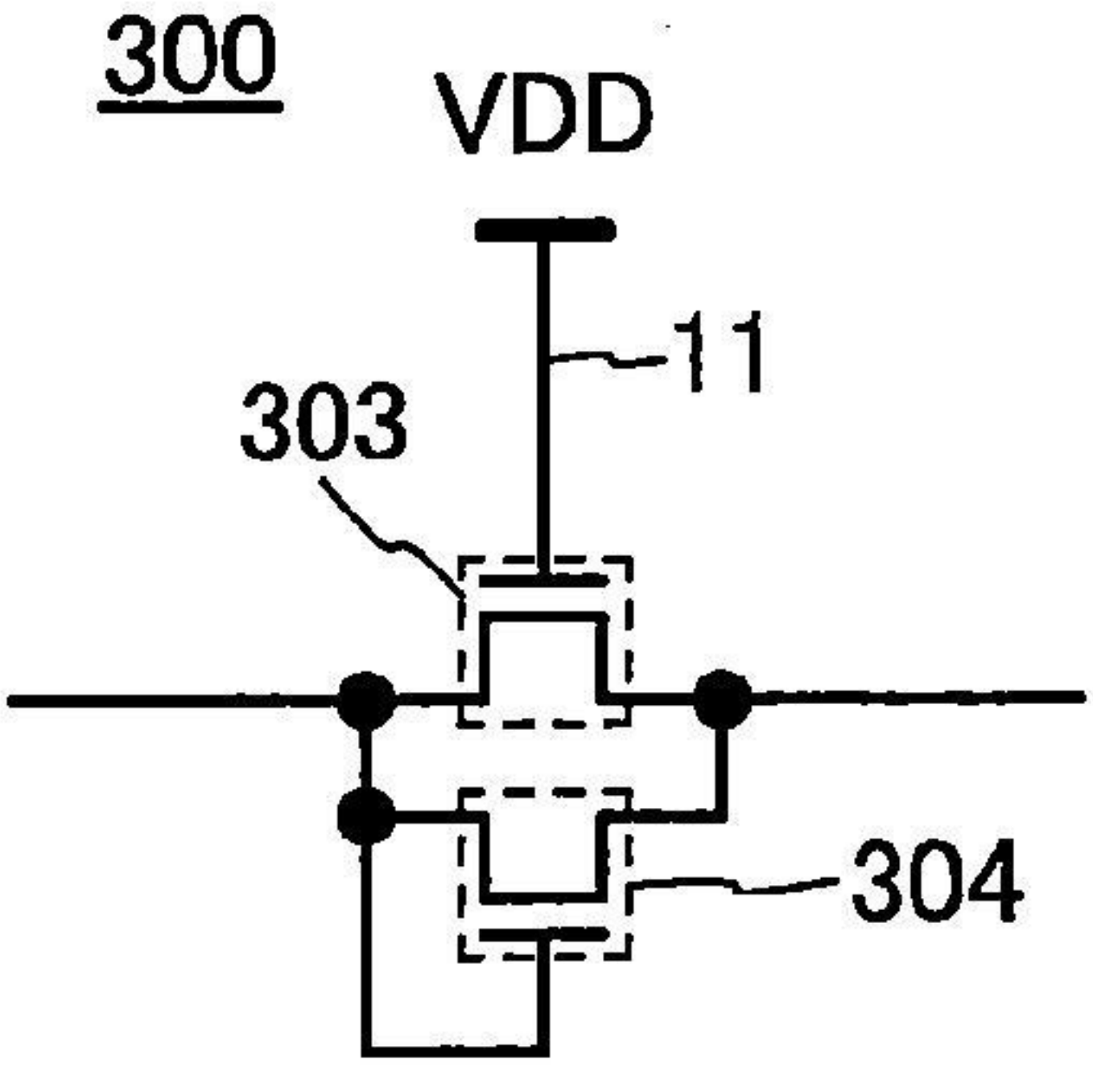


圖 4E

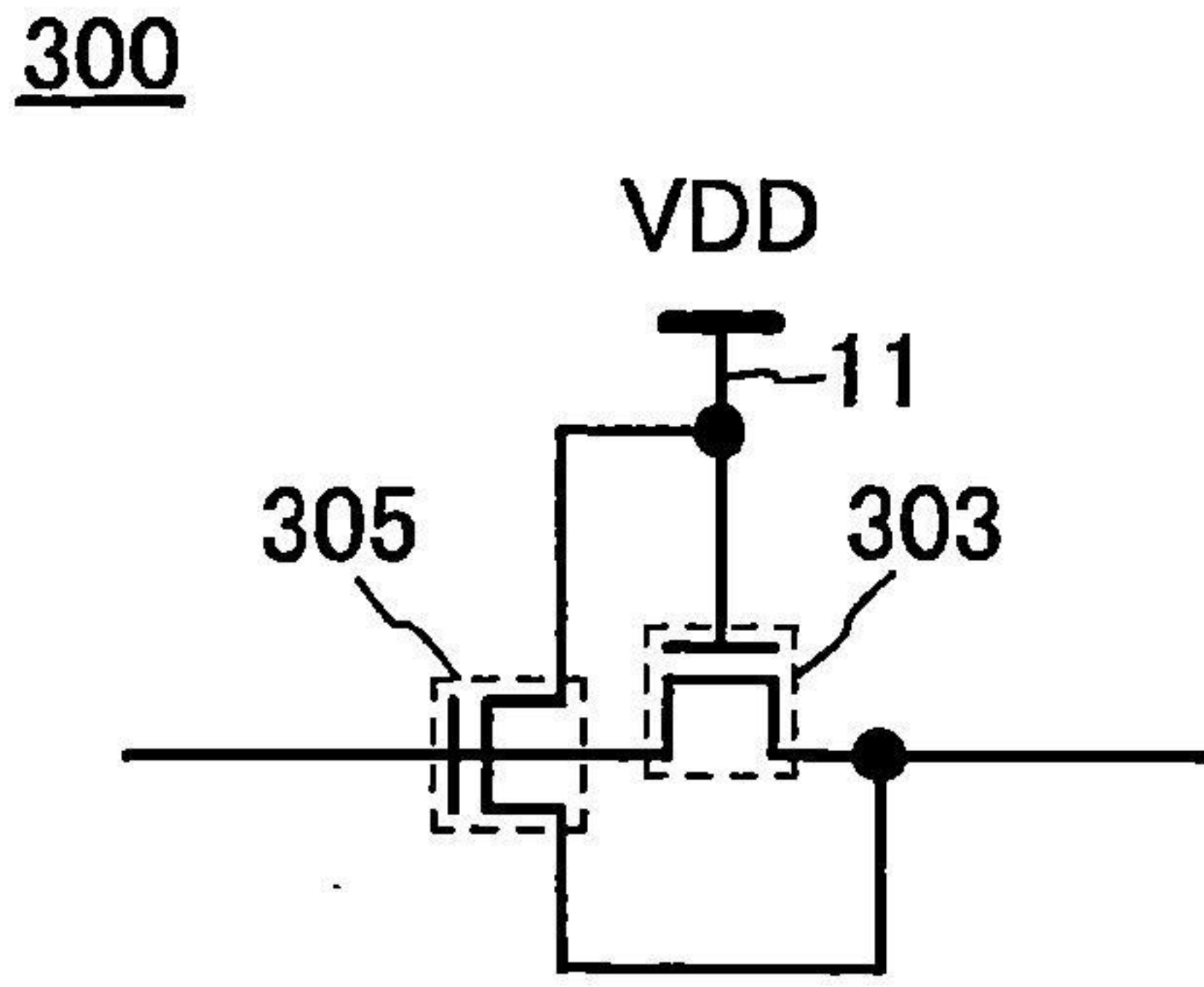


圖 4F

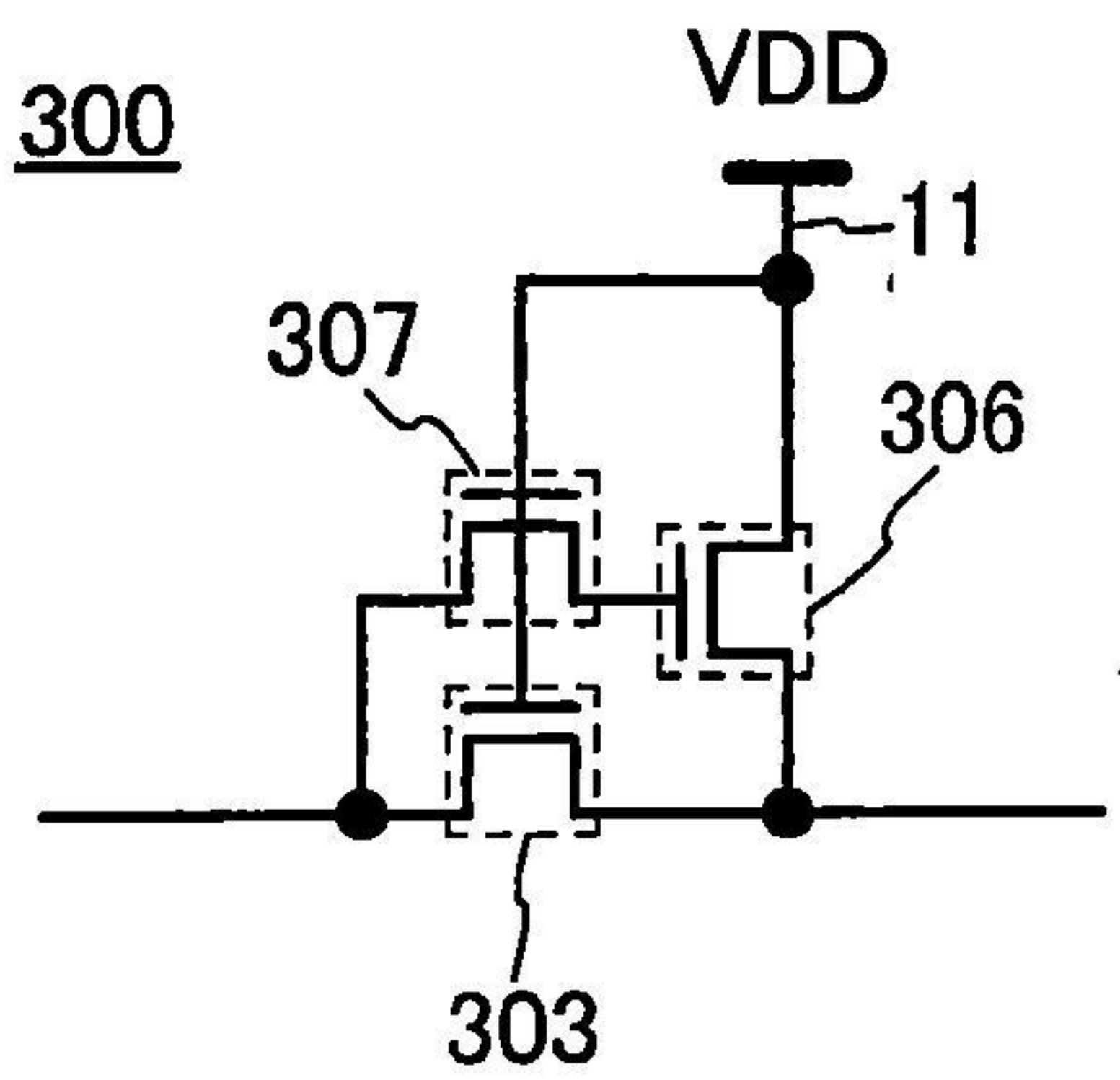


圖5A

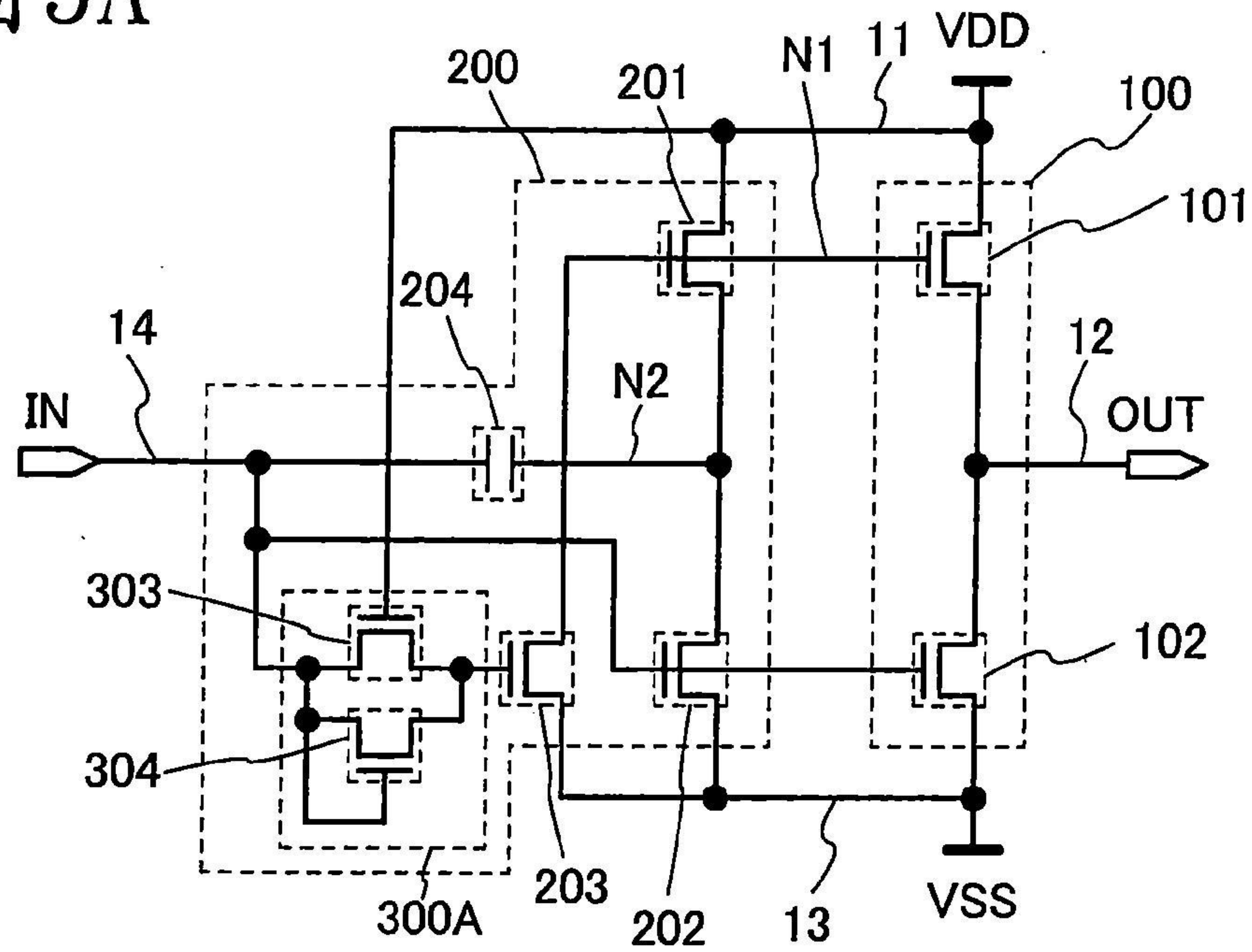


圖5B

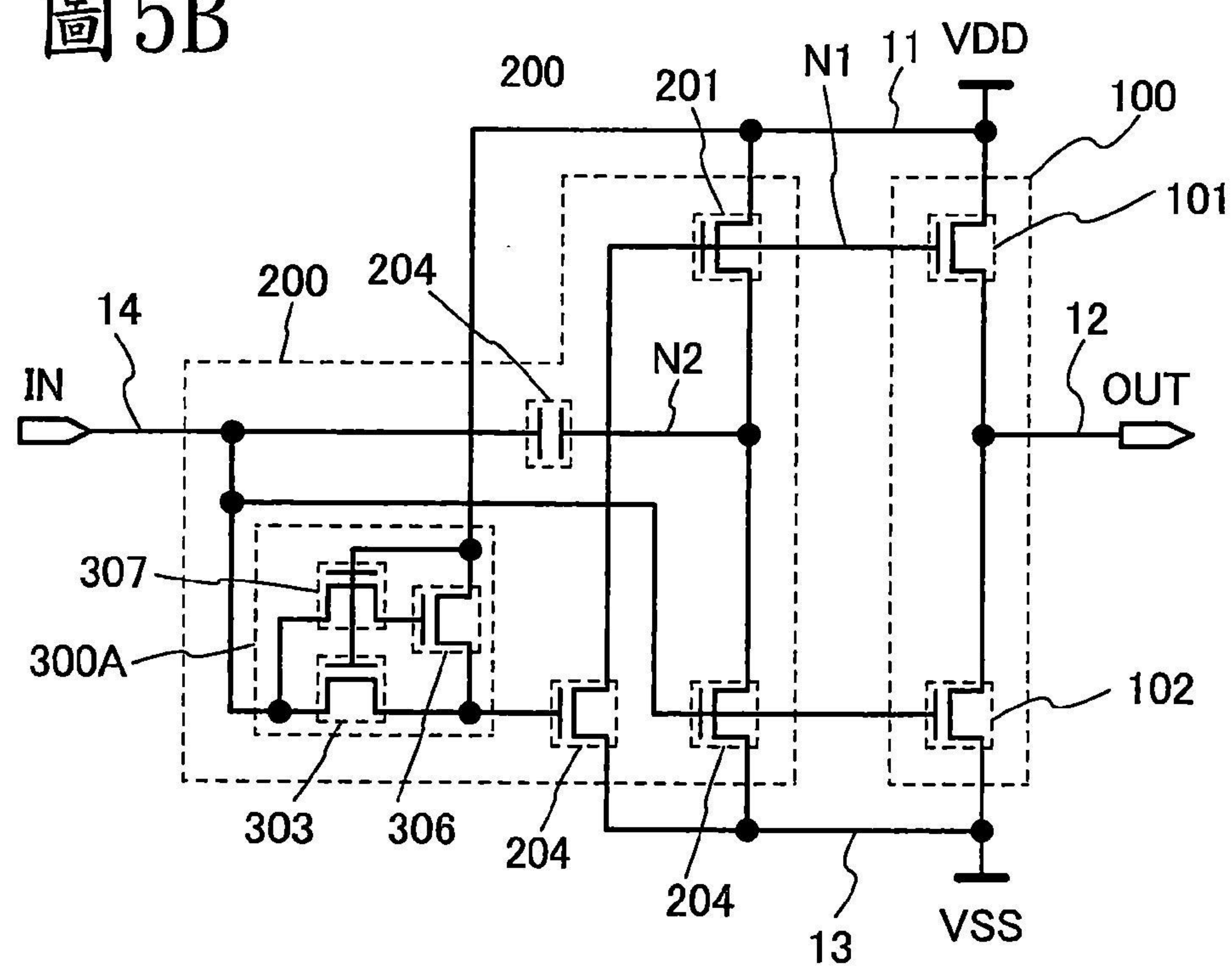


圖 6A

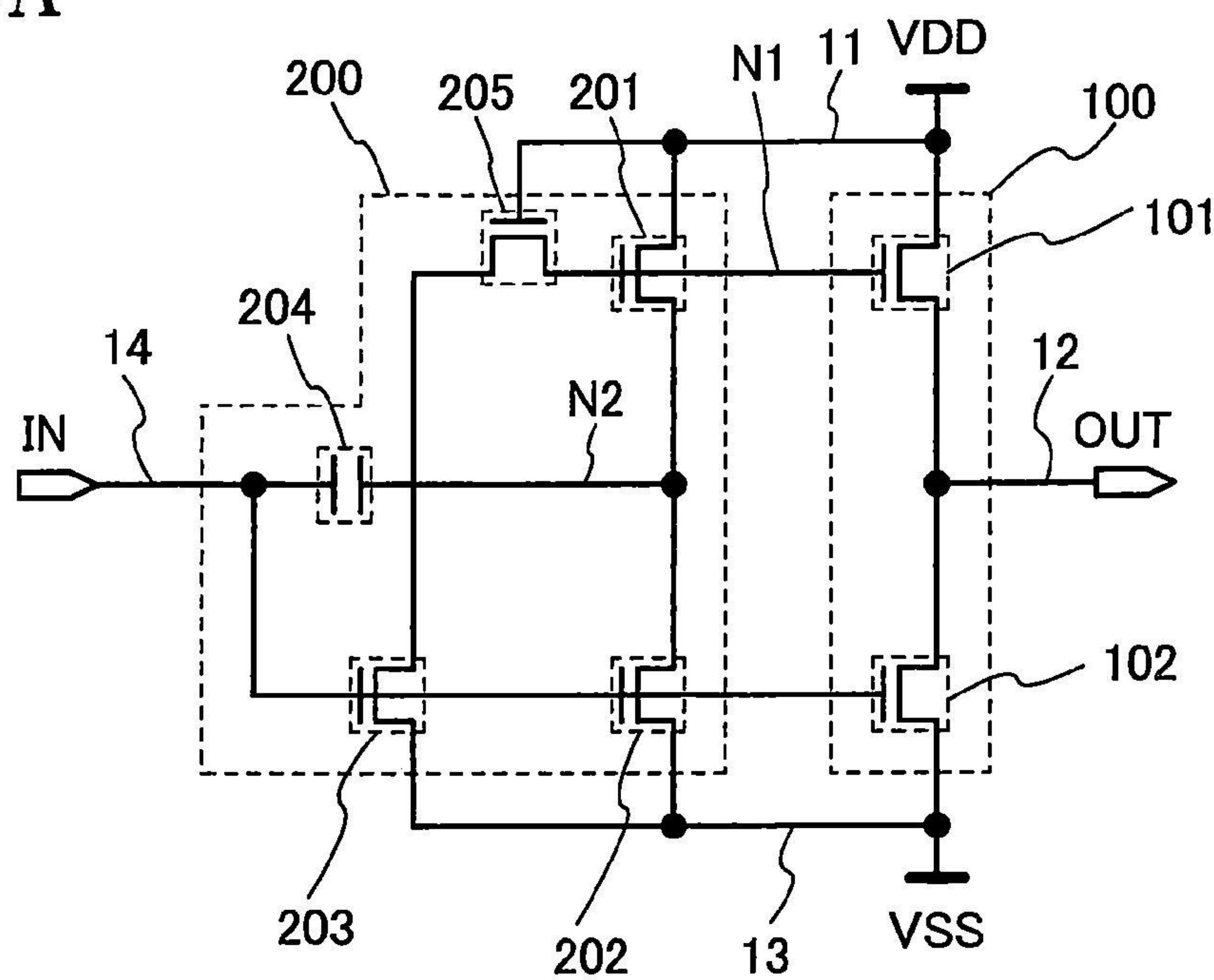


圖 6B

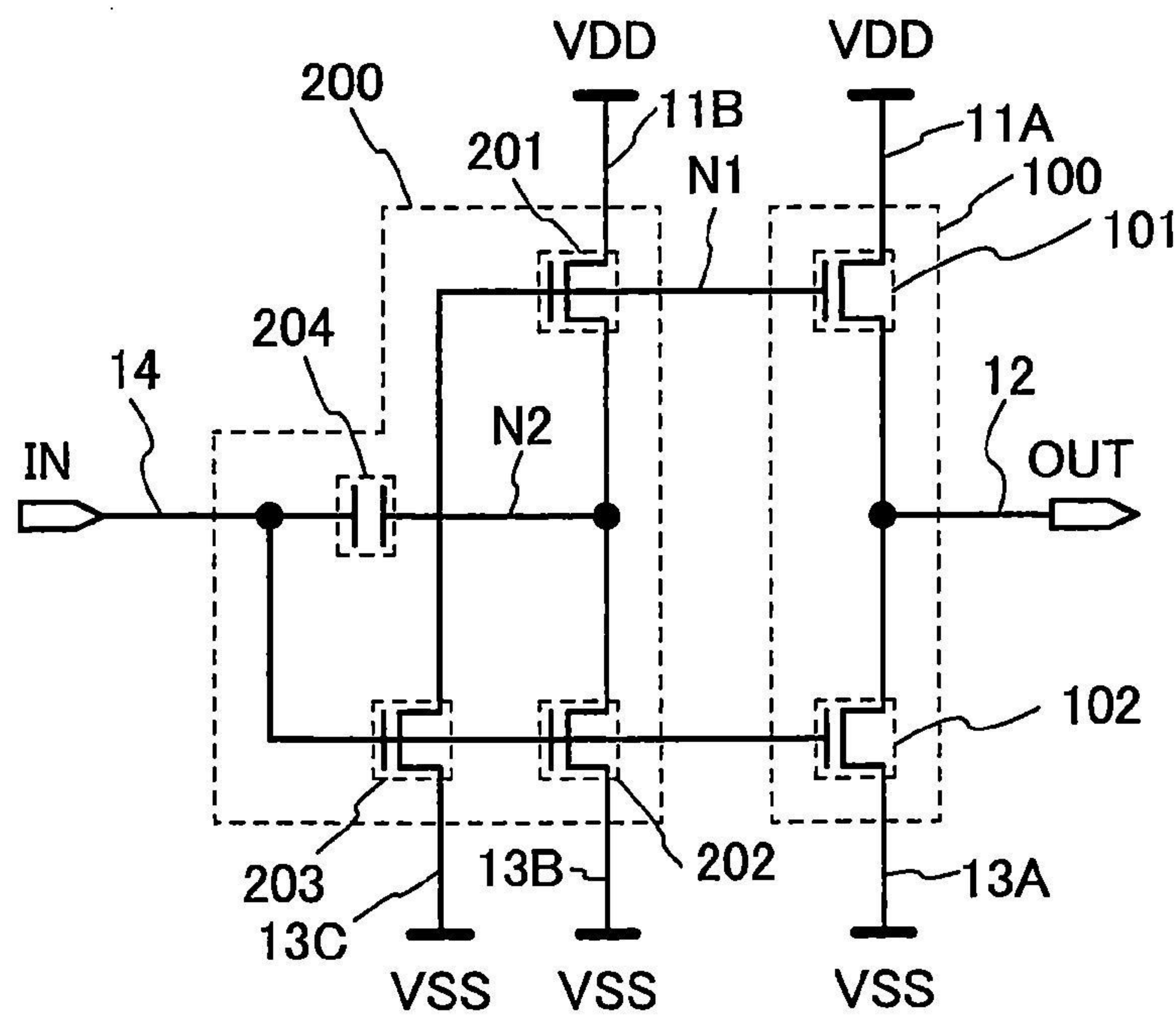


圖 7A

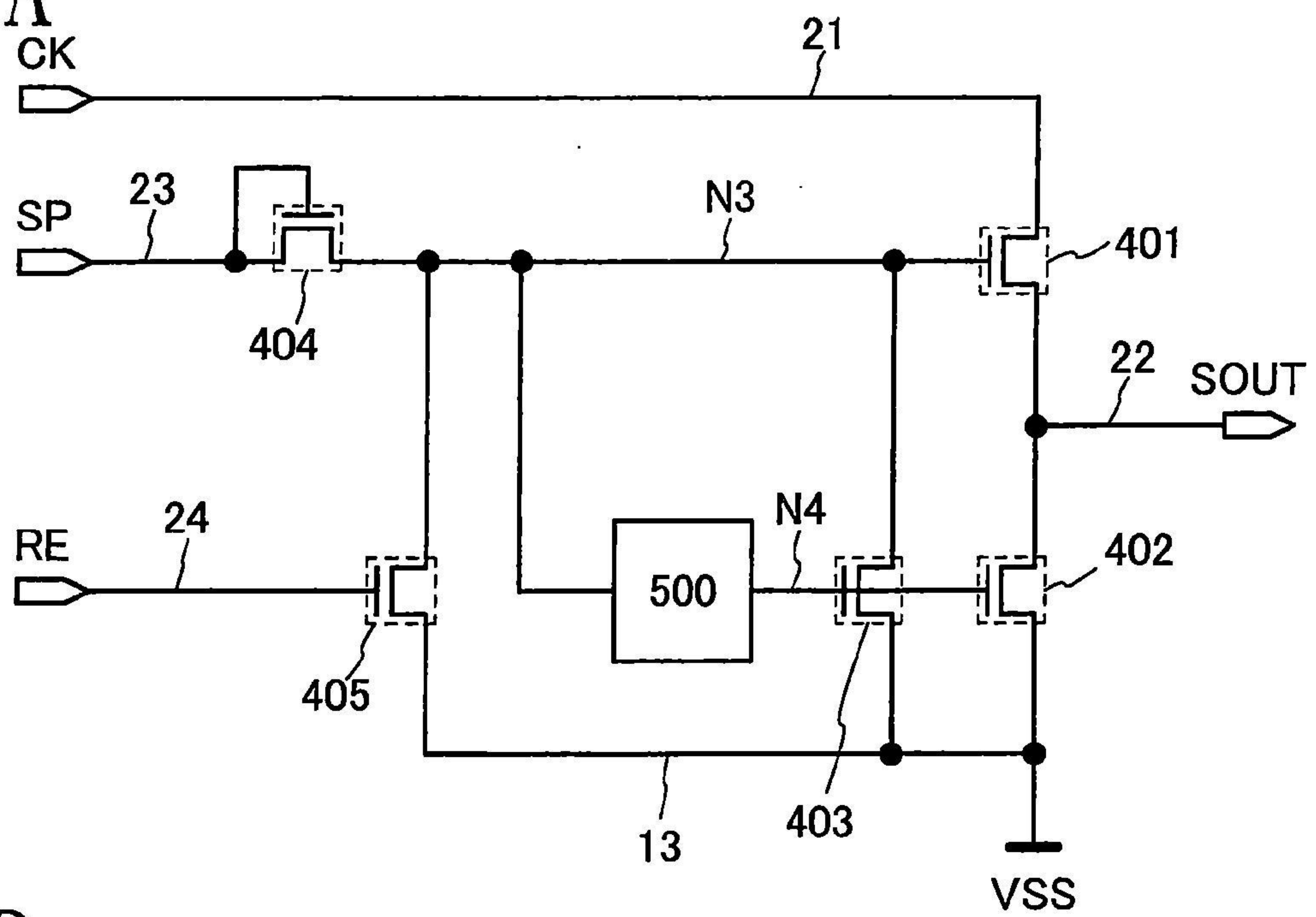


圖 7B

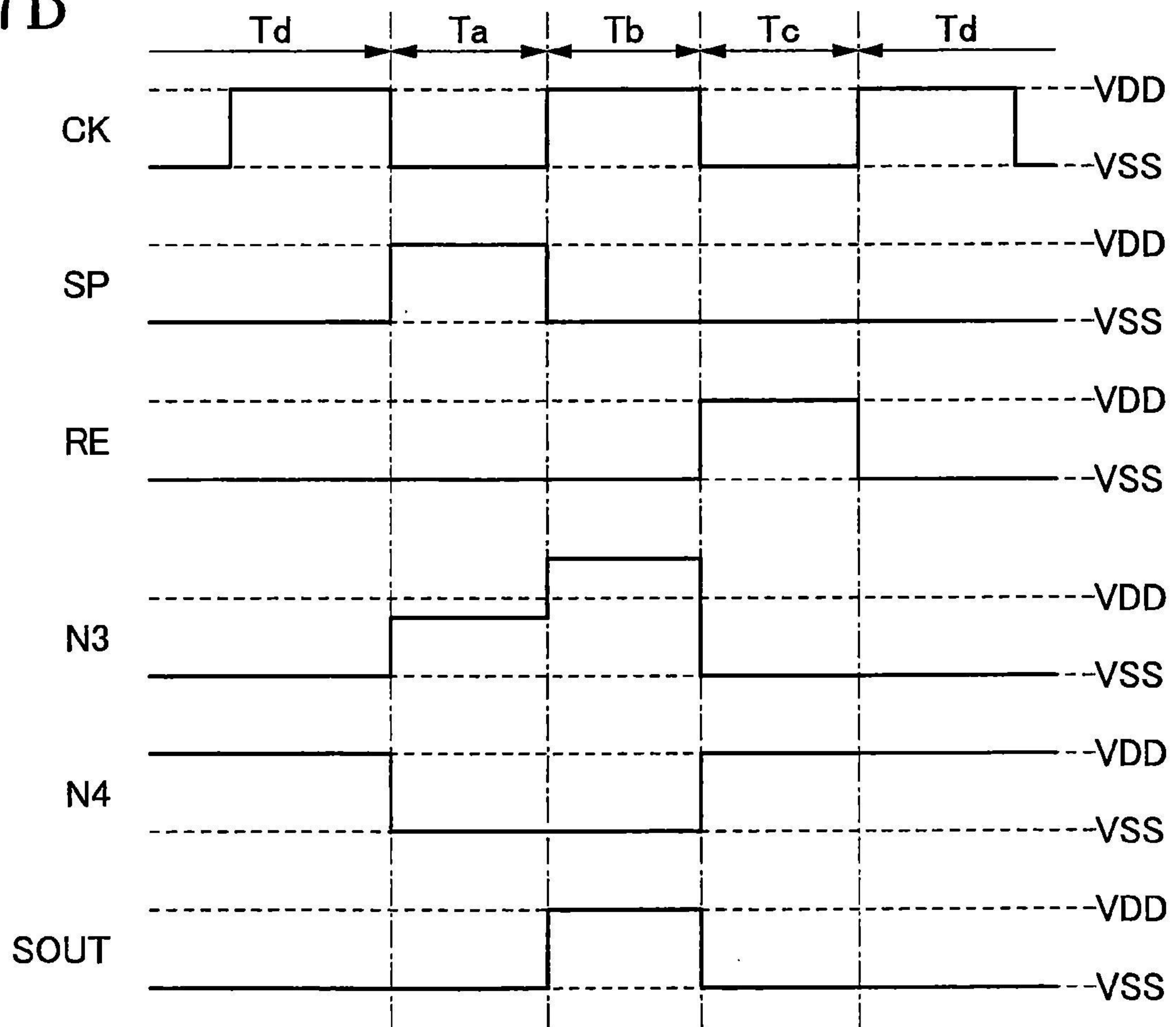


圖 8A

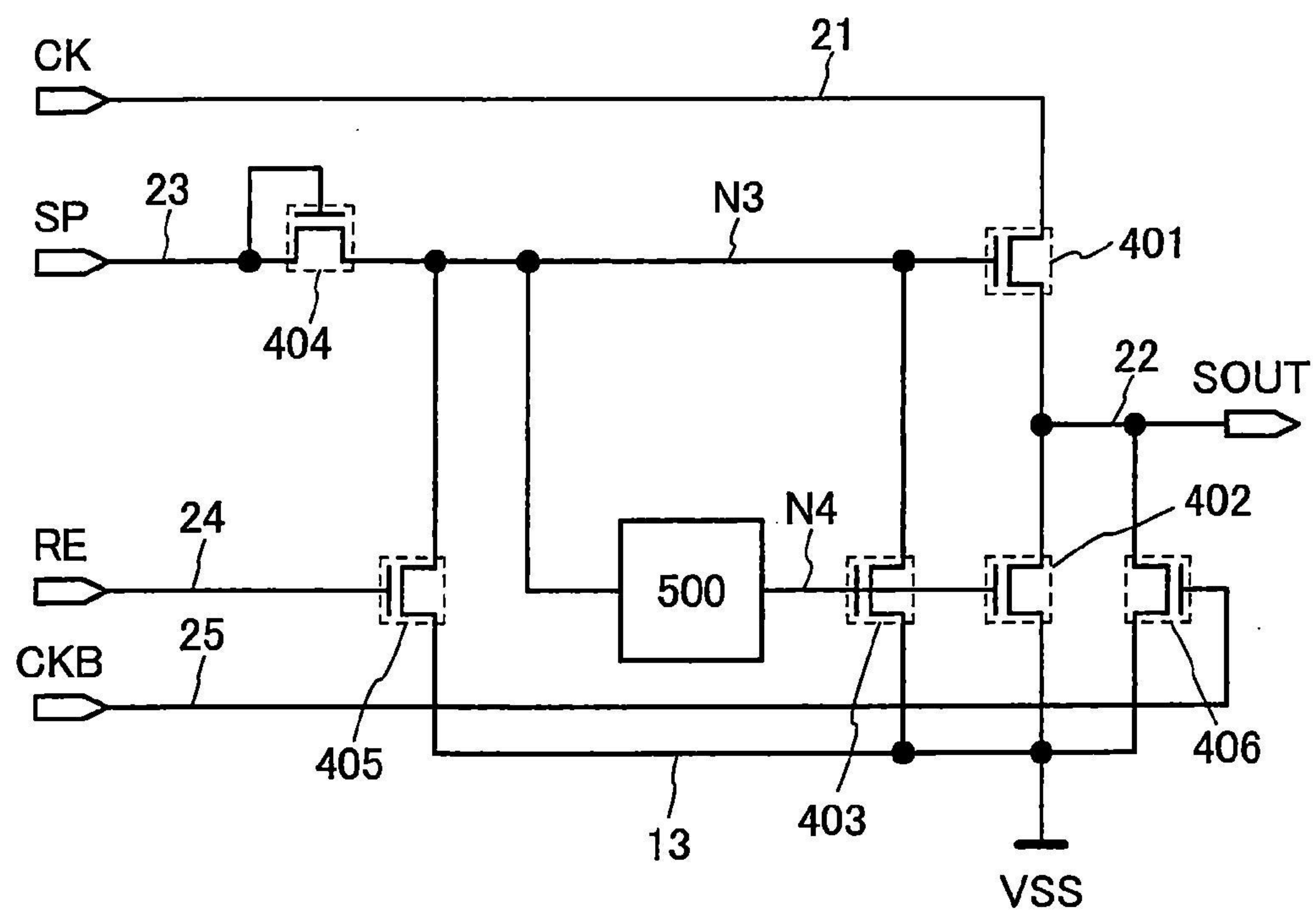


圖 8B

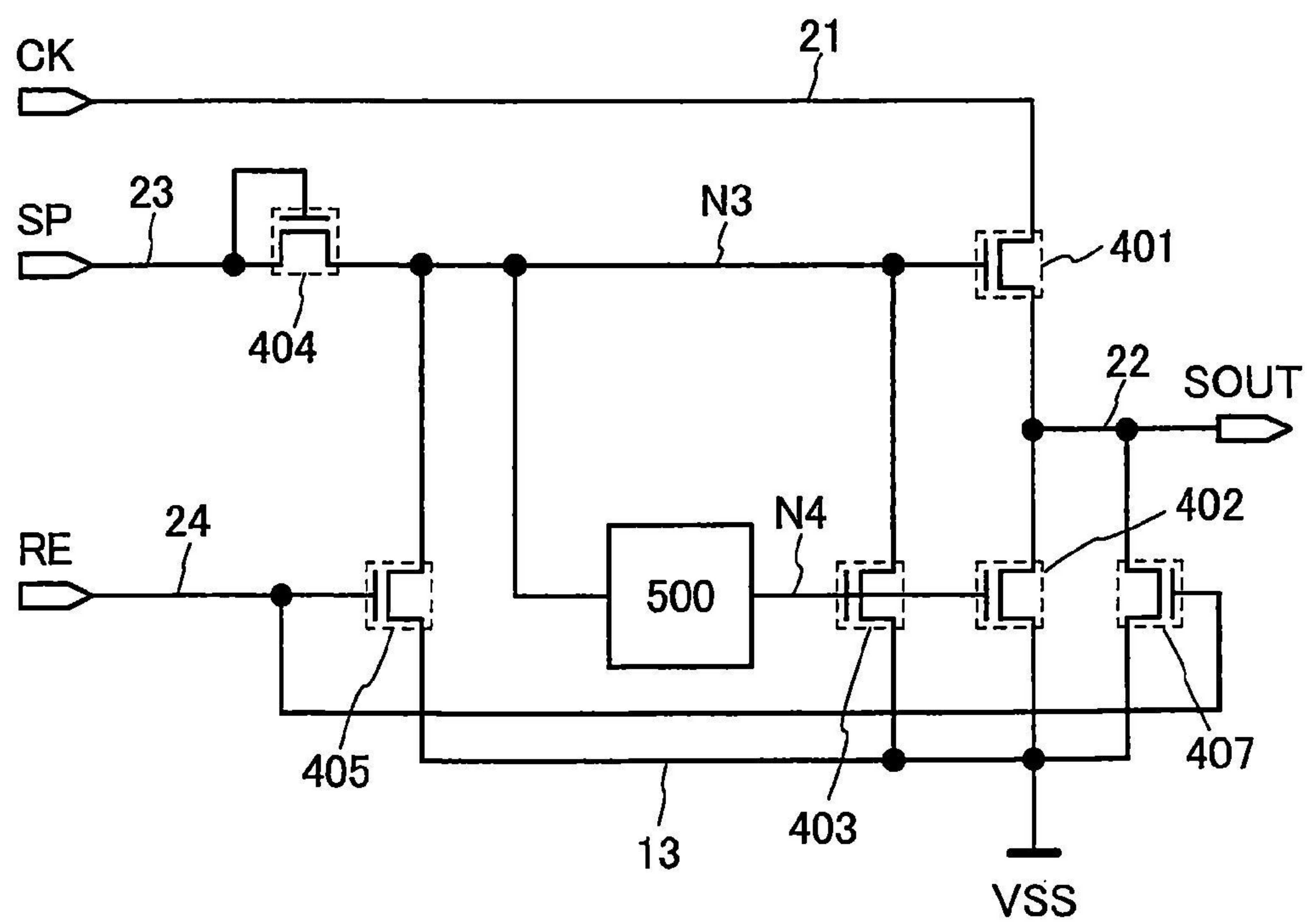


圖 9A

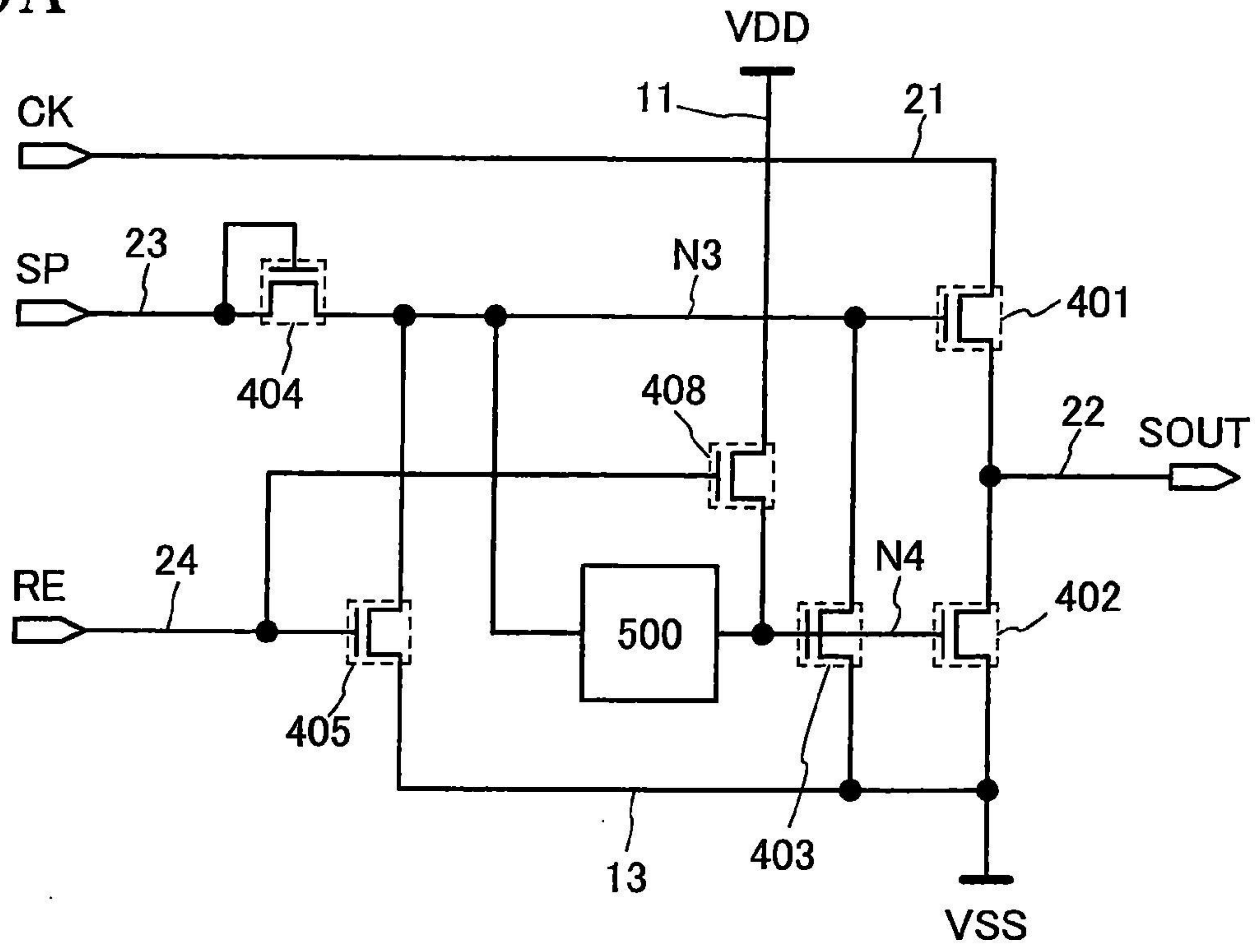


圖 9B

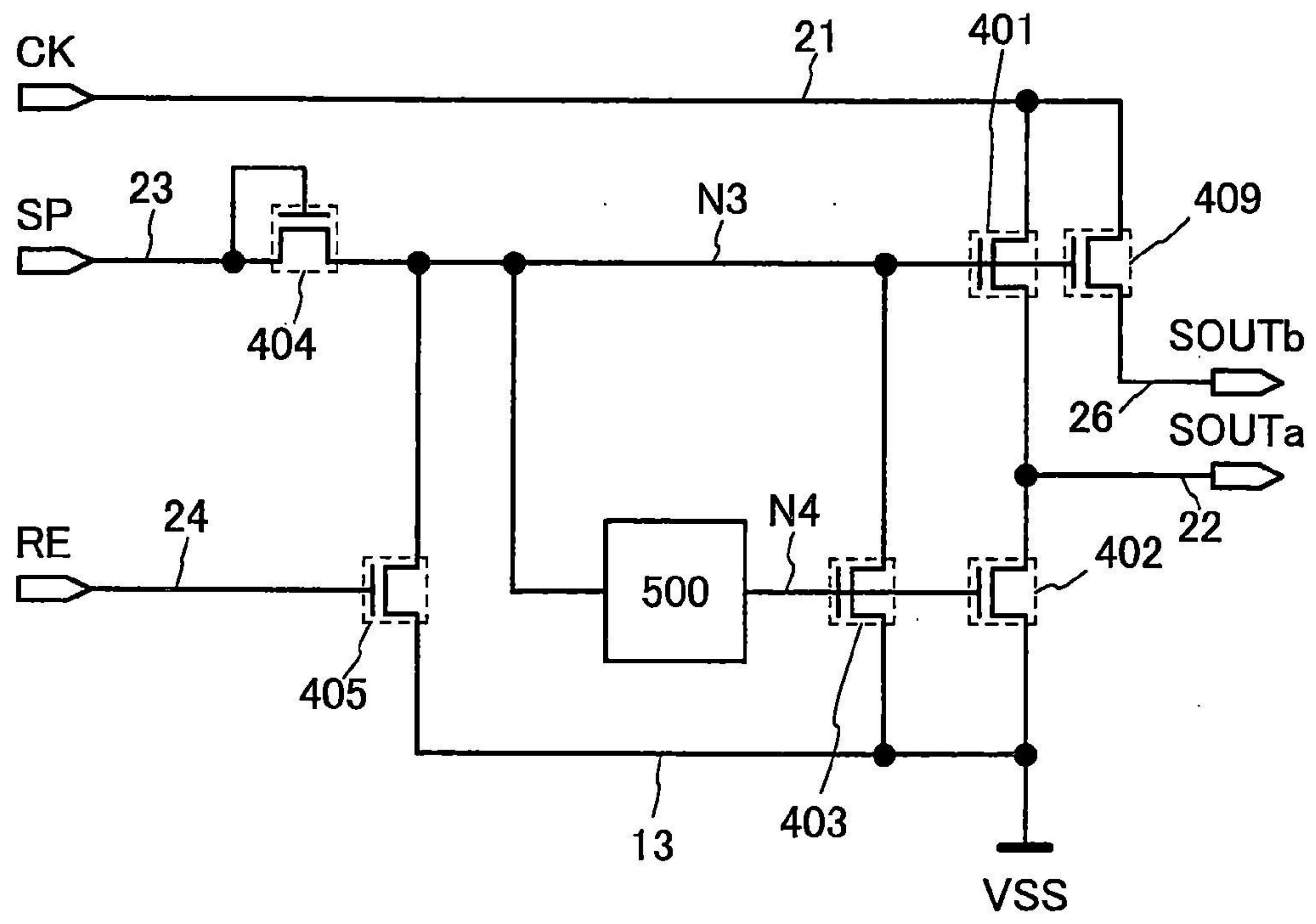


圖 10A

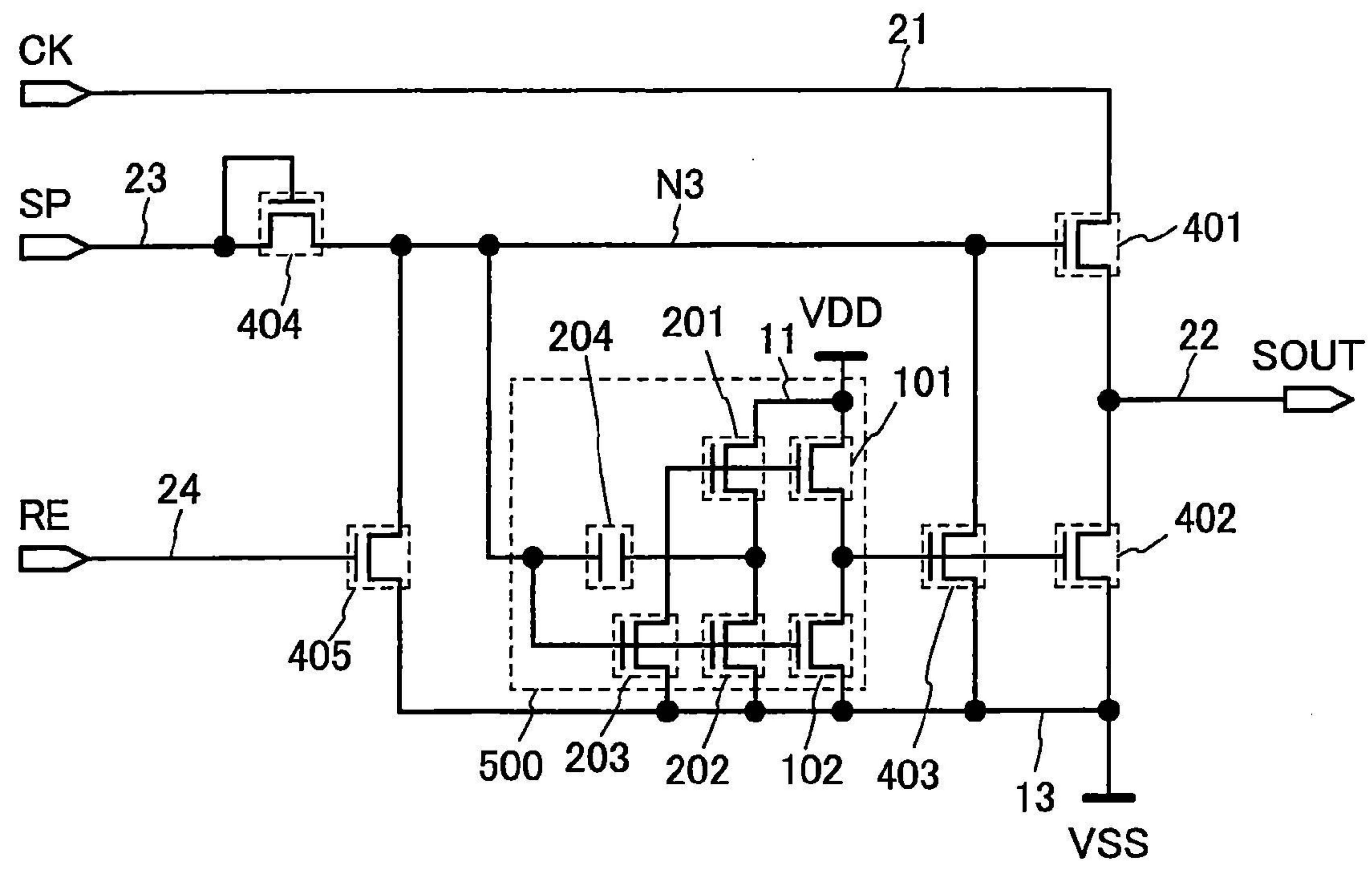


圖 10B

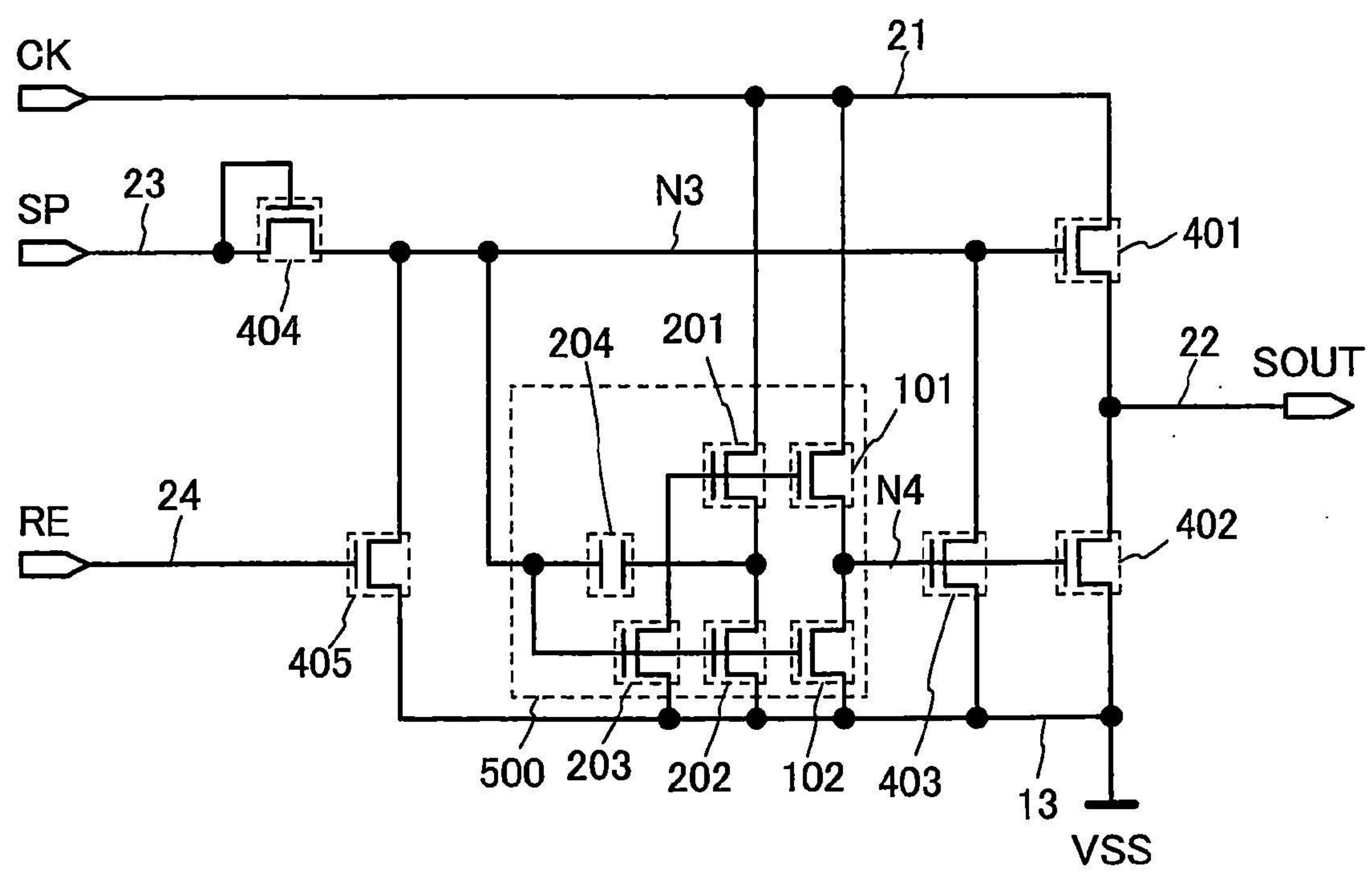


圖 11

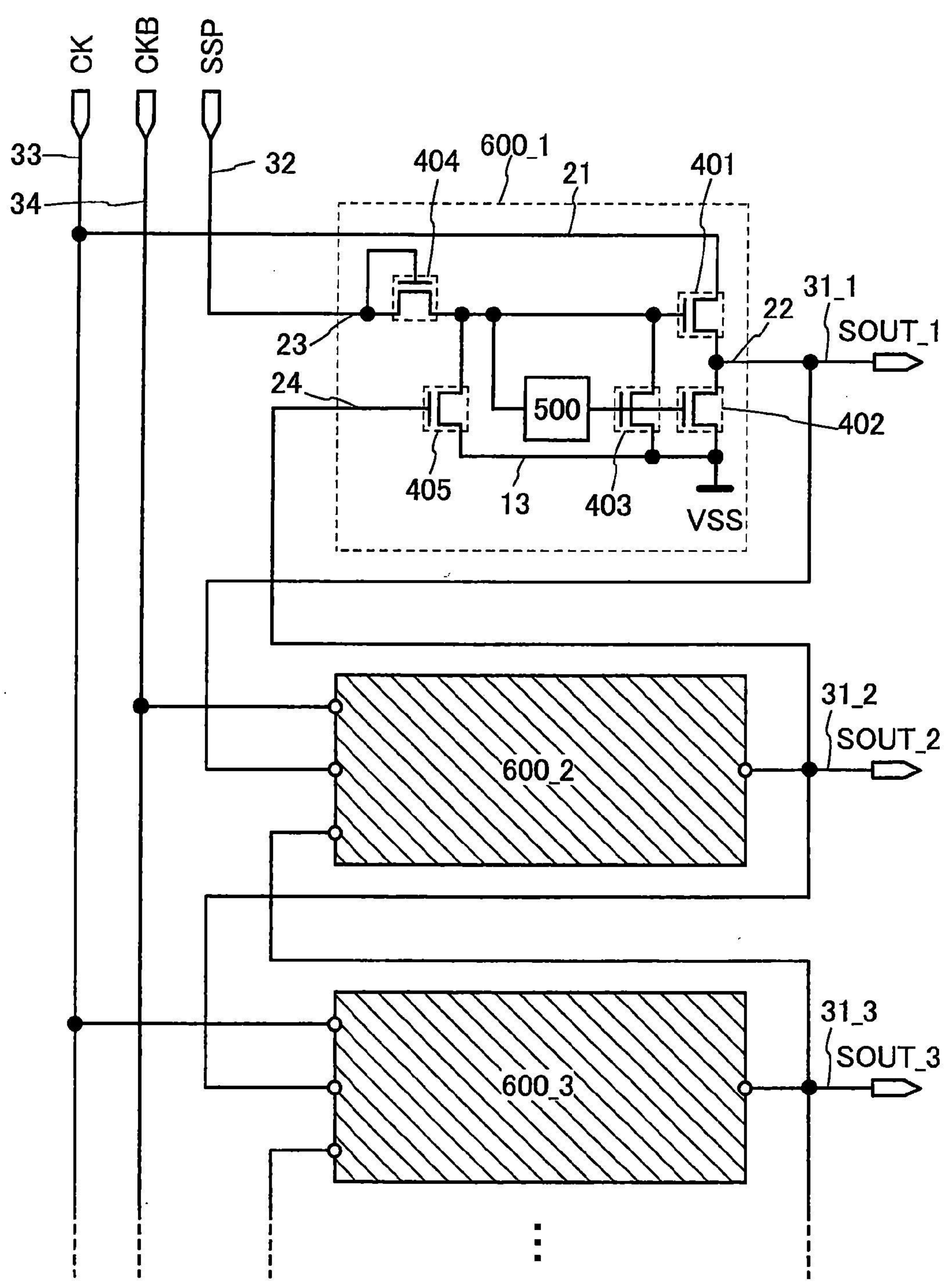


圖12

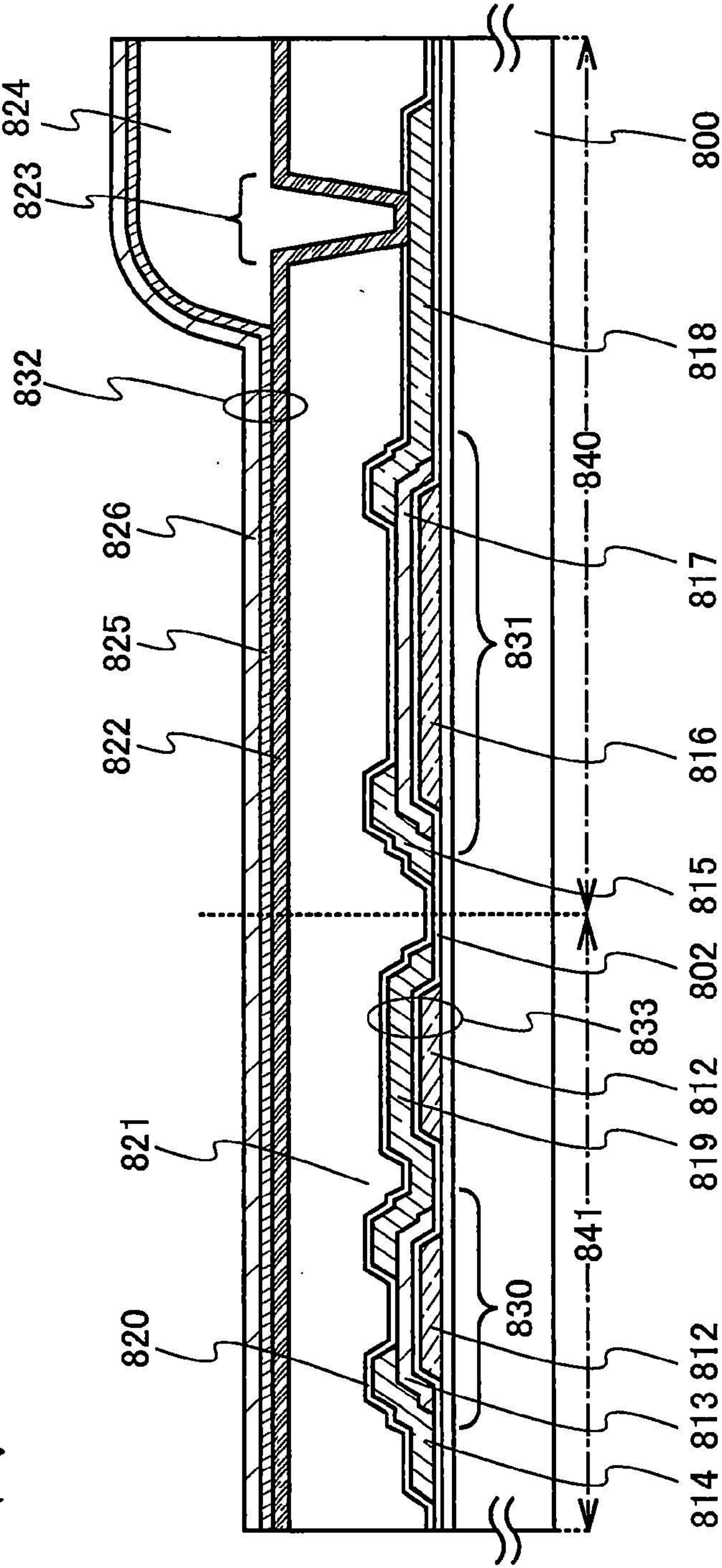


圖 13A

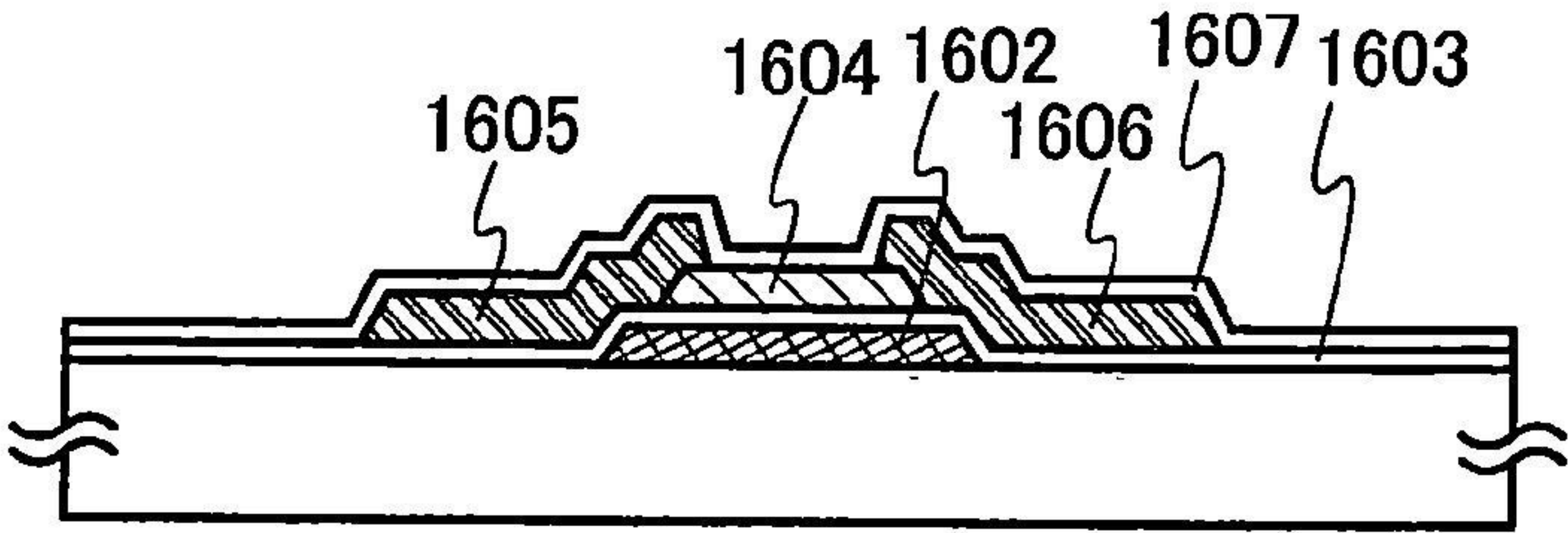


圖 13B

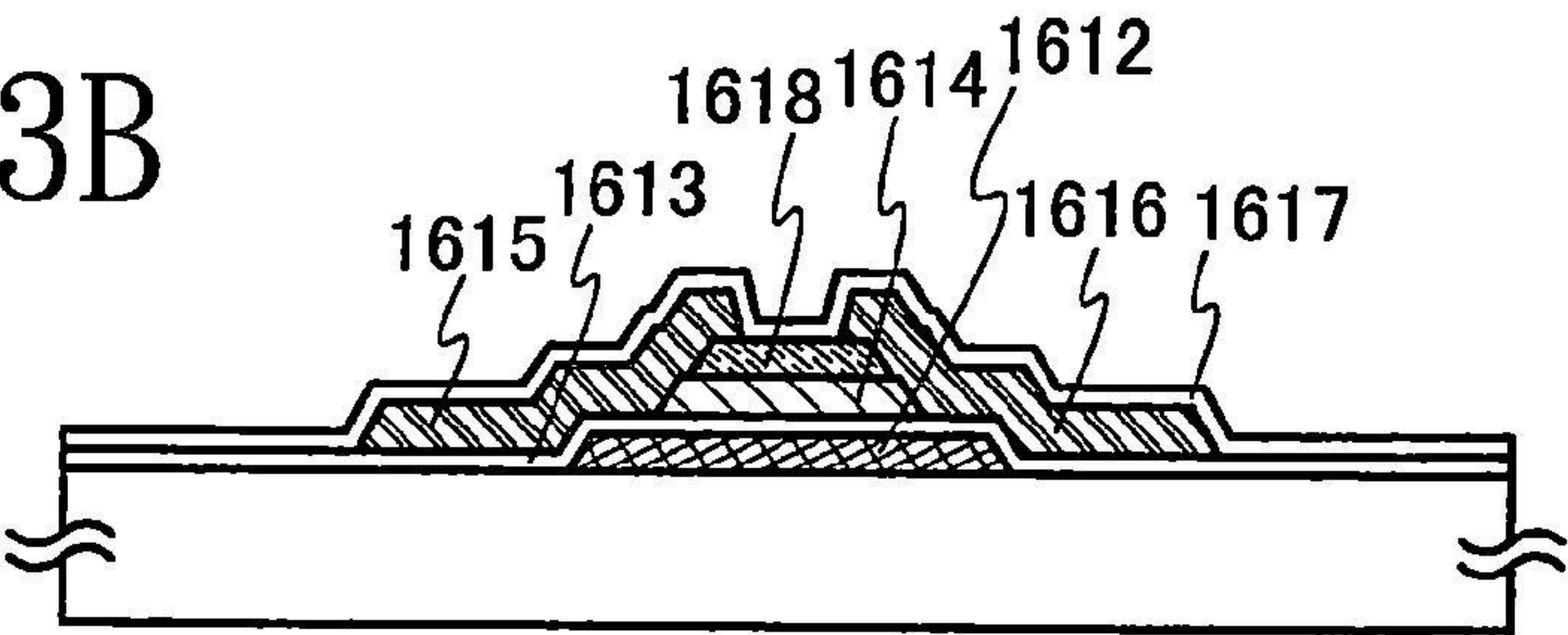


圖 13C

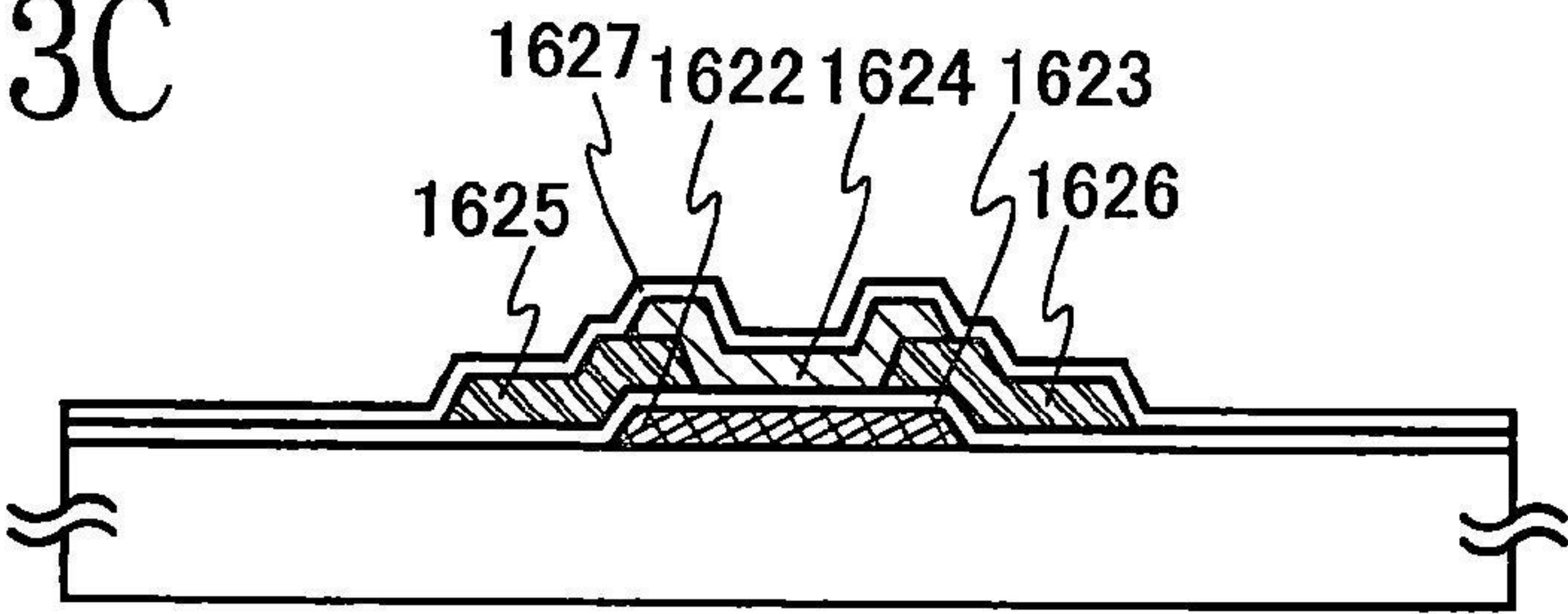


圖 13D

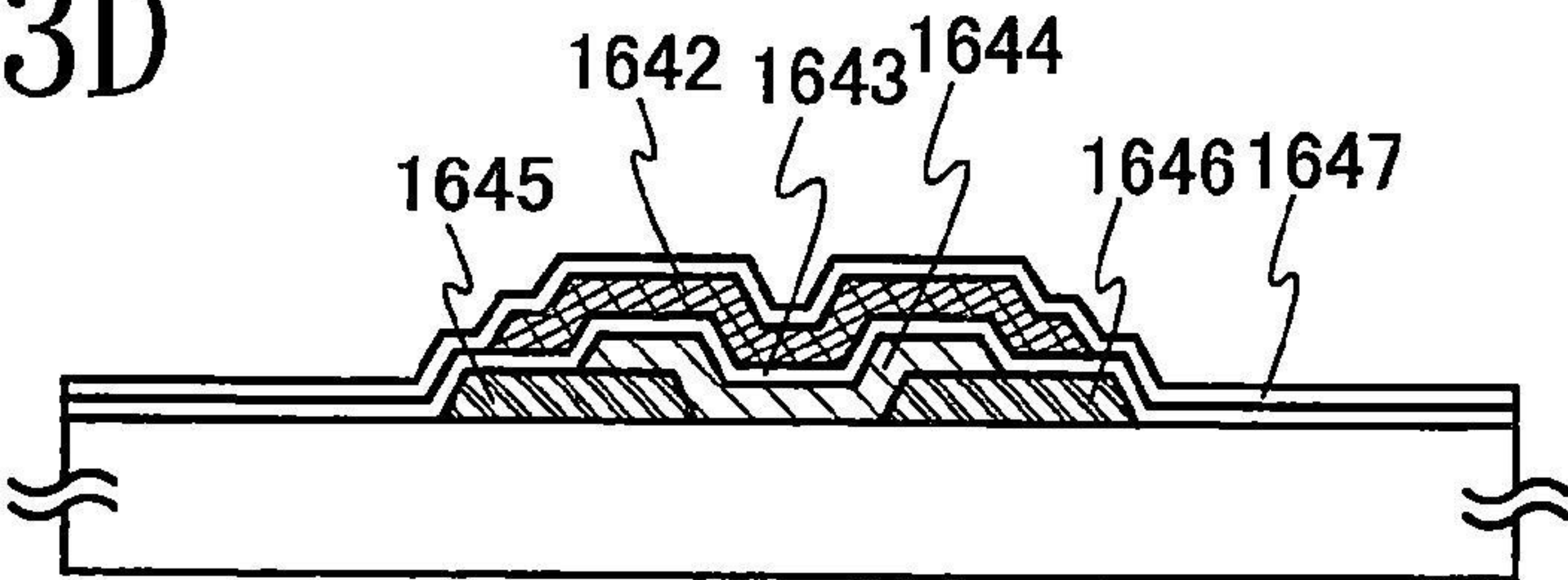


圖 14

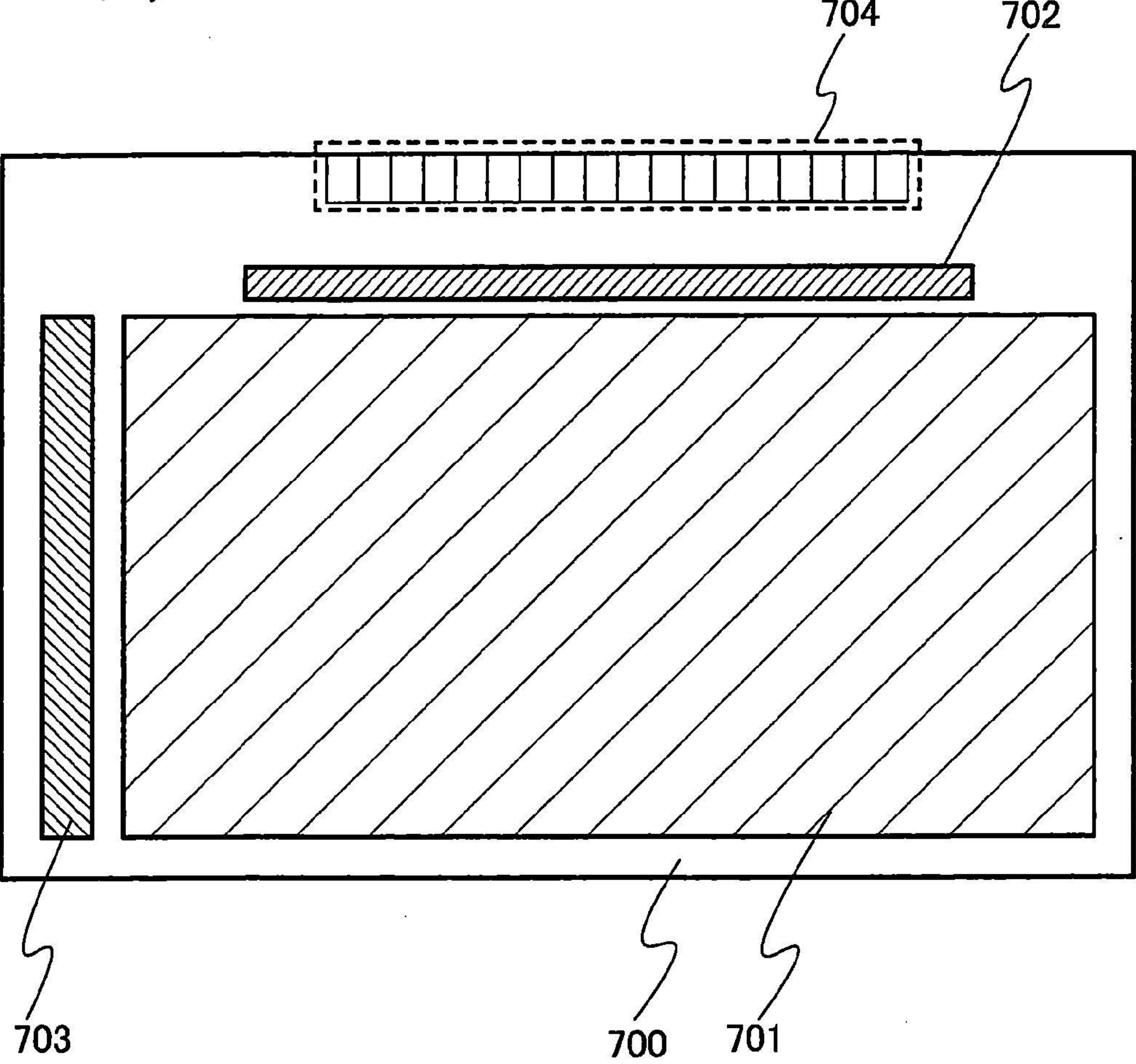


圖 15A

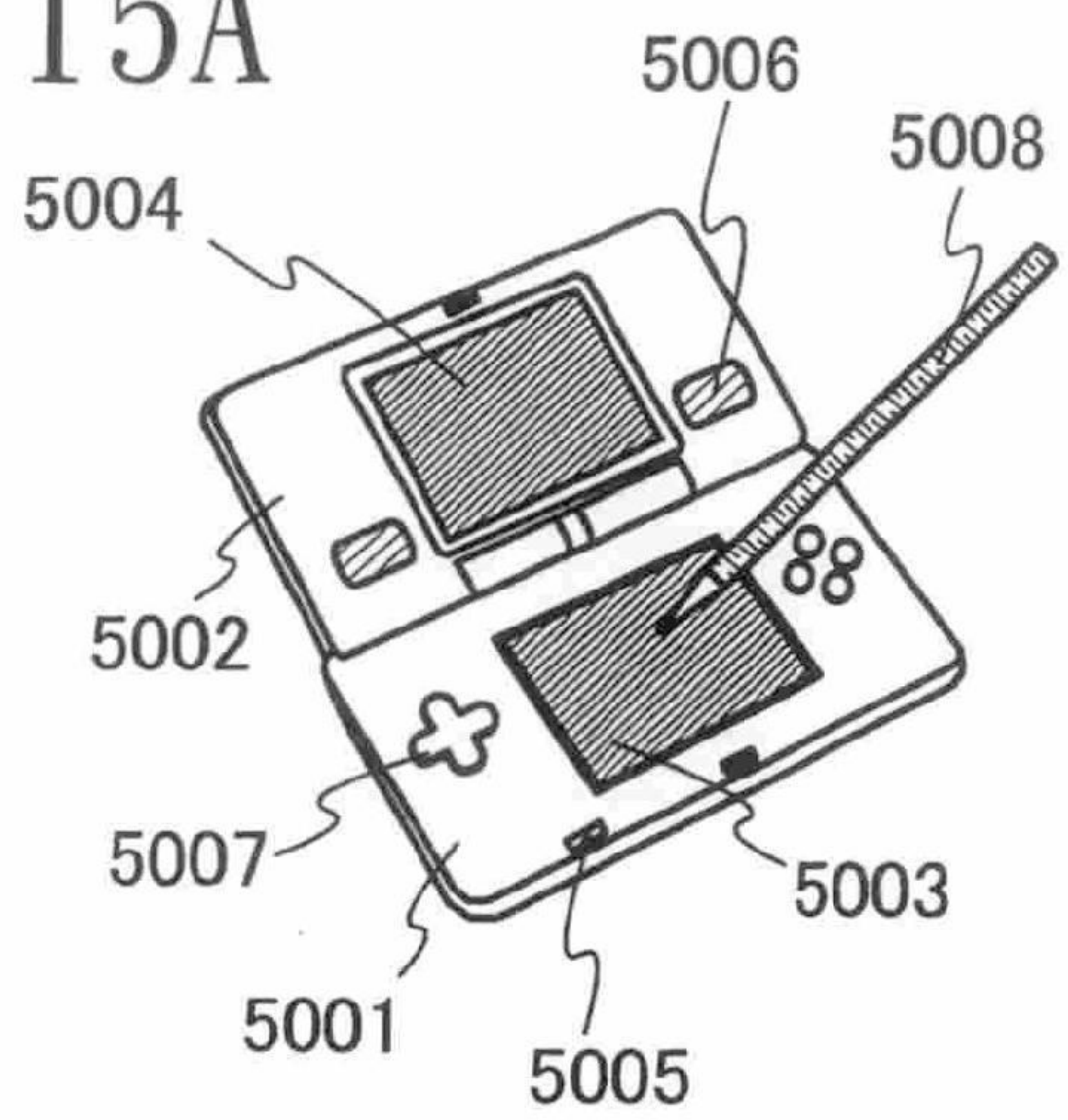


圖 15B

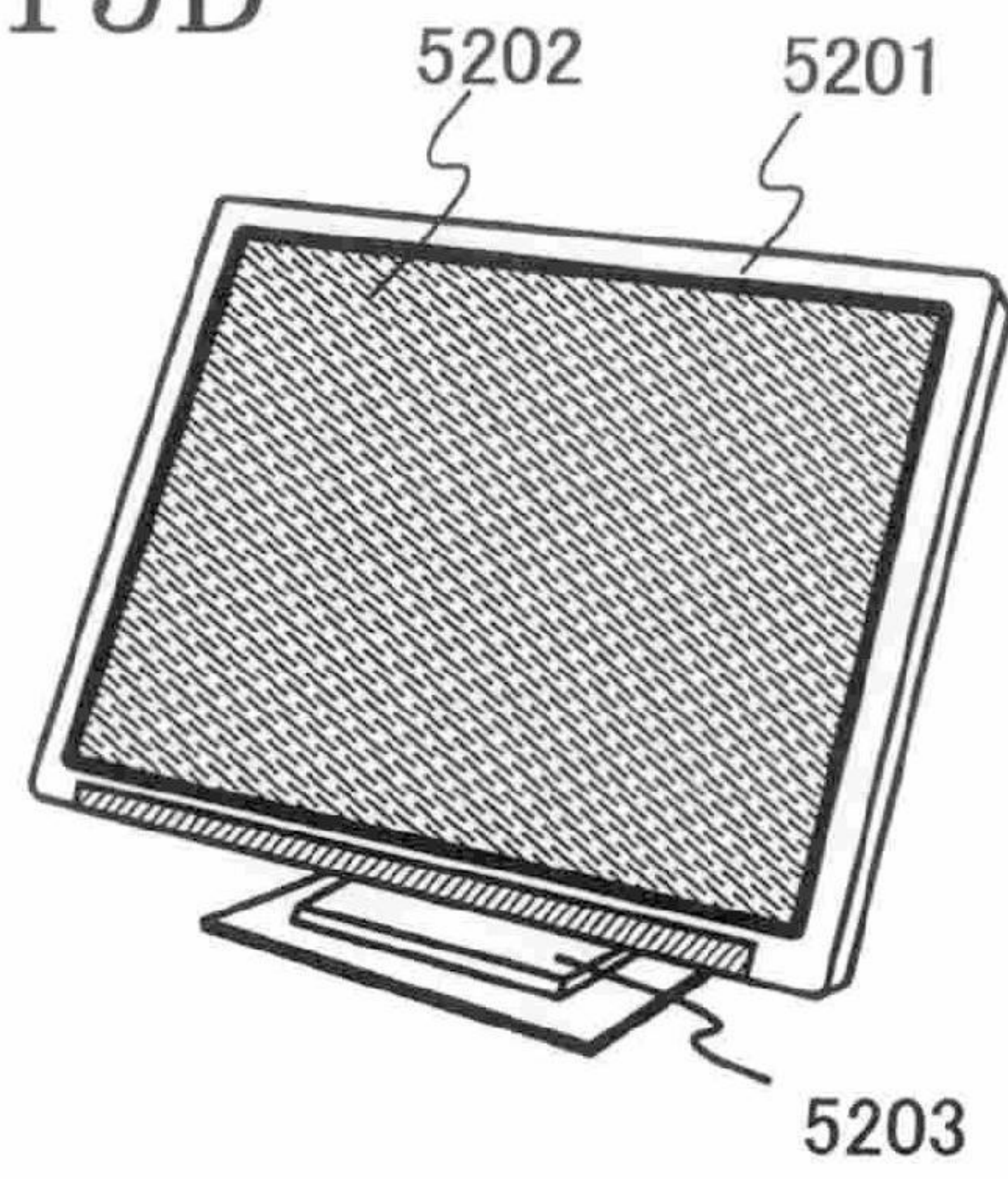


圖 15C

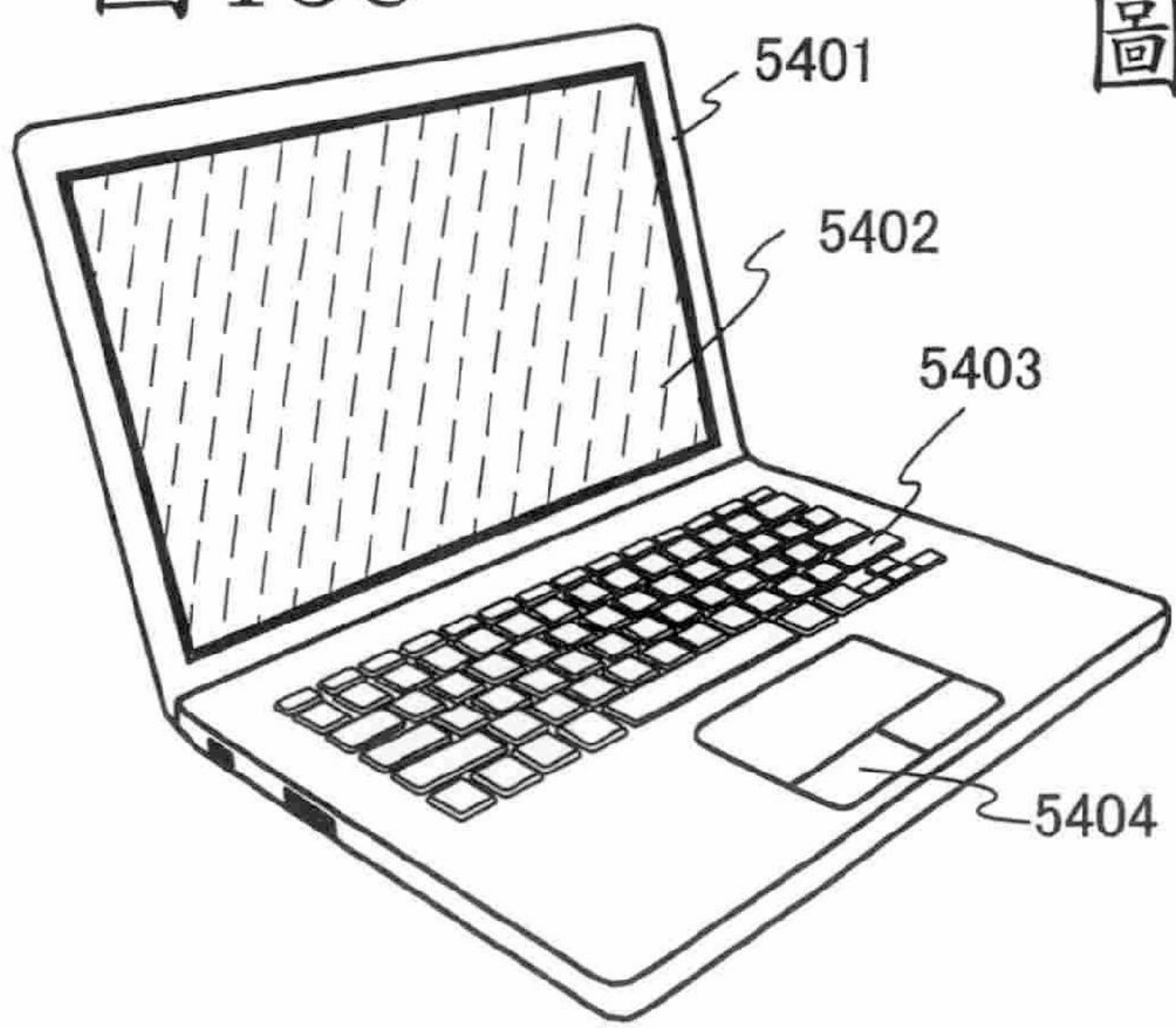


圖 15D

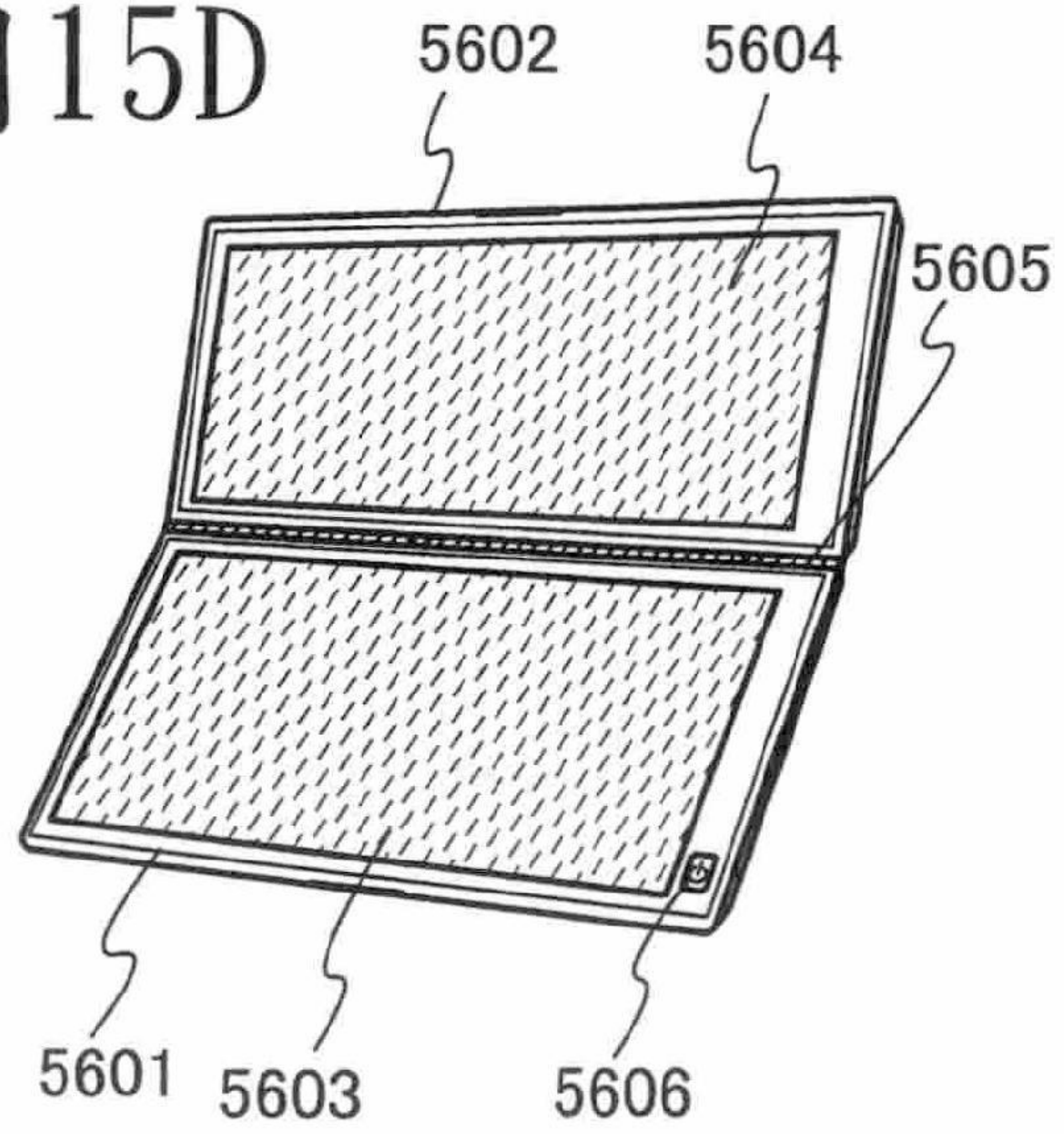


圖 15E

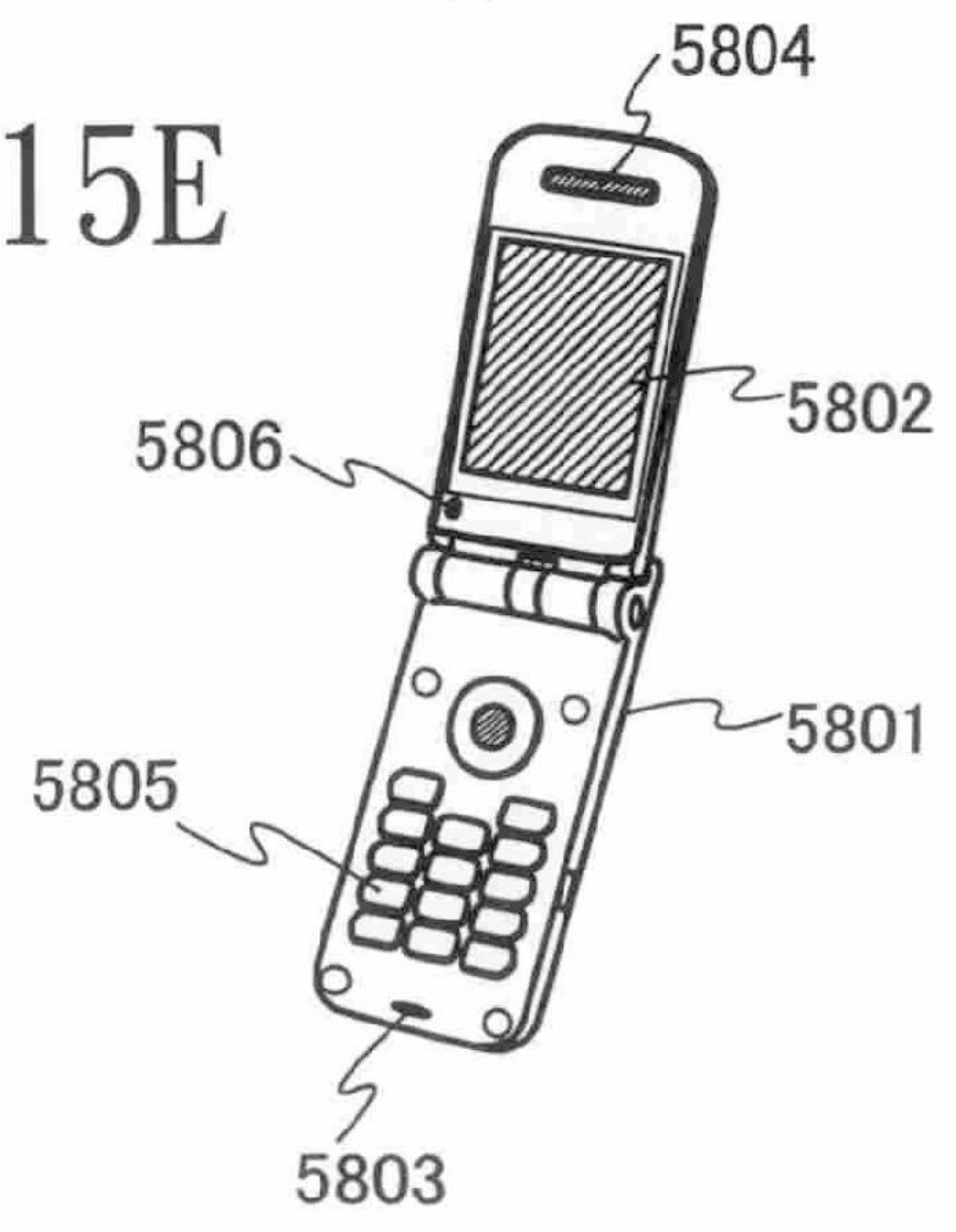


圖 16A

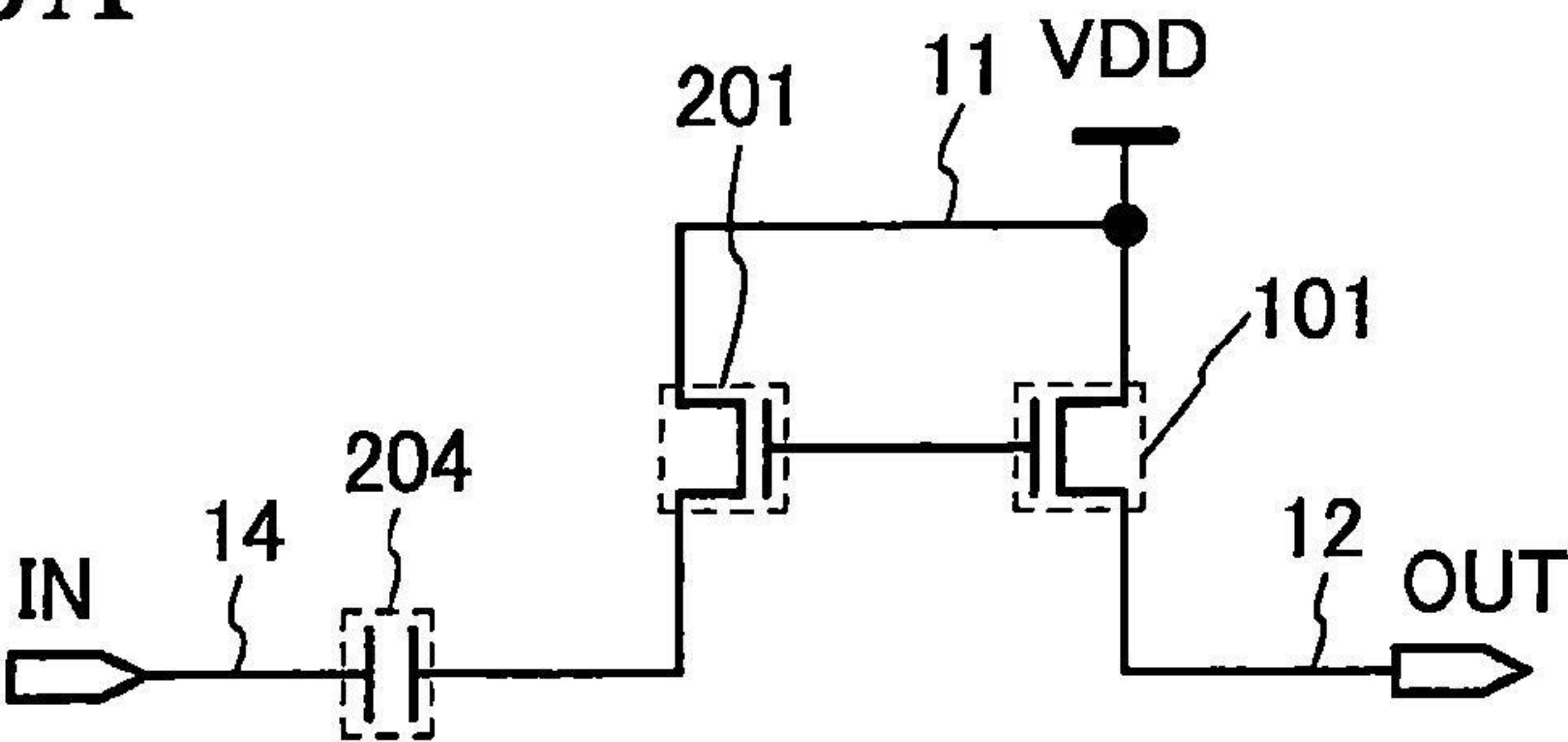


圖 16B

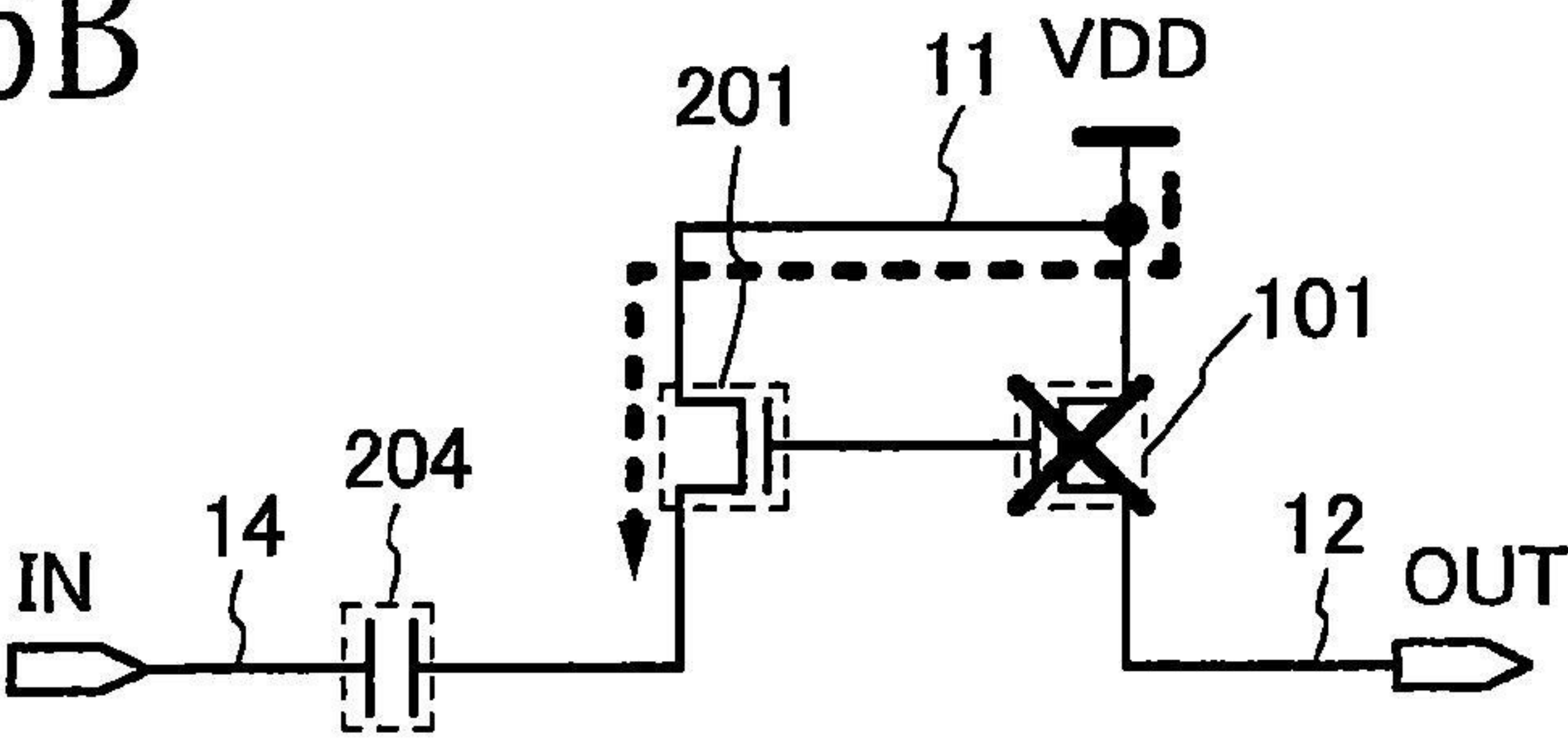


圖 16C

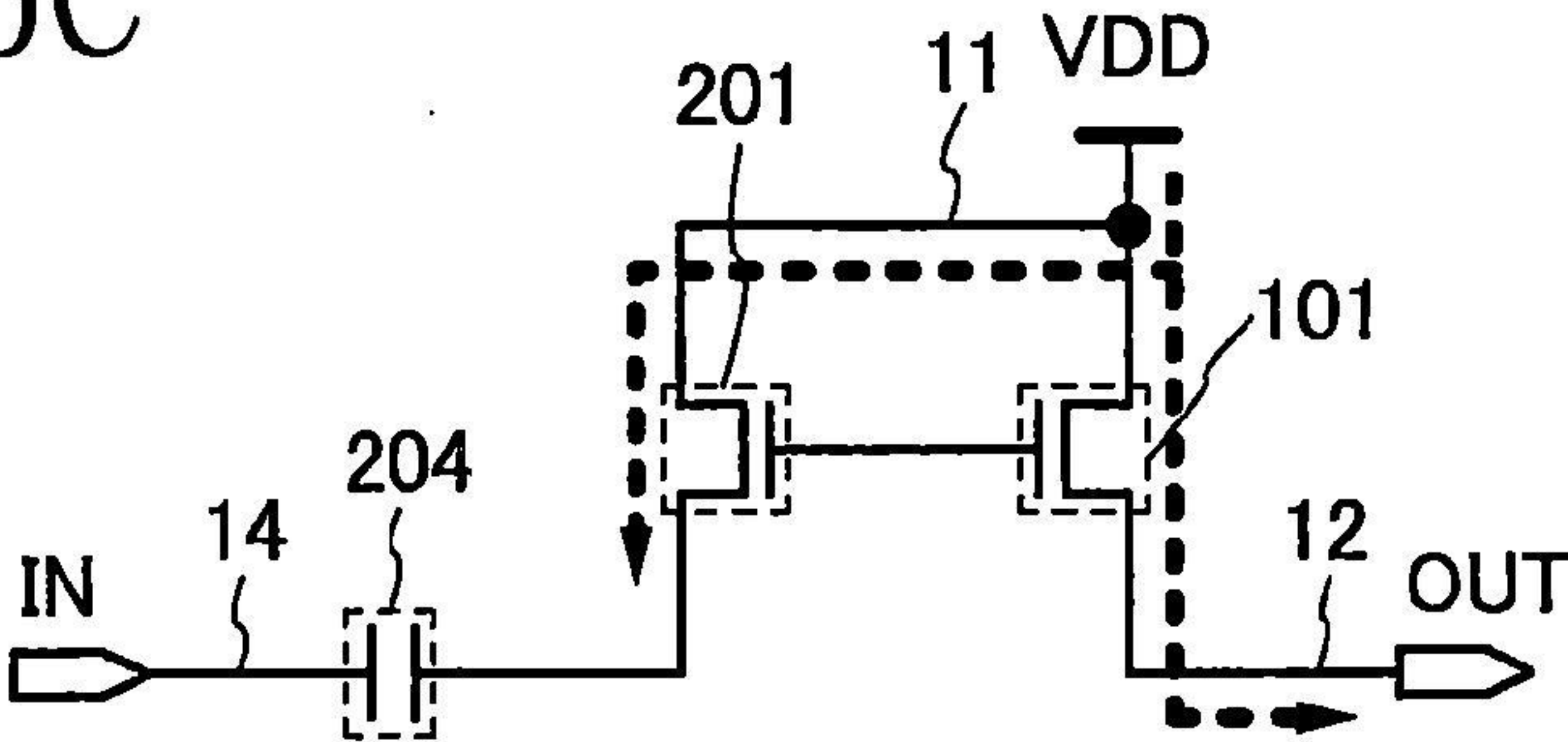
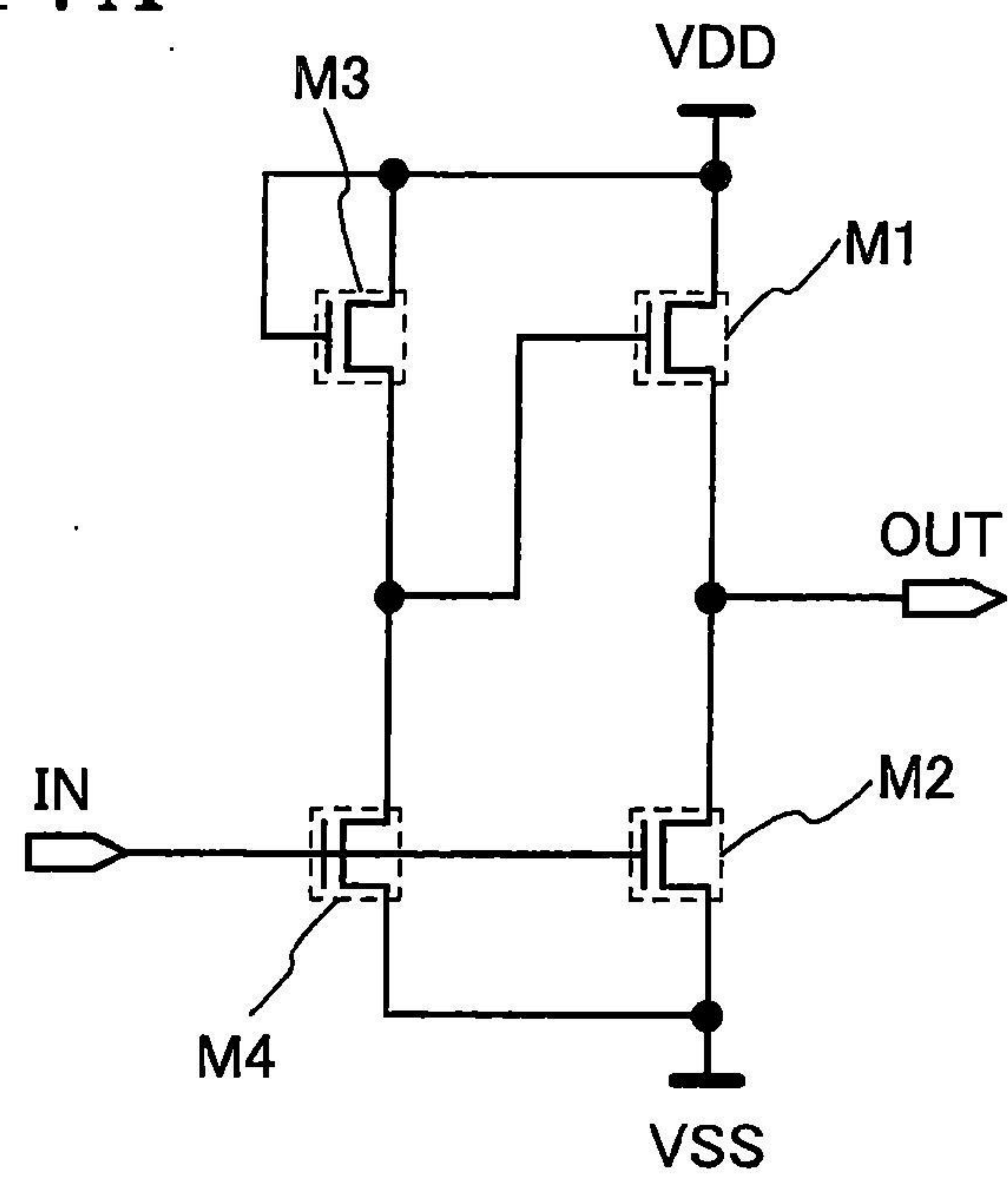
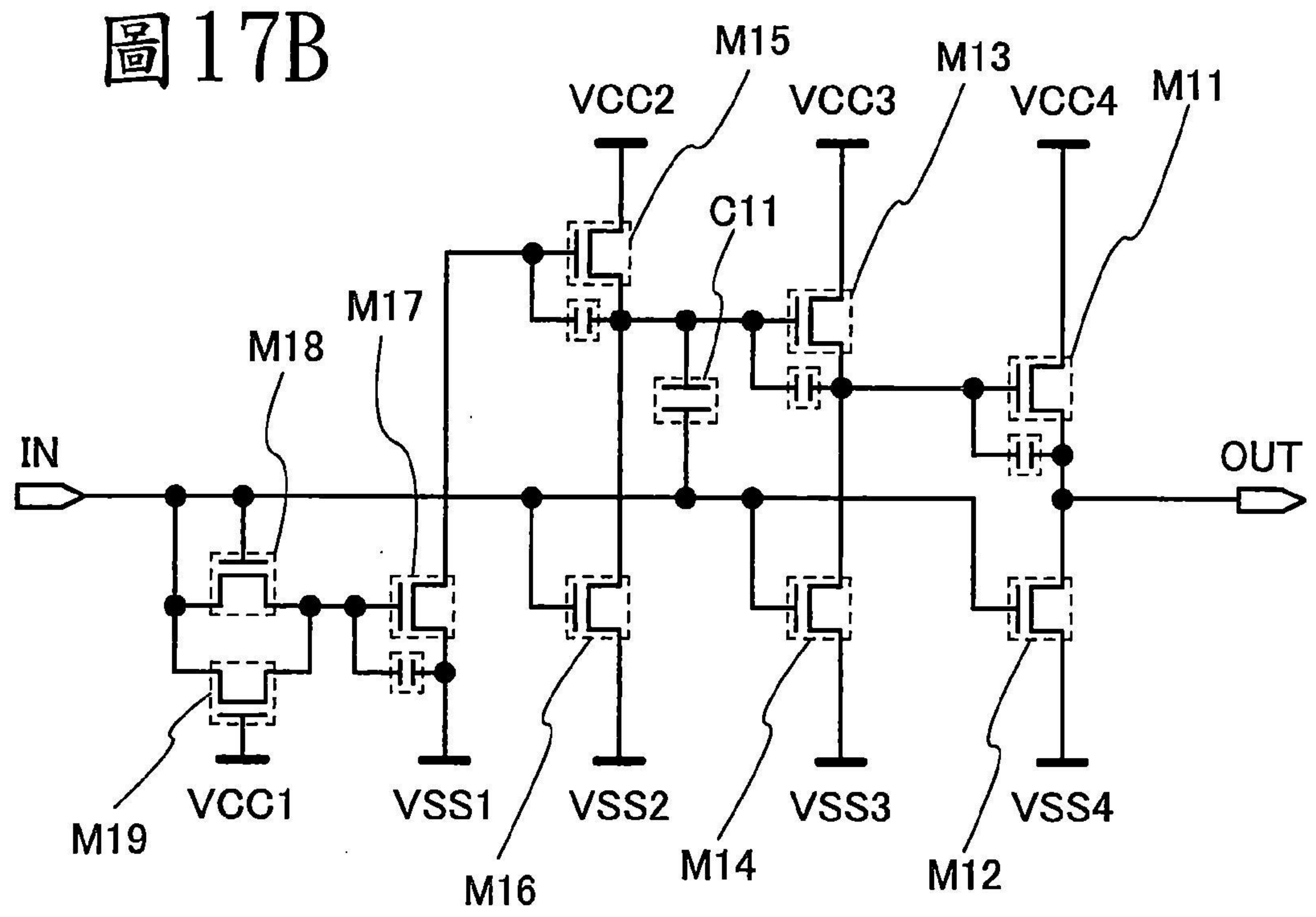


圖 17A



先前技術

圖 17B



先前技術