



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

219210
(11) (B1)

(51) Int. Cl.³
G 11 C 29/00

(22) Přihlášeno 16 02 81
(21) {PV 1058-81}

(40) Zveřejněno 26 03 82

(45) Vydáno 15 08 85

(75)
Autor vynálezu

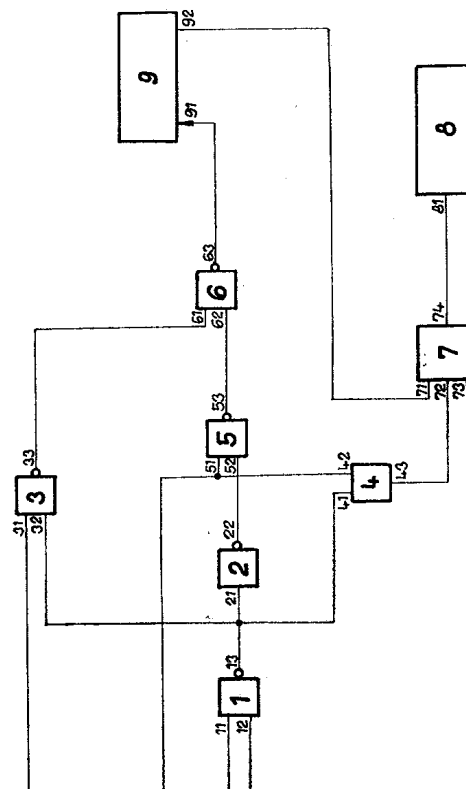
ŠINDELÁŘ BEDŘICH ing., JANDA FRANTIŠEK ing., PRAHA

(54) Generátor vzorku pro zkoušení paměťových desek

1

Vynález řeší sestavení jednoduchého obvodu, který umožňuje testování paměťových desek s paralelně spojenými výstupy dvou nebo více paměťových obvodů. Pomocí obvodu zapojeného podle vynálezu se testuje správná funkce vstupů výběrových signálů paměťových obvodů včetně dekodéru těchto signálů. Při testování paměťových desek zvoleným vzorkem se nejprve zaplní zcela nebo zčásti všechny paralelně zapojené paměťové obvody a potom následuje postupné čtení všech adres, do kterých byl zaznamenán vzorek. V každém paměťovém obvodu musí být zaznamenána jiná binární informace. Tomuto požadavku odpovídá například pseudonáhodný vzorek. Vynálezu lze využít ve zkušebních zařízeních při servisu a výrobě počítačů, případně jiných zařízení používajících paměti.

2



Vynález se týká generátoru vzorku pro zkoušení paměťových desek. Pro nepravidelné zaplnění paměťových integrovaných obvodů na desce je využito generátoru pseudonáhodného binárního signálu.

Dosud užívané způsoby zkoušení paměťových desek využívají programové vybavení, což vede k náročnějším systémům nebo vyžadují složitější obvodové vybavení.

Tyto nevýhody odstraňuje generátor podle vynálezu, jehož podstata spočívá v tom, že sestává z generátoru pseudonáhodného binárního signálu, přičemž jeho nulovací vstup je připojen na výstup součtového hradla, na jehož třetí vstup je přiveden signál nulování, přičemž druhý vstup součtového hradla je připojen na výstup součinného hradla, jehož první vstup je připojen na výstup prvního součinného hradla s negací, dále na vstup invertoru a na druhý vstup druhého součinného hradla s negací, přičemž na prvním vstupu prvního součinného hradla je signál o zkoušení desky a na jeho druhém vstupu je signál o zvoleném vzorku, přičemž signál poslední adresy paměťového obvodu je na prvním vstupu třetího součinného hradla s negací a na druhém vstupu součinného hradla, přičemž výstup invertoru je připojen na druhý vstup třetího součinného hradla s negací, jehož výstup je připojen na druhý vstup čtvrtého součinného hradla s negací, jehož první vstup je připojen na výstup druhého součinného hradla s negací, na jehož prvním vstupu je signál o konci vzorku, přičemž výstup čtvrtého součinného hradla s negací je připojen na hodinový vstup čítače, jehož výstup o jeho naplnění je připojen na první vstup součtového hradla.

Vynález zjednodušuje obvodové vybavení a nevyžaduje vybavení programové. Při zkoušení paměťové desky se vyzkouší i dekodér výběru paměťového integrovaného obvodu na desce tím, že se nezkouší každý prvek zvlášť jako u jiných vzorků. Zkouší se celá deska najednou a je využito té skutečnosti, že pseudonáhodná posloupnost začíná pro každý paměťový integrovaný obvod ve slouci v jiném místě pseudonáhodné posloupnosti. V každé řádce desky, která je určena dekodérem výběru, je tedy zapsán různý obsah.

Na obrázku je znázorněno blokové zapojení generátoru vzorku pro zkoušení paměťových desek s dekodérem.

Generátor podle vynálezu se skládá z generátoru pseudonáhodného binárního signálu 8, přičemž jeho nulovací vstup 81 je připojen na výstup 74 součtového hradla 7, na jehož třetí vstup 73 je přiveden signál nulování, přičemž druhý vstup 72 součtového hradla 7 je připojen na výstup 43 součino-

vého hradla 4, jehož první vstup 41 je připojen na výstup 13 prvního součinného hradla 1 s negací, dále na vstup 21 invertoru 2 a na druhý vstup 32 druhého součinného hradla 3 s negací, přičemž na prvním vstupu 11 prvního součinného hradla 1 je signál o zkoušení desky a na jeho druhém vstupu 12 je signál o zvoleném vzorku, přičemž signál poslední adresy paměťového obvodu je na prvním vstupu 51 třetího součinného hradla 5 s negací a na druhém vstupu 42 součinného hradla 4, přičemž výstup 22 invertoru 2 je připojen na druhý vstup 52 třetího součinného hradla 5 s negací, jehož výstup 53 je připojen na druhý vstup 62 čtvrtého součinného hradla 6 s negací, jehož první vstup 61 je připojen na výstup 33 druhého součinného hradla 3 s negací, na jehož prvním vstupu 31 je signál o konci vzorku, přičemž výstup 63 čtvrtého součinného hradla 6 s negací je připojen na hodinový vstup 91 čítače 9, jehož výstup 92 o jeho naplnění je připojen na první vstup 71 součtového hradla 7.

Generátor podle vynálezu umožňuje zkoušení paměťových desek s dekodérem pomocí pseudonáhodné posloupnosti. Je využito generátoru 8 pseudonáhodného binárního signálu, který je zaznamenán do paměťové desky bez přerušení posloupnosti až do úplného zaplnění desky. Nulování generátoru pseudonáhodného signálu je provedeno ze vstupu 81 přes logický součet 7. Čítač 9 ovládá dekodér výběru paměťových integrovaných obvodů na desce a jeho stav je měřen impulsy z výstupu 63 čtvrtého součinného hradla 6 s negací. Výstup 92 čítače 9 nuluje přes logický součet 7 generátor 8 pseudonáhodného signálu. Toto nulování je navíc provedeno ze vstupu 73 a 72 součtového hradla 7. Při zkoušení desky, tj. vstup 11 a zvolením příslušného vzorku na vstupu 12 součinného hradla 1 je přes negací 2 otevřeno součinné hradlo 5 a přes druhé součinné hradlo 3 s negací čtvrté součinné hradlo 6 s negací. Hodinové impulsy čítače 9 jsou přivedeny ze vstupu 51 součinného hradla 5 přes čtvrté součinné hradlo 6 na vstup 91 čítače 9. Při nezvoleném vzorku na vstupu 12 je otevřeno druhé součinné hradlo 3 s negací a součinné hradlo 4 a impulsem ze vstupu 51 je nulován generátor 8. Hodinové impulsy čítače 9 jsou přivedeny ze vstupu 31 druhého součinného hradla 3 přes čtvrté součinné hradlo 6 s negací. Impulsy ze vstupu 51 reprezentují poslední adresu paměťového integrovaného obvodu. Impulsy ze vstupu 31 reprezentují konec zvoleného vzorku.

Generátoru podle vynálezu může být využito v servisních a výrobních službách po čítačů a zařízeních využívající paměti.

PŘEDMĚT VYNÁLEZU

Generátor vzorku pro zkoušení paměťových desek, vyznačující se tím, že sestává z generátoru pseudonáhodného binárního signálu (8), jehož nulovací vstup (81) je připojen na výstup (74) součtového hradla (7), přičemž druhý vstup (72) součtového hradla (7) je připojen na výstup (43) součinnového hradla (4), jehož první vstup (41) je připojen na výstup (13) prvního součinnového hradla (1) s negací, dále na vstup (21) invertoru (2) a na druhý vstup (32) pruhého součinnového hradla (3) s negací, při-

čemž výstup (22) invertoru (2) je připojen na druhý vstup (52) třetího součinnového hradla (5) s negací, jehož výstup (53) je připojen na druhý vstup (62) čtvrtého součinnového hradla (6) s negací, jehož první vstup (61) je připojen na výstup (33) druhého součinnového hradla (3) s negací, zatímco výstup (63) čtvrtého součinnového hradla (6) s negací je připojen na hodinový vstup (91) čítače (9), jehož výstup (92) je připojen na první vstup (71) součtového hradla (7).

1 list výkresů

