

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6009228号
(P6009228)

(45) 発行日 平成28年10月19日 (2016. 10. 19)

(24) 登録日 平成28年9月23日 (2016. 9. 23)

(51) Int. Cl. F I
H05K 3/46 (2006.01)
H05K 3/46 Q
H05K 3/46 N

請求項の数 8 (全 18 頁)

(21) 出願番号	特願2012-122588 (P2012-122588)	(73) 特許権者	000190688
(22) 出願日	平成24年5月30日 (2012. 5. 30)		新光電気工業株式会社
(65) 公開番号	特開2013-247353 (P2013-247353A)		長野県長野市小島田町80番地
(43) 公開日	平成25年12月9日 (2013. 12. 9)	(74) 代理人	100091672
審査請求日	平成27年5月19日 (2015. 5. 19)		弁理士 岡本 啓三
前置審査		(72) 発明者	佐藤 淳史
			長野県長野市小島田町80番地 新光電気工業株式会社内
		(72) 発明者	野村 智弘
			長野県長野市小島田町80番地 新光電気工業株式会社内
		(72) 発明者	大島 一宏
			長野県長野市小島田町80番地 新光電気工業株式会社内

最終頁に続く

(54) 【発明の名称】 電子部品内蔵基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

コア材に開口部を形成する工程と、
前記開口部内に電子部品を搭載する工程と、
前記コア材の一方の面に第1樹脂層を形成すると共に、前記コア材の開口部の側面と前記電子部品との隙間に前記第1樹脂層を充填して充填樹脂部を形成する工程と、
前記コア材の他方の面に第2補助絶縁層を形成する共に、前記コア材の一方の面の前記第1樹脂層の上に第2樹脂層を積層して、前記第1樹脂層と前記第2樹脂層とからなる第1補助絶縁層を形成する工程と、
前記第2補助絶縁層に、前記電子部品の接続端子に到達する第1ビアホールを形成する工程と、
前記第2補助絶縁層の上に、前記第1ビアホールを介して前記電子部品の接続端子に接続される第1配線層を形成する工程とを有し、
前記コア材は前記一方の面及び他方の面の全体にわたって前記第1補助絶縁層及び前記第2補助絶縁層と直接接触しており、前記コア材、前記第1補助絶縁層及び前記第2補助絶縁層により基板が形成されることを特徴とする電子部品内蔵基板の製造方法。

【請求項 2】

前記コア材の厚みは、前記電子部品の厚みに対応していることを特徴とする請求項 1 に記載の電子部品内蔵基板の製造方法。

【請求項 3】

10

20

前記電子部品を搭載する工程は、
前記コア材の他方の面に仮付テープを貼り付ける工程と、
前記コア材の開口部内の前記仮付テープに前記電子部品を搭載する工程とを含み、
前記充填樹脂部を充填する工程の後に、前記仮付テープを除去する工程を有することを
特徴とする請求項 1 又は 2 に記載の電子部品内蔵基板の製造方法。

【請求項 4】

前記第 1 配線層を形成する工程の後に、
前記第 2 補助絶縁層の上に層間絶縁層を形成する工程と、
前記層間絶縁層に、前記第 1 配線層に到達する第 2 ビアホールを形成する工程と、
前記層間絶縁層の上に、前記第 2 ビアホールを介して前記第 1 配線層に接続される第 2
配線層を形成する工程とを有することを特徴とする請求項 1 乃至 3 のいずれか一項に記載
の電子部品内蔵基板の製造方法。

10

【請求項 5】

前記層間絶縁層を形成する工程において、前記層間絶縁層は銅箔付プリプレグを熱プレ
スすることにより形成され、前記層間絶縁層の上に銅箔が接着されており、
前記第 2 ビアホールを形成する工程において、前記銅箔及び前記層間絶縁層をレーザで
加工し、

前記第 2 配線層を形成する工程において、前記第 2 配線層は前記銅箔を含んで形成され
ることを特徴とする請求項 4 に記載の電子部品内蔵基板の製造方法。

【請求項 6】

20

前記第 1 配線層の厚みは、前記電子部品の接続端子の厚みより厚いことを特徴とする請
求項 1 乃至 5 のいずれか一項に記載の電子部品内蔵基板の製造方法。

【請求項 7】

前記第 1 補助絶縁層を形成する前記第 1 樹脂層と前記第 2 樹脂層との間に配線層は存在
しないこと特徴とする請求項 1 乃至 6 のいずれか一項に記載の電子部品内蔵基板の製造方
法。

【請求項 8】

前記電子部品は、チップキャパシタであることを特徴とする請求項 1 乃至 7 のいずれか
一項に記載の電子部品内蔵基板の製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は電子部品内蔵基板の製造方法に関する。

【背景技術】

【0002】

近年の電子機器の発達に伴い、電子機器に使用される電子部品装置の配線基板は、小型
化及び高性能化などが要求されている。これに対応するため、配線基板内に電子部品が内
蔵された電子部品内蔵基板が実用化されている。

【0003】

そのような電子部品内蔵基板の一例では、コア基板の開口部に電子部品が配置され、コ
ア基板の両面側にビルドアップ配線が形成される。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2011-216740 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

後述する予備的事項の欄で説明するように、電子部品内蔵基板を製造する際には、コア
基板の開口部に仮付テープで仮接着された電子部品の周りの隙間を、樹脂フィルムを熱ブ

50

レスして樹脂で埋め込む工程がある。このとき、コア基板の厚みは電子部品より厚く設定されていることから、埋め込む空間の体積が大きく、厚い樹脂フィルムを高い押圧力で熱プレスする必要がある。

【 0 0 0 6 】

このため、電子部品が仮付テープから剥がれてコア基板の開口部内で傾いた状態で樹脂封止されてしまうことがある。さらに、埋め込む空間の体積が大きいため、電子部品の周りの隙間を信頼性よく樹脂で埋め込むことは困難である。

【 0 0 0 7 】

電子部品内蔵基板の製造方法において、電子部品を信頼性よく搭載することを目的とする。

10

【課題を解決するための手段】

【 0 0 0 9 】

以下の開示の一観点によれば、コア材に開口部を形成する工程と、前記開口部内に電子部品を搭載する工程と、前記コア材の一方の面に第1樹脂層を形成すると共に、前記コア材の開口部の側面と前記電子部品との隙間に前記第1樹脂層を充填して充填樹脂部を形成する工程と、前記コア材の他方の面に第2補助絶縁層を形成する共に、前記コア材の一方の面の前記第1樹脂層の上に第2樹脂層を積層して、前記第1樹脂層と前記第2樹脂層とからなる第1補助絶縁層を形成する工程と、前記第2補助絶縁層に、前記電子部品の接続端子に到達する第1ビアホールを形成する工程と、前記第2補助絶縁層の上に、前記第1ビアホールを介して前記電子部品の接続端子に接続される第1配線層を形成する工程とを有し、前記コア材は前記一方の面及び他方の面の全体にわたって前記第1補助絶縁層及び前記第2補助絶縁層と直接接触しており、前記コア材、前記第1補助絶縁層及び前記第2補助絶縁層により基板が形成される電子部品内蔵基板の製造方法が提供される。

20

【発明の効果】

【 0 0 1 0 】

以下の開示によれば、電子部品内蔵基板の一つの好適な態様では、コア材の厚みを電子部品の厚みに対応させている。このため、コア材の開口部に配置された電子部品の周りの隙間を、樹脂フィルムを熱プレスして埋め込む際に、埋め込む空間の体積を小さくすることができる。

【 0 0 1 1 】

30

これにより、薄い樹脂フィルムを低い押圧力で熱プレスすることで、電子部品の周りを隙間なく樹脂で埋め込むことができる。また、樹脂フィルムを熱プレスする際の押圧力を低く設定できるので、電子部品が傾くことが防止される。

【 0 0 1 2 】

そして、コア材の厚みの不足分を両面側の第1、第2補助絶縁層によって補うことにより、所望の厚みのコア基板を得ることができる。

【 0 0 1 3 】

また、電子部品の接続端子は、第2補助絶縁層のビアホールを介して厚みの厚い第1配線層によってかさ上げされている。

【 0 0 1 4 】

40

このため、銅箔及びプリプレグから形成される層間絶縁層を高出力のレーザで加工して第1配線層の上にビアホールを形成する場合であっても、かさ上げされた第1配線層がレーザ加工時のストッパ層として機能し、電子部品の接続端子に損傷が生じるおそれがない。

【図面の簡単な説明】

【 0 0 1 5 】

【図1】図1(a)～(d)は予備的事項に係る電子部品内蔵基板の製造方法を示す断面図(その1)である。

【図2】図2(a)～(c)は予備的事項に係る電子部品内蔵基板の製造方法を示す断面図(その2)である。

50

【図 3】図 3 (a) ~ (c) は予備的事項に係る電子部品内蔵基板の製造方法を示す断面図 (その 3) である。

【図 4】図 4 (a) 及び (b) は予備的事項に係る電子部品内蔵基板の製造方法の問題点を説明するための断面図である。

【図 5】図 5 (a) ~ (e) は実施形態の電子部品内蔵基板の製造方法を示す断面図 (その 1) である。

【図 6】図 6 (a) ~ (d) は実施形態の電子部品内蔵基板の製造方法を示す断面図 (その 2) である。

【図 7】図 7 (a) ~ (c) は実施形態の電子部品内蔵基板の製造方法を示す断面図 (その 3) である。

10

【図 8】図 8 (a) ~ (c) は実施形態の電子部品内蔵基板の製造方法を示す断面図 (その 4) である。

【図 9】図 9 (a) ~ (c) は実施形態の電子部品内蔵基板の製造方法を示す断面図 (その 5) である。

【図 10】図 10 は実施形態の電子部品内蔵基板を示す断面図である。

【図 11】図 11 は実施形態の別の電子部品内蔵基板を示す断面図である。

【図 12】図 12 は図 11 の電子部品内蔵基板に半導体チップが実装された様子を示す断面図である。

【発明を実施するための形態】

【 0 0 1 6 】

20

以下、実施の形態について、添付の図面を参照して説明する。

【 0 0 1 7 】

実施形態を説明する前に、基礎となる予備的事項について説明する。予備的事項に係る電子部品内蔵基板の製造方法では、図 1 (a) に示すように、まず、両面側に第 1 配線層 2 0 0 がそれぞれ形成されたコア基板 1 0 0 を用意する。コア基板 1 0 0 はガラスエポキシ樹脂などの絶縁材料から形成され、その厚みは 0 . 6 m m である。

【 0 0 1 8 】

次いで、図 1 (b) に示すように、ルータなどによってコア基板 1 0 0 を厚み方向に貫通加工することにより、開口部 1 2 0 を形成する。

【 0 0 1 9 】

30

続いて、図 1 (c) に示すように、粘着性を有する仮付テープ 3 0 0 をコア基板 1 0 0 の上面に貼り付ける。さらに、図 1 (d) に示すように、コア基板 1 0 0 の開口部 1 2 0 内の仮付テープ 3 0 0 にチップキャパシタ 4 0 0 を仮接着して搭載する。

【 0 0 2 0 】

チップキャパシタ 4 0 0 は、横方向の両端側に一對の接続端子 4 2 0 を備えている。チップキャパシタ 4 0 0 の厚みは 0 . 5 m m であり、コア基板 1 0 0 の厚み : 0 . 6 m m に比べて薄く設定されている。

【 0 0 2 1 】

次いで、図 2 (a) に示すように、プリプレグ 5 0 0 a の一方の面に銅箔 5 0 0 b が接着された銅箔付プリプレグ C P を用意する。プリプレグ 5 0 0 a は、ガラス繊維などの繊維補強材にエポキシ樹脂などを含浸させた中間素材である。

40

【 0 0 2 2 】

そして、図 2 (a) 及び (b) に示すように、銅箔付プリプレグ C P のプリプレグ 5 0 0 a の面をコア基板 1 0 0 の下面に積層し、加熱処理しながら金型でプレス成形する。

【 0 0 2 3 】

これにより、コア基板 1 0 0 の開口部 1 2 0 にプリプレグ 5 0 0 a の樹脂が溶融して充填され、硬化することにより、チップキャパシタ 4 0 0 が配置された開口部 1 2 0 がプリプレグ 5 0 0 a から形成される第 1 絶縁層 5 0 0 によって封止される。同時に、コア基板 1 0 0 の下面に第 1 絶縁層 5 0 0 が形成される。第 1 絶縁層 5 0 0 は、その下面側に銅箔 5 0 0 b が接着した状態で形成される。

50

【 0 0 2 4 】

その後、図 2 (c) に示すように、図 2 (b) の構造体から仮付テープ 3 0 0 を除去する。

【 0 0 2 5 】

続いて、図 3 (a) に示すように、図 2 (a) 及び (b) の工程と同様な方法で、銅箔付プリプレグ C P のプリプレグ 5 0 0 a の面をコア基板 1 0 0 の上面に積層し、加熱処理しながら金型でプレス成形する。これにより、コア基板 1 0 0 の上面に第 2 絶縁層 5 2 0 及び銅箔 5 2 0 b が形成され、チップキャパシタ 4 0 0 の上面が第 2 絶縁層 5 2 0 で被覆される。

【 0 0 2 6 】

10

次いで、図 3 (b) に示すように、コア基板 1 0 0 の上面側において、銅箔 5 2 0 b 及び第 2 絶縁層 5 2 0 をレーザで加工することにより、チップキャパシタ 4 0 0 の接続端子 4 2 0 に到達するビアホール V H を形成する。

【 0 0 2 7 】

また同様に、コア基板 1 0 0 の下面側において、銅箔 5 0 0 b 及び第 1 絶縁層 5 0 0 をレーザで加工することにより、コア基板 1 0 0 の下面側の第 1 配線層 2 0 0 に到達するビアホール V H を形成する。

【 0 0 2 8 】

さらに、図 3 (c) に示すように、コア基板 1 0 0 の上面側において、ビアホール V H を介してチップキャパシタ 4 0 0 の接続端子 4 2 0 に接続される第 2 配線層 2 2 0 を第 2 絶縁層 5 2 0 の上に形成する。第 2 配線層 2 2 0 は銅箔 5 2 0 b を含んで形成される。

20

【 0 0 2 9 】

また同様に、コア基板 1 0 0 の下面側において、ビアホール V H を介してコア基板 1 0 0 の下面側の第 1 配線層 2 0 0 に接続される第 2 配線層 2 2 0 を第 1 絶縁層 5 0 0 の上に形成する。

【 0 0 3 0 】

以上により、コア基板 1 0 0 の両面側に 2 層の多層配線が形成され、同様な工程を繰り返すことにより、所要の多層配線を備えた電子部品内蔵基板を製造することができる。

【 0 0 3 1 】

次に、前述した予備的事項に係る電子部品内蔵基板の製造方法の問題点について説明する。第 1 に、前述した図 2 (a) 及び (b) の工程において、伝送経路のインピーダンス整合などの要求から、コア基板 1 0 0 の厚みは調整されており、チップキャパシタ 4 0 0 の厚みより厚くなっている。このため、コア基板 1 0 0 の開口部 1 2 0 を銅箔付プリプレグ C P で埋め込む際に、埋め込む空間の体積が大きく、樹脂の充填量を多く必要とする。

30

【 0 0 3 2 】

従って、図 4 (a) に示すように、厚いプリプレグ 5 0 0 a を有する銅箔付プリプレグ C P を使用し、高い押圧力で熱プレスして成形する必要がある。このため、チップキャパシタ 4 0 0 が仮付テープ 3 0 0 から剥がれてしまい、コア基板 1 0 0 の開口部 1 2 0 内で傾いた状態で第 1 絶縁層 5 0 0 で封止されてしまうことがある。

【 0 0 3 3 】

40

さらには、埋め込む空間の体積が大きいため、厚いプリプレグ 5 0 0 a を有する銅箔付プリプレグ C P などを使用するとしても、1 回の熱プレスでチップキャパシタ 4 0 0 の周りを隙間なく樹脂で埋め込むことは困難であり、十分な信頼性が得られない場合が多い。

【 0 0 3 4 】

第 2 に、前述した図 3 (b) のビアホール V H を形成する工程では、銅箔 5 2 0 b 及びプリプレグから形成された繊維補強材を含む第 2 絶縁層 5 2 0 をレーザで加工する必要があり、銅ダイレクトレーザ加工となる。このため、レーザ加工の条件として、銅箔 5 2 0 b 及繊維補強材を含む第 2 絶縁層 5 2 0 を加工できる高出力の条件に設定される。

【 0 0 3 5 】

しかし、図 4 (b) に示すように、チップキャパシタ 4 0 0 の接続端子 4 2 0 は、厚み

50

が5 μm程度の薄膜の銅電極から形成される。このため、レーザ加工でビアホールVHを形成する際にチップキャパシタ400の接続端子420が極端に薄くなったり、ひいては消失したりする。

【0036】

さらには、後に、チップキャパシタ400の接続端子420に接続される配線層をめっき法に基づいて形成する際に、ビアホールVH内の接続端子420がめっきの前処理のライトエッチングによって膜減りしてしまう。

【0037】

このように、チップキャパシタ400の接続端子420をビアホールVH内に十分に残すことは困難であり、チップキャパシタ400と第2配線層220との電氣的な接続の信頼性が十分に得られない課題がある。

10

【0038】

以下に説明する実施形態では、前述した不具合を解消することができる。

【0039】

(実施の形態)

図5～図9は実施形態の電子部品内蔵基板の製造方法を示す断面図、図10は実施形態の電子部品内蔵基板を示す断面図である。

【0040】

実施形態の電子部品内蔵基板の製造方法では、図5(a)に示すように、まず、コア材12の両面側に銅箔14がそれぞれ積層された銅張積層板16を用意する。

20

【0041】

次いで、図5(b)に示すように、銅張積層板16の両面側の銅箔14をウェットエッチングによって除去することにより、単層のコア材12を得る。本実施形態の例では、コア材12の厚みは0.5mmであり、後述するチップキャパシタの厚みに対応させている。

【0042】

コア材12は、例えば、ガラスエポキシ樹脂などの絶縁材料から形成される。あるいは、コア材12として、セラミックス板又は銅板などの金属板を使用してもよい。

【0043】

図5(a)及び(b)の例では、銅張積層板16を出発材料とし、銅張積層板16から銅箔14を除去することでコア材12を得ているが、銅箔が積層されていないガラスエポキシ樹脂基板をコア材12として使用してもよい。本実施形態では、コア材12の下面を一方の面とし、上面を他方の面とする。

30

【0044】

続いて、図5(c)に示すように、ルータ又は金型プレス機によってコア材12を厚み方向に貫通加工することにより、開口部12aを形成する。開口部12aはキャビティとも呼ばれる。コア材12として金属板を使用する場合は、必要に応じて樹脂の電着などによって開口部を含む金属板の両面に絶縁層を形成する。

【0045】

コア材12の開口部12aは、平面視して例えば四角形状で形成され、搭載される電子部品より一回り大きな寸法で形成される。多面取り用の大型のコア材12を使用する場合は、複数で画定された製品領域に開口部12aがそれぞれ形成される。

40

【0046】

その後、図5(d)に示すように、コア材12の上面(他方の面)に、粘着性を有する仮付テープ18を貼り付ける。仮付テープ18の一例としては、PETフィルムの表面に絶縁層を設けた樹脂フィルムが使用される。さらに、図5(e)に示すように、コア材12の開口部12a内の仮付テープ18にチップキャパシタ20を仮接着して搭載する。

【0047】

チップキャパシタ20は、横方向の両端側に一對の接続端子22を備えており、一對の接続端子22がコア材12の表面と平行な方向に配置される。チップキャパシタ20の接

50

続端子 22 は両側側面から上下面の端部まで延在して形成されている。チップキャパシタ 20 の全体の厚みは 0.6 mm であり、コア材 12 の厚みとほぼ同一に設定される。

【0048】

このように、コア材 12 はチップキャパシタ 20 の全体の厚みに対応する厚みに設定される。コア材 12 の厚みは、好適には、チップキャパシタ 20 (電子部品) の厚みから $\pm 20\%$ 以内に設定され、さらに好適には、チップキャパシタ 20 の厚みから $\pm 10\%$ 以内に設定される。チップキャパシタ 20 の全体の厚みが 0.5 mm の場合は、コア材 12 の厚みは $0.5\text{ mm} \pm 50\text{ }\mu\text{m}$ に設定される。

【0049】

チップキャパシタ 20 の一例としては、直方体からなるキャパシタ本体の長手方向の両端に電極が設けられたセラミックチップキャパシタがある。

【0050】

電子部品として、チップキャパシタ 20 を例示するが、半導体チップ、抵抗素子、インダクタ素子などの接続端子を備えた各種の電子部品を使用することができる。

【0051】

次いで、図 6 (a) に示すように、半硬化状態 (B ステージ) の樹脂フィルム 30x を用意し、熱プレス機能を備えた真空ラミネーターによってコア材 12 の下面 (一方の面) に樹脂フィルム 30x を積層する。樹脂フィルム 30x として、エポキシ樹脂又はポリイミド樹脂などが使用される。

【0052】

さらに、PET フィルムなどの保護フィルム (不図示) を介して 150 ~ 190 の温度で熱プレスすることにより樹脂フィルム 30x を硬化させた後に、保護フィルムを除去する。保護フィルムは、熱プレス時に真空ラミネーターに樹脂フィルム 30x が付着することを防止するために設けられる。

【0053】

これにより、図 6 (b) に示すように、コア材 12 の下面に第 1 内側補助絶縁層 30a が形成される。本実施形態の例では、第 1 内側補助絶縁層 30a の厚みは $25\text{ }\mu\text{m}$ に設定される、このとき、コア材 12 の開口部 12a の側面とチップキャパシタ 20 との隙間が第 1 内側補助絶縁層 30a の充填樹脂部 30c で埋め込まれ、チップキャパシタ 20 が第 1 内側補助絶縁層 30a によって封止された状態となる。

【0054】

本実施形態では、コア材 12 の厚みとチップキャパシタ 20 の厚みとがほぼ同一に設定されている。このため、コア材 12 の開口部 12a 内のチップキャパシタ 20 を樹脂封止する際に、樹脂を埋め込む空間の体積が小さい構造となるので、樹脂の充填量を少なくすることができる。

【0055】

従って、薄い樹脂フィルム 30x を低い押圧力で熱プレスすることによって、チップキャパシタ 20 の周りを隙間なく樹脂で埋め込むことができる。

【0056】

これにより、チップキャパシタ 20 にかかる圧力も小さくなるので、チップキャパシタ 20 が仮付テープ 18 から剥がれて傾くことが防止される。さらには、樹脂フィルム 30x をラミネートする工程の処理時間を短縮することができる。

【0057】

なお、本実施形態の例では、コア材 12 の上面に仮付テープ 18 を貼り付け、コア材 12 の下面に第 1 内側補助絶縁層 30a を形成しているが、これらを逆に配置してもよい。つまり、コア材 12 の上下面のいずれかの一方の面に仮付テープ 18 を貼り付け、コア材 12 の反対側の他方の面に第 1 内側補助絶縁層 30a を形成すればよい。

【0058】

その後、図 6 (c) に示すように、図 6 (b) の構造体から仮付テープ 18 を除去して、コア材 12 及びチップキャパシタ 20 の上面を露出させる。

【 0 0 5 9 】

続いて、図 6 (d) に示すように、上記した図 6 (a) 及び (b) と同様な方法により、コア材 1 2 の上面に第 2 補助絶縁層 3 2 を形成してチップキャパシタ 2 0 の上面を封止する。このとき同時に、コア材 1 2 の下面側の第 1 内側補助絶縁層 3 0 a の上に第 1 外側補助絶縁層 3 0 b を形成する。

【 0 0 6 0 】

第 1 内側補助絶縁層 3 0 a 及び第 1 外側補助絶縁層 3 0 b により第 1 補助絶縁層 3 0 が形成される。本実施形態の例では、第 2 補助絶縁層 3 2 の厚みは 5 0 μ m に設定され、第 1 外側補助絶縁層 3 0 b の厚みは 2 5 μ m に設定される。

【 0 0 6 1 】

ここで、第 1 内側補助絶縁層 3 0 a の上に第 1 外側補助絶縁層 3 0 b をさらに形成する理由について説明する。第 1 外側補助絶縁層 3 0 b を形成しない場合は、第 2 補助絶縁層 3 2 を形成する際に、第 1 内側補助絶縁層 3 0 a の下面がさらに加熱処理されるため、第 1 内側補助絶縁層 3 0 a の下面の表面粗さが第 2 補助絶縁層 3 2 の上面の表面粗さより大きくなってしまう。

【 0 0 6 2 】

後述するように、第 1 補助絶縁層 3 0 及び第 2 補助絶縁層 3 2 の上にはめっき法に基づいて配線層が形成される。このとき、第 1 補助絶縁層 3 0 及び第 2 補助絶縁層 3 2 の表面粗さは配線層の密着性及びパターン精度に影響を与える。このため、第 1 補助絶縁層 3 0 及び第 2 補助絶縁層 3 2 の表面粗さは、所望の値で同一に設定されることが好ましいから

【 0 0 6 3 】

このようにして、コア材 1 2 の下面に第 1 内側補助絶縁層 3 0 a 及び第 1 外側補助絶縁層 3 0 b から形成される第 1 補助絶縁層 3 0 が得られ、コア材 1 2 の上面に第 2 補助絶縁層 3 2 が得られる。

【 0 0 6 4 】

コア材 1 2 はその下面全体にわたって第 1 補助絶縁層 3 0 と直接接触している。また同様に、コア材 1 2 はその上面全体にわたって第 2 補助絶縁層 3 2 と直接接触している。このようにして、コア材 1 2、第 1 補助絶縁層 3 0 及び第 2 補助絶縁層 3 2 からコア基板 1 0 が形成される。

【 0 0 6 5 】

配線基板では、伝送経路のインピーダンス整合などの要求から、コア基板の誘電率や厚みが最適値に調整される。本実施形態では、コア材 1 2 の開口部 1 2 a に配置されたチップキャパシタ 2 0 を樹脂で信頼性よく容易に埋め込むために、コア材 1 2 の厚みをチップキャパシタ 2 0 の厚みとほぼ同一に設定している。

【 0 0 6 6 】

しかし、コア材 1 2 の厚みはインピーダンス整合のための設計値より薄くなるため、コア材 1 2 の両面に第 1 補助絶縁層 3 0 及び第 2 補助絶縁層 3 2 を形成することにより、設計スペックの厚みのコア基板 1 0 を得ている。本実施形態の例では、コア基板 1 0 の厚みは合計で 0 . 6 mm となっており、チップキャパシタ 2 0 の厚み： 0 . 5 mm より厚くすることができる。

【 0 0 6 7 】

このように、第 1 補助絶縁層 3 0 及び第 2 補助絶縁層 3 2 は、コア材 1 2 に積層されて所望の厚みのコア基板 1 0 を得るために形成される。このため、コア材 1 2 と第 1 補助絶縁層 3 0 及び第 2 補助絶縁層 3 2 との各界面には配線層は介在しておらず、コア材 1 2 は上下面の全体にわたって第 1 補助絶縁層 3 0 及び第 2 補助絶縁層 3 2 と直接接触した構造となる。

【 0 0 6 8 】

コア材 1 2 と第 1 補助絶縁層 3 0 及び第 2 補助絶縁層 3 2 とによりコア基板 1 0 が形成されるので、それらは同一の誘電率の絶縁材料から形成されることが好ましい。

【 0 0 6 9 】

なお、前述した形態では、コア材 1 2 の両面側の第 1、第 2 補助絶縁層 3 0, 3 2 の表面粗さを同一に設定するために、コア材 1 2 の下面に第 1 内側補助絶縁層 3 0 a 及び第 1 外側補助絶縁層 3 0 b を積層している。

【 0 0 7 0 】

この形態の他に、コア材 1 2 の両面側の第 1、第 2 補助絶縁層の表面粗さが異なっても問題ない場合は、第 1 外側補助絶縁層 3 0 b を形成する必要はない。また、第 1 外側補助絶縁層 3 0 b の形成の有無に係らず、コア材 1 2 の両面側の第 1、第 2 補助絶縁層 3 0, 3 2 の厚みは、所望の厚みのコア基板 1 0 を得るために任意に設定することができる。

【 0 0 7 1 】

次いで、図 7 (a) に示すように、コア材 1 2 の上面側において、第 2 補助絶縁層 3 2 をレーザで加工することにより、チップキャパシタ 2 0 の接続端子 2 2 に到達する第 1 ピアホール V H 1 を形成する。

【 0 0 7 2 】

このとき、樹脂から形成された第 2 補助絶縁層 3 2 のみをレーザで加工するので、レーザ加工の条件として、チップキャパシタ 2 0 の接続端子 2 2 をほとんど加工しない低出力の条件に設定することができる。

【 0 0 7 3 】

従って、チップキャパシタ 2 0 の接続端子 2 2 が厚み：5 μ m 程度の薄膜の銅電極から形成される場合であっても、レーザ加工によって接続端子 2 2 が極端に薄くなったり、消失したりすることはない。また、第 2 補助絶縁層 3 2 は、厚みをかなり薄く設定できるといふ観点からも、レーザ加工時のチップキャパシタ 2 0 の接続端子 2 2 の損傷を防止できる。

【 0 0 7 4 】

その後、過マンガン酸法などのデスミア処理によって、第 1 ピアホール V H 1 内の樹脂スミアを除去してクリーニングする。

【 0 0 7 5 】

続いて、図 7 (b) に示すように、コア材 1 2 の上面側において、第 1 ピアホール V H 1 を介してチップキャパシタ 2 0 の接続端子 2 2 に接続される第 1 配線層 4 0 を形成する。また、コア材 1 2 の下面側の第 1 補助絶縁層 3 0 の上に第 1 配線層 4 0 を形成する。第 1 配線層 4 0 の厚みは 1 0 μ m ~ 5 0 μ m であり、チップキャパシタ 2 0 の接続端子 2 2 の厚み：5 μ m よりかなり厚く設定される。

【 0 0 7 6 】

第 1 配線層 4 0 は、例えば、サブトラクティブ法によって形成される。詳しく説明すると、コア材 1 2 の上面側では、まず、第 1 ピアホール V H 1 内及び第 2 補助絶縁層 3 2 の上に無電解めっきによって銅などのシード層（不図示）を形成する。その後、シード層をめっき給電経路に利用する電解めっきにより、シード層の上に銅などの金属めっき層（不図示）を形成する。

【 0 0 7 7 】

さらに、フォトリソグラフィ及びエッチングにより、金属めっき層及びシード層をパターンニングして第 1 配線層 4 0 を得る。サブトラクティブ法の他に、セミアディティブ法などの各種の配線形成方法を採用することができる。コア材 1 2 の下面側にも同様な方法で第 1 配線層 4 0 が形成される。

【 0 0 7 8 】

次いで、図 7 (c) に示すように、プリプレグ 5 0 a の一方の面に銅箔 5 0 b が接着された銅箔付プリプレグ C P を用意する。プリプレグ 5 0 a は、ガラス繊維、アラミド繊維、炭素繊維などの織布又は不織布の繊維補強材に熱硬化性樹脂、例えばエポキシ樹脂を含浸させ、加熱乾燥することによって半硬化状態（B ステージ）にしたものである。金属箔として銅箔 5 0 b を例示するが、各種の金属箔が接着された繊維補強材含有樹脂を使用することができる。

10

20

30

40

50

【 0 0 7 9 】

そして、図 7 (b) の構造体の両面に、銅箔付プリプレグ C P のプリプレグ 5 0 a の面をそれぞれ配置し、 1 9 0 ~ 2 2 0 の温度で加熱処理しながら金型でプレス成形する。

【 0 0 8 0 】

銅箔付プリプレグ C P の銅箔 5 0 b は、プリプレグ 5 0 a を加熱して熔融させる際に、金型への樹脂の付着を防止すると共に、後に配線層の一部として利用される。

【 0 0 8 1 】

これにより、図 8 (a) に示すように、コア材 1 2 の下面側の第 1 補助絶縁層 3 0 及び第 1 配線層 4 0 の上に、プリプレグ 5 0 a から形成された第 1 層間絶縁層 5 0 が得られる。また同様に、コア材 1 2 の上面側の第 2 補助絶縁層 3 2 及び第 1 配線層 4 0 の上に、プリプレグ 5 0 a から形成された第 1 層間絶縁層 5 0 が得られる。

10

【 0 0 8 2 】

コア材 1 2 の両面側の第 1 層間絶縁層 5 0 は、その外面に銅箔 5 0 b が接着された状態でそれぞれ形成される。

【 0 0 8 3 】

例えば、第 1 層間絶縁層 5 0 の厚みは 5 0 μm ~ 1 0 0 μm であり、銅箔 5 0 b の厚みは 1 0 μm ~ 3 5 μm である。

【 0 0 8 4 】

図 7 (c) 及び図 8 (a) の例では、銅箔付プリプレグ C P を積層して第 1 層間絶縁層 5 0 を得ている。この他に、分離された別体のプリプレグ及び銅箔をコア材 1 2 の両面側に順に積層し、加熱及び加圧して第 1 層間絶縁層 5 0 を得てもよい。

20

【 0 0 8 5 】

次いで、図 8 (b) に示すように、コア材 1 2 の上面側において、銅箔 5 0 b 及び第 1 層間絶縁層 5 0 をレーザーで加工することにより、第 1 配線層 4 0 に到達する第 2 ピアホール V H 2 を形成する。

【 0 0 8 6 】

このとき、銅ダイレクトレーザー加工となり、レーザー加工の条件として、銅箔 5 0 b 及びプリプレグ 5 0 a から形成された第 1 層間絶縁層 5 0 を加工できる高出力の条件に設定される。このため、第 2 ピアホール V H 2 をレーザー加工で形成する際に、第 1 配線層 4 0 がレーザーによって多少削られるが、第 1 配線層 4 0 は十分な厚みを有するため、第 1 配線層 4 0 が極端に薄くなったり、消失したりすることはない。

30

【 0 0 8 7 】

このように、チップキャパシタ 2 0 の接続端子 2 2 の上に第 1 ピアホール V H 1 を介して第 1 配線層 4 0 がかさ上げされて配置されている。これにより、第 1 配線層 4 0 が第 2 ピアホール V H 2 を形成する際の高出力のレーザー加工のストッパ層として機能し、チップキャパシタ 2 0 の接続端子 2 2 を保護することができる。

【 0 0 8 8 】

なお、本実施形態では、第 1 層間絶縁層 5 0 を銅箔付プリプレグ C P から形成したが、エポキシ樹脂などの樹脂フィルムから第 1 層間絶縁層 5 0 を形成してもよい。この場合、厚い樹脂フィルムをラミネートするとしても、第 1 配線層 4 0 がレーザー加工のストッパ層となるため、厚い層間絶縁層を有するピア接続構造を信頼性よく形成することができる。

40

【 0 0 8 9 】

続いて、図 8 (c) に示すように、図 8 (b) の構造体の最上の銅箔 5 0 b から最下の銅箔 5 0 b まで、ドリル又はレーザーによって貫通加工することによりスルーホール T H を形成する。このとき、スルーホール T H の側面に第 1 配線層 4 0 の断面が露出した状態となる。

【 0 0 9 0 】

その後、過マンガン酸法などのデスマア処理によって、第 2 ピアホール V H 2 内及びスルーホール T H 内の樹脂スミアを除去してクリーニングする。

50

【 0 0 9 1 】

次いで、図 8 (c) の構造体の両面側、及びスルーホール T H の内面に、無電解めっきによって銅などのシード層を形成する。その後、シード層をめっき給電経路に利用する電解めっきにより銅などの金属層を形成する。

【 0 0 9 2 】

これにより、図 9 (a) に示すように、図 8 (c) の構造体の両面側、及びスルーホール T H の内面に第 1 金属めっき層 4 2 a が得られる。このとき、スルーホール T H の側面に配置された第 1 配線層 4 0 に第 1 金属めっき層 4 2 a が電氣的に接続された状態となる。

【 0 0 9 3 】

さらに、図 9 (b) に示すように、コア材 1 2 の両面側において、スルーホール T H 内の残りの孔に樹脂体 R を充填した後に、スルーホール T H からはみ出した余分な樹脂を研磨する。

【 0 0 9 4 】

これにより、コア材 1 2 の両面側において、スルーホール T H 内の樹脂体 R の外面と第 1 金属めっき層 4 2 a の外面とが同一面となって平坦化される。その後、デスミア処理によって、両面側の第 1 金属めっき層 4 2 a の表面をクリーニングする。

【 0 0 9 5 】

続いて、図 9 (c) に示すように、前述した図 9 (a) の工程と同様な方法により、図 9 (b) の構造体の両面側の第 1 金属めっき層 4 2 a の上に、第 2 金属めっき層 4 2 b を形成する。さらに、コア材 1 2 の両面側において、フォトリソグラフィ及びエッチングにより、第 2 金属めっき層 4 2 b、第 1 金属めっき層 4 2 a 及び銅箔 5 0 b をパターンニングする。

【 0 0 9 6 】

これにより、図 1 0 に示すように、コア材 1 2 の両面側において、第 1 層間絶縁層 5 0 の上に第 2 配線層 4 2 がそれぞれ形成される。第 2 配線層 4 2 は、下から順に、銅箔 5 0 b、第 1 金属めっき層 4 2 a 及び第 2 金属めっき層 4 2 b が配置されて形成される。

【 0 0 9 7 】

コア材 1 2 の上面側では、第 2 配線層 4 2 は第 2 ビアホール V H 2 を介して第 1 配線層 4 0 に接続される。両面側の第 2 配線層 4 2 は、スルーホール T H の側面に延在する第 1 金属めっき層 4 2 a を介して相互接続される。以上により、本実施形態の電子部品内蔵基板 1 が得られる。

【 0 0 9 8 】

なお、多面取り用の大型のコア材 1 2 を使用する場合は、各製品領域から個々の電子部品内蔵基板 1 が得られるように分割される。

【 0 0 9 9 】

また、本実施形態の例では、コア材 1 2 の両面側に 2 層の多層配線をそれぞれ形成しているが、配線層の積層数は任意に設定することができる。また、コア材 1 2 の両面側において、最上層及び最下層として、配線層の接続部上に開口部が設けられたソルダレジストを形成してもよい。

【 0 1 0 0 】

図 1 0 に示すように、実施形態の電子部品内蔵基板 1 では、厚み方向の中央部にコア材 1 2 が配置されており、コア材 1 2 はその厚み方向に貫通する開口部 1 2 a を備えている。コア材 1 2 の開口部 1 2 a にチップキャパシタ 2 0 が配置されている。チップキャパシタ 2 0 は横方向の両端側に接続端子 2 2 を備えている。コア材 1 2 の厚みはチップキャパシタ 2 0 の全体の厚みに対応している。

【 0 1 0 1 】

コア材 1 2 の下面（一方の面）には、第 1 内側補助絶縁層 3 0 a が形成されており、コア材 1 2 の開口部 1 2 a の側面とチップキャパシタ 2 0 との隙間が充填樹脂部 3 0 c で埋め込まれている。第 1 内側補助絶縁層 3 0 a の下には第 1 外側補助絶縁層 3 0 b が積層さ

10

20

30

40

50

れており、第1内側補助絶縁層30a及び第1外側補助絶縁層30bによって第1補助絶縁層30が形成される。

【0102】

このように、コア材12の下面側の第1補助絶縁層30は、複数の樹脂層が積層されて形成され、コア材12に接触する第1内側補助絶縁層30aがコア材12の開口部12aに充填されて、充填樹脂部30cが形成される。また、コア材12の上面（他方の面）には第2補助絶縁層32が形成されている。

【0103】

コア材12は、その一方の面及び他方の面の全体にわたって第1補助絶縁層30及び第2補助絶縁層32と直接接触しており、それらの界面に配線層は介在していない。これにより、コア材12、第1補助絶縁層30及び第2補助絶縁層32によってコア基板10が形成されている。

10

【0104】

コア材12の上面側において、第2補助絶縁層32にはチップキャパシタ20の接続端子22に到達する第1ビアホールVH1が形成されている。第2補助絶縁層32の上には、第1ビアホールVH1を介してチップキャパシタ20の接続端子22に接続される第1配線層40が形成されている。さらに、コア材12の下面側の第1補助絶縁層30の上に第1配線層40が形成されている。

【0105】

また、コア材12の上面側において、第2補助絶縁層32及び第1配線層40の上に第1層間絶縁層50が形成されており、第1層間絶縁層50の中央部には第1配線層40に到達する第2ビアホールVH2が形成されている。上面側の第1層間絶縁層50の上には第2ビアホールVH2を介して第1配線層40に接続される第2配線層42が形成されている。

20

【0106】

コア材12の上面側の第1配線層40は、第2ビアホールVH2を形成する工程で高出力のレーザ加工を行う際のストッパ層として機能し、チップキャパシタ20の接続端子22がそのレーザ加工から保護される。このため、第1配線層40の厚みはチップキャパシタ20の接続端子22の厚みより厚く設定される。

【0107】

コア材12の両面側の第1層間絶縁層50は、銅箔付プリプレグCPを熱プレスすることによりそれぞれ形成される。このため、第2配線層42は銅箔50b（金属箔）を含み、銅箔50bの上に第1金属めっき層42a及び第2金属めっき層42bが積層されて形成される。

30

【0108】

また、コア材12の下面側において、第1補助絶縁層30及び第1配線層40の上に第1層間絶縁層50が形成されている。

【0109】

さらに、電子部品内蔵基板1の両端部には、上面側の第1層間絶縁層50から下面側の第1層間絶縁層50まで貫通して形成されたスルーホールTHが設けられている。両面側の第1層間絶縁層50上において、スルーホールTHの上に配置された第2配線層42は、スルーホールTHの側面に延在する第1金属めっき層42aを介して相互接続されている。また、両面側の第2配線層42は、スルーホールTHの側面の第1金属めっき層42aを介して第1配線層40に接続されている。

40

【0110】

前述したように、本実施形態の電子部品内蔵基板の製造方法では、コア材12の厚みをチップキャパシタ20の厚みに対応させている。これにより、コア材12の開口部12aに配置されたチップキャパシタ20の周りの隙間を、樹脂フィルム30xを熱プレスして埋め込む際に、埋め込む空間の体積を小さくすることができる。

【0111】

50

これにより、樹脂フィルム 30x を低い押圧力で熱プレスすることによって、チップキャパシタ 20 の周辺を隙間なく樹脂で信頼性よく埋め込むことができる。従って、チップキャパシタ 20 にかかる圧力も小さくなるため、チップキャパシタ 20 が仮付フィルム 18 から剥がれて傾くことが防止される。

【0112】

そして、コア材 12 の厚みの不足分を第 1 補助絶縁層 30 及び第 2 補助絶縁層 32 によって補って調整することにより、所望の厚みのコア基板 10 を得ることができる。これによって、伝送経路のインピーダンス整合などの設計スペックを満足させることができる。

【0113】

また、チップキャパシタ 20 の接続端子 22 は、第 2 補助絶縁層 32 の第 2 ビアホール V H 2 を介して厚みの厚い第 1 配線層 40 によってかさ上げされている。そして、第 1 配線層 40 の上に銅箔付プリプレグ C P が積層されて、銅箔 50b が接着された第 1 層間絶縁層 50 が形成される。

【0114】

このため、銅箔 50b 及びプリプレグ 50a から形成される第 1 層間絶縁層 50 を高出力のレーザで加工して第 2 ビアホール V H 2 を形成する際に、厚みの厚い第 1 配線層 40 がレーザ加工にストッパ層として機能する。

【0115】

これにより、チップキャパシタ 20 の接続端子 22 は第 1 配線層 40 によって保護されるため、レーザ加工で損傷が生じるおそれがない。このため、チップキャパシタ 20 の接続端子 22 は、第 1、第 2 配線層 40、42 と信頼性よく電氣的に接続される。

【0116】

以上のように、本実施形態では、設計スペックの所望の特性を有する電子部品内蔵基板を歩留りよく製造できると共に、電子部品内蔵基板の信頼性を向上させることができる。

【0117】

図 11 には、最上の配線層に半導体チップが接続される場合に好適に使用される電子部品内蔵基板 2 が示されている。図 11 の電子部品内蔵基板 2 では、図 10 の電子部品内蔵基板 1 の両面側に第 2 層間絶縁層 52 がそれぞれ形成されている。

【0118】

第 2 層間絶縁層 52 はエポキシ樹脂やポリイミド樹脂などの樹脂フィルムが積層されて形成される。両面側の第 2 層間絶縁層 52 には、第 2 配線層 42 に到達する第 3 ビアホール V H 3 が形成されている。第 3 ビアホール V H 3 は、第 2 層間絶縁層 52 がレーザによって加工されて形成される。

【0119】

さらに、コア材 12 の両面側の第 2 層間絶縁層 52 の上に、第 3 ビアホール V H 3 を介して第 2 配線層 42 に接続される第 3 配線層 44 がそれぞれ形成されている。第 3 配線層 44 はセミアディティブ法などで形成される。

【0120】

また、コア材 12 の両面側の第 2 層間絶縁層 52 の上に、第 3 配線層 44 のパッド部上に開口部 54a が設けられたソルダレジスト 54 がそれぞれ形成されている。必要に応じて、両面側の第 3 配線層 44 のパッド部にニッケル / 金めっき層などのコンタクト層（不図示）が形成される。配線層の積層数は任意に設定することができる。

【0121】

そして、図 12 に示すように、図 11 の電子部品内蔵基板 2 の上面側の第 3 配線層 44 のパッド部に半導体チップ 60 のパンプ電極 62 がフリップチップ接続される。さらに、半導体チップ 60 の下側の隙間にアンダーフィル樹脂 64 が充填される。

【符号の説明】

【0122】

1, 2 ... 電子部品内蔵基板、10 ... コア基板、12 ... コア材、12a, 54a ... 開口部、14, 50b ... 銅箔、16 ... 銅張積層板、18 ... 仮付テープ、20 ... チップキャパシタ、

10

20

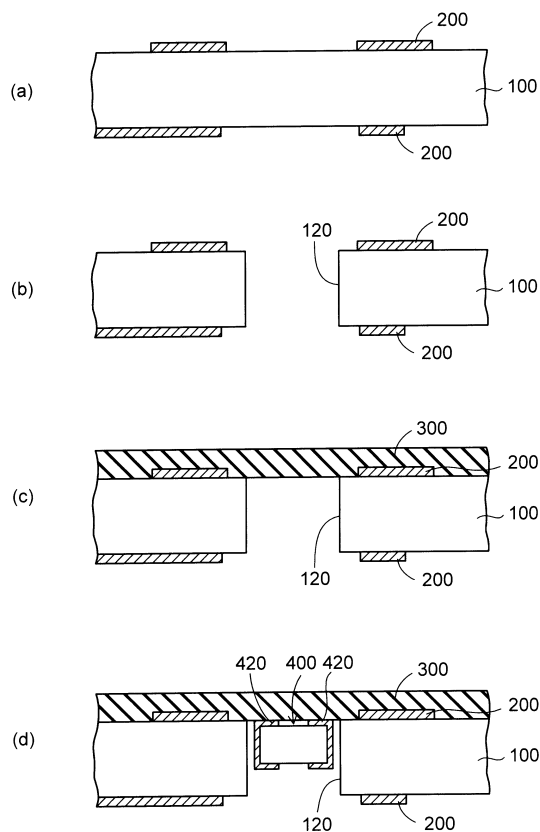
30

40

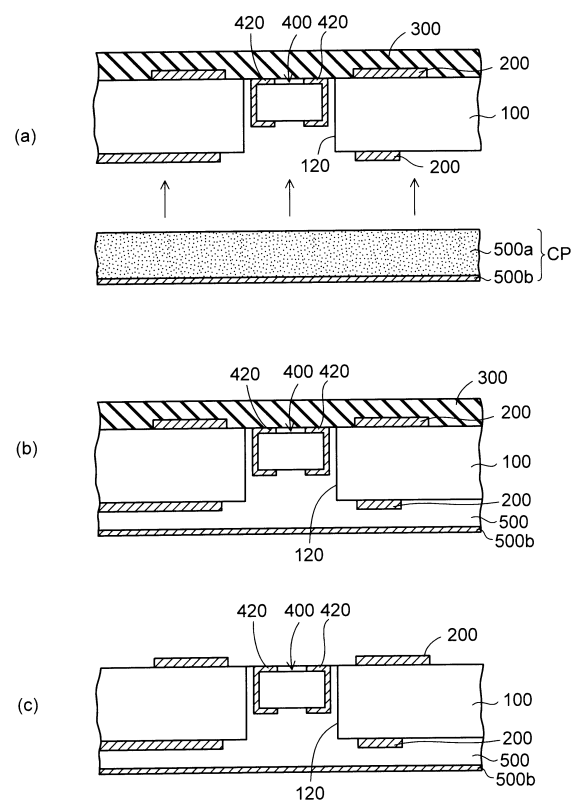
50

2 2 ... 接続端子、3 0 ... 第 1 補助絶縁層、3 0 a ... 第 1 内側補助絶縁層、3 0 b ... 第 1 外側補助絶縁層、3 0 c ... 充填樹脂部、3 0 x ... 樹脂フィルム、3 2 ... 第 2 補助絶縁層、4 0 ... 第 1 配線層、4 2 ... 第 2 配線層、4 2 a ... 第 1 金属めっき層、4 2 b ... 第 2 金属めっき層、4 4 ... 第 3 配線層、5 0 ... 第 1 層間絶縁層、5 0 a ... プリプレグ、5 2 ... 第 2 層間絶縁層、5 4 ... ソルダレジスト、6 0 ... 半導体チップ、6 2 ... バンプ電極、6 4 ... アンダーフィル樹脂、C P ... 銅箔付プリプレグ、V H 1 ... 第 1 ビアホール、V H 2 ... 第 2 ビアホール、V H 3 ... 第 3 ビアホール、R ... 樹脂体、T H ... スルーホール。

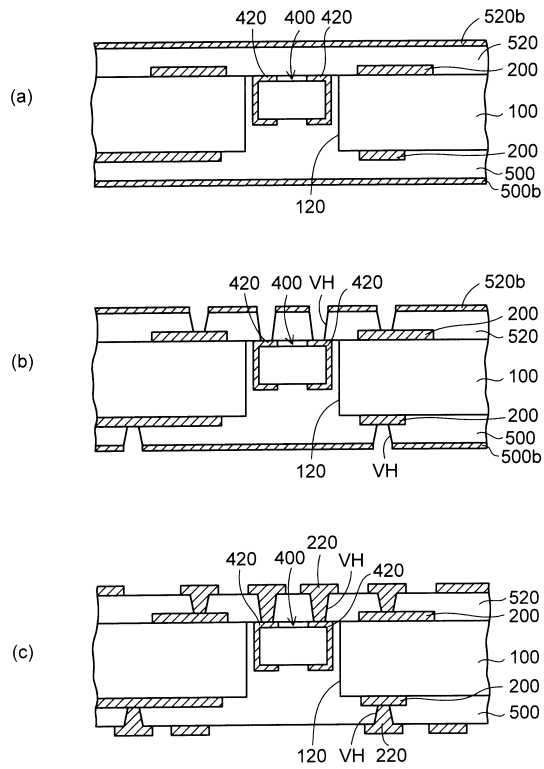
【図 1】



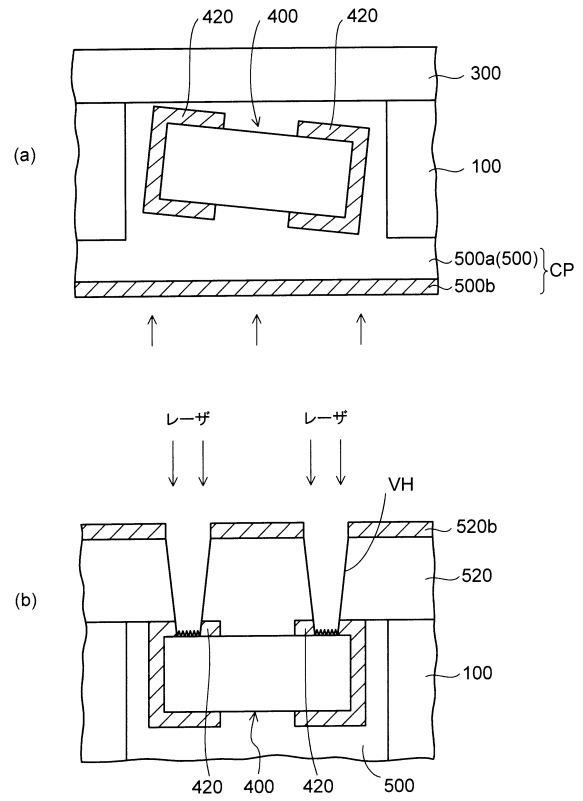
【図 2】



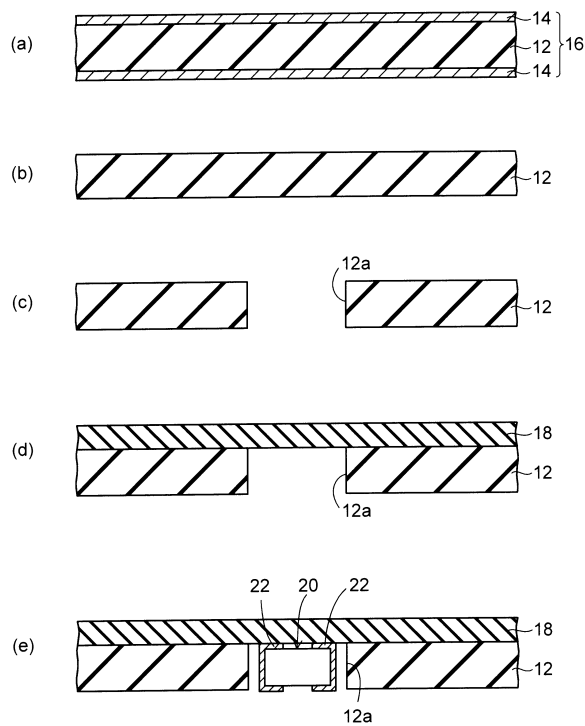
【図 3】



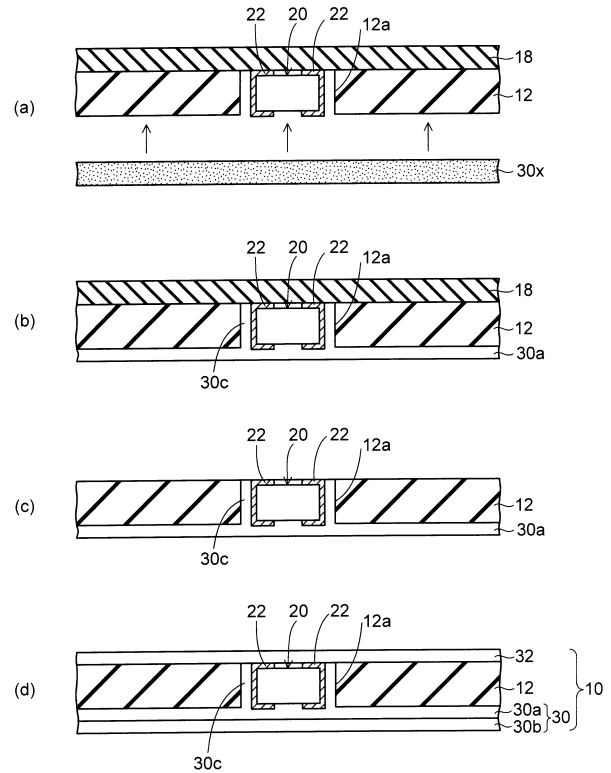
【図 4】



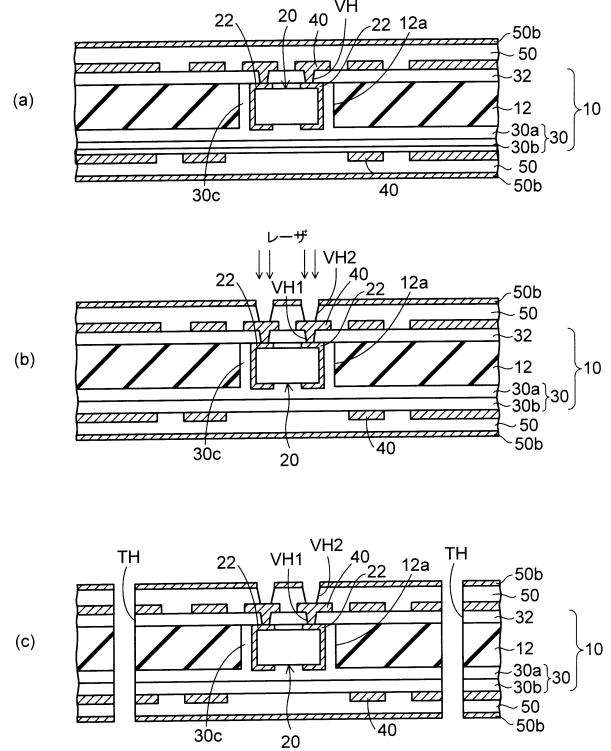
【図 5】



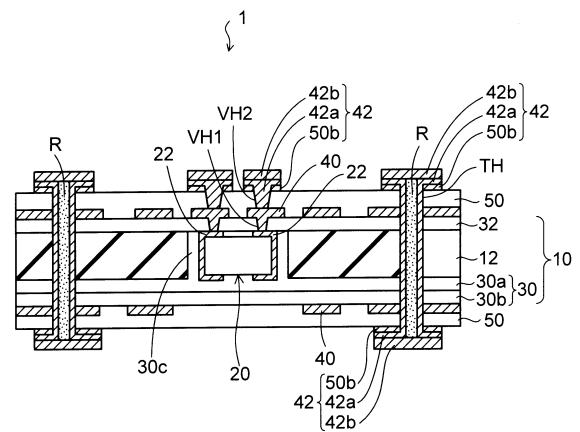
【図 6】



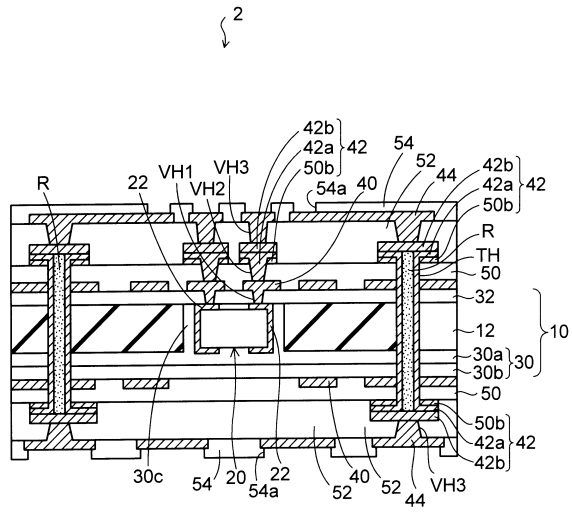
【 図 8 】



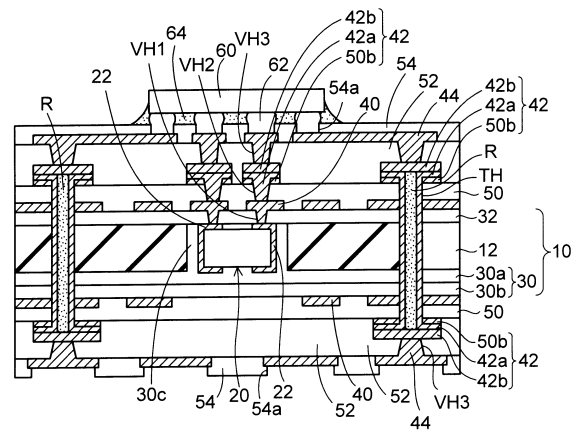
【 図 1 0 】



【図 1 1】



【図 1 2】



フロントページの続き

審査官 岡崎 克彦

(56)参考文献 特開 2 0 0 9 - 3 0 2 5 6 3 (J P , A)
特開 2 0 1 1 - 1 8 7 9 1 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 5 K 3 / 4 6
H 0 1 L 2 3 / 1 2