



**URZĄD
PATENTOWY
PRL**

Patent tymczasowy dodatkowy
do patentu nr

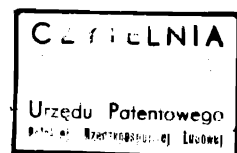
Int. Cl.³ H03K 7/08
H02M 1/08

Zgłoszono: 07.06.79 (P. 216198)

Pierwszeństwo:

Zgłoszenie ogłoszono: 01.07.80

Opis patentowy opublikowano: 30.04.1983



Twórca wynalazku: Jerzy Ferens

Uprawniony z patentu tymczasowego: Politechnika Wrocławska,
Wrocław (Polska)

Sposób i układ modulacji szerokości impulsów sterowania przekształtników statycznych

Przedmiotem wynalazku jest sposób i układ modulacji szerokości impulsów sterowania przekształtników statycznych, znajdujące zastosowanie zwłaszcza do sterowania falowników pracujących w układach napędowych maszyn elektrycznych.

Znany sposób modulacji szerokości impulsów sterowania falowników polega na porównaniu sygnału o przebiegu sinusoidalnym z sygnałem o przebiegu piłokształtnym. W wyniku tego porównania uzyskuje się przebieg w postaci impulsów prostokątnych o stałej amplitudzie, o szerokości zależnej od czasu między dwoma kolejnymi momentami zrównania się wartości chwilowych porównywanych sygnałów i o częstotliwości równej częstotliwości sygnału sinusoidalnego.

Znany układ modulacji szerokości impulsów sterowania falowników składa się z co najmniej jednego komparatora analogowego, którego jedno wejście jest połączone ze źródłem sygnału sinusoidalnego, a drugie — ze źródłem sygnału piłokształtnego.

Niedogodnością znanego sposobu modulacji szerokości impulsów jest konieczność dostosowania częstotliwości i kształtu sygnału piłokształtnego do częstotliwości sygnału sinusoidalnego, w celu ograniczenia zawartości wyższych harmonicznych w sygnale wyjściowym. Wiąże się to z koniecznością stosowania skomplikowanych układów generujących sygnał o przebiegu piłokształtnym. Układ modulacji szerokości impulsów jest wrażliwy na zakłócenia o częstotliwościach zbliżonych do częstotliwości porównywanych sygnałów. Zakłócenia te zniekształcają sygnał wyjściowy przekształtników składowymi podharmonicznymi. Ponadto zniekształcenia sygnału wyjściowego występują również w przypadku, gdy amplituda sygnału sinusoidalnego ma wartość zbliżoną do poziomu szumów.

Sposób według wynalazku polega na tym, że kształt fragmentu żadanego sygnału zmodulowanego, ograniczony ćwiartką okresu tego sygnału, koduje się w postaci słowa binarnego, a następnie bity słowa poddaje się cyklicznemu próbkowaniu. Jeden cykl próbkowania obejmuje próbkowanie kolejnych bitów w kolejności wzrastającej, od pierwszego bitu do ostatniego, a drugi cykl próbkowania — w kolejności malejącej, od ostatniego bitu do pierwszego, przy czym cykle te powtarzają się na przemian. Próbkowanie przeprowadza się z częstotliwością proporcjonalną do częstotliwości żadanego sygnału. Wynik próbkowania każdego bitu w dwóch kolejnych cyklach, wzrastającym i malejącym jest pamiętany do momentu próbkowania następnego bitu, natomiast wynik próbkowania każdego bitu w dwóch następnych cyklach, wzrastającym i malejącym jest negowany i w tej postaci pamiętany do momentu próbkowania następnego bitu. Pamiętane wyniki próbkowania odtwarzają przebieg żadanego sygnału zmodulowanego.

Układ według wynalazku składa się z procesora cyfrowego, który jest sprzężony z cyklicznym rejestrem przesuwającym i z generatorem o nastawianej cyfrowo częstotliwości. Wyjście generatora jest połączone z członem sterującym bramkę elektroniczną, poprzez którą są podawane impulsy zegarowe, z generatora zegarowego do licznika pomocniczego i do rejestru przesuwającego. Człon sterujący jest połączony z dodatkowym wyjściem licznika pomocniczego. Układ ma ponadto co najmniej jeden tor, składający się z rewersyjnego licznika, współpracującego z przerzutnikiem kierunku zliczania impulsów, który jest połączony z przerzutnikiem pomocniczym, z cyfrowego komparatora i z elementu pamiętającego. Wejścia komparatora są połączone z wyjściem licznika pomocniczego i z wyjściem licznika rewersyjnego, wyjście komparatora jest połączone ze strobuującym wejściem elementu pamiętającego, natomiast główne wejście elementu pamiętającego jest połączone z wyjściem rejestru przesuwającego. Zegarowe wejście licznika rewersyjnego jest połączone z wyjściem generatora o nastawianej cyfrowo częstotliwości. Wyjścia przerzutników pomocniczych i elementów pamiętających wszystkich torów układu są połączone z członem formującym. Ilość torów układu jest równa ilości faz żadanego sygnału zmodulowanego. Korzystne jest wykonanie generatora impulsów zegarowych w postaci układu o skokowo zmienianej częstotliwości, którego sterujące wejście jest połączone z wyjściem członu sterującego bramkę elektroniczną oraz dodatkowe połączenie wyjść komparatorów z członem formującym. W takim układzie uzyskuje się prawie płynną regulację amplitudy i częstotliwości podstawowej harmonicznego sygnału sterowania przekształtnikami statycznymi.

Sposób modulacji szerokości impulsów według wynalazku oparty jest na przetwarzaniu informacji w postaci cyfrowej, co zapewnia dużą stabilność i powtarzalność uzyskiwania zmodulowanych sygnałów. Układ zgodny z wynalazkiem umożliwia generowanie sygnałów wielofazowych o dowolnych przesunięciach fazowych, limitowanych jedynie rozdzielczością kątową, zależną od pojemności rejestru przesuwającego. Układ stosowany w systemie regulacji prędkości obrotowej napędu prądu przemiennego pozwala na zmianę kierunku wirowania pola przez przełączenie sygnałów dwóch dowolnych faz. Ponadto umożliwia niezależną regulację amplitudy, podstawowej harmonicznego sygnału zmodulowanego, w zakresie od kilku do 100% oraz jej częstotliwości w zakresie od około 5 Hz do 200 Hz, przy czym zastosowanie układu o skokowo zmienianej częstotliwości impulsów zegarowych rozszerza użyteczny zakres częstotliwości od 0,15–200 Hz.

Przedmiot wynalazku jest objaśniony na przykładzie sposobu modulacji szerokości impulsów sterowania w jednej fazie falownika i przy pomocy rysunku, na którym fig. 1 przedstawia czasowy przebieg żadanego sygnału zmodulowanego oraz w dwóch przykładach wykonania zilustrowanych na rysunku, przy czym fig. 2 przedstawia schemat blokowy układu modulacji szerokości impulsów sterowania falownika trójfazowego z generatorem impulsów zegarowych o jednej częstotliwości, a fig. 3 — schemat blokowy układu modulacji szerokości impulsów, z generatorem impulsów zegarowych o dwóch częstotliwościach.

Przykład I. Żądany zmodulowany sygnał ma postać okresowego przebiegu impulsowego, przedstawionego na fig. 1. Okres I przebiegu wynosi 1s, w okresie jest osiem impulsów, przy czym pierwszy impuls rozpoczyna się po czasie $1/36$ okresu i ma szerokość τ_1 równą $1/36$ okresu, a drugi impuls rozpoczyna się po czasie $1/9$ okresu, licząc od początku okresu, i ma szerokość τ_2 równą $1/9$ okresu. Dwa następne impulsy położone są symetrycznie względem punktu wyznaczającego $1/4$ okresu, zaś pozostałe cztery impulsy są położone symetrycznie względem punktu wyznaczającego $1/2$ okresu i są zanegowane. Kształt powyższego przebiegu, w zakresie od 0 do $1/4$ okresu, koduje się w postaci słowa binarnego, które w przykładowej realizacji sposobu zawiera 90 bitów. Pierwsze 10 bitów stanowią zera, następne 10 bitów — jedynki, dwadzieścia następnych — zera, czterdzieści następnych — jedynki, a pozostałe — zera. Ponadto koduje się okres żadanego przebiegu w postaci słowa binarnego o 16 bitach. Następnie informację o kształcie żadanego przebiegu impulsowego poddaje się próbkowaniu cyklicznemu, z częstotliwością 360 Hz, zakodowaną w słowie binarnym zawierającym informację o okresie żadanego przebiegu. Cykl próbkowania obejmuje 90 pojedynczych operacji próbkowania, przy czym w pierwszym cyklu próbkowane są kolejno bity słowa binarnego, od pierwszego do dziewięćdziesiątego, a w drugim cyklu, od dziewięćdziesiątego do pierwszego, po czym cykle te powtarzają się na przemian. Wynik próbkowania każdego bitu dwóch kolejnych cykli jest pamiętany do momentu próbkowania następnego bitu, natomiast wynik próbkowania każdego bitu dwóch następnych cykli jest negowany i w tej postaci pamiętany do momentu próbkowania następnego bitu. Zapamiętane wyniki próbkowania odtwarzają żądany przebieg sygnału zmodulowanego.

Przykład II. Układ według wynalazku zawiera przesuwający rejestr 1, którego szeregowo wyjście jest połączone z jego szeregowym wejściem i z przygotowującymi wejściami trzech przerzutników 2 typu D. Równoległe wejście przesuwającego rejestru 1 jest połączone z wyjściem członu 3 wpisywania informacji, którego drugie wyjście jest połączone z równoległym wejściem drugiego przesuwającego rejestru 4. Człon 3 wpisywania informacji jest sprzężony z cyfrowym procesorem 5. Równoległe wyjście drugiego przesuwającego rejestru 4 jest połączone z wejściem generatora 6 impulsów prostokątnych o cyfrowo nastawianej częstotliwości. Wyjście generatora 6 jest połączone z zegarowymi wejściami trzech synchronicznych, rewer-

syjnych liczników 7, wyposażonych w dekodery stanów maksymalnej pojemności i stanu zerowego oraz ze sterującym członem 8. Wyjście sterującego członu 8 jest połączone z jednym z wejść elektronicznej bramki 9, a drugie wejście bramki 9 jest połączone z generatorem 10 impulsów zegarowych. Wyjście elektronicznej bramki 9 jest połączone z zegarowymi wejściami przesuwającego rejestru 1 i synchronicznego, dwójkowego licznika 11. Równoległe wyjście dwójkowego licznika 11 jest połączone z wejściami trzech cyfrowych komparatorów 12, a dodatkowe wyjście tego licznika 11 jest połączone ze sterującym członem 8. Drugie wejścia komparatorów 12 są połączone z wyjściami odpowiadających im rewersyjnych liczników 7. Z każdym licznikiem 7 współpracuje jeden przerzutnik 13 typu RS i jeden przerzutnik 14 typu T, przy czym wejście kasujące przerzutnika 13 typu RS jest połączone z dekoderny stanu maksymalnej pojemności, a wejście ustawiające tego przerzutnika 13 jest połączone z dekoderny stanu zerowego rewersyjnego licznika 7, natomiast proste wyjścia przerzutnika 13 są połączone ze sterującymi wejściami kierunku zliczania rewersyjnego licznika 7. Proste wyjście przerzutnika 13 typu RS jest ponadto połączone z zegarowym wejściem przerzutnika 14 typu T. Proste wyjścia przerzutników 14 typu T i przerzutników 2 typu D są połączone z wejściami formującego członu 15. Przesuwający rejestr 1, dwójkowy licznik 11 i rewersyjne liczniki 7 mają jednakową pojemność, która w przykładowym wykonaniu wynosi 90 bitów. Komparatory 12 są komparatorami siedmiopozycyjnymi. Człon 3 wpisywania informacji jest sprzężony z procesorem 5 ośmiobitowym, a pojemność drugiego rejestru 4 wynosi 16 bitów.

Modulacja szerokości impulsów, w torze jednej fazy powyższego układu, przebiega następująco. Informacja z cyfrowego procesora 5 odpowiadająca amplitudzie podstawowej harmonicznej żądanego sygnału wyjściowego S_1 , jest wpisywana do przesuwającego rejestru 1, a informacja odpowiadająca częstotliwości tej harmonicznej jest wpisywana do drugiego rejestru 4. Pierwszy rewersyjny licznik 7 jest wyzerowany, a przerzutniki 13, 14, współpracujące z tym licznikiem 7, mają na wyjściach stan odpowiadający jedynie logicznej. Generator 6 generuje impulsy o częstotliwości zadanej przez drugi rejestr 4, a na jedno z wejść elektronicznej bramki 9 są podawane impulsy z generatora 10. Sygnał wyjściowy generatora 6 powoduje zmianę stanu rewersyjnego licznika 7 oraz dołączonych do niego przerzutników 13 i 14. Każdy impuls z generatora 6 zwiększa stan licznika 7 o jeden. W momencie gdy stan licznika 7 osiąga maksimum pojemności, zmienia się stan przerzutnika 13 typu RS i licznik 7 zlicza impulsy w drugą stronę. W momencie osiągnięcia przez licznik 7 stanu zerowego, zmienia się stan obu przerzutników 13, 14, w wyniku czego licznik 7 rozpoczyna ponowne zliczanie impulsów. Jednocześnie impuls z generatora 6 inicjuje pojedynczą operację próbkowania kolejnego bitu słowa wpisanego do przesuwającego rejestru 1.

Po czasie niezbędnym do ustalenia się wartości rewersyjnego licznika 7, sterujący człon 8 otwiera elektroniczną bramkę 9, poprzez którą są podawane zegarowe impulsy na wejścia przesuwającego rejestru 1 i dwójkowego licznika 11. Każdy impuls podany na zegarowe wejście rejestru 1 powoduje cykliczne przesunięcie zapisanej w nim informacji o jeden bit. Na wejściu rejestru 1 pojawiają się sygnały odpowiadające wartościom kolejnych bitów zapisanego w nim słowa. Jednocześnie zwiększa się stan dwójkowego licznika 11. W momencie zrównania się stanów dwójkowego licznika 11 i rewersyjnego licznika 7, na wyjściu komparatora 12 pojawia się impuls, powodujący przepisanie informacji z wyjścia przesuwającego rejestru 1 do przerzutnika 2 typu D. Wyjściowe stany przerzutnika 2 typu D i przerzutnika typu T są badane w formującym członie 15. W przypadku gdy stan przerzutnika 14 typu T odpowiada jedynie logicznej, stan przerzutnika 2 typu D zostaje bezpośrednio przepisany na wyjście S_1 formującego członu 15, a w przypadku gdy stan przerzutnika 14 odpowiada zeru logicznemu — na wyjściu formującego członu 15 pojawia się zanegowany stan przerzutnika 2 typu D. Czas pojedynczej operacji próbkowania jest równy czasowi otwarcia elektronicznej bramki 9, w czasie którego, na wejścia zegarowe rejestru 1 i licznika 11, jest podawana ilość impulsów równa pojemności rejestru 1. W momencie zamknięcia bramki 9 następuje wyzerowanie dwójkowego licznika 11, a informacja zapisana w rejestrze 1 znajduje się w pozycji wyjściowej. Działanie układu dla pozostałych faz jest identyczne, przy czym rewersyjne liczniki 7 i przerzutniki 13, 14 typu RS i typu T powtarzają stany licznika 7 i przerzutników 13, 14 pierwszej fazy z opóźnieniem, odpowiednio o 120 i o 240 impulsów z generatora 6. Na wyjściach S_1, S_2, S_3 formującego układu 15 otrzymuje się trójfazowy przebieg w postaci impulsów prostokątnych o stałej amplitudzie i szerokości zależnej od rozkładu zer i jedynek na kolejnych pozycjach słowa wpisanego do rejestru 1. Częstotliwość pierwszej harmonicznej wyjściowego sygnału układu jest wprost proporcjonalna do częstotliwości próbkowania, a wartość amplitudy tej harmonicznej zależy od rozkładu zer i jedynek na kolejnych pozycjach słowa wpisanego do rejestru 1.

Przykład III. Układ według wynalazku jest zbudowany analogicznie jak opisano w przykładzie drugim, z tą różnicą, że generator 10 impulsów zegarowych ma dodatkowe wejście sterujące, które jest połączone z wyjściem sterującego członu 8, natomiast wyjścia cyfrowych komparatorów 12 są dodatkowo połączone z formującym członem 15. Działania tego układu jest analogiczne jak opisano w przykładzie drugim, z tą różnicą, że generator 10 generuje impulsy zegarowe o dwóch, skokowo zmienianych częstotli-

wościach. Każdy impuls z generatora 6 inicjuje dwie, kolejno po sobie następujące operacje próbkowania. Pierwsza operacja próbkowania odbywa się z pierwszą częstotliwością impulsów zegarowych, następnie generator 10 jest przełączany przez sterujący człon 8 na generowanie impulsów zegarowych o drugiej częstotliwości, po czym rozpoczyna się druga operacja próbkowania. W wyniku tego, te same bity słowa wpisanego w przesuwający rejestr 1 są próbkowane dwukrotnie, wobec czego przy drugiej operacji próbkowania stany przerzutników 2 typu D nie zmieniają się. Przy drugiej operacji próbkowania, impulsy wyjściowe komparatorów 12 są podawane do formującego członu 15. Algorytm przepisywania informacji z przerzutników 2 typu D na wyjścia formującego członu 15 jest następujący: stan odpowiadający jedynce logicznej jest przepisywany w momencie zakończenia pierwszej operacji próbkowania, a stan odpowiadający zeru logicznemu — podczas drugiej operacji próbkowania, w chwili nadejścia impulsu z komparatora 12. Co dwa kolejne cykle rewersyjnego licznika 7, informacja przepisywana z wyjść przerzutników 2 typu D jest ponadto negowana. Szerokość impulsów uzyskiwanych na wyjściach układu zmienia się w zależności od rozkładu zer i jedynek w słowie wpisanym do rejestru 1, oraz od częstotliwości impulsów zegarowych. Dzięki temu układ umożliwia quasi płynną regulację amplitudy i częstotliwości podstawowej harmonicznej zmodulowanego sygnału, w szerokim zakresie, przy jednoczesnym ograniczeniu do minimum zawartości harmonicznych wyższych rzędów. Przykładowy układ charakteryzuje się krótkim czasem odpowiedzi na zmianę nastawy amplitudy lub częstotliwości. Czas ten równy jest sumie $1/360$ okresu i czasu załadowania rejestrów 1 i 4.

Zastrzeżenia patentowe

1. Sposób modulacji szerokości impulsów sterowania przekształtników statycznych, **znamienny tym**, że kształt fragmentu żadanego sygnału zmodulowanego, z przedziału ćwiartki okresu, koduje się w postaci słowa binarnego, a następnie bity słowa poddaje się cyklicznemu próbkowaniu, w kolejności na przemian wzrastającej i malejącej, z częstotliwością proporcjonalną do częstotliwości żadanego sygnału, przy czym wynik próbkowania każdego bitu w dwóch kolejnych cyklach próbkowania jest pamiętany do momentu próbkowania następnego bitu, a wynik próbkowania każdego bitu w dwóch następnych cyklach próbkowania jest pamiętany w postaci zanegowanej do momentu próbkowania następnego bitu.

2. Układ modulacji szerokości impulsów sterowania przekształtników statycznych, **znamienny tym**, że stanowi go cyfrowy procesor (5), sprzężony z cyklicznym, przesuwającym rejestrem (1) i z generatorem (6) o nastawnej cyfrowo częstotliwości, którego wyjście jest połączone ze sterującym członem (8) i z zegarowym wejściem co najmniej jednego rewersyjnego licznika (7), współpracującego z przerzutnikiem (13) kierunku zliczania impulsów, który jest połączony z pomocniczym przerzutnikiem (14), natomiast wyjście przesuwającego rejestru (1) jest połączone z co najmniej jednym pamiętającym elementem (2), zaś zegarowe wejście rejestru (1) jest połączone z zegarowym wejściem pomocniczego licznika (11) i z wyjściem elektronicznej bramki (9), której jedno wejście jest połączone ze sterującym członem (8), a drugie jest połączone z generatorem (10) impulsów zegarowych, przy czym sterujący człon (8) jest ponadto połączony z dodatkowym wyjściem pomocniczego licznika (11), a wyjście rewersyjnego licznika (7) i pomocniczego licznika (11) są połączone z wejściami cyfrowego komparatora (12), którego wyjście jest połączone ze strobojącym wejściem pamiętającego elementu (2), natomiast wyjścia pomocniczego przerzutnika (14) i pamiętającego elementu (2) są połączone z wejściami formującego członu (15).

3. Układ według zastrz. 2, **znamienny tym**, że generator (10) impulsów zegarowych jest wykonany w postaci układu generującego impulsy o skokowo zmienianej częstotliwości, którego wejście sterujące jest połączone z wyjściem sterującego członu (8), natomiast wyjścia cyfrowych komparatorów (12) są dodatkowo połączone z formującym członem (15).

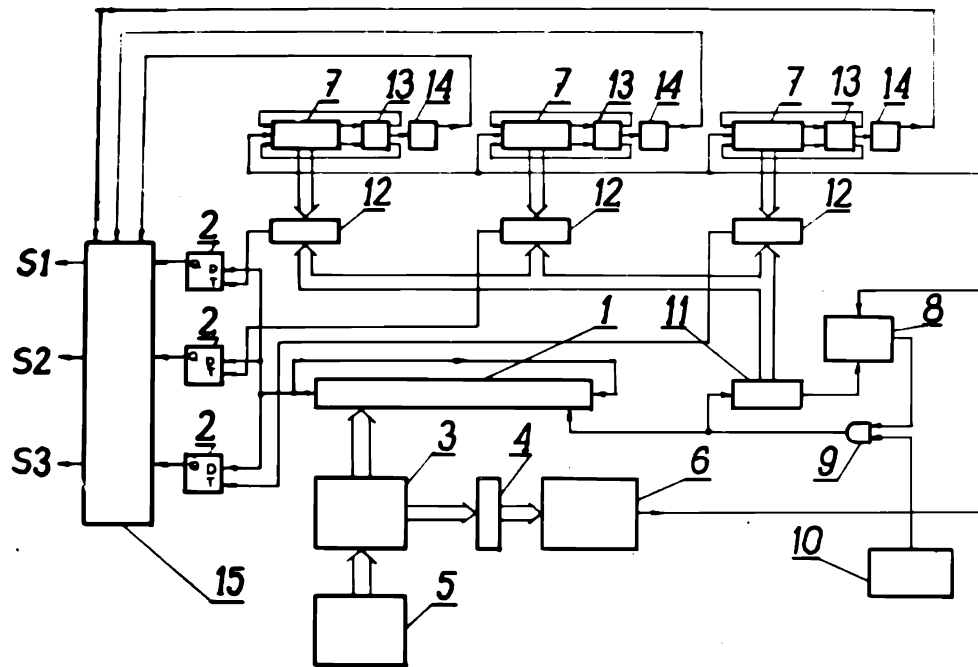


FIG.2.

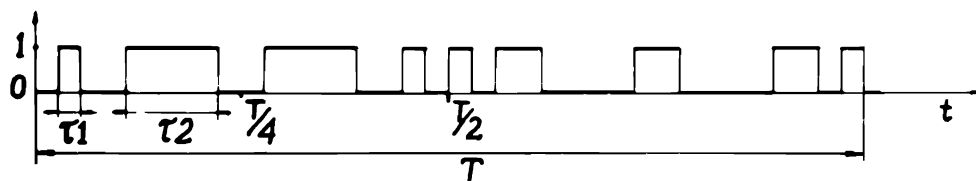


FIG. 1.

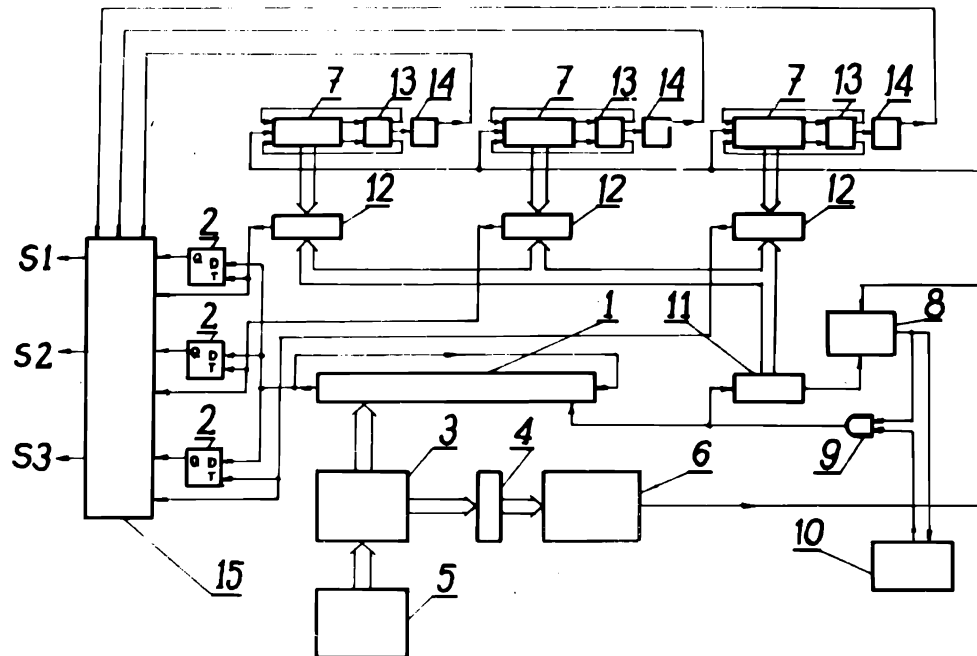


FIG.3.