

明 細 書

発明の名称：

薄膜トランジスタ、ＴＦＴ基板、表示装置及びＴＦＴ基板の製造方法

技術分野

[0001] 本発明は、薄膜トランジスタ、ＴＦＴ基板、ＴＦＴ基板を有する表示パネルを備える表示装置、及びＴＦＴ基板の製造方法に関する。

背景技術

[0002] 液晶表示装置が近年広く普及している。液晶表示装置は、薄膜トランジスタ（ＴＦＴ，Thin Film Transistor）及び薄膜トランジスタに接続された透明な画素電極がマトリクス状に形成されたＴＦＴ基板と、ＴＦＴ基板と対向するカラーフィルタ（ＣＦ）基板とを有する表示パネルを備える。ＴＦＴ基板とＣＦ基板との間には液晶材料が封入されている。液晶表示装置は更に、表示パネルに光を照射するバックライトを備える。

[0003] 液晶表示装置においては、ＴＦＴが画素電極への電圧印加のオン又はオフのスイッチングを制御する。オンにされたＴＦＴに接続された画素電極に印加された電圧により表示パネル内の液晶分子の向きが各画素又はサブ画素単位で変化し、光透過率が制御される。光透過率が画素又はサブ画素単位で制御された表示パネルにバックライトから光が照射されることにより、表示パネルに画像が表示される。

[0004] 液晶表示装置は、画質の向上のために高精細化が求められている。液晶表示装置が高精細化された場合、１つの画素又はサブ画素あたりの面積は小さくなる。１つの画素又はサブ画素あたりの面積のうち光が透過する面積の割合を示す開口率を高精細化により減少させないためには、光が透過しないＴＦＴの面積が同様に小さくなる必要がある。

[0005] ＴＦＴの面積が小さくなると、ＴＦＴのチャネル幅が短くなるため、ＴＦＴのオン電流が小さくなる。ＴＦＴのオン電流が小さくなると、画素電極が十分に駆動できなくなり、表示パネルに画像を表示できなくなる。斯かる問

題に対して、特許文献１には、チャンネルが立体的に形成されているために、平面的にチャンネルが形成された場合と比較してチャンネル幅が長いＴＦＴが開示されている。したがって、特許文献１のＴＦＴにおいては、ＴＦＴ基板上の投影面積が小さくなってもオン電流の減少が抑制される。

先行技術文献

特許文献

[0006] 特許文献１：特開２０１０－１０３１４１号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、特許文献１に開示されているＴＦＴはトップゲート型ＴＦＴである。トップゲート型ＴＦＴを用いたＴＦＴ基板は、製造時における工程数が比較的多いため、大型のＴＦＴ基板の製造に対して不利である。

[0008] 本発明は斯かる事情に鑑みてなされたものであり、その目的は、ＴＦＴ基板上の投影面積が小さくなった場合でもオン電流の減少を抑制することが可能であって大型のＴＦＴ基板の製造に有利な薄膜トランジスタ、該薄膜トランジスタが形成されたＴＦＴ基板、及び該ＴＦＴ基板を備える表示装置、並びにＴＦＴ基板の製造方法を提供することにある。

課題を解決するための手段

[0009] 本発明に係る薄膜トランジスタは、ゲートと、該ゲートを覆う絶縁膜と、該絶縁膜の上に形成され、チャンネルを有する半導体層と、該半導体層の上に間隔を空けて対向するように形成されたソース及びドレインとを備え、前記ソースとドレインとの間に前記チャンネルが位置する薄膜トランジスタにおいて、前記チャンネルは、前記ソースとドレインとが対向する方向に延び、前記ゲート側又は前記ゲートとは反対側に屈曲している屈曲部を有することを特徴とする。

[0010] 本発明にあつては、チャンネルが立体的な屈曲部を有するため、平面的なチャンネルと比較して、チャンネル上であつてソースとドレインとが相対する方向

に垂直な方向の長さ、すなわちチャネル幅が長く、したがってオン電流が大きい。

[0011] 本発明に係る薄膜トランジスタは、前記ゲートは、前記ソースとドレインとが対向する方向に延び、前記チャネル側に突出した凸部、又は、前記ソースとドレインとが対向する方向に延び、前記チャネルとは反対側に窪んだ凹部を有し、前記屈曲部は、前記凸部又は前記凹部の形状に沿って形成されていることを特徴とする。

[0012] 本発明にあつては、チャネルがゲートの凸部又は凹部に沿うことによって屈曲部が形成される。したがって、屈曲部を形成するために絶縁膜にパターンを形成する必要がなく、絶縁膜と他層との境界面の清浄性が保たれる。

[0013] 本発明に係る薄膜トランジスタは、前記ゲートの下層に、前記ソースとドレインとが対向する方向に延びるように形成された凸状又は凹状の基部を備え、前記屈曲部は、前記基部の形状に沿って形成されていることを特徴とする。

[0014] 本発明にあつては、チャネルが基部の形状に沿うことによって屈曲部が形成される。したがって、屈曲部を形成するために絶縁膜にパターンを形成する必要がなく、絶縁膜と他層との境界面の清浄性が保たれる。

[0015] 本発明に係るTFT基板は、基板と、該基板の一の主面上に形成されたゲートと、該ゲートを覆う絶縁膜と、該絶縁膜の上に形成され、チャネルを有する半導体層と、該半導体層の上に間隔を空けて対向するように形成されたソース及びドレインとを備え、前記ソースとドレインとの間に前記チャネルが位置するTFT基板において、前記チャネルは、前記ソースとドレインとが対向する方向に延び、前記ゲート側又は前記ゲートとは反対側に屈曲している屈曲部を有することを特徴とする。

[0016] 本発明にあつては、チャネルが立体的な屈曲部を有するため、平面的なチャネルと比較して、チャネル上であつてソースとドレインとが相対する方向に垂直な方向の長さ、すなわちチャネル幅が長く、したがってオン電流が大きい。

- [0017] 本発明に係るＴＦＴ基板は、前記ゲートは、前記ソースとドレインとが対向する方向に延び、前記チャネル側に突出した凸部、又は、前記ソースとドレインとが対向する方向に延び、前記チャネルとは反対側に窪んだ凹部を有し、前記屈曲部は、前記凸部又は前記凹部の形状に沿って形成されていることを特徴とする。
- [0018] 本発明にあつては、チャネルが凸部又は凹部の形状に沿うことによって屈曲部が形成される。したがって、屈曲部を形成するために絶縁膜にパターンを形成する必要がなく、絶縁膜と他層との境界面の清浄性が保たれる。
- [0019] 本発明に係るＴＦＴ基板は、前記一の主面上の前記ゲートの下層に、前記ソースとドレインとが対向する方向に延びるように形成された凸状又は凹状の基部を備え、前記屈曲部は、前記基部の形状に沿って形成されていることを特徴とする。
- [0020] 本発明にあつては、薄膜トランジスタのチャネルが基部の形状に沿うことによって屈曲部が形成される。したがって、屈曲部を形成するために絶縁膜にパターンを形成する必要がなく、絶縁膜と他層との境界面の清浄性が保たれる。
- [0021] 本発明に係るＴＦＴ基板は、前記基部は、前記基板の一部であることを特徴とする。
- [0022] 本発明にあつては、基部は基板の一部であるため、基部を形成するために他の材料を用いる必要がない。
- [0023] 本発明に係るＴＦＴ基板は、前記基板はガラス基板であり、前記基部はスピノングラスにより形成されていることを特徴とする。
- [0024] 本発明にあつては、前記基部はスピノングラスで形成されているため、ガラス基板に対する親和性が高い。したがって、基部の形成が容易である。
- [0025] 本発明に係る表示装置は、上述のいずれか一つのＴＦＴ基板を有する表示パネルを備えることを特徴とする。
- [0026] 本発明にあつては、表示装置は上述のＴＦＴ基板を備えるため、薄膜トランジスタのＴＦＴ基板上の投影面積が減少してもオン電流の減少が抑制され

る。

[0027] 本発明に係る T F T 基板の製造方法は、基板上に金属薄膜を形成し、該金属薄膜上にレジストを塗布し、半透過部を有するフォトマスクを用いて前記レジストに露光し、前記レジストを現像した後、前記金属薄膜をエッチングしてゲートを形成し、該ゲートを部分的にエッチングして、一方向に延びる凸部又は凹部を前記ゲートに形成し、該ゲートが形成された基板上に絶縁膜及び半導体層を順に形成し、該半導体層上に金属薄膜を形成し、該金属薄膜をエッチングして、前記半導体層のうち前記凸部又は凹部上に形成された部分を挟んで前記一方向に対向するソース及びドレインを形成することを特徴とする。

[0028] 本発明にあつては、レジストが塗布された金属薄膜に対して半透過部を有するフォトマスクを用いた 1 回の露光と 2 回のエッチングとを行うことにより、金属配線上に凸部又は凹部を形成する。したがって、凸部又は凹部形成のための露光が 1 回でよく、製造工程が簡略化される。

[0029] 本発明に係る T F T 基板の製造方法は、基板をエッチングして一方向に延びる凸状又は凹状のパターンを形成し、該パターンが形成された前記基板上に金属薄膜を形成し、該金属薄膜をエッチングして前記パターンの上にゲートを形成し、該ゲートが形成された基板上に絶縁膜及び半導体層を順に形成し、該半導体層上に金属薄膜を形成し、該金属薄膜をエッチングして、前記半導体層のうち前記パターン上に形成された部分を挟んで前記一方向に対向するソース及びドレインを形成することを特徴とする。

[0030] 本発明にあつては、ガラス基板に凸状又は凹状のパターンを形成する。したがって、金属配線に立体的なパターンを形成するために金属薄膜より下層に別の薄膜を形成する必要がなく、製造工程が簡略化される。

[0031] 本発明に係る T F T 基板の製造方法は、ガラス基板上にスピノングラス層を形成し、該スピノングラス層をエッチングして一方向に延びる凸状又は凹状のパターンを形成し、該パターンが形成された前記基板上に金属薄膜を形成し、該金属薄膜をエッチングして前記パターンの上にゲートを形成し

、前記ゲートが形成された基板上に絶縁膜及び半導体層を順に形成し、該半導体層上に金属薄膜を形成し、該金属薄膜をエッチングして、前記半導体層のうち前記パターン上に形成された部分を挟んで前記一方向に対向するソース及びドレインを形成することを特徴とする。

[0032] 本発明にあっては、ガラス基板上にスピノンガラス層を形成し、スピノンガラス層に対してフォトリソグラフィを行い凸状又は凹状のパターンを形成する。スピノンガラス層はガラス基板と材料特性が似ているため、ガラス基板上に形成された場合に内部応力が少ない。そのため、クラック等の不具合が発生しにくい。したがって、大型のＴＦＴ基板においてもパターン形成が容易である。

[0033] 本発明に係るＴＦＴ基板の製造方法は、前記スピノンガラス層は感光性を有することを特徴とする。

[0034] 本発明にあっては、感光性を有するスピノンガラス層が形成されるため、スピノンガラス層にパターンを形成する際にフォトリソグを使用する必要がない。したがって、製造工程が簡略化される。

発明の効果

[0035] 本発明によれば、ＴＦＴ基板上的の投影面積が小さくなった場合でもオン電流の減少を抑制することが可能であり、特に大型のＴＦＴ基板の製造に対して有利である。

図面の簡単な説明

[0036] [図1]実施の形態１に係る表示装置の模式的斜視図である。

[図2]実施の形態１に係る表示パネルの模式的断面図である。

[図3]実施の形態１に係るＴＦＴ基板上的の配線を示す模式的拡大図である。

[図4]実施の形態１に係るＴＦＴ基板上的に形成されたＴＦＴの上面拡大図である。

[図5]実施の形態１に係るＴＦＴ基板を図４のＶ－Ｖ線で切断した断面図である。

[図6]実施の形態１に係るＴＦＴ基板を図４のＶⅠ－ＶⅠ線で切断した断面図

である。

[図7A]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7B]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7C]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7D]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7E]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7F]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7G]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7H]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7I]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7J]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7K]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図7L]実施の形態1に係るTFT基板の製造工程を順に示す断面図である。

[図8]実施の形態1の変形例に係るTFT基板の断面図である。

[図9]実施の形態2に係るTFT基板の断面図である。

[図10A]実施の形態2に係るTFT基板の製造工程を順に示す断面図である。

[図10B]実施の形態2に係るTFT基板の製造工程を順に示す断面図である。

[図10C]実施の形態2に係るTFT基板の製造工程を順に示す断面図である。

[図11]実施の形態3に係るTFT基板の断面図である。

[図12A]実施の形態3に係るTFT基板の製造工程を順に示す断面図である。

[図12B]実施の形態3に係るTFT基板の製造工程を順に示す断面図である。

[図12C]実施の形態3に係るTFT基板の製造工程を順に示す断面図である。

[図12D]実施の形態3に係るTFT基板の製造工程を順に示す断面図である。

発明を実施するための形態

[0037] 以下、本発明をその実施の形態を示す図面に基づいて詳述する。

[0038] (実施の形態1)

図1は、実施の形態1に係る表示装置1の模式的斜視図である。図2は、実施の形態1に係る表示パネル2の模式的断面図である。図3は、実施の形

態 1 に係る T F T 基板 2 0 上の配線を示す模式的拡大図である。図 4 は、実施の形態 1 に係る T F T 基板 2 0 上に形成された T F T 1 4 の上面拡大図である。

[0039] 表示装置 1 は例えば、アクティブマトリクス型の液晶表示装置である。また、表示装置 1 は液晶分子の配向制御方法として、例えば縦電界駆動方式の一種である V A (Vertical Alignment) 方式を採用する。ただし、表示装置 1 は横電界駆動方式である I P S (In-Plane-Switching) 方式を採用するものであってもよい。

[0040] 表示装置 1 は、画像が表示される矩形状の表示パネル 2 と、該表示パネル 2 に光を照射するバックライト（不図示）とを備える。表示装置 1 は更に、アンテナ（不図示）からテレビジョン放送波を受信するテレビジョンチューナ 3 と、符号化されたテレビジョン放送波を画像信号に復号するデコーダ 4 とを備える。

[0041] 表示装置 1 においては、例えばテレビジョンチューナ 3 により受信されたテレビジョン放送波がデコーダ 4 により画像信号に復号される。復号された画像信号に基づいて表示パネル 2 に画像が表示される。表示装置 1 は、他に図示しない画像信号入力端子を備え、該画像信号入力端子に入力される画像信号に基づいて画像を表示してもよい。

[0042] 図 2 に示すように、表示パネル 2 は、ガラス製で矩形状の T F T 基板 2 0 と、T F T 基板 2 0 に対向し、T F T 基板 2 0 より僅かに小さいガラス製で矩形状のカラーフィルタ（C F）基板 2 1 とを備える。T F T 基板 2 0 と C F 基板 2 1 との間には液晶層 2 2 が設けられている。T F T 基板 2 0 と C F 基板 2 1 とは、T F T 基板 2 0 及び C F 基板 2 1 の周縁部に接着された枠状のシール材 2 3 により貼り合わされている。液晶層 2 2 は、T F T 基板 2 0 と C F 基板 2 1 との間にシール材 2 3 により液晶材料が封入されて形成されている。

[0043] 図 3 に示すように、T F T 基板 2 0 上にはマトリクス状に複数のゲート線 1 1 a 及びソース線 1 2 a が配されている。図 3 においては、左右方向が T

F T基板の長手方向であり、上下方向がT F T基板の短手方向である。ゲート線1 1 aはT F T基板2 0の短手方向に等間隔に並べられ、長手方向に延びている。ソース線1 2 aはT F T基板2 0の長手方向に等間隔に並べられ、短手方向に延びている。ゲート線1 1 aとソース線1 2 aとは、T F T基板上の異なる層に形成されている。更に、各ゲート線1 1 aの間には、補助容量配線1 1 cがゲート線1 1 aに平行に配されている。ゲート線1 1 aと補助容量配線1 1 cとはT F T基板2 0上の同じ層に形成されている。ゲート線1 1 a及び補助容量配線1 1 cは、例えば酸化シリコン (SiO_x) により、T F T基板2 0の端部を除く略全体にわたって形成されたゲート絶縁膜1 6 (図5、図6参照) により覆われている。ソース線1 2 aは、ゲート絶縁膜1 6上に形成されている。すなわち、ゲート1 1 a線とソース線1 2 aと補助容量配線1 1 cとは互いに電氣的に独立している。

[0044] T F T基板2 0上のゲート線1 1 aとソース線1 2 aとにより区切られた矩形領域夫々には、一つの角が切り欠けられた矩形状の画素電極1 3が、ITO (Indium Tin Oxide) 等の透明導電膜により形成されている。画素電極1 3の切り欠き部には、T F T 1 4が形成されている。

[0045] 図4に示すように、各T F T 1 4は、ゲート1 1 b、ゲート絶縁膜1 6 (図5、図6参照)、チャネル1 5 aを有する半導体層1 5、ソース1 2 b、及びドレイン1 2 cを有する。各T F T 1 4において、ゲート1 1 bはゲート線1 1 aから画素電極1 3の切り欠き部に突出している。ゲート1 1 b上の略全域に、ゲート絶縁膜1 6を介して、半導体層1 5が形成されている。更に半導体層1 5上に、ソース線1 2 aから、コの字形状のソース1 2 bが、コの字の開口部がソース線1 2 aとは反対側に向くように突出している。ソース1 2 bのコの字の開口部に、ソース1 2 bと略一定の間隔を隔てて、画素電極1 3に電氣的に接続されたドレイン1 2 cが形成されている。半導体層1 5におけるソース1 2 bとドレイン1 2 cとの間の部分はコの字形状に曲がっている。斯かるコの字形状の部分は、チャネル1 5 aを構成する。すなわち、T F T 1 4はゲート1 1 bの上にチャネル1 5 aが形成されたボ

トムゲート型TFTである。ボトムゲート型TFTは、トップゲート型と比較して製造時の工程数が少ないため、大型のTFT基板の製造に対して有利である。

[0046] 図3中に点線で囲んで示す、画素電極13、TFT14、ゲート線11aのうち画素電極13に図中下側で沿う部分、及びソース線12aのうち画素電極13に図中右側で沿う部分を含む領域は、サブ画素30である。

[0047] ここで画素電極13は透明であるのに対して、TFT14、ゲート線11a、ソース線12a、及び画素電極13の下層に配された補助容量配線11cは光を透過させない。各サブ画素30の全面積のうち光を透過させる部分、すなわちTFT14、ゲート線11a、ソース線12a、及び補助容量配線11cを除く部分の面積が占める割合は、開口率と呼ばれる。

[0048] CF基板21上における、TFT基板20の各サブ画素30に対向する位置に、R (Red)、G (Green)、B (Blue) の3色のカラーフィルタ（不図示）のいずれかが設けられている。ここで例えば、TFT基板の長手方向においては、R、G、Bの各カラーフィルタが同じ順番で交互に繰り返されるように並べられている。各カラーフィルタの間には光を遮るブラックマトリクス（不図示）が形成されている。更に、各カラーフィルタ及びブラックマトリクス上には、ITO等の透明導電膜で形成された単一の共通電極（不図示）が形成されている。ただし、IPS方式の液晶表示装置においては、共通電極は、画素電極13と同様にTFT基板20上に形成されている。

[0049] 隣り合ったR、G、Bの3つのカラーフィルタに対向する3つのサブ画素30により1つの画素が構成されている。

[0050] 次に、TFT基板20の断面構造について詳述する。図5は、実施の形態1に係るTFT基板20を図4のV-V線で切断した断面図である。図6は、実施の形態1に係るTFT基板20を図4のVⅠ-VⅠ線で切断した断面図である。TFT基板20は、ガラス基板10の一の主面上に、ゲート11bを含むゲート線11a及び補助容量配線11c（図5及び図6には示さず）、ゲート絶縁膜16、半導体層15、ソース12bを含むソース線12a

及びドレイン 12c、パッシベーション膜 17、層間絶縁膜 18、並びに画素電極 13が、この順番で積層されて構成されている。

[0051] ゲート線 11aはゲート層 11から形成されている。ゲート層 11は例えば、チタン、クロム又はタンタル等を成分とする下地金属層 110と、第1ゲートCu層 111と、チタン、ニッケル又はタングステン等を成分とするエッチストッパ層 112と、第2ゲートCu層 113とが、この順にガラス基板 10に積層されて形成されている。第1ゲートCu層 111及び第2ゲートCu層 113夫々の厚さは、下地金属層 110又はエッチストッパ層 112の厚さより大きい。下地金属層 110は、Cuとガラス基板 10との接着性を高めるために設けられている。エッチストッパ層 112は、後述するTF T基板 20の製造工程において行われるゲート線 11a形成時の2段階のエッチングを制御するために設けられている。また、ゲート層 11からは補助容量配線 11cも同様に形成されている。尚、Cuの代わりにAl等の他の金属が用いられてもよい。

[0052] 第2ゲートCu層 113は、後述するようにドライエッチングによりパターン形成されて、図6に示すゲート 11bの上部に、ゲート絶縁膜 16及びチャネル 15aに対して突出した畝状の凸部 113aを形成している。ここで凸部 113aは例えば、平面視してコの字形状に形成されたチャネル 15aのうちTF T基板 20の長手方向に形成された第1部分 15a1及び第2部分 15a2を横切るようにして、TF T基板 20の短手方向に延びている。換言すると、凸部 113aは、チャネル 15aの第1部分 15a1及び第2部分 15a2において、ソース 12bとドレイン 12cとが相対する方向に延びている。また、凸部 113aは両側面がテーパ形状を有するように形成されている。テーパ状の両側面は、底面に対して45°から60°程度の角度をなすことが望ましい。

[0053] ゲート層 11の上には、前述のようにゲート絶縁膜 16がTF T基板 20の端部を除く略全体にわたって形成されている。

[0054] 半導体層 15は、ゲート絶縁膜 16上に、各ゲート 11bが形成されてい

る位置において島状に形成されている。半導体層 15 は例えば、非晶質シリコン ($a-Si$) を成分とする $a-Si$ 層 150 と、 $a-Si$ にリン等のドナーが高濃度でドーピングされた n^+ 半導体を成分とする n^+ 層 151 とが、この順に積層されて構成されている。 n^+ 層 151 のキャリア密度は $a-Si$ 層 150 より高く、したがって n^+ 層 151 は導電性が $a-Si$ 層 150 より高い。 n^+ 層 151 は、ソース 12b 及びドレイン 12c と $a-Si$ 層 150 との間で抵抗率を低くするために設けられている。尚、半導体層 15 として、 $a-Si$ 以外に多結晶シリコン ($p-Si$) 又は $InGaZnO$ 等の酸化物半導体がいられてもよい。

[0055] 図 6 に示すように、ゲート 11b が凸部 113a を有するため、チャンネル 15a を含む半導体層 15 には、ゲート絶縁膜 16 を介して凸部 113a の凸形状に沿ってゲート 11b とは反対側に屈曲している屈曲部 15b が形成されている。屈曲部 15b は、コの字形状のチャンネル 15a の第 1 部分 15a1 及び第 2 部分 15a2 の一部として、ソース 12b とドレイン 12c とが相対する方向に延びるように畝状に形成されている。チャンネル 15a の第 1 部分 15a1 及び第 2 部分 15a2 における半導体層 15 の形状に沿った長手方向の長さは、屈曲部 15b が形成されない場合とくらべて長い。尚、該長手方向の長さは、チャンネル 15a の第 1 部分 15a1 及び第 2 部分 15a2 においてソース 12b とドレイン 12c とが相対する方向に垂直な長さであり、一般にチャンネル幅と呼ばれる。

[0056] ソース 12b を含むソース線 12a とドレイン 12c とは、後述するように、半導体層 15 上に形成されたソースドレイン層 12 がエッチングされることにより形成されている。ソースドレイン層 12 は例えば、Cu により形成されている。ただし、ソースドレイン層 12 は、Cu の代わりに Al 等の他の金属により形成されていてもよい。

[0057] ソース 12b を含むソース線 12a、ドレイン 12c、半導体層 15 のチャンネル 15a、及びゲート絶縁膜 16 の上には、それらを覆い保護するパッシベーション膜 17 が形成されている。更に、パッシベーション膜 17 を覆

うように層間絶縁膜 18 が形成されている。層間絶縁膜 18 の上面はガラス基板 10 の主面と平行に形成されており、層間絶縁膜 18 より下側の層の凹凸を平坦化する機能を有している。

[0058] 図 5、図 6 に示すように、画素電極 13 が層間絶縁膜 18 上に形成されている。画素電極 13 は、層間絶縁膜 18 に開口された図示しないコンタクトホールを介して、ドレイン 12c と電氣的に接続されている。

[0059] 次に表示装置 1 の動作について説明する。表示装置 1 において、デコーダ 4 が復号した画像信号、又は外部の装置から入力された画像信号が、画像処理回路（不図示）に入力される。画像処理回路は画像信号に基づいて、ゲートドライバ及びソースドライバ（共に不図示）に、ソースドライバ制御信号及びゲートドライバ制御信号を夫々出力する。ゲートドライバは、水平同期信号に同期して順次的にゲート線 11a にゲート信号を出力し、当該ゲート線 11a に含まれるゲート 11b にゲート信号が入力される。ゲート 11b にゲート信号が入力された各 TFT 14 がオンになり、ソース 12b とドレイン 12c とがチャネル 15a を介して導通する。オンになった TFT 14 のソース 12b にソースドライバからソース線 12a を介してソース信号が入力される。ソース 12b に入力されたソース信号は、ドレイン 12c を介して各画素電極 13 の電位を変化させる。

[0060] 各画素電極 13 に対向する共通電極の電位は一定の接地電位に保たれており、したがって各画素電極 13 の電位の変化により各画素電極 13 と共通電極との間の電圧が変化する。よって、各画素電極 13 と共通電極との間に挟まれた液晶分子の向きが変化するため、各サブ画素 30 の光透過率が変化する。このようにして、各サブ画素 30 において光透過率が制御された表示パネル 2 にバックライトから光が照射されることにより、表示パネル 2 に画像が表示される。

[0061] 以上に述べたように、本実施の形態に係る TFT 14 においては、ゲート 11b は凸部 113a を有し、半導体層 15 のチャネル 15a は、凸部 113a 上に凸形状に沿ってゲート 11b とは反対側に屈曲している屈曲部 15

bを有する。このため、平面的なチャネルのチャネル幅と比較して、立体的に形成されたチャネル15aのチャネル幅は長い。TF T 14に流れるオン電流はチャネル幅に比例するため、チャネル15aに屈曲部15bを有するTF T 14はより大きなオン電流を流すことが可能である。したがって、オン電流を減少させることなく、TF T 14の投影面積が減少させられ各サブ画素30の開口率が高められ得る。

[0062] 次に、本実施の形態に係るTF T基板20の製造方法について説明する。図7Aから図7Lまでは、実施の形態1に係るTF T基板20の製造工程を順に示す断面図である。最初に、ガラス基板10の回路が形成される側の主面が洗浄され、乾燥される。その後、図7Aに示すように、洗浄された主面の全体にスパッタリングにより連続的に、下地金属層110、第1ゲートCu層111、エッチストッパ層112、及び第2ゲートCu層113が順に積層され、金属薄膜からなるゲート層11が形成される。

[0063] 続いて、図7Bに示すように、形成されたゲート層11の上面全体に、例えばポジ型のフォトレジスト40が塗布される。フォトレジスト40が塗布された後、焼成炉でフォトレジスト40がプリベークされる。次に、図7Cに示すように、露光装置によりフォトレジスト40に、多階調フォトマスク50を介して露光され、多階調フォトマスク50に形成されたパターンが光で転写される。多階調フォトマスク50は、透過部50aと遮光部50bと半透過部50cとがパターン形成されたグレイトーンマスク又はハーフトーンマスク等である。多階調フォトマスク50を使用した露光により、フォトレジスト40に、半透過部50cにより減光された光が露光された中間露光部分40aと、遮光部50bにより光が遮られた未露光部分40bと、透過部50aにより光が露光された露光部分40cとからなるパターンが形成される。

[0064] 露光工程の後、現像液を用いてフォトレジスト40が現像され、露光部分40cが除去される。このとき、図7Dに示すように、中間露光部分40aについてはフォトレジスト40の一部が除去され、フォトレジスト40の厚

さが減少する。未露光部分40bのフォトリソグレイ40は第2ゲートCu層113上に残る。現像後、ガラス基板10が洗浄及び乾燥され、更に焼成炉でフォトリソグレイ40がポストバークされる。

[0065] 続いて、図7Eに示すように、ウェットエッチング工程においてエッチング液により、ゲート層11のフォトリソグレイ40が除去された部分が除去され、ガラス基板10上にゲート11bを含むゲート線11a及び補助容量配線11c（共に図3参照）のパターンが形成される。ウェットエッチング後、同様にガラス基板10は洗浄及び乾燥される。

[0066] その後、図7Fに示すように、アッシング工程においてフォトリソグレイ40の中間露光部分40aが除去される。続いて図7Gに示すように、ドライエッチング工程において、第2ゲートCu層113のうち中間露光部分40aが剥離された部分が除去され、凸部113aが形成される。このとき、エッチストップ層112が第1ゲートCu層111をドライエッチングから保護するため、第1ゲートCu層111は除去されない。ドライエッチング工程の後、図7Hに示すようにレジスト剥離工程において、残った未露光部分40bが剥離され、更に洗浄及び乾燥される。

[0067] 上記工程により凸部113aが形成されたゲート11bを含むゲート線11a、及び補助容量配線11cからなるゲート層11の上に、図7Iに示すようにCVD（Chemical Vapor Deposition）法により、ゲート絶縁膜16、並びにa-Si層150及びn+層151から成る半導体層15が連続的に、積層されて形成される。このとき、ゲート絶縁膜16、a-Si層150、及びn+層151は、層間の境界面の清浄を保つためにCVDチャンバ内で連続的に形成される。形成されたa-Si層150及びn+層151は、レジスト塗布、露光、現像、エッチング、及びレジスト剥離を含むフォトリソグラフィを経て、図7Jに示すようなゲート11b上のパターンに形成される。

[0068] 続いて、スパッタリングにより、a-Si層150及びn+層151から成る半導体層15の上にソースドレイン層12が形成される。図7Kに示す

ように、形成されたソースドレイン層 1 2 に対して、レジスト塗布、露光、現像、エッチング、及びレジスト剥離を含むフォトリソグラフィが行われ、ソース 1 2 b が形成される。同時に、ソース 1 2 線 a (図 3 参照)、及びドレイン 1 2 c (図 4、図 5 参照) も形成される。n + 層 1 5 1 のチャンネル 1 5 a に形成された部分はソースドレイン層 1 2 のエッチング時に除去される。その後、図 7 L に示すように、パッシベーション膜 1 7、層間絶縁膜 1 8、及び画素電極 1 3 が順次形成される。

[0069] 以上に示した T F T 基板 2 0 の製造工程において、チャンネル 1 5 a に屈曲部 1 5 b を設けるための凸部 1 1 3 a はゲート層 1 1 に対する 2 回のエッチングによりゲート 1 1 b 上に形成される。したがって、ゲート絶縁膜 1 6 又は a - S i 層 1 5 0 に対して 2 回のエッチングを行う必要がないため、ゲート絶縁膜 1 6 と a - S i 層 1 5 0 の間の境界面、又は a - S i 層 1 5 0 と n + 層 1 5 1 との境界面の清浄性が保たれる。

[0070] また、多階調フォトマスク 5 0 を使用するため、露光回数及び使用されるマスクの枚数が削減され、したがって製造費用が削減される。ただし、多階調フォトマスク以外のフォトマスクを使用する方法が用いられてもよい。

[0071] (実施の形態 1 の変形例)

図 8 は、実施の形態 1 の変形例に係る T F T 基板 2 0 の断面図である。図 8 は、実施の形態 1 の図 6 に対応する。図 8 に示すように、本変形例に係る T F T 1 4 においては、ゲート 1 1 b は、ゲート絶縁膜 1 6 及びチャンネル 1 5 a とは反対側に窪み、ソース 1 2 b とドレイン 1 2 c とが相対する方向に延びる溝状の凹部 1 1 3 b を有する。チャンネル 1 5 a は、ゲート絶縁膜 1 6 を介して凹部 1 1 3 b 上に凹形状に沿って形成されている。このためチャンネル 1 5 a は、ソース 1 2 b とドレイン 1 2 c とが相対する方向に延び、ゲート 1 1 b 側に屈曲している屈曲部 1 5 b を有する。

[0072] したがって、本変形例に係る T F T 1 4 においては、実施の形態 1 と同様に、平面的なチャンネル 1 5 a と比較してチャンネル幅が長く形成される。T F T 1 4 に流れるオン電流はチャンネル幅に比例するため、チャンネル 1 5 a に屈

曲部 15 b を有する T F T 1 4 はより大きなオン電流を流すことが可能である。したがって、オン電流を減少させることなく、T F T 1 4 の投影面積が減少させられ各サブ画素 3 0 の開口率が高められ得る。

[0073] 本変形例のその他の構成、及び製造方法は実施の形態 1 と同様であるため、同一の符号を付して詳細な説明を省略する。

[0074] (実施の形態 2)

図 9 は、実施の形態 2 に係る T F T 基板 2 0 の断面図である。図 9 は、実施の形態 1 の図 6 に対応する。本実施の形態に係る T F T 基板 2 0 においては、ガラス基板 1 0 に、一の主面に対して突出した畝状の基部 1 0 a が形成されている。基部 1 0 a はガラス基板 1 0 と一体となっており、ソース 1 2 b とドレイン 1 2 c とが相対する方向に延びている。チャネル 1 5 a は、ゲート絶縁膜 1 6 を介して基部 1 0 a 上に凸形状に沿って形成されている。このため、チャネル 1 5 a はソース 1 2 b とドレイン 1 2 c とが相対する方向に延び、ゲート 1 1 b とは反対側に屈曲している屈曲部 1 5 b を有する。

[0075] したがって、本実施例に係る T F T 1 4 においては、実施の形態 1 と同様に、平面的なチャネルと比較してチャネル幅が長く形成される。T F T 1 4 に流れるオン電流はチャネル幅に比例するため、チャネル 1 5 a に屈曲部 1 5 b を有する T F T 1 4 はより大きなオン電流を流すことが可能である。よって、オン電流が減少することなく T F T 1 4 の面積を小さくすることができるため、各サブ画素 3 0 の開口率を高めることができる。

[0076] 尚、基部 1 0 a はガラス基板 1 0 の主面に対して窪んだ溝状に形成されてあってもよい。この場合、基部 1 0 a 上に形成されたチャネル 1 5 a はソース 1 2 b とドレイン 1 2 c とが相対する方向に延び、ゲート 1 1 b 側に屈曲している屈曲部 1 5 b を有し、同じ効果が得られる。

[0077] 本実施の形態に係る T F T 基板 2 0 のその他の構成は実施の形態 1 と同様である。

[0078] 次に、本実施の形態に係る T F T 基板 2 0 の製造方法について説明する。

図 1 0 A から図 1 0 C までは、実施の形態 2 に係る T F T 基板 2 0 の製造工

程を順に示す断面図である。初めにガラス基板 10 の一の主面全体にフォトリソグラフィを塗布し、露光、現像、エッチング、レジスト剥離を順次行い、図 10A に示すように、ガラス基板 10 に基部 10a を含むトレンチパターンを形成する。換言すると、ガラス基板 10 に対してトレンチエッチングが行われる。このとき、エッチングで除去されるガラスの量を削減してエッチング液の再利用を容易にするために、ガラス基板 10 のうち TFT 14 が形成される領域が盆地状に部分的に除去され、基部 10a が形成されることが望ましい。また、基部 10a の両側面は、ガラス基板 10 の一の主面に対して 45° から 60° 程度の角度をなすテーパ状に形成されることが望ましい。

[0079] 続いて、図 10B に示すように、基部 10a が形成されたガラス基板 10 の全面に、スパッタリングによって下地金属層 110、第 1 ゲート Cu 層 111 が連続的に形成される。その後、図 10C に示すように、形成されたゲート層 11 に対して、レジスト塗布、露光、現像、エッチング、レジスト剥離を含むフォトリソグラフィにより、ゲート 11b を含むゲート線 11a、及び補助容量配線 11c のパターンが形成される。

[0080] 以降、実施の形態 1 と同様に、ゲート絶縁膜 16、半導体層 15、ソース 12b を含むソース線 12a 及びドレイン 12c、パッシベーション膜 17、層間絶縁膜 18、並びに画素電極 13 が順次形成され、図 9 に示す TFT 基板 20 が製造される。

[0081] 本実施の形態においては、ガラス基板 10 に凸状又は凹状の基部 10a を形成するため、ゲート 11b に凸部を形成する必要がなく、したがってゲート 11b を形成する工程が簡略化される。

[0082] 本実施の形態のその他の構成、及び製造方法は実施の形態 1 と同様であるため、同一の符号を付して詳細な説明を省略する。

[0083] (実施の形態 3)

図 11 は、実施の形態 3 に係る TFT 基板 20 の断面図である。本実施の形態においては、ガラス基板 10 上に、一の主面に対して突出した畝状の基部 19a が形成されている。基部 19a は、ソース 12b とドレイン 12c

とが相対する方向に延びている。ここで基部 19 a は、実施の形態 2 とは異なり、ガラス基板 10 上にコーティングされたスピノンガラス層 19 によって形成されている。チャンネル 15 a は、ゲート絶縁膜 16 を介して基部 19 a 上に凸形状に沿って形成されている。このため、チャンネル 15 a は、ソース 12 b とドレイン 12 c とが相対する方向に延び、ゲート 11 b とは反対側に屈曲している屈曲部 15 b を有する。したがって、本実施の形態に係る T F T 14 においては、他の実施の形態と同様に、平面的なチャンネルと比較してチャンネル幅が長く形成される。

[0084] 尚、基部 19 a はガラス基板 10 の主面に対して窪んだ溝状に形成されてあってもよい。この場合であっても、チャンネル 15 a は、ソース 12 b とドレイン 12 c とが相対する方向に延び、ゲート 11 b 側に屈曲している屈曲部 15 b を有する。

[0085] 本実施の形態に係る T F T 基板 20 のその他の構成は実施の形態 2 と同様である。

[0086] 次に、本実施の形態に係る T F T 基板 20 の製造方法について説明する。図 12 A から図 12 D までは、実施の形態 3 に係る T F T 基板 20 の製造工程を順に示す断面図である。最初に、図 12 A に示すように、ガラス基板 10 の一の主面全体にスピノンガラス層 19 が形成される。具体的には、液体状のガラス材料がガラス基板 10 に滴下され、スピコートにより厚さの均一な薄膜として形成される。その後、スピノンガラス層 19 は焼成炉においてプリベークされる。続いて、形成されたスピノンガラス層 19 に対して、レジスト塗布、露光、現像、エッチング、レジスト剥離を含むフォトリソグラフィ工程が行われることにより、図 12 B に示すような基部 19 a が形成される。このとき、エッチングで除去されるガラスの量を削減してエッチング液の再利用を容易にするために、スピノンガラス層 19 のうち T F T 14 が形成される領域が盆地状に部分的に除去され、基部 19 a が形成されることが望ましい。また、基部 19 a の両側面は、ガラス基板 10 の一の主面に対して 45° から 60° 程度の角度をなすテーパ状に形成されるこ

とが望ましい。

[0087] また、以降の工程におけるアラインメントを容易にするため、スピノンガラスが着色されていてもよい。ただし、スピノンガラスに着色を施す場合には、表示される画像に影響を与えないように、開口部となる領域においてスピノンガラス層 19 が除去される必要がある。

[0088] その後、実施の形態 2 と同様に、図 12C に示すように、基部 19a が形成されたガラス基板 10 の全面に、スパッタリングによって下地金属層 110、第 1 ゲート Cu 層 111 が連続的に形成され、更に、図 12D に示すように、フォトリソグラフィにより、ゲート 11b のパターンが形成される。同時に、ゲート 11b を含むゲート線 11a、及び補助容量配線 11c（共に図 3 参照）のパターンも形成される。

[0089] 以降、他の実施の形態と同様に、ゲート絶縁膜 16、半導体層 15、ソース 12b を含むソース線 12a 及びドレイン 12c、パッシベーション膜 17、層間絶縁膜 18、並びに画素電極 13 が順次形成され、図 11 に示す TFT 基板 20 が製造される。

[0090] 本実施の形態において、基部 19a の形成に使用されるスピノンガラスはガラス材料であるためガラス基板 10 と材料特性が似ており、したがってガラス基板 10 上に形成された場合に内部応力が少ない。そのため、クラック等の不具合が発生しにくい。したがって、大型の TFT 基板の製造においても基部 19a のパターン形成が容易であるという利点を有する。ここで、スピノンガラスはガラス基板 10 と屈折率が略同じであり、且つ光透過率が高いため、スピノンガラス層 19 をガラス基板 10 上に形成することによる表示パネル 2 の光学的品位への影響は少ない。

[0091] 本実施の形態のその他の構成、及び製造方法は他実施の形態と同様であるため、同一の符号を付して詳細な説明を省略する。

[0092] （実施の形態 4）

本実施の形態に係る TFT 基板 20 は、図 11 で示す実施の形態 3 に係る TFT 基板と同様に、ガラス基板 10 上に、一の主面に対して突出した畝状

の基部 19 a が形成されている。ここで、本実施の形態においては、基部 19 a は感光性を有するスピノンガラスにより形成されている。その他の構成については、実施の形態 3 と同様である。

[0093] 次に、本実施の形態に係る T F T 基板の製造方法について説明する。最初に、実施の形態 3 の図 1 2 A に示す場合と同様に、ガラス基板 1 0 の一の主面全体に感光性を有するスピノンガラス層 1 9 がスピコートにより形成される。続いて、形成された感光性を有するスピノンガラス層 1 9 に対して、露光及び現像が行われ、図 1 2 B に示す場合と同様に基部 1 9 a のパターンが形成される。パターン形成後、スピノンガラス層 1 9 はポストベークされる。

[0094] その後、実施の形態 2 及び 3 と同様に基部 1 9 a が形成されたガラス基板 1 0 の全面に、スパッタリングによって下地金属層 1 1 0、第 1 ゲート C u 層 1 1 1 が連続的に形成され、更にフォトリソグラフィにより、ゲート 1 1 b を含むゲート線 1 1 a、及び補助容量配線 1 1 c のパターンが形成される。

[0095] 以降、他の実施の形態と同様に、ゲート絶縁膜 1 6、半導体層 1 5、ソース 1 2 b を含むソース線 1 2 a 及びドレイン 1 2 c、パッシベーション膜 1 7、層間絶縁膜 1 8、並びに画素電極 1 3 が順次形成され、T F T 基板 2 0 が製造される。

[0096] 本実施の形態においては、スピノンガラスが感光性を有するため、スピノンガラス層 1 9 から基部 1 9 a のパターンを形成する際に、スピノンガラス層 1 9 にフォトレジストを塗布する工程、エッチング工程、及び塗布されたフォトレジストを剥離する工程がいずれも不要である。したがって、本実施の形態に係る T F T 基板は、実施の形態 3 の利点に加えて更に、フォトレジストが不要であるために製造工程が少ない利点を有する。

[0097] 本実施の形態のその他の構成、及び製造方法は他実施の形態と同様であるため、同一の符号を付して詳細な説明を省略する。

[0098] 尚、上述の各実施の形態において、表示装置はテレビジョンチューナ及び

デコーダを備えていなくても良い。

[0099] また、上述の各実施の形態において、表示装置はアクティブマトリクス型液晶表示装置に限定されない。例えば表示装置はアクティブマトリクス型有機エレクトロルミネッセンス（ＥＬ）表示装置であってもよい。

[0100] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した意味ではなく、請求の範囲によって示され、請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

符号の説明

- [0101]
- 1 表示装置
 - 2 表示パネル
 - 3 テレビジョンチューナ
 - 4 デコーダ
 - 10 ガラス基板
 - 10a 基部
 - 11 ゲート層
 - 11a ゲート線
 - 11b ゲート11b
 - 11c 補助容量配線
 - 110 下地金属層
 - 111 第1ゲートCu層
 - 112 エッチストッパ層
 - 113 第2ゲートCu層
 - 113a 凸部
 - 113b 凹部
 - 12 ソースドレイン層
 - 12a ソース線
 - 12b ソース

- 1 2 c ドレイン
- 1 3 画素電極
- 1 4 T F T
- 1 5 半導体層
- 1 5 a チャネル
- 1 5 b 屈曲部
- 1 5 0 a - S i 層
- 1 5 1 n⁺層
- 1 6 ゲート絶縁膜
- 1 7 パッシベーション膜
- 1 8 層間絶縁膜
- 1 9 スピノンガラス層
- 1 9 a 基部
- 2 0 T F T 基板
- 2 1 C F 基板
- 2 2 液晶層
- 2 3 シール材
- 3 0 サブ画素
- 4 0 フォトレジスト
- 5 0 多階調フォトマスク

請求の範囲

- [請求項1] ゲートと、該ゲートを覆う絶縁膜と、該絶縁膜の上に形成され、チャンネルを有する半導体層と、該半導体層の上に間隔を空けて対向するように形成されたソース及びドレインとを備え、前記ソースとドレインとの間に前記チャンネルが位置する薄膜トランジスタにおいて、
- 前記チャンネルは、前記ソースとドレインとが対向する方向に延び、前記ゲート側又は前記ゲートとは反対側に屈曲している屈曲部を有することを特徴とする薄膜トランジスタ。
- [請求項2] 前記ゲートは、前記ソースとドレインとが対向する方向に延び、前記チャンネル側に突出した凸部、又は、前記ソースとドレインとが対向する方向に延び、前記チャンネルとは反対側に窪んだ凹部を有し、
- 前記屈曲部は、前記凸部又は前記凹部の形状に沿って形成されていることを特徴とする請求項1に記載の薄膜トランジスタ。
- [請求項3] 前記ゲートの下層に、前記ソースとドレインとが対向する方向に延びるように形成された凸状又は凹状の基部を備え、
- 前記屈曲部は、前記基部の形状に沿って形成されていることを特徴とする請求項1に記載の薄膜トランジスタ。
- [請求項4] 基板と、該基板の一の主面上に形成されたゲートと、該ゲートを覆う絶縁膜と、該絶縁膜の上に形成され、チャンネルを有する半導体層と、該半導体層の上に間隔を空けて対向するように形成されたソース及びドレインとを備え、前記ソースとドレインとの間に前記チャンネルが位置するT F T基板において、
- 前記チャンネルは、前記ソースとドレインとが対向する方向に延び、前記ゲート側又は前記ゲートとは反対側に屈曲している屈曲部を有することを特徴とするT F T基板。
- [請求項5] 前記ゲートは、前記ソースとドレインとが対向する方向に延び、前記チャンネル側に突出した凸部、又は、前記ソースとドレインとが対向する方向に延び、前記チャンネルとは反対側に窪んだ凹部を有し、

前記屈曲部は、前記凸部又は前記凹部の形状に沿って形成されていることを特徴とする請求項4に記載のT F T基板。

[請求項6] 前記一の主面上の前記ゲートの下層に、前記ソースとドレインとが対向する方向に延びるように形成された凸状又は凹状の基部を備え、
前記屈曲部は、前記基部の形状に沿って形成されていることを特徴とする請求項4に記載のT F T基板。

[請求項7] 前記基部は、前記基板の一部であることを特徴とする請求項6に記載のT F T基板。

[請求項8] 前記基板はガラス基板であり、前記基部はスピノングラスにより形成されていることを特徴とする請求項6に記載のT F T基板。

[請求項9] 請求項4から8までのいずれか一つのT F T基板を有する表示パネルを備えることを特徴とする表示装置。

[請求項10] 基板上に金属薄膜を形成し、
該金属薄膜上にレジストを塗布し、
半透過部を有するフォトマスクを用いて前記レジストに露光し、
前記レジストを現像した後、前記金属薄膜をエッチングしてゲートを形成し、
該ゲートを部分的にエッチングして、一方向に延びる凸部又は凹部を前記ゲートに形成し、
該ゲートが形成された基板上に絶縁膜及び半導体層を順に形成し、
該半導体層上に金属薄膜を形成し、該金属薄膜をエッチングして、
前記半導体層のうち前記凸部又は凹部上に形成された部分を挟んで前記一方向に対向するソース及びドレインを形成することを特徴とするT F T基板の製造方法。

[請求項11] 基板をエッチングして一方向に延びる凸状又は凹状のパターンを形成し、
該パターンが形成された前記基板上に金属薄膜を形成し、
該金属薄膜をエッチングして前記パターンの上にゲートを形成し、

該ゲートが形成された基板上に絶縁膜及び半導体層を順に形成し、
該半導体層上に金属薄膜を形成し、該金属薄膜をエッチングして、
前記半導体層のうち前記パターン上に形成された部分を挟んで前記一
方向に対向するソース及びドレインを形成する
ことを特徴とする T F T 基板の製造方法。

[請求項12]

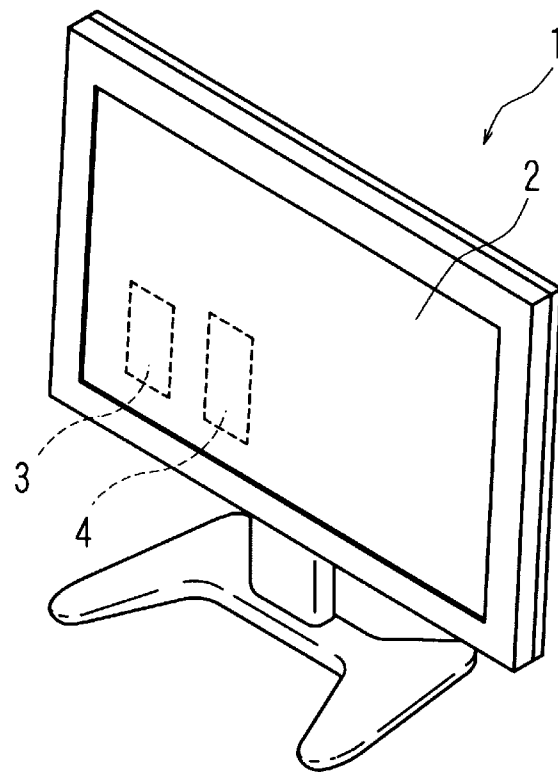
ガラス基板上にスピノンガラス層を形成し、
該スピノンガラス層をエッチングして一方向に延びる凸状又は凹
状のパターンを形成し、
該パターンが形成された前記基板上に金属薄膜を形成し、
該金属薄膜をエッチングして前記パターンの上にゲートを形成し、
前記ゲートが形成された基板上に絶縁膜及び半導体層を順に形成し
、

該半導体層上に金属薄膜を形成し、該金属薄膜をエッチングして、
前記半導体層のうち前記パターン上に形成された部分を挟んで前記一
方向に対向するソース及びドレインを形成する
ことを特徴とする T F T 基板の製造方法。

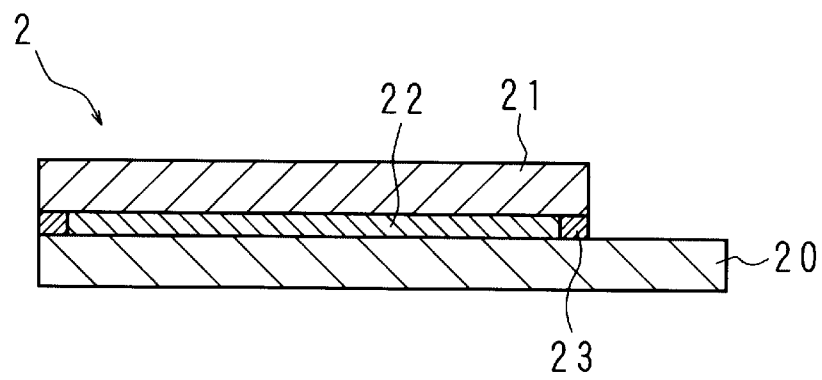
[請求項13]

前記スピノンガラス層は感光性を有することを特徴とする請求項
1 2 に記載の T F T 基板の製造方法。

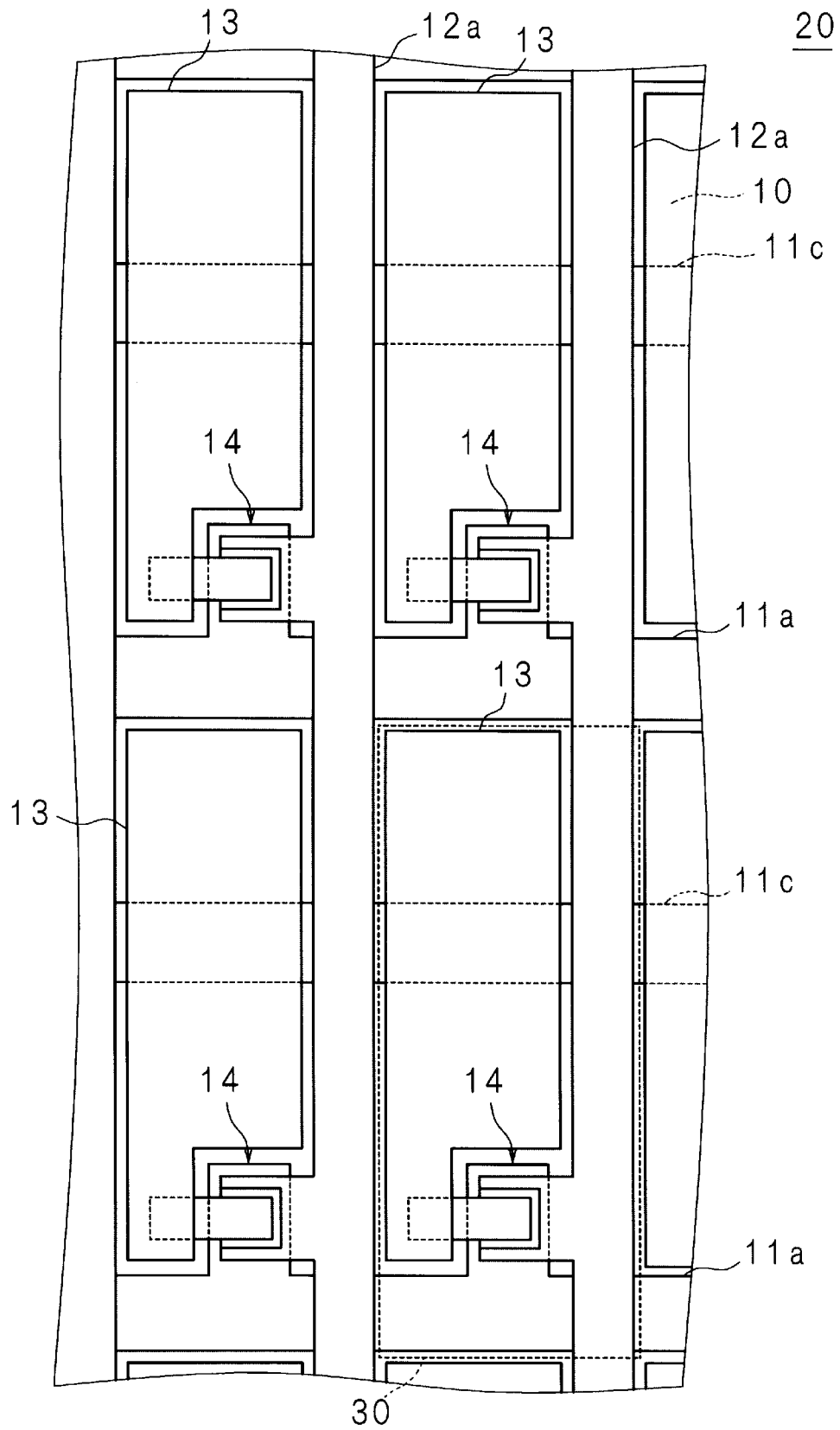
[図1]



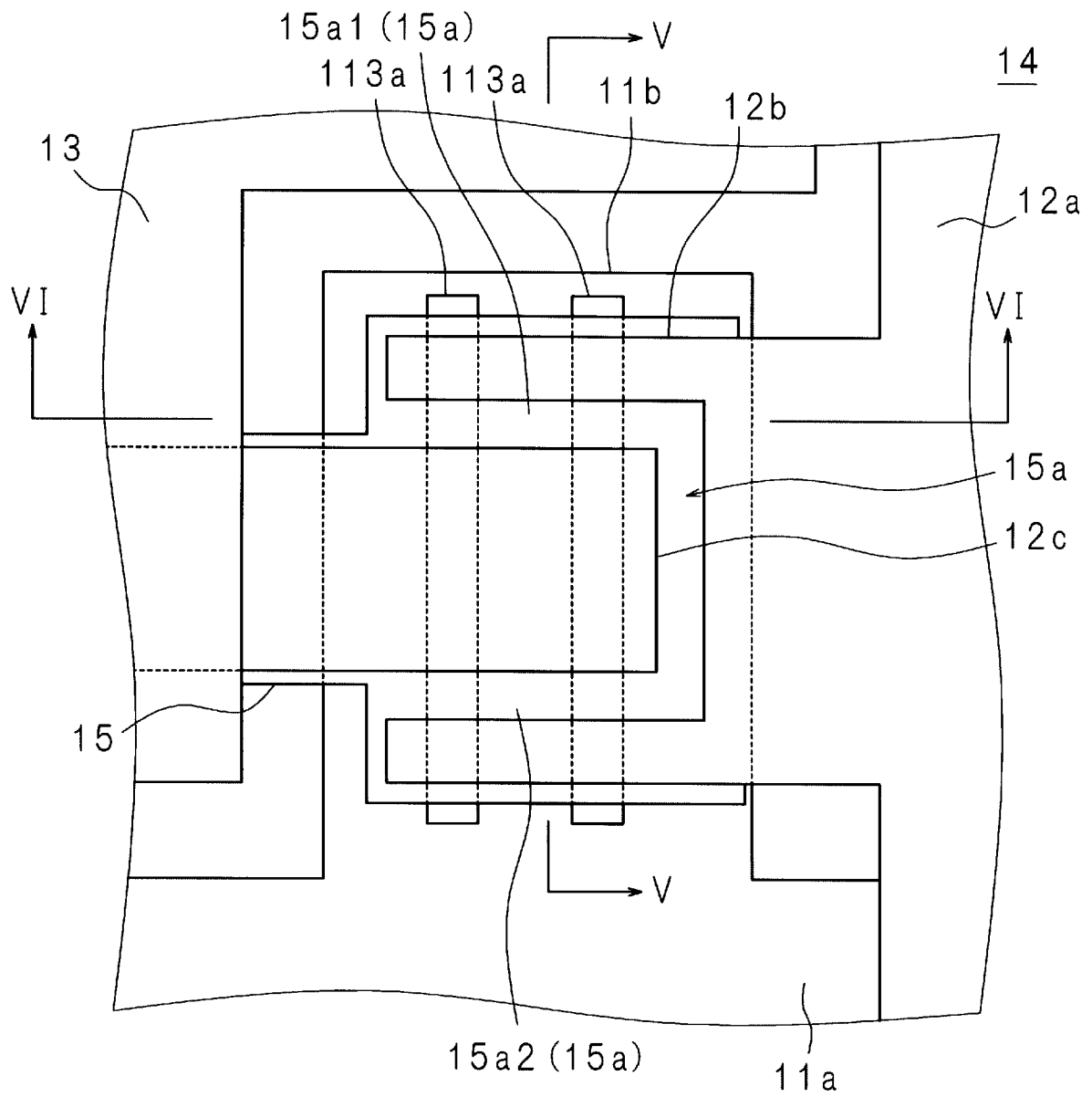
[図2]



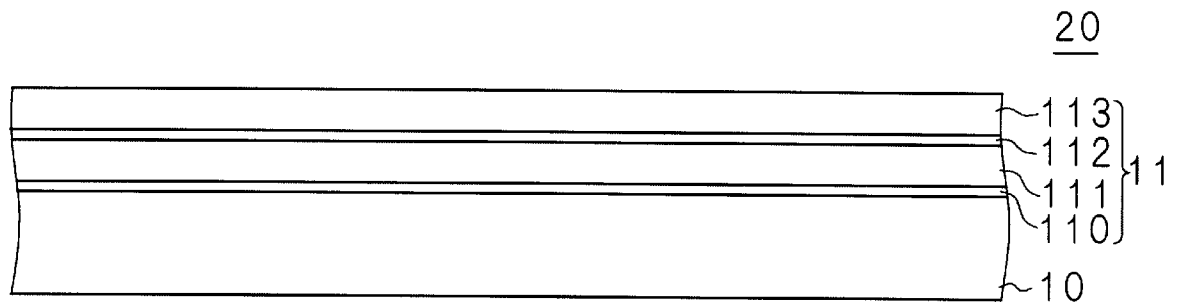
[図3]



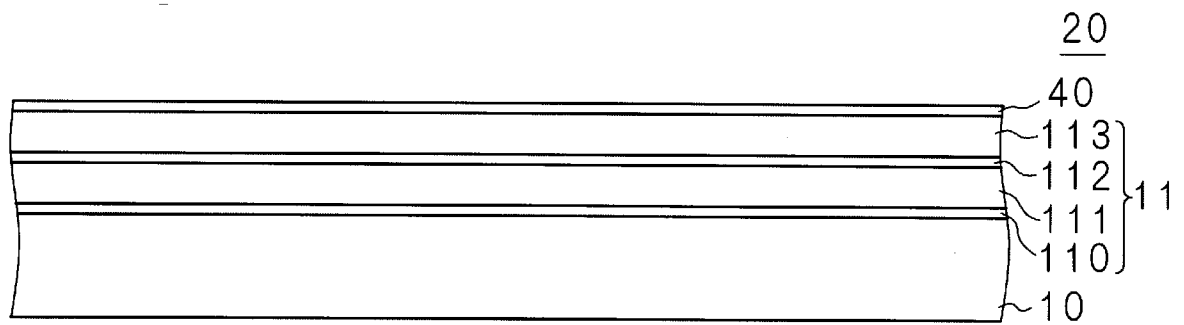
[図4]



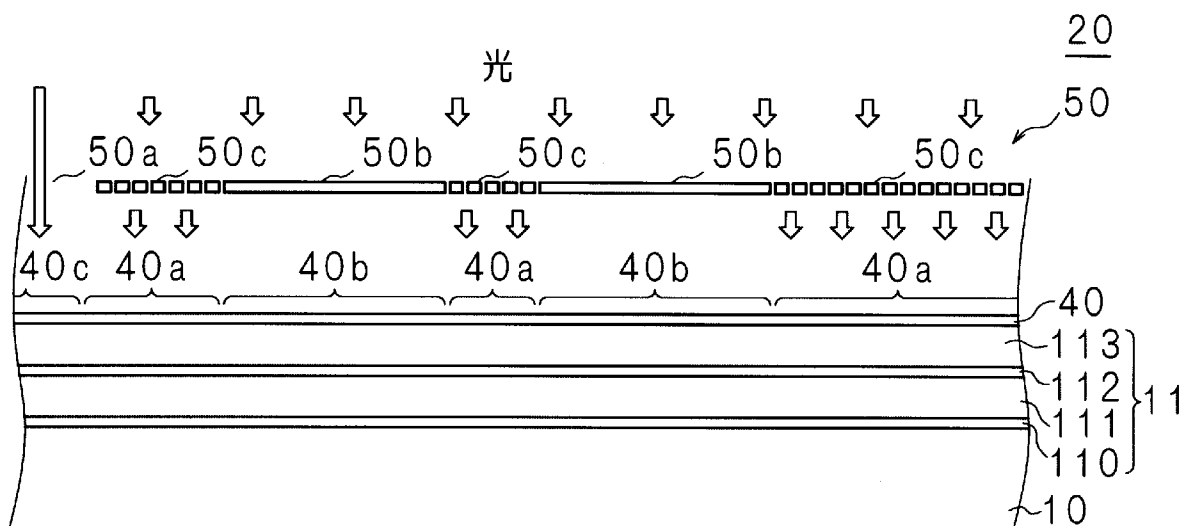
[図7A]



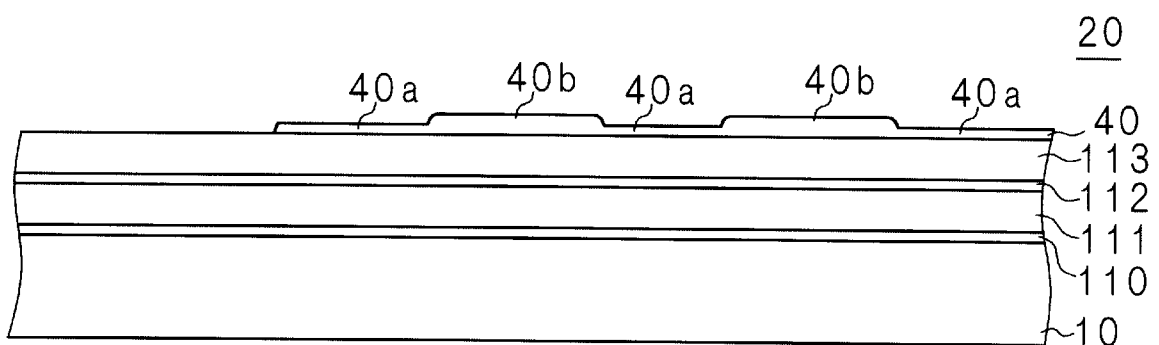
[図7B]



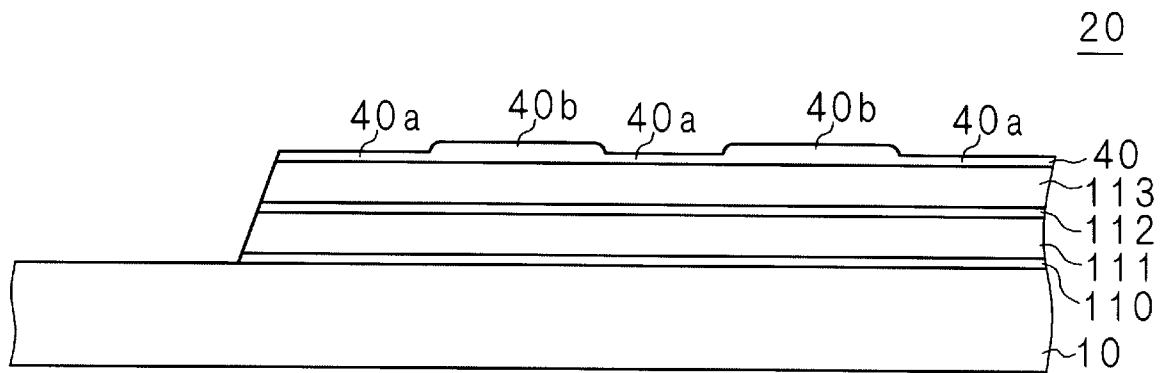
[図7C]



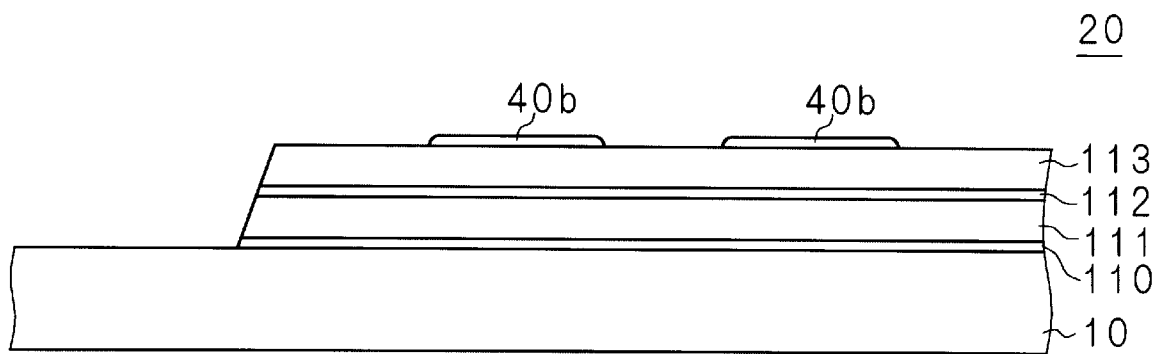
[図7D]



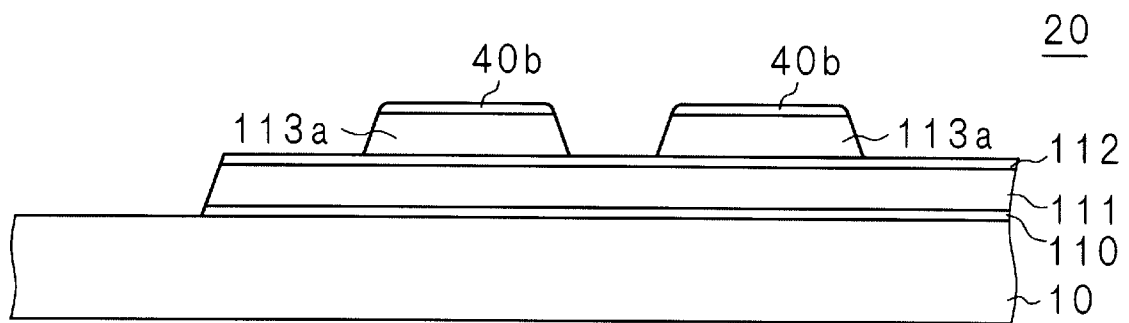
[図7E]



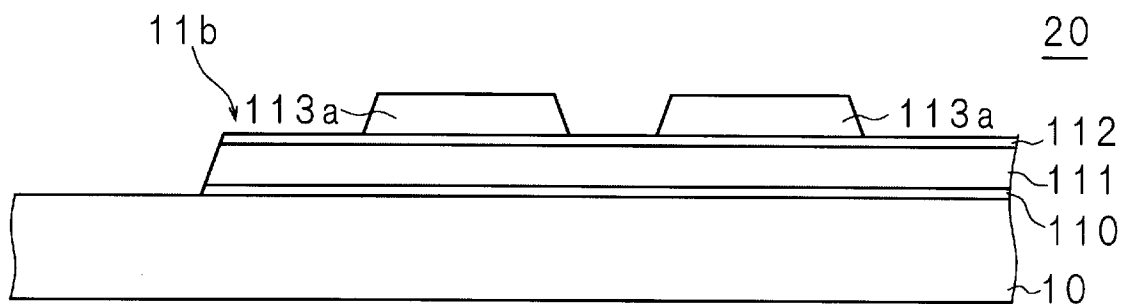
[図7F]



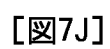
[図7G]



[図7H]



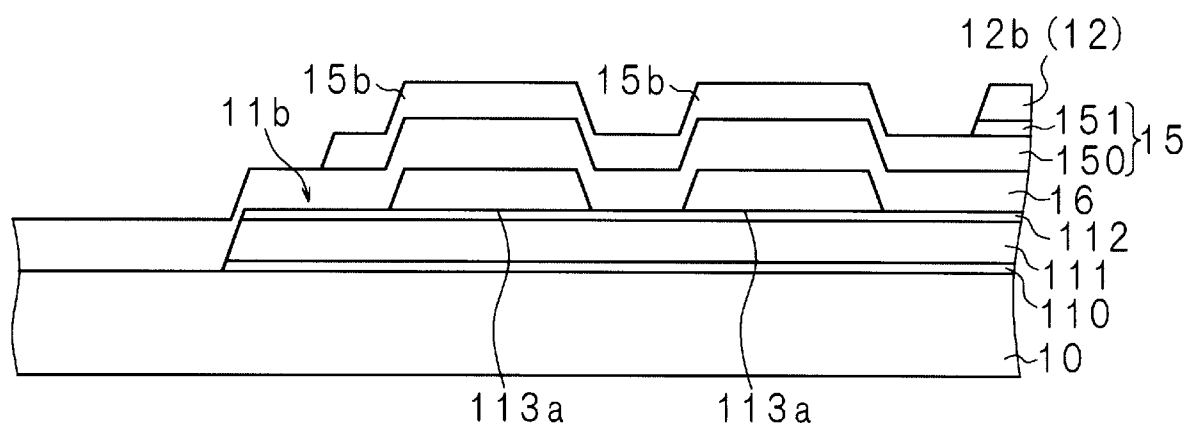
20



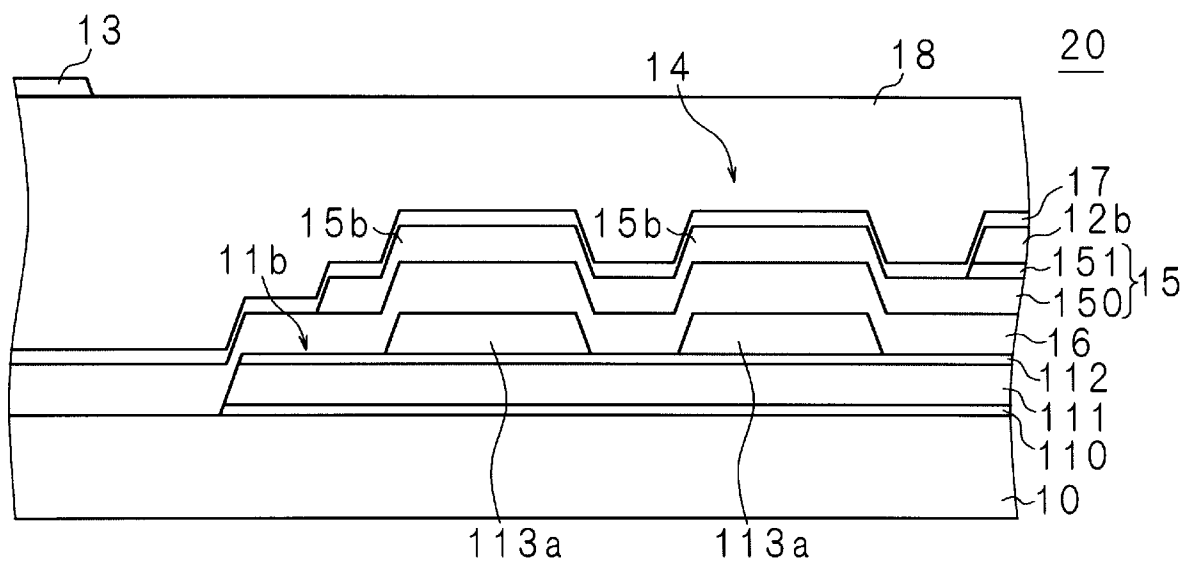
20



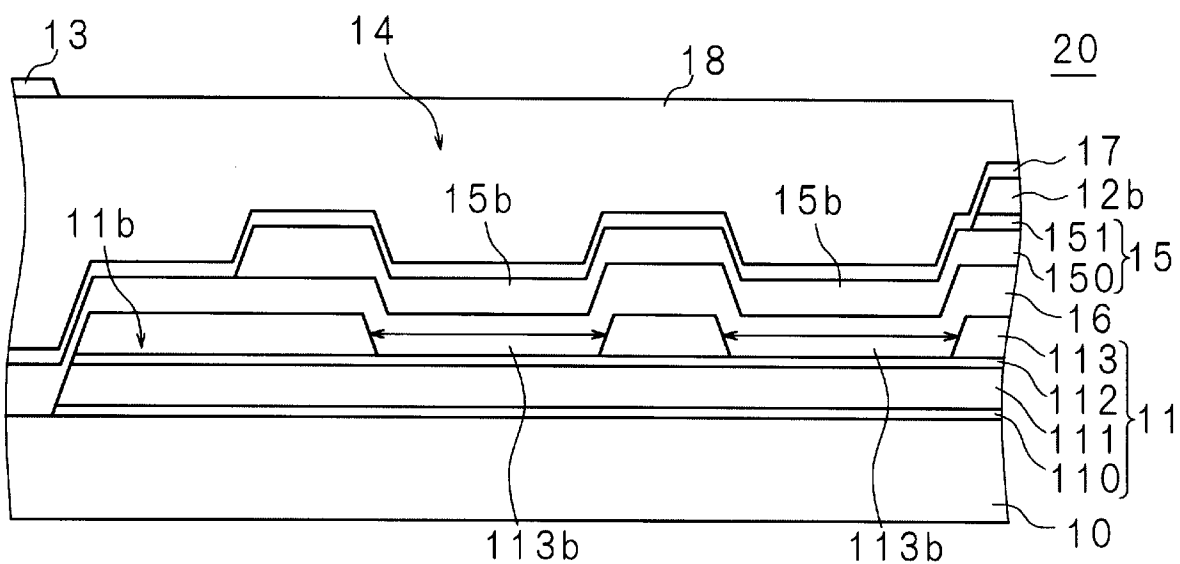
20



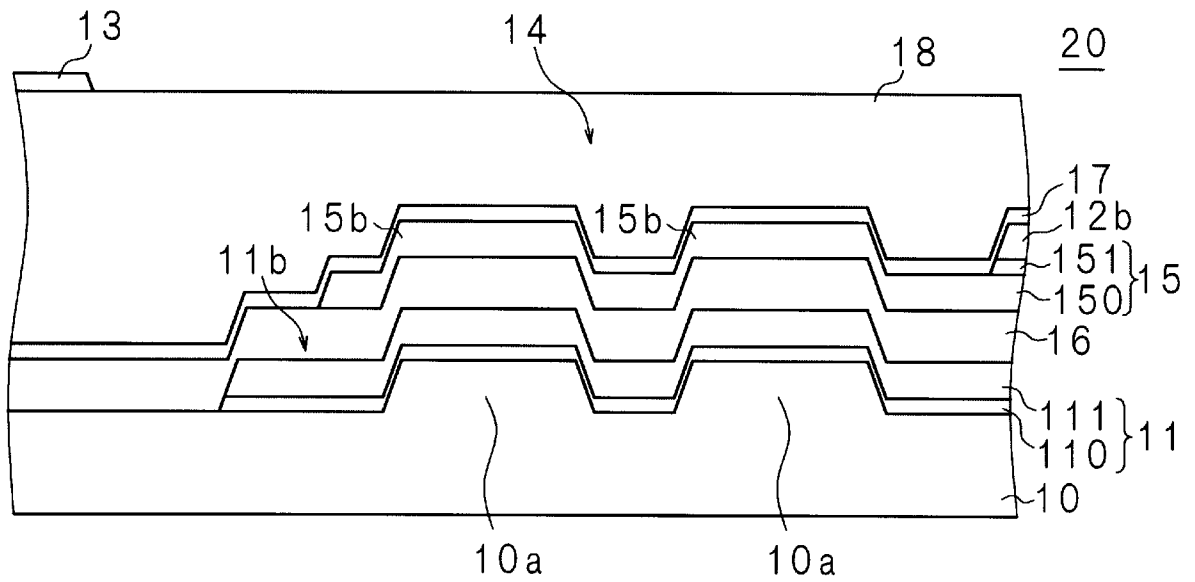
[図7L]



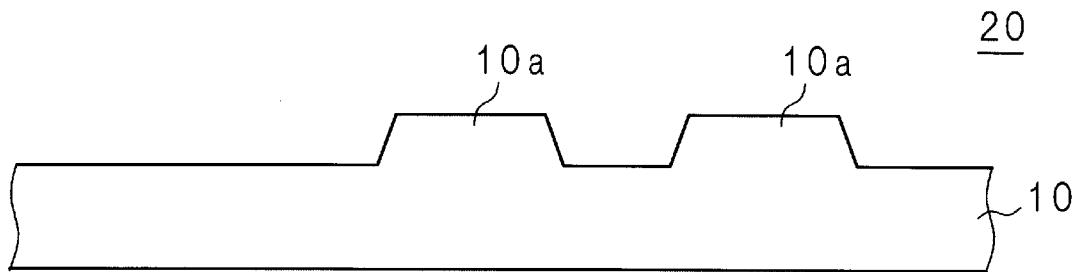
[図8]



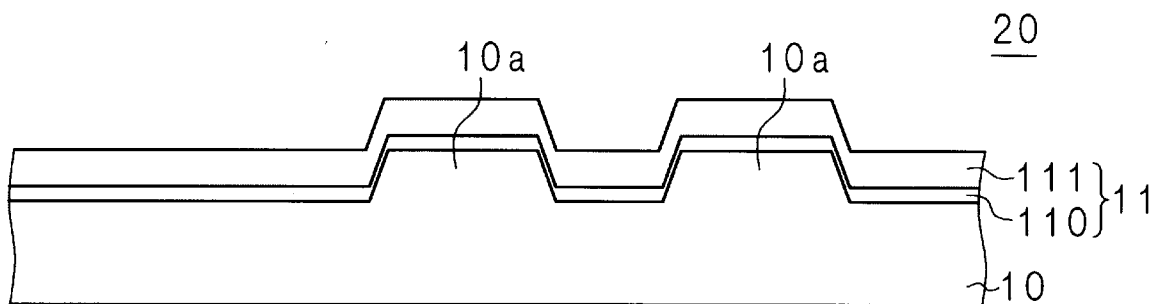
[図9]



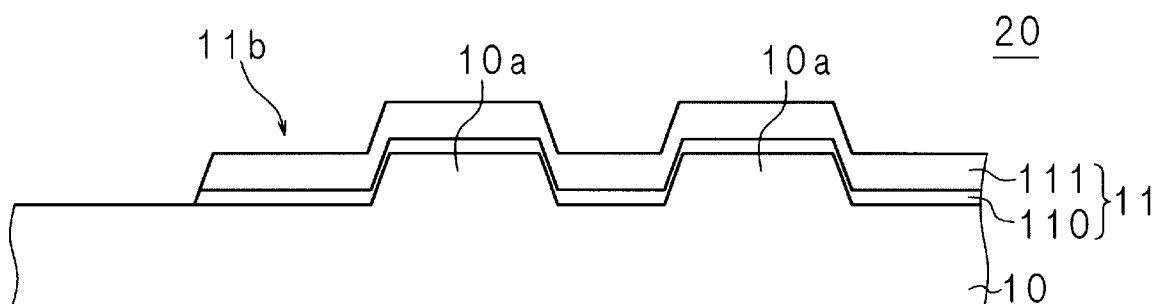
[図10A]



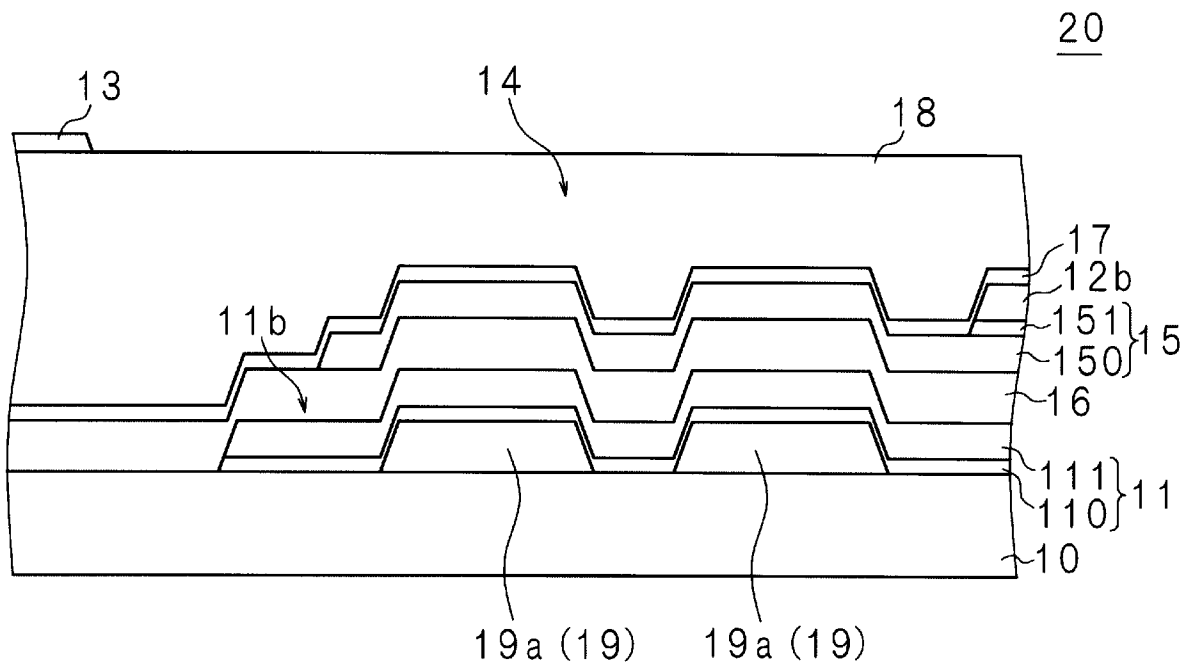
[図10B]



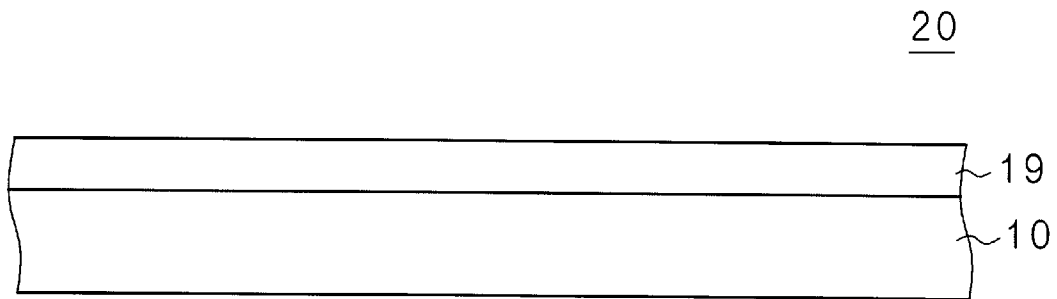
[図10C]



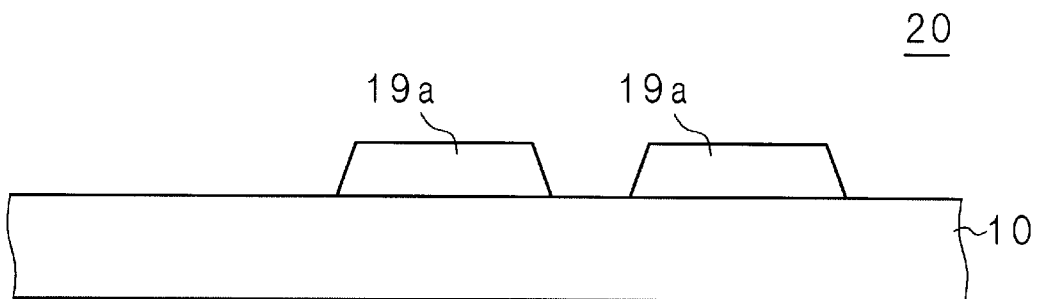
[図11]



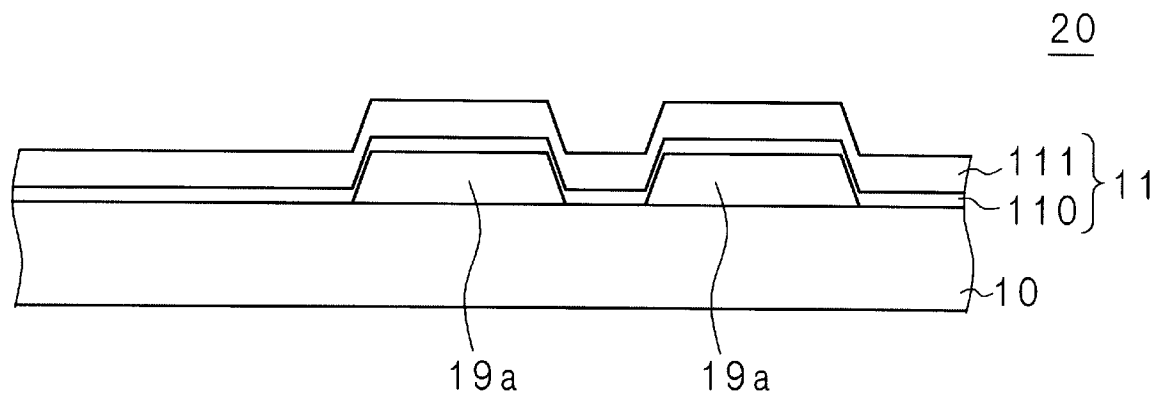
[図12A]



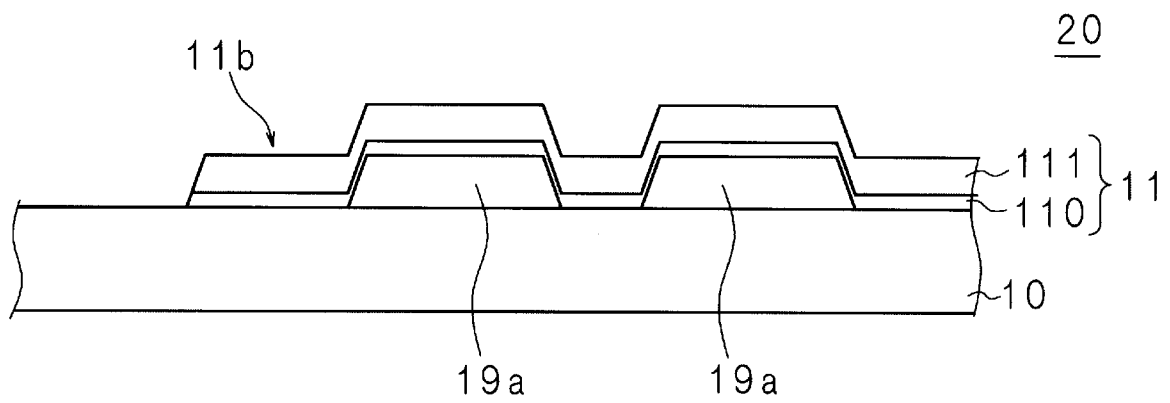
[図12B]



[図12C]



[図12D]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/060998

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-150328 A (Canon Inc.), 09 June 2005 (09.06.2005), paragraphs [0012], [0016] to [0020]; fig. 4, 5 (Family: none)	1-7, 9, 11
X	JP 2-140980 A (Fuji Xerox Co., Ltd.), 30 May 1990 (30.05.1990), page 4, lower left column to page 6, upper left column; fig. 1 to 4 (Family: none)	1-7, 9, 11
X Y	JP 2006-245371 A (Toppan Printing Co., Ltd.), 14 September 2006 (14.09.2006), paragraph [0035]; fig. 4 (Family: none)	1-6, 9 8, 12, 13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 June 2015 (15.06.15)

Date of mailing of the international search report
23 June 2015 (23.06.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/060998

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-354796 A (NEC Corp.), 24 December 1999 (24.12.1999), paragraphs [0036] to [0054]; fig. 1, 2 (Family: none)	1, 2, 4, 5, 9, 10
X	JP 2006-339265 A (Sony Corp.), 14 December 2006 (14.12.2006), paragraphs [0048] to [0058]; fig. 9, 10 (Family: none)	1, 4, 9
Y	JP 2007-194297 A (Seiko Epson Corp.), 02 August 2007 (02.08.2007), paragraph [0078] (Family: none)	8, 12, 13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2015年
日本国実用新案登録公報	1996-2015年
日本国登録実用新案公報	1994-2015年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2005-150328 A（キヤノン株式会社）2005.06.09, 段落 0012, 0016-0020、図 4, 5（ファミリーなし）	1-7, 9, 11
X	JP 2-140980 A（富士ゼロックス株式会社）1990.05.30, 4 ページ左下欄-6 ページ左上欄、図 1-4（ファミリーなし）	1-7, 9, 11
X Y	JP 2006-245371 A（凸版印刷株式会社）2006.09.14, 段落 0035、図 4（ファミリーなし）	1-6, 9 8, 12, 13

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15.06.2015

国際調査報告の発送日

23.06.2015

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9355

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 11-354796 A (日本電気株式会社) 1999. 12. 24, 段落 0036-0054、図 1, 2 (ファミリーなし)	1, 2, 4, 5, 9, 10
X	JP 2006-339265 A (ソニー株式会社) 2006. 12. 14, 段落 0048-0058、図 9, 10 (ファミリーなし)	1, 4, 9
Y	JP 2007-194297 A (セイコーエプソン株式会社) 2007. 08. 02, 段落 0078 (ファミリーなし)	8, 12, 13