

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成30年10月11日(2018.10.11)

【公開番号】特開2018-37801(P2018-37801A)

【公開日】平成30年3月8日(2018.3.8)

【年通号数】公開・登録公報2018-009

【出願番号】特願2016-168465(P2016-168465)

【国際特許分類】

H 03 F 1/22 (2006.01)

H 03 F 3/195 (2006.01)

【F I】

H 03 F 1/22

H 03 F 3/195

【手続補正書】

【提出日】平成30年8月31日(2018.8.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

S O I (Silicon On Insulator) 基板上に配置され、ソース接地の第1トランジスタと、

前記S O I 基板上に配置され、前記第1トランジスタにカスコード接続される第2トランジスタと、

前記S O I 基板上に配置され、前記第1トランジスタのゲート電圧、前記第2トランジスタのゲート電圧、および前記第2トランジスタのドレイン用の第1電圧を生成するバイアス生成回路と、を備え、

前記バイアス生成回路は、前記第1トランジスタの閾値電圧を第2電圧とし、前記第1トランジスタのゲート-ソース間電圧に対するドレイン電流の平方根の変化を表す曲線を前記ゲート-ソース間電圧で二階微分した曲線の最大値に対応するゲート-ソース間電圧を第3電圧としたときに、前記第1トランジスタのゲート電圧を前記第2電圧と前記第3電圧との間の電圧であって、前記第1トランジスタのドレイン-ソース間電圧より小さい電圧に設定する、高周波半導体增幅回路。

【請求項2】

前記第1トランジスタのドレイン-ソース間電圧は、インパクトイオン化により正孔が前記第1トランジスタのボディ領域に蓄積される現象が生じる電圧よりも低くなるように設定される、請求項1に記載の高周波半導体增幅回路。

【請求項3】

前記第1トランジスタおよび前記第2トランジスタのボディはフローティング状態である、請求項1または2に記載の高周波半導体增幅回路。

【請求項4】

前記第1トランジスタのボディはフローティング状態であり、

前記第2トランジスタのボディは、前記第2トランジスタのソースに接続されている、請求項1または2に記載の高周波半導体增幅回路。

【請求項5】

前記バイアス生成回路は、前記第1トランジスタのドレイン-ソース間電圧と前記第2

トランジスタのドレイン - ソース間電圧とが等しくなるように前記第1トランジスタのゲート電圧と前記第2トランジスタのゲート電圧とを制御する、請求項1乃至4のいずれか一項に記載の高周波半導体增幅回路。

【請求項6】

S O I (Silicon On Insulator) 基板上に配置され、ソース接地の第1トランジスタと、

前記S O I基板上に配置され、前記第1トランジスタにカスコード接続される第2トランジスタと、

前記S O I基板上に配置され、前記第1トランジスタのゲート電圧、前記第2トランジスタのゲート電圧、および前記第2トランジスタのドレイン用の第1電圧を生成するバイアス生成回路と、を備え、

前記バイアス生成回路は、

前記第1トランジスタとカレントミラー回路を構成する第3トランジスタと、

前記第2トランジスタとカレントミラー回路を構成する第4トランジスタと、

前記第1電圧と、前記第1トランジスタのゲート電圧よりも大きい固定電圧である第2電圧とを生成する電源回路と、

前記第3トランジスタのドレイン電圧が前記第2電圧に一致するように負帰還制御を行う第1差動增幅回路と、を備え、

前記第3トランジスタのドレイン - ソース間電流と、前記第4トランジスタのドレイン - ソース間電流とは等しい、高周波半導体增幅回路。

【請求項7】

前記第4トランジスタのソース電圧が前記第2電圧に一致するように負帰還制御を行う第2差動增幅回路を備える、請求項6に記載の高周波半導体增幅回路。

【請求項8】

前記第3トランジスタおよび第4トランジスタのボディはフローティング状態である、請求項6または7に記載の高周波半導体增幅回路。

【請求項9】

前記第3トランジスタのボディはフローティング状態であり、

前記第4トランジスタのボディは、前記第4トランジスタのソースに接続されている、請求項5または6に記載の高周波半導体增幅回路。