



AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP G 06 F / 276 306 6

(22) 14.05.85

(44) 09.07.86

(71) VEB Geräte- und Regler-Werke Teltow, 1530 Teltow, Oderstraße 74/76, DD

(72) Göhring, Ulrich, Dipl.-Ing., DD

(54) Fehlermeldeeinrichtung

(57) Die Erfindung betrifft eine Schaltungsanordnung in einer EDVA mit deren Hilfe einlaufende Fehlersignale erkannt und erfaßt werden, ohne daß dieser Prozeß der Fehlermeldung softwaremäßig beeinflusst werden kann. Ziel der Erfindung ist es, eine Meldevorrichtung für industrielle bzw. kommerzielle Rechnersysteme zu schaffen, wobei der gerätetechnische Aufwand so niedrig wie möglich zu halten ist, um eine hohe Zuverlässigkeit zu erreichen. Die Aufgabe besteht darin, eine Schaltungsanordnung zu entwickeln, die unter Anwendung vorhandener Steuersignale die Verarbeitung von Fehlersignalen organisiert und gleichzeitig eine Kontrolle der Fehlererkennung erfolgt. Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die Fehlerregister über eine Torschaltung mit einer Annahmeüberwachung verbunden sind und gleichzeitig über diese Torschaltung ein Meldesignal erzeugt wird. Dabei besitzt die Annahmeüberwachung als Eingänge den Datenbus und den Steuerbus und als Ausgang ein Restart-Signal. Fig. 1

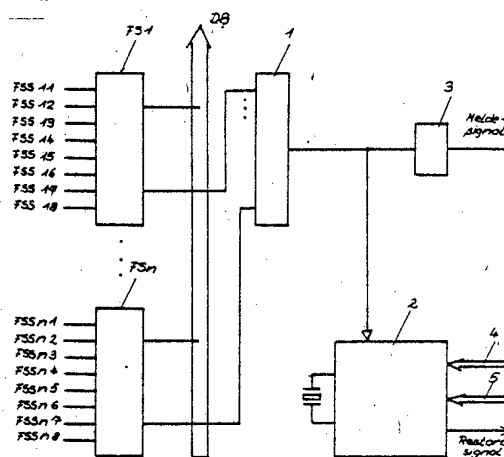


Fig. 1

Patentansprüche:

1. Fehlermeldeeinrichtung in einer EDVA mit 1-n Fehlerregistern, **dadurch gekennzeichnet**, daß die Fehlerregister FS 1 bis FS n über eine Torschaltung (1) mit einer Annahmeüberwachung (2) verbunden sind und gleichzeitig über diese Torschaltung (1) ein Meldesignal (NMI) erzeugt wird, wobei die Annahmeüberwachung (2) als Eingänge Steuerbus (5) und Adreßbus (4) und als Ausgang ein Restart-Signal aufweist.
2. Fehlermeldeeinrichtung nach Punkt 1, **dadurch gekennzeichnet**, daß der Meldesignaleingang ein nicht maskierbares Interrupt höchster Priorität darstellt.
3. Fehlermeldeeinrichtung nach Punkt 1, **dadurch gekennzeichnet**, daß die Annahmeüberwachung (2) im wesentlichen aus einer Adreßauswahlschaltung (6), einem softwareunabhängigen Zeitglied (7) mit eigener Taktversorgung (10) und einem durch eine Mono-Flop (8) realisiertes Restart-Signal besteht.

Hierzu 2 Seiten Zeichnungen

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine Schaltungsanordnung in einer EDVA mit deren Hilfe einlaufende Fehlersignale erkannt und erfaßt werden, ohne daß dieser Prozeß der Fehlermeldung softwaremäßig beeinflusst werden kann.

Charakteristik der bekannten technischen Lösungen

Um eine einwandfreie Funktion eines Rechnersystems in bezug auf Fehlermeldungen und deren Auswertung durch das Betriebssystem zu gewährleisten, ist es erforderlich, daß Fehler, die in diesem Rechnersystem entstehen, in einer lesbaren Einrichtung gesammelt werden und beim Einlaufen eines Fehlers sofort versucht wird, den Prozessor zu unterbrechen, damit Maßnahmen eingeleitet werden können, die die Funktionssicherheit des Rechnersystems sicherstellen. Bei diesen zu behandelnden Fehlern kann es sich beispielsweise um Ausfälle von Peripherieschaltkreisen, Speicherschaltkreisen u. ä. handeln. Aus der DE-OS 2813418 ist es bekannt, daß die Meldung von Fehlern und Betriebszuständen dadurch erfolgt, daß in einem Register die Speicherung von Fehler- und Statussignalen vorgenommen wird und diese über eine Warnsignalleitung mit entsprechenden Auswerteeinheiten verbunden sind. Parallel zu diesen Registern existieren weitere Register über welche sogenannte Gruppenstatussignale zu den Auswerteeinheiten gesendet werden, wodurch eine gewisse diagnostische Analyse vorgenommen wird.

Nachteil dieser Anordnung ist es, daß die Statusberichtseinheiten und deren Statusanalyseeinheiten verschiedene Anlagenteile (z. B. Magnetbandspeichergeräte, Plattenspeicher und dergleichen) einer EDVA mit jeweils eigenen Stromversorgungseinheiten sind. Dadurch bedingt läuft ein automatischer Fehlerkorrekturvorgang der Statusanalyseeinheit in der jeweiligen Statusberichtseinheit nur zögernd bzw. gar nicht ab. Des weiteren ist eine Annahme des Warnsignals durch die Statusanalyseeinheit nicht zu kontrollieren und es kann so dazu kommen, daß eine normale Fehlerbearbeitung durch fehlerhafte Statusanalyseeinheiten vorgetäuscht wird.

Ziel der Erfindung

Ziel der Erfindung ist es, für die industrielle bzw. kommerzielle Nutzung von Rechnersystemen eine softwareunabhängige Meldevorrichtung zur Vermittlung von Fehlersignalen zu entwickeln, und dabei den gerätetechnischen Aufwand so gering wie möglich zu halten, um die Zuverlässigkeit zu erhöhen.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zu entwickeln, die unter Anwendung vorhandener Steuersignale die Verarbeitung von Fehlersignalen organisiert, und gleichzeitig eine Kontrolle der Fehlererkennung erfolgt. Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß die Fehlerregister über eine Torschaltung mit einer Annahmeüberwachung verbunden sind und gleichzeitig über die Torschaltung ein Meldesignal erzeugt wird. Dabei besitzt die Annahmeüberwachung als Eingänge den Steuerbus und den Adreßbus und als Ausgang ein Restart-Signal. Günstige Ausgestaltungsvarianten werden in den Unteransprüchen aufgezeigt.

Anschließend soll die erfindungsgemäße Anordnung kurz in Funktion beschrieben werden.

In die Fehlerregister, welche von der EDVA lesbar sind, laufen die Fehlersignale ein und bilden über eine Torschaltung ein Meldesignal. Dieses Meldesignal stellt einen softwaremäßig nichtmaskierbarer Interrupt höchster Priorität dar. Dieses Meldesignal veranlaßt den Prozessor der EDVA seine „normale“ Arbeit zu unterbrechen, um ab einer bestimmten Speicheradresse ein auf dieses Meldesignal hin abgestimmtes Programm zur Diagnostik der Fehlersignale abzuarbeiten. Gleichzeitig wird beim Einlaufen eines Fehlersignals mit dem Ausgangssignal der Torschaltung eine Annahme des Meldesignals durch die EDVA durch Abfragen des Steuer- und Adreßbusses kontrolliert. Dabei überstreicht ein softwareunabhängiges

Zeitglied mit eigener Taktversorgung die maximal mögliche Zeit, in der die EDVA nicht auf das Meldesignal reagieren kann, bevor ein RESET-Signal zur EDVA freigegeben werden kann.

Ausführungsbeispiel

Anschließend soll die Erfindung an einem Ausführungsbeispiel näher beschrieben werden. Dabei zeigen

Fig. 1: das Blockschaltbild der erfindungsgemäßen Lösung und
Fig. 2: eine konkrete Ausführungsform der erfindungsgemäßen Lösung.

Durch ein impulsförmig low-aktiv einlaufendes Fehlersignal FSS 11 ... FSS 18 oder FSS 21 ... FSS 28 in die Fehlerregister FS 1 oder FS 2 wird der Ausgang Q des jeweils dazugehörigen Flip-Flop FF 11 ... FF 18 oder FF 21 ... FF 28 auf low-Potential gezogen. Ein Rücksetzen der Fehlerregister FS 1 ... FS 2 erfolgt nach dem Lesen einer dieser beiden Register über den Eingang T der Flip-Flop FF 11 ... FF 18 bzw. FF 21 ... FF 28. Ein auf low-Potential gezogener Flip-Flop-Ausgang schaltet das Tor 1 durch, so daß an dessen Ausgang eine low-High-Flanke erscheint, welche negiert am Ausgang des Tor 3 anliegt, und so das Meldesignal $\bar{NMI}$, einen softwaremäßig nichtmaskierbaren Interrupt höchster Priorität, repräsentiert. Dadurch wird ein Prozessorbaustein zu einem Programmsprung auf eine ganz bestimmte Adresse veranlaßt. Diese Adresse wird in Abhängigkeit von einem Freigabesignal F 1, welches durch die Low-High-Flanke am Ausgang von Tor 1 über das Flip-Flop-FF-A gebildet wird, durch die Adressenauswahlschaltung 6 abgefragt. Dazu liegt an der Adressenauswahlschaltung 6 der Adreßbus 4 und der Steuerbus 5 des Prozessorbausteins an, um ein Befehlslesen auf dieser Adresse zu erkennen. Gleichzeitig wird mit diesem Freigabesignal F 1 ein Zeitglied 7 freigegeben, welches über eine eigene Taktversorgung 10 verfügt, softwareunabhängig arbeitet und bei Überschreiten einer festgelegten Reaktionszeit einen Monoflop 8 ansteuert, das für die Bildung des Restart-Signals für den Zentralprozessor der EDVA verantwortlich ist. Erkennt die Adressenauswahlschaltung 6 die festgelegte Adresse, die aufgrund des Meldesignals $\bar{NMI}$ durch den Zentralprozessor eine EDVA angesprochen werden muß, so wird über das dann Low-aktive Ausgangssignal der Adreßauswahlschaltung 6 das Gatter 9 geschaltet. Der Ausgang vom Gatter 9 steuert den Eingang S des Flip-Flop FF-A an, welches so das Freigabesignal F 1 für die Adreßauswahlschaltung 6 und das Zeitglied 7 zurücknimmt. Der Ausgang A 1 der Adreßauswahlschaltung 6 nimmt bei inaktivem Freigabesignal F 1 High-Potential an, womit das Gatter 9 freigegeben wird. Über dieses Gatter 9 läuft weiterhin das Low-aktive Ausgangssignal Z 1 des freigegebenen Zeitgliedes bei Überstreichen der festgelegten Reaktionszeit, um so das über das Flip-Flop FF-A gebildete Freigabesignal F 1 zurückzunehmen. Diese Schaltungsanordnung ermöglicht eine schnelle Meldung von einlaufenden Fehlern mit sehr geringen Hardware-Aufwand, wobei gleichzeitig der Beginn der Fehlerbearbeitung überwacht wird. In erster Linie dient diese Lösung der rechnerinternen Meldung und Bearbeitung von rechnerinternen Fehlern (Ausfall von Peripherieschaltkreisen, Speicherschaltkreisen u. ä.) ohne zusätzliche Steuersignale.

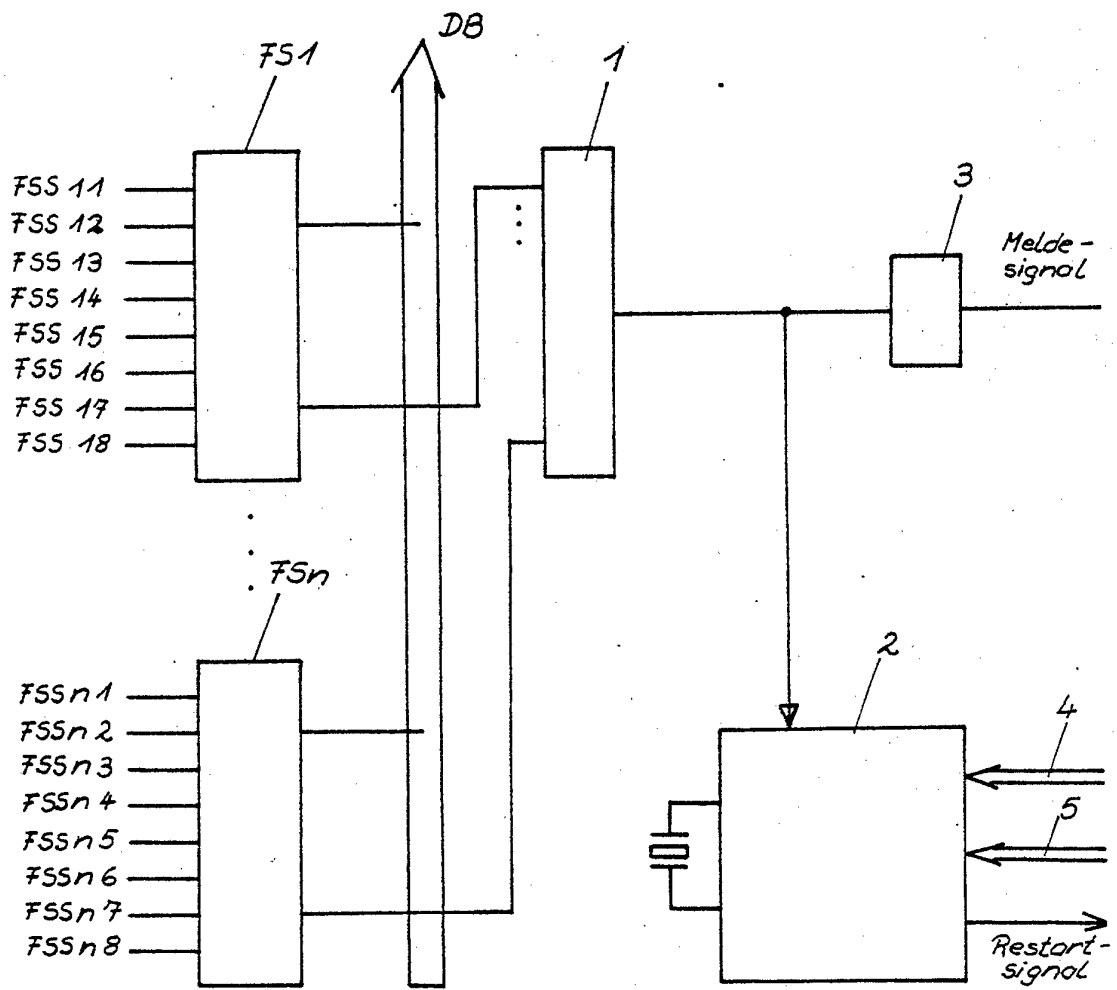


Fig. 1

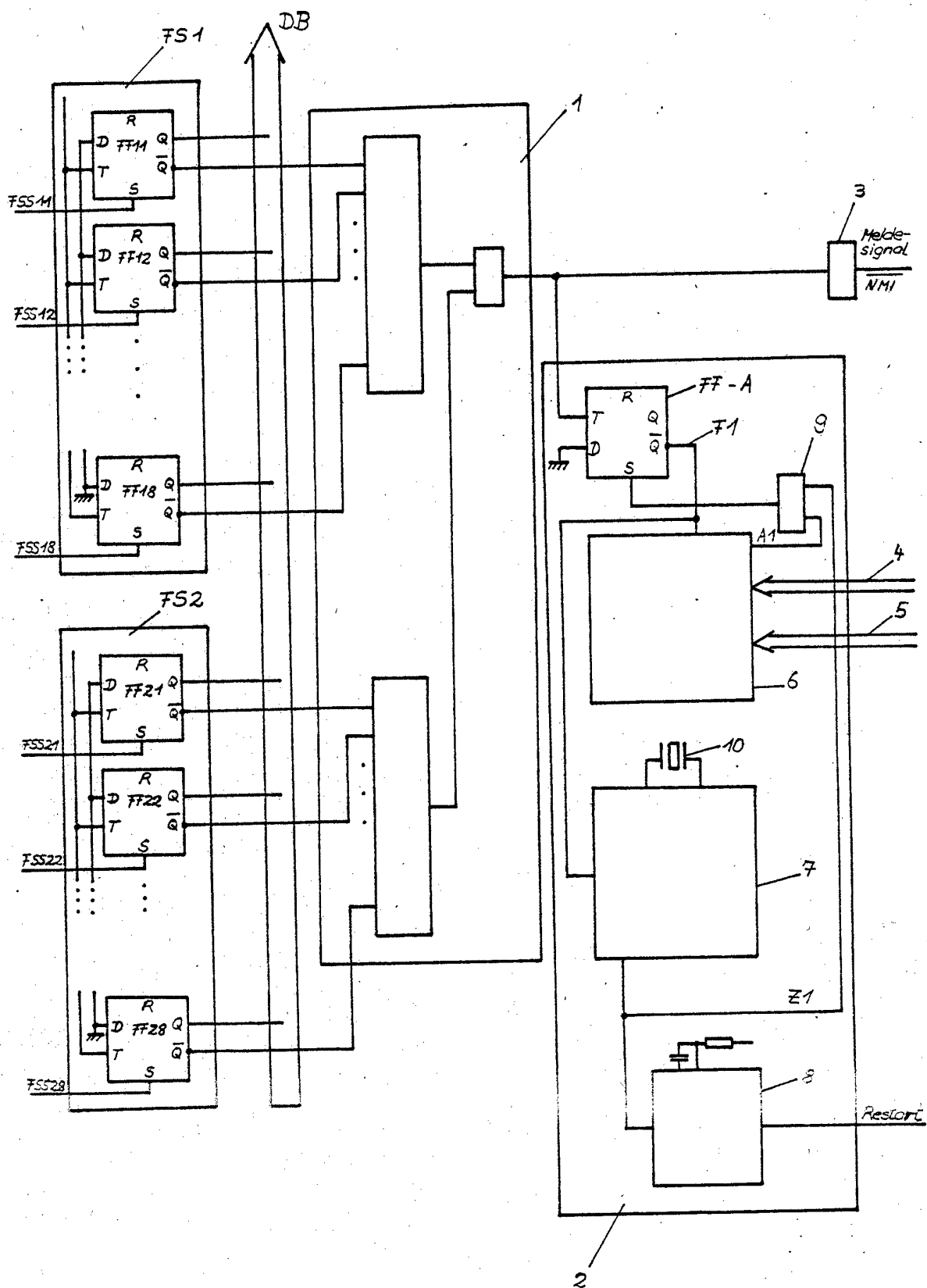


Fig. 2