

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2012-160928
(P2012-160928A)

(43) 公開日 平成24年8月23日 (2012. 8. 23)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 17/08 (2006.01)	H03K 17/08 C	5H430
H03K 17/687 (2006.01)	H03K 17/687 A	5J055
G05F 1/56 (2006.01)	G05F 1/56 31OK	
	G05F 1/56 31OT	

審査請求 未請求 請求項の数 6 O L (全 17 頁)

(21) 出願番号	特願2011-19425 (P2011-19425)	(71) 出願人	302062931
(22) 出願日	平成23年2月1日 (2011. 2. 1)		ルネサスエレクトロニクス株式会社
		(74) 代理人	100080816
			弁理士 加藤 朝道
		(72) 発明者	上本 明生
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			ルネサスエレクトロニクス株式会社内
		F ターム (参考)	5H430 BB01 BB09 BB12 EE04 FF01
			GG11 GG17
			5J055 AX34 BX16 DX22 DX62 DX72
			DX73 EX01 EX02 EX07 EY01
			EY03 EY21 EZ16 EZ51 EZ55
			FX04 FX08 FX12 FX18 FX20
			FX32 FX37 GX01 GX02 GX04
			GX05 GX06

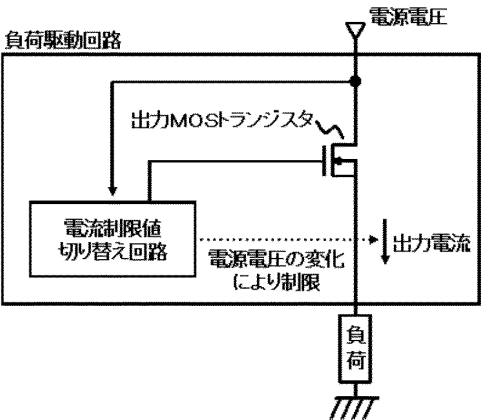
(54) 【発明の名称】 負荷駆動回路

(57) 【要約】

【課題】 複数の電源電圧条件に対して電流制限特性が追従し、負荷特性に適した電流制限を行なう負荷駆動回路を提供する。

【解決手段】 図1に示す負荷駆動回路は、電源及び負荷に接続された出力MOSトランジスタと、出力MOSトランジスタの出力電圧に応じて、出力MOSトランジスタに流れる出力電流を複数段階の制限電流に制限すると共に、制限電流が切り替わる際の出力電圧を電源電圧の変化に基づいて切り替える電流制限値切り替え回路と、を備える。その結果、段階的に電流制限を行い、過剰な電流制限となることを妨げ、負荷条件の拡大を図る。さらに、電流制限値の切り替えを電源電圧に対応させて行なうため、当初の電源電圧条件とはことなる電源電圧で使用したとしても、電流制限特性が電源電圧の変動に追従し、全体として負荷特性に適した電流制限を行なうことができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電源及び負荷に接続された出力 MOS トランジスタと、
前記出力 MOS トランジスタの出力電圧に応じて、前記出力 MOS トランジスタに流れる出力電流を複数段階の制限電流に制限すると共に、前記制限電流が切り替わる際の出力電圧を電源電圧の変化に基づいて切り替える電流制限値切り替え回路と、
を備えることを特徴とする負荷駆動回路。

【請求項 2】

前記出力 MOS トランジスタのドレインを電源に接続し、ソースを負荷に接続し、前記出力 MOS トランジスタをハイサイドスイッチとして動作させる請求項 1 の負荷駆動回路

10

【請求項 3】

さらに、前記出力 MOS トランジスタに流れる出力電流を計測する電流検出用 MOS トランジスタと、

前記電流検出用 MOS トランジスタに流れる電流に基づいて、前記出力 MOS トランジスタのゲート電圧を変動させる第 1 の MOS トランジスタと、

を備える請求項 1 又は 2 の負荷駆動回路。

【請求項 4】

前記電流制限値切り替え回路は、

電源電圧から分圧電圧を生成する第 1 の抵抗及び第 2 の抵抗と、

20

前記分圧電圧と出力電圧の電圧差に基づいて、前記出力 MOS トランジスタのゲート電圧を変動させる第 2 の MOS トランジスタと、

を備え、

前記第 1 の MOS トランジスタは、前記第 2 の MOS トランジスタに対応して導通する請求項 3 の負荷駆動回路。

【請求項 5】

前記電流制限値切り替え回路は、前記出力電流を第 1 の制限電流及び前記第 1 の制限電流よりも大きな第 2 の制限電流に制限し、前記第 1 の制限電流と前記第 2 の制限電流が切り替わる際の電圧は、略電源電圧の 2 分の 1 であり、前記第 2 の制限電流値は前記第 1 の制限電流値の略 2 倍である請求項 1 乃至 4 いずれか一に記載の負荷駆動回路。

30

【請求項 6】

前記第 1 の抵抗及び前記第 2 の抵抗の抵抗値は略等しい請求項 5 の負荷駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、負荷駆動回路に関する。特に、ハイサイドスイッチとして機能する出力トランジスタに対する過電流保護機能を備えた負荷駆動回路に関する。

【背景技術】

【0002】

負荷駆動回路では、トランジスタをハイサイドスイッチとして用いることが多い。ここで、特許文献 1 において、負荷が短絡したことにより出力トランジスタに過電流が流れ、出力トランジスタが熱破壊してしまうことを、出力トランジスタに流れる電流を制限することにより防止する駆動回路が開示されている。

40

【0003】

しかし、特許文献 1 で開示された負荷駆動回路では、電流制限値が単一に固定されているため低電圧領域では過剰な電流制限となり、広い負荷条件に適用できない。そこで、特許文献 2 において、電流制限値を単一に固定せず、出力電圧に応じて変化させ、適用可能な負荷条件を拡大する回路が開示されている。

【先行技術文献】

【特許文献】

50

【0004】

【特許文献1】特開平5-235365号公報

【特許文献2】特開2004-80346号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

以下の分析は、本発明の観点からなされたものである。

【0006】

特許文献2で開示された電流制限特性を2段階とする負荷駆動回路の電力について検討する。電流制限特性を2段階とする負荷駆動回路では、電源電圧を2等分した電圧ポイントにおいて、最大電流制限値を2等分した電流値だけ変化させると、高・低の両電圧領域において概ね均等な最大制限電力を得ることができる。

10

【0007】

図2は、2段階の電流制限を行なう負荷駆動回路における電流－電圧特性を示す図である。例えば、図2に示すように、負荷駆動回路の電流を I_{Limit1} （最大電流制限）と I_{Limit2} に制限する場合に、電源電圧 V_{cc} の $1/2$ の電圧ポイントである V_a において I_{Limit1} と I_{Limit2} が切り替わるよう設定する。同時に、電流 I_{Limit1} と I_{Limit2} の比を $1:1$ に設定する。

【0008】

上記の電圧及び電流に具体的な数字を当てはめ電力を計算する。ここでは、 $V_{cc} = 12V$ 、 $V_a = 6V$ 、 $I_{Limit1} = 2A$ 、 $I_{Limit2} = 1A$ とする。 V_a より小さい領域（図2の低電圧領域）の電力は $6V \times 2A = 12W$ と計算でき、 V_a 以上かつ V_{cc} 以下の領域（図2の高電圧領域）の電力は $12V \times 1A = 12W$ と計算できる。

20

【0009】

しかし、このように最大制限電力のバランスを考慮して、最大電流制限値（ I_{Limit1} ）や切り替え電圧ポイント（ V_a ）を設定したとしても、当初の設計と異なる電源電圧条件で負荷駆動回路が使用された場合、負荷特性と電流制限特性との適正な関係（バランスが取れた状態）が、くずれてしまう問題が存在する（詳細な説明は後述する）。即ち、特許文献2で開示された負荷駆動回路は、複数の電源電圧条件に対する電流制限特性の追従性に関する配慮はされていない。

30

【0010】

以上のとおり、従来技術には、解決すべき問題点が存在する。

【0011】

本発明の一側面において、複数の電源電圧条件に対して電流制限特性が追従し、負荷特性に適した電流制限を行なう負荷駆動回路が、望まれる。

【課題を解決するための手段】

【0012】

本発明の第1の視点によれば、電源及び負荷に接続された出力MOSトランジスタと、前記出力MOSトランジスタの出力電圧に応じて、前記出力MOSトランジスタに流れる出力電流を複数段階の制限電流に制限すると共に、前記制限電流が切り替わる際の出力電圧を電源電圧の変化に基づいて切り替える電流制限値切り替え回路と、を備える負荷駆動回路が提供される。

40

【発明の効果】

【0013】

本発明の視点によれば、複数の電源電圧条件に対して電流制限特性が追従し、負荷特性に適した電流制限を行なう負荷駆動回路が、提供される。

【図面の簡単な説明】

【0014】

【図1】本発明の概要を説明するための図である。

【図2】電流制限を行なう負荷駆動回路における電流－電圧特性の一例を示す図である。

50

【図 3】従来の負荷駆動回路の構成を示す図である。

【図 4】図 3 の出力 MOS トランジスタのドレイン電圧と出力電流の関係を示す図である。

【図 5】図 4 に電流制限値を重ねた図である。

【図 6】従来の負荷駆動回路の構成を示す図である。

【図 7】図 6 の各 MOS トランジスタのオン／オフ状態を出力電圧の範囲に応じて併記した図である。

【図 8】図 6 の各 MOS トランジスタのオン／オフ状態を出力電圧の範囲に応じて併記した図である。

【図 9】図 6 の各 MOS トランジスタのオン／オフ状態を出力電圧の範囲に応じて併記した図である。

10

【図 10】図 6 に示す負荷駆動回路の入力電圧と出力電圧の関係を示すタイミングチャートである。

【図 11】図 6 に示す負荷駆動回路の負荷特性と電流制限特性の関係を示す図である。

【図 12】電源電圧と最大電流制限値の比率を均等に分割した場合の電流－電圧特性を示す図である。

【図 13】電源電圧と最大電流制限値の比率を 1 : 2 とした場合の電流－電圧特性を示す図である。

【図 14】電源電圧と最大電流制限値の比率を 2 : 1 とした場合の電流－電圧特性を示す図である。

20

【図 15】電源電圧と最大電流制限値の比率を均等に分割した負荷駆動回路において、電源電圧を変更した場合の電流－電圧特性を示す図である。

【図 16】本発明の第 1 の実施形態の負荷駆動回路の構成の一例を示す図である。

【図 17】図 16 の各 MOS トランジスタのオン／オフ状態を出力電圧の範囲に応じて併記した図である。

【図 18】図 16 の各 MOS トランジスタのオン／オフ状態を出力電圧の範囲に応じて併記した図である。

【図 19】図 16 の各 MOS トランジスタのオン／オフ状態を出力電圧の範囲に応じて併記した図である。

【図 20】図 16 に示す負荷駆動回路の入力電圧と出力電圧の関係を示すタイミングチャートである。

30

【図 21】図 16 に示す負荷駆動回路の負荷特性と電流制限特性の関係を示す電流－電圧特性図である。

【図 22】図 21 における駆動条件から電源電圧を変更した場合の電流－電圧特性図である。

【発明を実施するための形態】

【0015】

初めに、図 1 を用いて実施形態の概要について説明する。なお、この概要に付記した図面参照符号は、理解を助けるための一例として各要素に便宜上付記したものであり、本発明を図示の態様に限定することを意図するものではない。

40

【0016】

上述のように、最大制限電力のバランスを考慮して、最大電流制限値や切り替え電圧ポイントを設定したとしても、想定された電源電圧と異なる電圧条件で負荷駆動回路を使用すると負荷特性と電流制限特性との適正な関係がくずれてしまう。そのため、複数の電源電圧条件に対して電流制限特性が追従し、全体として負荷特性に適した電流制限を行なう負荷駆動回路が必要となる。

【0017】

そこで、図 1 に示す負荷駆動回路を提供する。図 1 に示す負荷駆動回路は、電源及び負荷に接続された出力 MOS トランジスタと、出力 MOS トランジスタの出力電圧に応じて、出力 MOS トランジスタに流れる出力電流を複数段階の制限電流に制限すると共に、制

50

限電流が切り替わる際の出力電圧を電源電圧の変化に基づいて切り替える電流制限値切り替え回路と、を備える。

【0018】

図1に示す負荷駆動回路は、複数の異なる電流制限値を用いて段階的に電流制限を行なうため、過剰な電流制限となることを妨げ、負荷条件の拡大を図ることができる。さらに、電流制限値の切り替えを電源電圧に対応させて行なうため、当初の電源電圧条件とは異なる電源電圧で使用したとしても、電流制限特性が電源電圧の変動に追従し、負荷特性に適した電流制限を行なうことができる。

【0019】

その結果、特定の電源電圧に基づいて設計した負荷駆動回路を当初の設計とは異なる電源電圧で使用したとしても、負荷駆動回路の設計及び評価を再び行う必要がなくなる。設計及び評価を行う必要がなくなれば、負荷駆動回路の汎用性が高まると共に、負荷駆動回路の設計コストを低減させることが可能になる。

【0020】

次に、特許文献1で開示された負荷駆動回路を、図3を用いて説明する。図3に示す負荷駆動回路10は、電源端子Pinと、入力端子Inと、出力端子Outとを備え、MOSトランジスタM1乃至M3と、抵抗R1及びR2から構成されている。さらに、チャージポンプ回路CPが入力端子Inと接続され、電源端子Pinは電源に接続、出力端子Outは接地された外部の負荷LDに接続されている。なお、以降の説明においてMOSトランジスタはnチャンネル型MOSトランジスタを表すものとする。

【0021】

MOSトランジスタM1は出力トランジスタであり、MOSトランジスタM2は電流検出用のトランジスタである。出力電流はIdとし、電流検出用MOSトランジスタM2に流れる電流をセンス電流Isとする。電圧Vdは、出力MOSトランジスタM1のドレイン・ソース間電圧、Vsはセンス電圧（抵抗R2の両端電圧）、Vinは入力電圧、Vcは電源電圧、Voutは出力電圧とする。

【0022】

図3に示すように、出力MOSトランジスタM1は、負荷LDに対してハイサイドスイッチとして機能し、ドレインは電源端子Pinに接続され、ソースは負荷LDに接続されている。出力MOSトランジスタM1のゲートは、抵抗R1を介してチャージポンプ回路CPに接続されている。

【0023】

負荷駆動回路10において、電流検出用MOSトランジスタM2及びMOSトランジスタM3、抵抗R2により過電流保護回路を構成する。電流検出用MOSトランジスタM2のゲートは出力MOSトランジスタM1のゲートと接続され、電流検出用MOSトランジスタM2のドレインは出力MOSトランジスタM1のドレインと接続されている。電流検出用MOSトランジスタM2のソースは、MOSトランジスタM3のゲート及び抵抗R2に共通接続されている。MOSトランジスタM3のゲートは電流検出用MOSトランジスタM2のソース及び抵抗R2に接続され、ドレインは出力MOSトランジスタM1及び電流検出用MOSトランジスタM2のゲートと共通接続され、ソースは抵抗R2に接続されると共に出力端子Out（負荷LD）と接続されている。

【0024】

出力電流Idとセンス電流Isは、出力MOSトランジスタM1と電流検出用MOSトランジスタM2のセルサイズ比に対応した電流比となる。電流検出用MOSトランジスタM2を使用することで、出力電流Idを精度よく検出することができる。電流検出用MOSトランジスタM2のソースと出力端子Out間に接続された抵抗R2は、センス電流Isをセンス電圧Vsに変換する。

【0025】

センス電圧VsがMOSトランジスタM3の閾値電圧Vt3以上になるとMOSトランジスタM3がオン状態となり、出力MOSトランジスタM1のゲート電圧を低下させる。

なお、以降の説明において、各トランジスタの閾値電圧はトランジスタの符号番号を用いて表現する。例えば、出力MOSトランジスタM1の閾値電圧は V_{t1} と表現する。

【0026】

出力MOSトランジスタM1のゲート電圧が低下すると、出力電流 I_d は制限される。この際の動作を、図4を用いて説明する。

【0027】

図4は、出力MOSトランジスタM1のドレイン電圧 V_d ($V_{cc} - V_{out}$ に相当)と出力電流 I_d の関係を示す図である。図4の縦軸に出力電流 I_d 、横軸にドレイン電圧 V_d をそれぞれ示す。図4の k_1 は負荷特性を示す。

【0028】

図4から分かるように、負荷特性 k_1 は、横軸と V_{cc} で交わる負勾配を有する直線となる。また、出力MOSトランジスタM1の電流－電圧特性はNMOSトランジスタの基本トランジスタ特性に相当し、両者の交点aが出力MOSトランジスタM1の動作点となる。図5は、図4に電流制限値(以下、 I_m と呼ぶ)を重ねた図である。図5に示すように、出力MOSトランジスタM1の電流能力を有効に利用するため、電流制限値 I_m は負荷特性 k_1 と交差しないように設定される。

【0029】

ここで、負荷LDの短絡が発生したとすると、出力電流 I_d の増加に比例し、センス電流 I_s も増加する。センス電流 I_s が増加すれば、センス電圧 V_s も増加し、センス電圧 V_s はいずれMOSトランジスタM3の閾値電圧 V_{t3} に到達する。センス電圧 V_s が、MOSトランジスタM3の閾値電圧 V_{t3} 以上になるとMOSトランジスタM3はオン状態になり、出力MOSトランジスタM1のゲート電圧は所定の電圧(以下、 V_{gc} と呼ぶ)まで低下する。その結果、出力電流 I_d は電流制限値 I_m に制限され、過電流から保護される。

【0030】

続いて、特許文献2で開示された負荷駆動回路について説明する。図6は、特許文献2の図1で開示された負荷駆動回路の回路図である。負荷駆動回路20は、電圧検出回路21と、電圧クランプ回路22と、出力MOSトランジスタM4と、抵抗12から構成されている。

【0031】

負荷駆動回路20の出力MOSトランジスタM4はローサイドスイッチとして動作し、出力端子 Out は負荷LDに接続されている。負荷駆動回路20に対する入力を入力端子 InP 及び InN で受け付け、負荷駆動回路20は Gnd 端子を介して接地されている。

【0032】

負荷駆動回路20では、出力電圧 V_{out} のレベルに応じてクランプ電圧を変化させることで、電流制限値を2段階に切り替え可能となっている。その結果、負荷駆動回路20は電流制限による過剰な制約を緩和して、より広い範囲の負荷条件に適用可能としている。

【0033】

負荷駆動回路20においては、電圧検出回路21と電圧クランプ回路22により、過電流保護回路を構成する。電圧検出回路21は、出力端子 Out と接地端子 Gnd 間に接続され、出力MOSトランジスタM4に印加される電圧を検出する。電圧クランプ回路22は、出力MOSトランジスタM4のゲートと接地端子 Gnd 間に接続され、異なる2つのクランプ電圧を生成する。電圧クランプ回路22の出力(出力MOSトランジスタM4のゲートと抵抗 R_3 の接続点)をノード S_1 とする。さらに、電圧検出回路21は、MOSトランジスタM5乃至M9と、抵抗 R_6 乃至 R_{11} から構成され、電圧クランプ回路22は、MOSトランジスタM10と、抵抗 R_3 乃至 R_5 から構成されている。なお、抵抗 R_3 乃至 R_{12} の抵抗値を、それぞれ r_3 乃至 r_{12} と表記して以下の説明を行なう。

【0034】

次に、負荷駆動回路20の動作を説明する。図7乃至図9は、負荷駆動回路20の各M

10

20

30

40

50

OSトランジスタのオン／オフ状態を出力電圧の範囲に応じて併記した図である。図10は、入力電圧と出力電圧の関係を示すタイミングチャートであり、図11は負荷特性と電流制限特性の関係を示す電流－電圧特性図である。これらの図を用いて、負荷駆動回路20の動作を説明する。

【0035】

図10に示すように、時刻 t_1 までは入力電圧 V_{in} はLレベルであり、出力MOSトランジスタM4はオフ状態である。従って、出力電流 I_d は流れず、出力電圧 V_{out} は電源電圧 V_{cc} となる。

【0036】

次に、時刻 t_1 に入力信号 V_{in} がHレベルに遷移すると、出力MOSトランジスタM4は導通を始める。その際に、MOSトランジスタM5のゲートには式(1)の電圧が印加される。

$$M5のゲート電圧 = \frac{r_6 + r_7}{r_6 + r_7 + r_8} \times V_{out} \quad \dots (1)$$

式(1)で表せる電圧がMOSトランジスタM5の閾値電圧 V_{t5} 以上になるとMOSトランジスタM5はオン状態になる。このMOSトランジスタM5がオン状態になる時の出力電圧 V_{out} を V_{M1} とすると、 V_{out} が V_{M1} 以上の範囲($V_{out} \geq V_{M1}$)では、MOSトランジスタM5はオン状態、MOSトランジスタM6はオフ状態、MOSトランジスタM7はオン状態となる。すると、MOSトランジスタM10はオン状態となり、電圧クランプ回路22が活性化する。

【0037】

一方、MOSトランジスタM8のゲートには、式(2)で表せる電圧が印加される。

$$M8のゲート電圧 = \frac{r_7}{r_6 + r_7 + r_8} \times V_{out} \quad \dots (2)$$

式(2)で表せる電圧がMOSトランジスタM8の閾値電圧 V_{t8} 以上になるとMOSトランジスタM8はオン状態になる。このMOSトランジスタM8がオン状態になる時の出力電圧 V_{out} を V_{M2} とすると、 V_{out} が V_{M2} 以上の範囲($V_{out} \geq V_{M2}$)では、MOSトランジスタM8はオン状態になる(図7参照)。すると、MOSトランジスタM9はオフ状態になる。なお、図10の $t_1 \leq t \leq t_2$ の範囲が図7の状態に相当する。

【0038】

ここで、 V_{M1} は V_{M2} より小さく($V_{M1} < V_{M2}$)、閾値電圧 V_{t5} と閾値電圧 V_{t8} は等しいものとする。このとき、ノードS1から出力される電圧クランプ回路22の出力電圧である V_{GS1} は式(3)で表せる電圧となる。

$$V_{GS1} = \frac{r_3 + r_4 + r_5}{r_4 + r_5} \times V_{t10} \quad \dots (3)$$

従って、出力電流 I_d は出力MOSトランジスタM4のゲート電圧(V_{GS1})により定まるので、電流 I_L に制限されることになる。

【0039】

さらに、出力電流 I_d が増加することで出力電圧 V_{out} が低下し、出力電圧 V_{out} が、 $V_{M1} \leq V_{out} < V_{M2}$ の範囲内となると、図8に示すように、MOSトランジスタM8がオフ状態、MOSトランジスタM9がオン状態となり、抵抗 R_5 は回避(シャント)される。このときの電圧クランプ回路22の出力電圧 V_{GS2} は、式(4)で表せる電圧となる。なお、 $V_{GS2} > V_{GS1}$ である。

$$V_{GS2} = \frac{r_3 + r_4}{r_4} \times V_{t5} \quad \dots (4)$$

従って、出力電流 I_d は V_{GS2} で決定される電流制限値 I_H に制限される。その結果、電流制限特性は、図 11 に示すように、出力電圧 V_{out} の大きさに応じて変化する 2 段階の電流制限値となる ($I_L < I_H$)。なお、図 10 の $t_2 < t \leq t_3$ の範囲が図 8 の状態に相当する。

【0040】

さらに、出力電流 I_d が増加することで出力電圧 V_{out} が低下し、出力電圧 V_{out} が、 $V_{out} < V_{M1}$ となると、図 9 に示すように MOS トランジスタ M5 がオフ状態、MOS トランジスタ M6 がオン状態、MOS トランジスタ M7 がオフ状態となる。それに伴って、MOS トランジスタ M10 がオフ状態になり、電圧クランプ回路 22 は不活性となる。電圧クランプ回路 22 が不活性になると、出力 MOS トランジスタ M4 のゲートには、式 (5) で表される電圧が印加される。

$$M4 \text{ のゲート電圧} = \frac{r_{12}}{r_3 + r_4 + r_{12}} \times V_{in} \quad \dots (5)$$

ここで、抵抗値 r_3 、 r_4 、 r_{12} は式 (5) で表せる電圧値がほぼ V_{in} と等しくなるように設定される。すると、出力 MOS トランジスタ M4 のゲートには、ほぼ入力電圧 V_{in} に等しい電圧が印加されるので、出力電圧 V_{out} は、負荷 LD の抵抗値 r_L と出力 MOS トランジスタ M4 の内部抵抗値 r_{m4} で決まる動作点 B (V_b 、 I_b) に遷移する。なお、図 10 の $t_3 < t \leq t_4$ の範囲が図 9 の状態に相当する。

【0041】

その後、負荷 LD が短絡すると、出力電圧 V_{out} は、ほぼ電源電圧 V_{cc} に等しくなる。その結果、電圧検出回路 21 は MOS トランジスタ M7 をオン状態にして電流制限を活性化すると共に、MOS トランジスタ M9 をオフ状態にして、出力 MOS トランジスタ M4 のゲート電圧を V_{GS1} にバイアスする。

【0042】

このように、負荷短絡時には出力 MOS トランジスタ M4 に流れる出力電流 I_d を電流制限値 I_L に制限して出力 MOS トランジスタ M4 を熱破壊から保護する。負荷駆動回路 20 では、 V_{out} が V_{M2} 以上の領域 ($V_{out} \geq V_{M2}$ ；高電圧領域) では電流制限値 I_L を小さくして負荷短絡時に発生する電力を抑制し、 V_{out} が V_{M2} より小さい領域 ($V_{out} < V_{M2}$ ；低電圧領域) では電流制限値 I_H を比較的大きくして過剰な電流制限を緩和している。このようにして、負荷条件を拡大している。

【0043】

なお、図 11 の k_2 は負荷駆動回路 20 における負荷特性であり、単一の電流制限値 I_L とした場合の負荷特性 k_3 と比較すると適用可能な負荷条件が拡大している。以上のように、特許文献 2 で開示された負荷駆動回路 20 では、出力電圧 V_{out} に応じて電流制限値を 2 段階に変化させるため負荷条件の拡大が図れる。その結果、特許文献 1 で開示された負荷駆動回路 10 では、電流制限値 I_m が単一に固定されているため低電圧領域では過剰な (必要以上の) 電流制限となり、広い負荷条件に適用できない問題点を解決する。

【0044】

特許文献 2 で開示されたように、負荷特性を広くするために電流制限特性を 2 段階とする場合、電源電圧を 2 等分した電圧ポイントにおいて、最大電流制限値を 2 等分した電流値だけ変化させると、高・低の両電圧領域において概ね均等な最大制限電力を得ることができる。

【0045】

図 12 は、電源電圧 V_{cc} 及び最大電流制限値 I_H をそれぞれ 1 : 1 に均等分割した場合の電流－電圧特性を示す図である。図 13 は、上述の電源電圧 V_{cc} の分割比を 1 : 2、最大電流制限値 I_H の分割比を 2 : 1 にした場合の電流－電圧特性を示す図である。図 14 は、上述の電源電圧 V_{cc} の分割比を 2 : 1、最大電流制限値 I_H の分割比を 1 : 2 にした場合の電流－電圧特性を示す図である。なお、 V_{M1} は極めて小さい電圧であるため、 V_{M1} 以下の領域は考慮せず以下の説明を行なう。

【0046】

図12に示すように、 $V_{cc} = 12\text{ V}$ 、 $V_{M2} = 6\text{ V}$ 、 $I_L = 1\text{ A}$ 、 $I_H = 2\text{ A}$ であり、高電圧領域における最大制限電力（最大電圧値×電流制限値）は、 12 W （ $12\text{ V} \times 1\text{ A}$ ）となる。一方、低電圧領域における最大制限電力は、 12 W （ $6\text{ V} \times 2\text{ A}$ ）となり、高・低の両電圧領域において均等な最大制限電力を得ることができる。

【0047】

次に、図13に示す分割例では、 $V_{M2} = 4\text{ V}$ 、 $I_L = 1.3\text{ A}$ 、 $I_H = 2\text{ A}$ であり、高電圧領域の最大制限電力は、 15.6 W （ $12\text{ V} \times 1.3\text{ A}$ ）、低電圧領域の最大制限電力は、 8 W （ $4\text{ V} \times 2\text{ A}$ ）となり、両電圧領域における最大制限電力がアンバランスな状態になっている。

10

【0048】

さらに、図14に示す分割例では、 $V_{M2} = 8\text{ V}$ 、 $I_L = 0.7\text{ A}$ 、 $I_H = 2\text{ A}$ であり、高電圧領域の最大制限電力は、 8.4 W （ $12\text{ V} \times 0.7\text{ A}$ ）、低電圧領域の最大制限電力は、 16 W （ $= 8\text{ V} \times 2\text{ A}$ ）となり、やはり両電圧領域における最大制限電力がアンバランスな状態になっている。

【0049】

このように、電流制限値を2段階に切り替える場合には、電源電圧を2等分した電圧ポイントに V_{M2} を設定し、最大電流制限値 I_H を2等分した電流値に I_L を設定すると、バランスの取れた最大制限電力が得られ、負荷駆動回路全体として負荷特性に適した電流制限を行なうことができる。

20

【0050】

しかし、上述のように、最大制限電力のバランスを考慮して、最大電流制限値 I_H や切り替え電圧ポイント（ V_{M2} ）を設定したとしても、当初の設計と異なる電源電圧条件下で負荷駆動回路が使用された場合、負荷特性と電流制限特性との適正な関係（バランスが取れた状態）がくずれてしまう。

【0051】

図15を用いてより具体的に説明する。図15は、分割比を1：1と定め設計した負荷駆動回路において、設計時に想定していた電源電圧から変更した場合の電流－電圧特性を示す図である。図15では、 $V_{cc} = 12\text{ V}$ 、 $I_L = 1\text{ A}$ 、 $I_H = 2\text{ A}$ 、 $V_{M2} = 6\text{ V}$ （分割比1：1）で設計した回路を電源電圧 $V_{cc} = 10\text{ V}$ の電源で使用する例を示す。

30

【0052】

図15に示すように、電源電圧 V_{cc} が変化すると、それに伴って負荷特性が変化（ $k_2 \rightarrow k_4$ ）。その結果、電源電圧 V_{cc} に対する V_{M2} の相対的な位置が変化（分割比1：1 $\rightarrow$ 3：2）、負荷特性と電流制限特性との適正な関係がくずれてしまう。すると、高・低の両電圧領域における最大制限電力がアンバランスな状態となり、全体として負荷特性に適した電流制限が行えない。特許文献2で開示された負荷駆動回路20は、複数の電源電圧条件に対する電流制限特性の追従性に関する配慮はされていないことを意味する。即ち、特許文献2で開示された負荷駆動回路20では、負荷特性と電流制限特性とは互いに独立した関係であるといえる。

【0053】

40

〔第1の実施形態〕

次に、本発明の第1の実施形態について、図面を用いてより詳細に説明する。図16は、第1の実施形態に係る負荷駆動回路30の構成を示す一例である。図16において図3と同一構成要素には、同一の符号を表し、その説明を省略する。

【0054】

図3に示す負荷駆動回路10と負荷駆動回路30の相違点は、負荷駆動回路30が電流制限値切り替え回路31を備える点である。電流制限値切り替え回路31は、MOSトランジスタM11及びM12と、抵抗R13及びR14から構成されている。電流制限値切り替え回路31は、出力MOSトランジスタM1と出力端子Out間を導通させ、出力電流 I_d が流れる経路とは別の電流路として役割を有する。さらに、電源電圧 V_{cc} （電源

50

電圧 V_{cc} と接地間の電圧) に応じて 2 つの異なる電流制限値を切り替える役割を有する。なお、MOS トランジスタ M_3 及び M_{11} の閾値電圧は同じ電圧値とし、スイッチの役目をする MOS トランジスタ M_{12} のオン抵抗及び閾値電圧 V_{t12} は無視できるものとする。

【0055】

また、抵抗 R_{13} と R_{14} の抵抗値比は 1 : 1 とし、電源電圧 V_{cc} の $1/2$ の電圧ポイントで最大電流制限値の $1/2$ だけ制限電流値を変化させる回路となっている。抵抗 R_{13} 及び R_{14} は、電源端子 P_{in} と接地間に直列接続されている。MOS トランジスタ M_{11} のドレインは MOS トランジスタ M_{12} のソースに、ソースは出力端子 O_{ut} に、ゲートは MOS トランジスタ M_3 のゲートと接続されている。MOS トランジスタ M_{12} のドレインは出力 MOS トランジスタ M_1 のゲートに接続され、ソースは MOS トランジスタ M_{11} のドレインに接続され、ゲートは抵抗 R_{13} 及び R_{14} の接続点に接続されている。なお、出力 MOS トランジスタ M_1 のゲートと、MOS トランジスタ M_3 及び M_{12} のドレインの接続点をノード S_2 とする。

【0056】

次に、負荷駆動回路 30 の動作について説明する。負荷駆動回路 30 では、センス電流 I_s の増加に伴い抵抗 R_2 の両端電圧が増加して MOS トランジスタ M_3 がオン状態になる。すると、出力 MOS トランジスタ M_1 のゲートと出力端子 O_{ut} 間に、オン状態の MOS トランジスタ M_3 を経由する第 1 の電流路が形成される。その際には、MOS トランジスタ M_{11} もオン状態になる。

【0057】

さらに、MOS トランジスタ M_{11} が MOS トランジスタ M_3 と同時にオン状態の場合において、抵抗 R_{13} 及び R_{14} による電源電圧 V_{cc} の分圧電圧と出力電圧 V_{out} との電圧差が、MOS トランジスタ M_{12} の閾値電圧 V_{t12} 以上になると MOS トランジスタ M_{12} がオン状態となる。このことによって、前述の第 1 の電流路と並列にオン状態の MOS トランジスタ M_{11} 及び M_{12} を経由する第 2 の電流路が形成される。このように、2 つの異なる電流制限値が生成できる。

【0058】

図 17 乃至図 19 は、図 16 に示す各 MOS トランジスタのオン／オフ状態を、出力電圧の範囲に応じて併記した図である。図 20 は、入力電圧と出力電圧の関係を示すタイミングチャートであり、図 21 は負荷特性と電流制限特性の関係を示す電流－電圧特性図である。なお、各 MOS トランジスタのオン抵抗を MOS トランジスタの符号番号を用いて表現し、以下の説明を行なう。例えば、出力 MOS トランジスタ M_1 のオン抵抗は r_{m1} と表記する。また、MOS トランジスタ M_{12} はスイッチとして動作し、閾値電圧 V_{t12} 及びオン抵抗 r_{m12} は、無視できるものとする。

【0059】

図 20 に示すように、入力電圧が L レベルの時は、出力 MOS トランジスタ M_1 はオフ状態であり、電流は流れない。そのため、出力電圧 V_{out} は接地電圧 ($0V$) となり、 $V_{cc} - V_{out} = V_{cc}$ となる。

【0060】

次に、時刻 t_5 に入力信号 V_{in} が H レベルに遷移すると、出力 MOS トランジスタ M_1 は導通を始める。MOS トランジスタ M_3 のゲートには、式 (6) で表せる電圧が印加される。

$$M_3 \text{ のゲート電圧} = \frac{r_2}{r_2 + r_{m2}} \times (V_{cc} - V_{out}) \quad \cdots (6)$$

式 (6) 表せる電圧が MOS トランジスタ M_3 及び M_{11} の閾値電圧 V_{t3} 及び V_{t11} 以上となると、MOS トランジスタ M_3 及び M_{11} は同時にオン状態となる。つまり、このときの式 (6) が表す電圧 ($V_{cc} - V_{out}$) を V_{N1} とすると、 $V_{cc} - V_{out} \geq V_{N1}$ の範囲内では MOS トランジスタ M_3 及び M_{11} はオン状態である。

【0061】

一方、MOSトランジスタM12のゲートには、式(7)で表せる電圧が印加される。

$$M12のゲート電圧 = \frac{r_{14}}{r_{13} + r_{14}} \times V_{cc} \quad \dots (7)$$

この式(7)で表せる電圧と出力電圧 V_{out} の電圧差がMOSトランジスタM12の閾値電圧 V_{t12} 以上になるとMOSトランジスタM12はオン状態になる。このときの電圧($V_{cc} - V_{out}$)を V_{N2} とする。なお、負荷駆動回路30は、 $V_{N1} < V_{N2}$ となるように設計する。図17(図20の $t_5 \leq t \leq t_6$ の範囲時に相当)に示すように、($V_{cc} - V_{out}$) $\geq V_{N2}$ の範囲内では、MOSトランジスタM3、M11及びM12は全てオン状態になる。 10

【0062】

そのため、出力MOSトランジスタM1のゲートと出力端子Out間には、オン状態のMOSトランジスタM3を経由する第1の電流路と、オン状態のMOSトランジスタM11及びM12を経由する第2の電流路が並列に形成され、MOSトランジスタM1のゲート電圧(ノードS2の電圧)が定まる。この時の電圧を V_{g2} とする。その結果、出力電流 I_d は電圧 V_{g2} によって定まる電流値 I_2 に制限される。

【0063】

ここで、抵抗 R_{13} と R_{14} の抵抗値の比は1:1とし、MOSトランジスタM12の閾値電圧 V_{t12} は極めて小さい値のため無視できるものとする、 V_{N2} は略 V_{cc} の1/2の電圧値となる。また、ゲート電圧 V_{g2} は式(8)で表すことのできる電圧である。 20

$$V_{g2} = \frac{r_{mt}}{r_{mt} + r_1} \times (V_{in} - V_{out}) \quad \dots (8)$$

なお、 $r_{mt} = r_{m3} \times r_{m11} / (r_{m3} + r_{m11})$ である。

【0064】

さらに、出力電流 I_d が増加して電圧($V_{cc} - V_{out}$)が低下し、 $V_{N1} \leq (V_{cc} - V_{out}) < V_{N2}$ の範囲では、図18(図20の $t_6 < t \leq t_7$ の範囲時に相当)に示すように、MOSトランジスタM3及びM11はオン状態、MOSトランジスタM12はオフ状態となる。 30

【0065】

これにより、出力MOSトランジスタM1のゲートと出力端子Out間では、第2の電流路は遮断され、オン状態のMOSトランジスタM3を経由する第1の電流路のみが導通し、出力MOSトランジスタM1のゲート電圧が定まる。この時の電圧を V_{g1} とする。その結果、出力電流 I_d はゲート電圧 V_{g1} で決定される電流値 I_1 に制限される。なお、ゲート電圧 V_{g1} は式(9)により表せる電圧である。

$$V_{g1} = \frac{r_{m3}}{r_{m3} + r_1} \times (V_{in} - V_{out}) \quad \dots (9)$$

式(8)及び(9)から、 $V_{g2} < V_{g1}$ であることが分かり、電流 $I_2 < I_1$ となる。 40

【0066】

さらに、出力電流 I_d が増加することで電圧($V_{cc} - V_{out}$)が低下し、($V_{cc} - V_{out}$) $< V_{N1}$ の範囲内では、図19(図20の $t_7 < t \leq t_8$ の範囲時に相当)に示すように、MOSトランジスタM3、M11及びM12が全てオフ状態になる。そして、出力MOSトランジスタM1のゲートには、入力電圧 V_{in} が印加され、負荷LDの抵抗値 r_L と出力MOSトランジスタM1の内部抵抗値 r_{m1} で決まる動作点B(V_b 、 I_b)に遷移する。

【0067】

その後、負荷LDが短絡すると、電圧($V_{cc} - V_{out}$)は、略電源電圧 V_{cc} に等しくなり、MOSトランジスタM3、M11及びM12が全てオン状態となることで、出力MOSトランジスタM1のゲート電圧を V_{g2} にバイアスする。このように、負荷短絡時には出力MOSトランジスタM1に流れる出力電流 I_d を電流制限値 I_2 に制限して出力MOSトランジスタM1を熱破壊から保護する。

【0068】

負荷駆動回路30の電流－電圧特性の一例を図21及び図22に示す。図21は $I_1 = 2A$ 、 $I_2 = 1A$ （最大電流制限値の分割比1：1）、 $V_{N2} = 6V$ （電源電圧の分割比1：1）に設定し、電源電圧を12Vで使用した場合の電流－電圧特性図である。図22は、図21の条件から電源電圧を10Vに変更した場合の電流－電圧特性図である。

10

【0069】

図21に示すように、12V電源で使用した場合には、($V_{cc} - V_{out}$) $\geq V_{N2}$ (6V)の高電圧領域では、出力電流 I_d は制限電流 I_2 (1A)に制限される。一方、($V_{cc} - V_{out}$) $< V_{N2}$ の低電圧領域では、出力電流 I_d は制限電流 I_1 (2A)に制限される。従って、高電圧領域における最大制限電力は、12W (12V $\times$ 1A)となる。一方、低電圧領域における最大制限電力は、12W (6V $\times$ 2A)となり、高・低の両電圧領域において均等な最大制限電力が得られる。

【0070】

次に、負荷駆動回路30を電源電圧10Vで使用した場合、負荷特性が k_2 から k_5 に変化する。このような場合、負荷駆動回路20では負荷特性と電流制限特性の適正な関係がくずれ、 V_{cc} の V_{M2} による分割比が変化して、高・低の両電圧領域における最大制限電力がアンバランスな状態となる。しかし、負荷駆動回路30では、図22に示すように、 V_{cc} の変化に追従して、 V_{cc} の V_{N2} による分割比を一定に保持しつつ V_{N2} が変化する。例えば、図22の例では、 V_{N2} の電圧が6Vから5Vに変化している。

20

【0071】

このため、高電圧領域における最大制限電力は、10W (= 10V $\times$ 1A)、低電圧領域における最大制限電力は、10W (= 5V $\times$ 2A)となり、高・低の両電圧領域において均等な最大制限電力を得ることができる。

【0072】

なお、本実施形態の説明では、抵抗 R_{13} 及び R_{14} の抵抗値比を1：1に設定して、 V_{cc} の1/2の電圧ポイントで電流制限値を変化させる場合を説明したが、この抵抗値比を適宜、設定することで、任意の電圧ポイントで電流制限値を切り替えることができる。さらに、本実施形態の説明では、2段階に電流制限値を可変する回路構成で説明したが、2以上の分圧電圧を生成する分圧回路とスイッチMOSトランジスタをさらに設けて、切り替え回路を増設することで、電源電圧に応じて複数の切り替え電圧ポイントが可変する複数段階の電流制限が可能となる。

30

【0073】

以上のように、負荷駆動回路30では、異なる2つの電流制限値を切り替えて段階的な電流制限を可能にしている。そのため、低電圧領域で過剰な電流制限とならず、負荷条件の範囲が拡大している。同時に、電流制限値の切り替え電圧ポイントは、電源電圧に応じて、電源電圧の分割比を保持しつつ変化するため、異なる電源電圧条件で使用しても電流制限特性が追従して変化し、全体として負荷特性に適した電流制限が行なえる。さらに、2段階に電流制限を行なう場合、電源電圧の1/2の電圧ポイントにおいて、最大電流制限値の1/2だけ制限電流値を変化させるようにすると、高・低の両電圧領域で均等な最大制限電力を得ることができる。また、電流制限値の切り替え電圧ポイントは、分圧抵抗の抵抗値比を変更することによって任意の電圧に設定できる。

40

【0074】

なお、上記の特許文献等の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開

50

示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。例えば、実施形態の説明においては、正電源を使用することを想定して、 n チャンネル型MOSトランジスタを使用した $が、負電源を使用する場合には、pチャンネル型MOSトランジスタを用いることができる。$

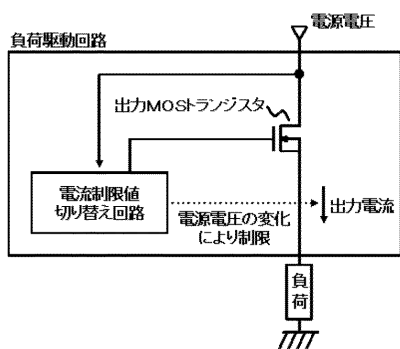
【符号の説明】

【0075】

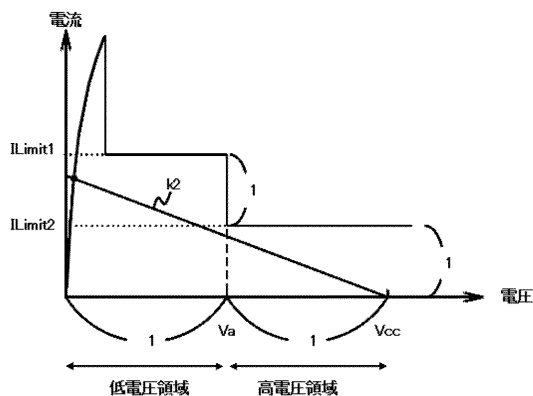
10、20、30 負荷駆動回路
 21 電圧検出回路
 22 電圧クランプ回路
 31 電流制限値切り替え回路
 LD 負荷
 M1～M12 MOSトランジスタ
 R1～R14 抵抗
 CP チャージポンプ回路

10

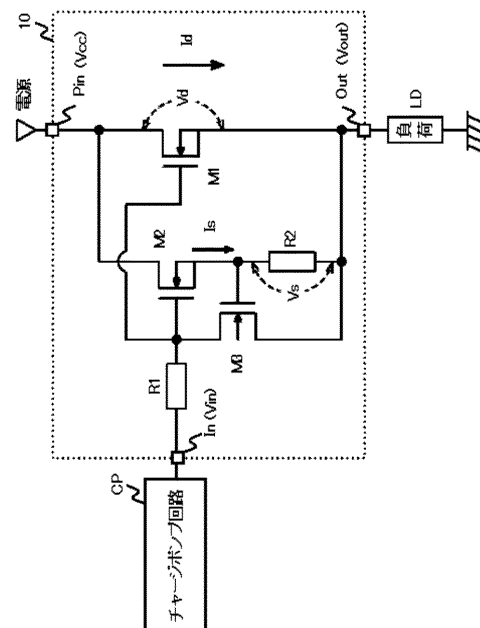
【図1】



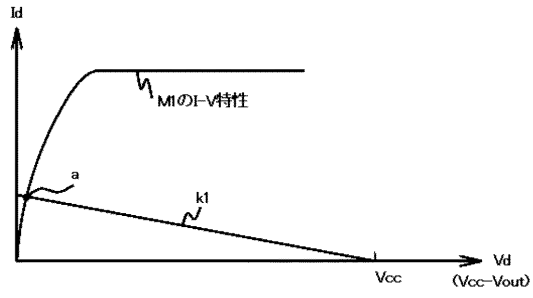
【図2】



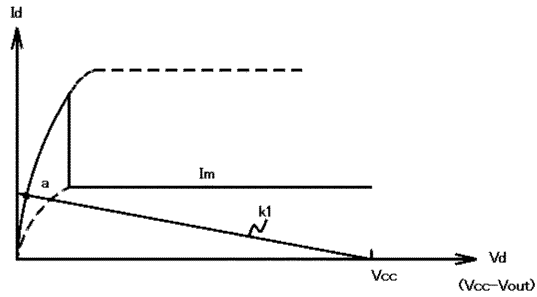
【図3】



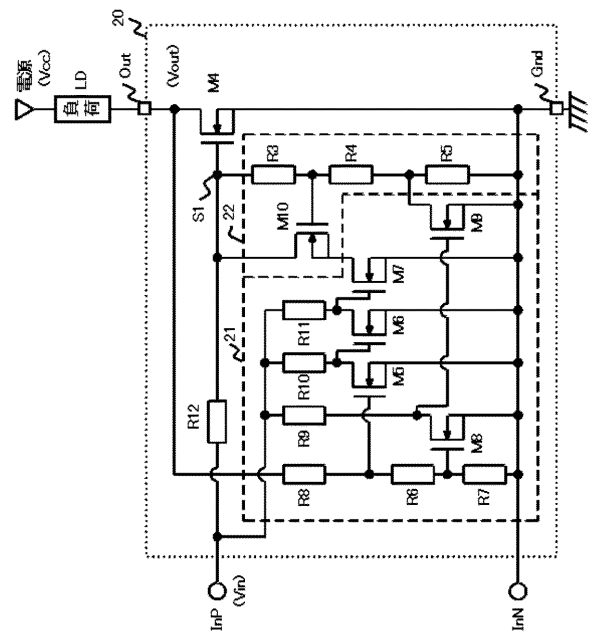
【図 4】



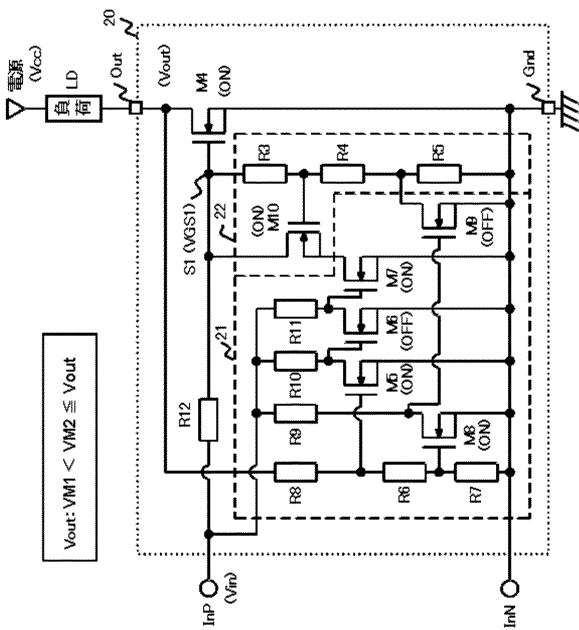
【図 5】



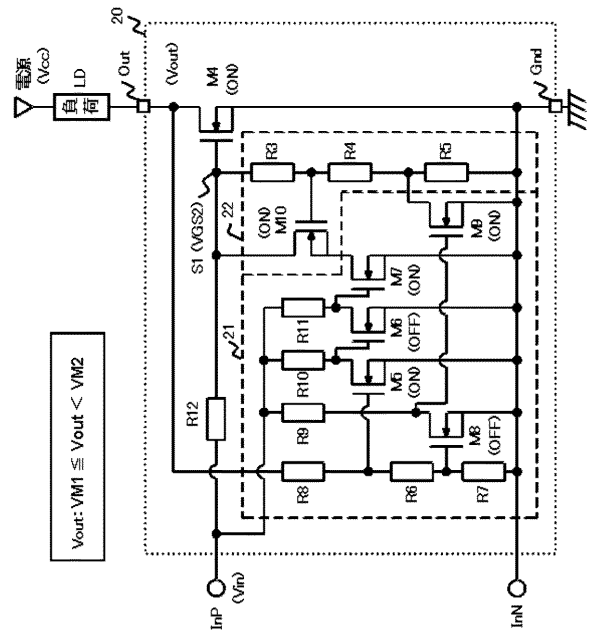
【図 6】



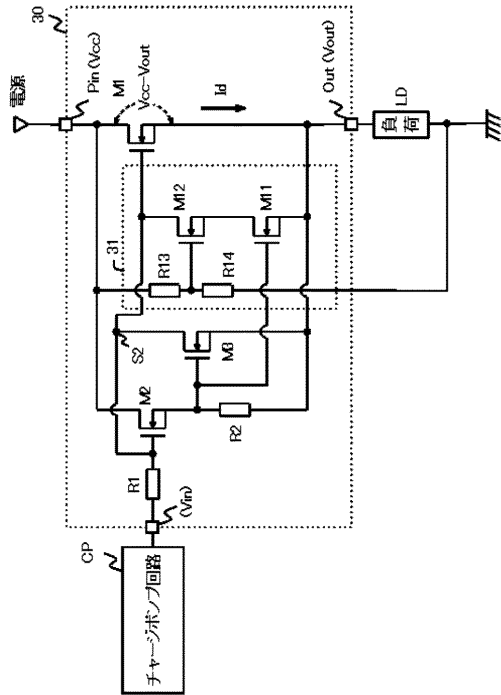
【図 7】



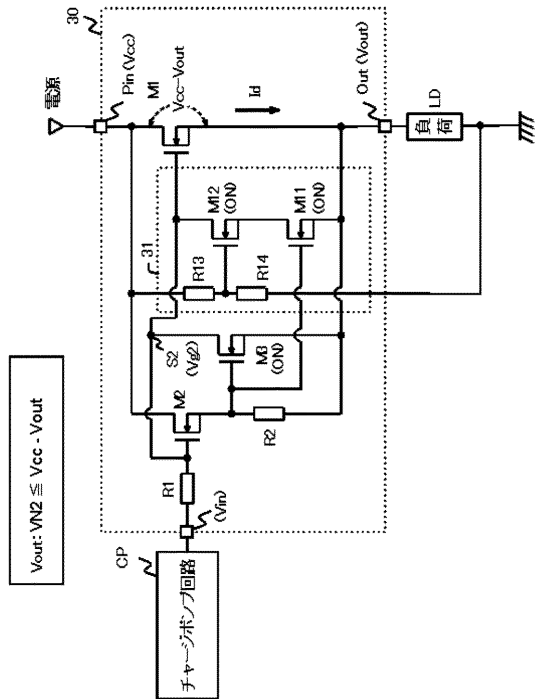
【図 8】



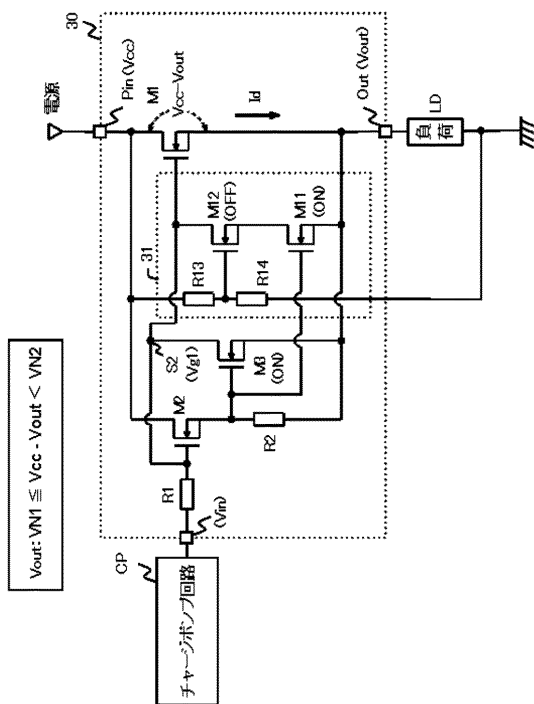
【図 16】



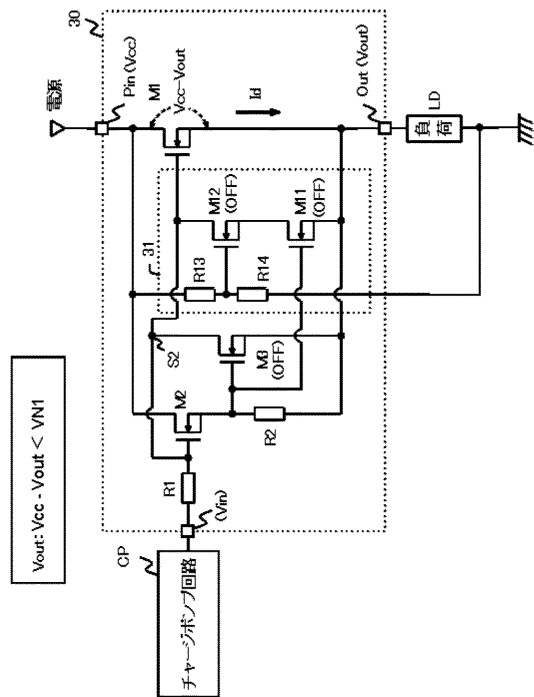
【図 17】



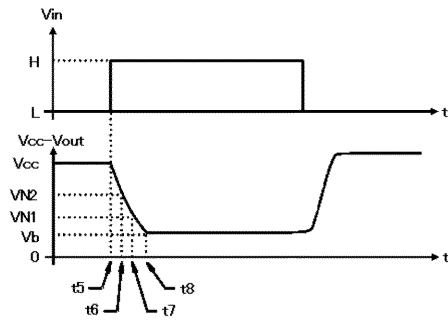
【図 18】



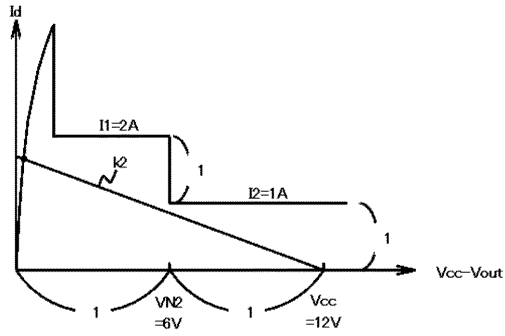
【図 19】



【図 20】



【図 21】



【図 22】

