

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS
PATENT- OCH REGISTERSTYRELSEN
FINNISH PATENT AND REGISTRATION OFFICE

(10) **FI 960661 A7**

(12) **JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application 960661

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification
H01L 27/06
H03F 1/30

(22) Tekemispäivä - Ingivningsdag - Filing date 14.02.1996

(23) Saapumispäivä - Ankomstdag - Reception date 14.02.1996

(41) Tullut julkiseksi - Blivit offentlig - Available to the public 17.08.1996

(43) Julkaisupäivä - Publiceringsdag - Publication date 13.06.2019

(32) (33) (31) Etuoikeus - Prioritet - Priority

16.02.1995 DE 19505269

(71) Hakija - Sökande - Applicant

1 • Siemens Aktiengesellschaft, Wittelsbacherplatz 2, 80333 München, SAKSA, (DE)

(72) Keksijä - Uppfinnare - Inventor

1 • Deckers, Margarete, Germany, SAKSA, (DE)

2 • Musiol, Lothar, Germany, SAKSA, (DE)

3 • Schoepf, Klaus-Jürgen, Germany, SAKSA, (DE)

(74) Asiamies - Ombud - Agent

Kolster Oy Ab, Salmisaarenaukio 1, 00180 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Erityisesti paristokäyttöisiin laitteisiin soveltuva integroitava kytkentäjärjestely transistorin työskentelyvirran stabilisoimiseksi vastakytkennällä

Integrerbar kopplingsanordning för arbetsströmstabilisering i en transistor genom motkoppling, isynnerhet för batteridrivna apparater

Erityisesti paristokäyttöisiin laitteisiin soveltuva integroitava kytkentäjärjestely transistorin työskentelyvirran stabilisoimiseksi vastakytkennällä

5 Keksinnön kohteena on kytkentäjärjestely transistorin työskentelyvirran stabilisoimiseksi vastakytkennällä.

 Sellaisia kytkentäjärjestelyjä kuvataan esimerkiksi julkaisussa E. Böhrer, "Elemente der angewandten Technik, 9. painos, Vieweg-Verlag, Braunschweig, Saksa, 1994 ja ne
10 tunnetaan rinnakkaisvastakytkentänä tai sarjavastakytkentänä.

 Sarjavastakytkentä näytetään periaatteellisesti kuviossa 5. Ohjaavan transistorin T1 kollektori-kantalinjan rinnalle on liitetty vastus R_b . Esimerkiksi lämpötilasta riippuva työskentelyvirran I_{c1} kohoaminen aiheuttaa kollektori-emitterijännitteen U_{ce1} alenemisen ja samanaikaisesti
15 kantavirran I_{b1} alenemisen, mikä vaikuttaa vastakytkennän tavoin.

 Rinnakkaisvastakytkennässä emitterijohtimeen kytetään vastus. Kantapotentiaali asetetaan jännitejakajalla. Työskentelyvirran kohotessa lämpötilan vuoksi emitteripotentiaali kohoaa, minkä vuoksi kanta-emitterijännite ja sen mukana puolestaan kantavirta laskee.

 Lämpötilavaihteluiden lisäksi myös käyttöjännitteen U_b vaihtelut ja valmistushajonnasta johtuva ohjaavan transistorin virtavahvistuksen poikkeama nimellisarvostaan, mitä ei voida välttää, aiheuttavat työskentelyvirran siirtymisen toivotusta arvostaan.

 Erityisesti paristokäyttöisissä laitteissa ei voida välttää käyttöjännitteen U_b vaihteluita. Liikutettavien elektronisten laitteiden, kuten esimerkiksi matkaviestimien ja salkkutietokoneiden lisääntyvän käytön valossa paristokäytön merkitys kuitenkin yhä kasvaa. Sähköisten piirien suunnittelussa on siksi yhä enemmän kiinnitettävä
30 huomiota käyttöjännitteen U_b vaihteluihin. Sen lisäksi
35

liikkuvat elektroniset laitteet ovat alttiina suurille ympäristölämpötilan vaihteluille.

Sekä käyttöjännitteen U_b vaihdellessa että virtavahvistuksen poiketessa nimellisarvostaan saa usein toteutettu rinnakkaisvastakytkentä aikaan vain riittämättömän työskentelyvirran stabiloinnin. Molemmissa tapauksissa aiheutuu merkittäviä työskentelyvirran muutoksia. Kuvion 6 käyrät (a) ja (b) kuvaavat tätä. Ne näyttävät työskentelyvirran riippuvuutta käyttöjännitteestä U_b tai virtavahvistuksesta B_{r1} .

Sarjavastakytkentä johtaa tosin parempaan työskentelyvirran vakavointiin käyttöjännitteen vaihdellessa tai virtavahvistuksen poiketessa nimellisarvostaan, mutta sen oleellinen haitta on, että emitterijohtimeen kytketty vastus alentaa jännitettä, joka käyttöjännitelähteen on tuotettava. Tämä ei kuitenkaan ole toivottavaa, ottaen huomioon elektronisissa laitteissa vallitsevan kehityksen yhä alempia käyttöjännitteitä kohti.

Keksinnön tavoitteena on siten kehittää kytkentäjärjestely, joka lämpötilan vaihdellessa, ohjaavan transistorin virtavahvistuksen poiketessa nimellisarvostaan ja käyttöjännitteen vaihdellessa tuottaa ohjaavan transistorin hyvin stabiilin työskentelyvirran myös alhaisilla käyttöjännitteillä.

Keksinnön tavoitteet saavutetaan kytkentäjärjestelyllä, jolle on tunnusomaista, että

a) kytkentäjärjestelyyn kuuluu toinen transistori, ensimmäinen vastus sekä ainakin ensimmäisen diodin, toisen diodin ja toisen vastuksen sarjaankytkentä;

b) diodien sarjaankytkentä on kytketty ensimmäisen liitännän ja toisen transistorin kannan väliin;

c) toisen transistorin emitteri on kytketty toiseen liitäntään;

d) toisen transistorin kollektori on kytketty kolmanteen liitäntään;

e) ensimmäinen vastus on kytketty ensimmäisen liitännän ja toisen liitännän väliin;

f) toinen vastus on kytketty toisen transistorin kannan ja neljännen liitännän väliin;

5 g) ensimmäinen transistori on kytketty kollektoristaan toiseen liitäntään, kannastaan kolmanteen liitäntään ja emitteristään neljänteen liitäntään;

h) neljäs liitäntä on kytketty kiinteään vertailupotentiaaliin; ja

10 i) ensimmäisen ja neljännen (1 tai 4) liitännän väliin on liitetty käyttöjännitteen lähde.

Tämän kytkentäjärjestelyn edulliset suoritusmuodot ovat epäitsenäisten patenttivaatimusten kohteina.

Erinomaisen työskentelyvirran stabiloinnin lisäksi
15 kytkentäjärjestelyn etuna on, että se voidaan erityisen edullisesti integroida sirulle ja asentaa pintaliitoskoteloon (SMD).

Keksintöä selostetaan lähemmin suoritus esimerkin yhteydessä viitaten kuvioihin, joista:

20 kuvio 1 näyttää keksinnön mukaista kytkentäjärjestelyä;

kuvio 2 näyttää keksinnön mukaisen kytkentäjärjestelyn säätöominaisuuksia käyttöjännitteen U_b vaihdellessa;

25 kuvio 3 näyttää keksinnön mukaisen kytkentäjärjestelyn säätöominaisuuksia ensimmäisen transistorin (T1) virtavahvistuksen B_{T1} vaihdellessa; ja

kuvio 4 näyttää keksinnön mukaisen kytkentäjärjestelyn integroidun piirin poikkileikkausta erään mahdollisen rakenteen mukaan.

30 Kuvion 1 mukaisen kytkentäjärjestelyn ohjaava transistori T1 on npn-transistori. Transistorin T1 emitteri on kiinteässä potentiaalissa, esimerkiksi maassa ja se on kytketty liitäntään 4. Transistorin T1 kanta B1 on kytketty liitäntään 3 ja transistorin T1 kollektori C1 on kytketty liitäntään 2. Transistori T2, pnp-transistori on
35

kytketty kollektoristaan C2 liitääntään 3 ja emitteristään E2 liitääntään 2. Vastus R1 on kytketty liitännän 1 ja transistorin T2 emitterin E2 väliin. Diodin D1 ja diodin D2 sarjaankytkentä on kytketty transistorin T2 kannan B2 ja liitännän 1 väliin. Vastus R2 on kytketty transistorin T2 kannan B2 ja liitännän 4 väliin. Kytkejärjestely on kytketty liitännän 1 ja liitännän 4 kautta käyttöjännitteeseen U_b , esimerkiksi paristojännitteeseen.

Tämän kytkentäjärjestelyn erityisen edullinen toiminta johtuu virran määrittävistä silmukasta, joka koostuu molempien diodien D1 ja D2, vastuksen R1 sekä transistorin T2 emitteri-kantalinjan sarjaankytkennästä. Diodien D1 ja D2 sarjaankytkennässä vaikuttaa nimittäin lähes vakio 1,3 V:n jännite riippumatta käyttöjännitteen U_b suuruudesta ja riippumatta transistorin T1 virtavahvistuksesta B_{T1} . Samoin on transistorin T2 emitteri-kantalinjalla lähes vakio 0,65 V:n jännite. Tällöin vastuksessa R1 oleva jännite U_1 on noin 0,65 V, mistä seuraa myös, että vastuksen R1 kautta kulkeva virta I_{R1} on asetettu arvoon n. $0,65 \text{ V}/R_1$.

Virta I_{R1} on transistorin T1 stabiloitavan työskentelyvirran I_{C1} ja transistorin T2 emitterivirran I_{E2} summa. Jos transistorin T1 virtavahvistus B_{T1} on suurempi kuin 40, on transistorin T1 kantavirta I_{B1} ja siten transistorin T2 emitterivirta I_{E2} merkityksettömän pieni suhteessa transistorin T1 työskentelyvirtaan I_{C1} . Pätee siis: $I_{C1} = \text{n. } 0,65 \text{ V}/R_1$.

Tapauksessa, jolloin käyttöjännite U_b vaihtelee, säilyy diodien D1 ja D2 sarjaankytkennän jännite U_b lähes vakiona diodien eksponentiaalisen ominaiskäyrän vuoksi. Samasta syystä säilyy myös transistorin T2 kanta-emitterijännite U_{BE2} lähes vakiona. Näin siis vastuksen R1 jännite U_1 muuttuu tuskin lainkaan, joten myös transistorin T1 työskentelyvirta I_{C1} säilyy lähes vakiona.

Myös tapauksessa, jossa transistorin T1 virtavahvistus B_{T1} poikkeaa nimellisarvostaan valmistuksen johdos-

ta, transistorin T1 työskentelyvirta I_{C1} säilyy lähes muuttumattomana. Transistorin T1 virtavahvistuksen B_{T1} pienene-
minen tai suureneminen muuttaa transistorin T2 emitteri-
virtaa I_{E2} ja siten myös transistorin T1 kantavirtaa I_{B1}
5 siten, että kummassakin tapauksessa seuraa vastaohjaus. Jos esimerkiksi transistorin T1 todellinen virtavahvistus B_{T1} on nimellisarvoa suurempi, niin transistorin T1 työskentelyvirta I_{C1} kohoaa emitterivirran I_{E2} pienentyessä samanaikaisti, joten virta I_{R1} vastuksen R1 kautta säilyy
10 vakiona. Tästä seuraava transistorin T1 kantavirran I_{B1} aleneminen aiheuttaa työskentelyvirran I_{C1} alenemisen.

Lämpötilan vaihdellessa muuttuu yhtäältä transisto-
rin T1 virtavahvistus B_{T1} . Toisaalta muuttuvat jännitteet
 U_D ja U_{BE2} muutamalla millivoltilla. Tämä on seurausta dio-
15 dien D1 ja D2 sekä transistorin T2 emitteri-kantalinjan sarjaankytkennän pn-rajapintojen jännitemuutoksista. Transistorin T1 virtavahvistuksen B_{T1} muutoksen merkitys on
yllä mainituista syistä lähes mitätön. Pn-rajapintojen jännitemuutoksen vaikutus yhdelle diodeista D1 ja D2 kom-
20 pensoidaan transistorin T2 emitteri-kantalinjalla. Jäljelle jää yhden diodin jännitemuutos, joka kuitenkin kompensoidaan vastuksen R1 sopivilla lämpötilaominaisuuksilla. Kytkentäjärjestelyn muiden rakenneosien lämpötilan vaikutus on merkityksetön, koska niiden kautta ei ole vaikutus-
25 ta kummankin diodin D1 ja D2, vastuksen R1 sekä transistorin T2 emitteri-kantalinjan virtaa määräävään Masche.

Yllä kuvatun kuvion 1 mukaisen kytkentäjärjestelyn säätöominaisuuksien havainnollistamiseksi näytetään ku-
vioissa 2 ja 3 kytkentäjärjestelyn säätöominaisuudet graa-
30 fisesti käyttöjännitteen U_B tai transistorin T1 virtavahvistuksen B_{T1} muuttuessa. Kuvio 2 esittää työskentelyvirtaa I_{C1} riippuen käyttöjännitteen U_B suuruudesta ja kuvio 3 esittää työskentelyvirtaa I_{C1} riippuen transistorin T1 virtavahvistuksesta B_{T1} . Verrattaessa kuvion 6 käyriin on ha-

vaittavissa säätöominaisuuksien selvä parannus rinnakkaisvastakytkentään nähden.

Kuvion 1 mukainen kytkentäjärjestely tekee mahdolliseksi kytkeä ylimääräisen ulkoisen vastuksen liitántöjen 1 ja 2 väliin. Tämä sallii ensimmäisen transistorin T1 työsken-
5 työskentelyvirran I_{c1} erittäin tarkan säädön.

Kuvion 1 mukainen kytkentäjärjestely on tarpeen mukaan integroitavissa yhdelle sirulle vastuksen R1 kanssa tai ilman sitä sekä transistorin T1 kanssa tai ilman sitä.
10 Integrointiin voidaan käyttää erityisen yksinkertaista ja huokeaa tekniikkaa, joka käsittää vain vähän prosessivaiheita. Jos vastus R1 jätetään pois integroidulta piiriltä, se on vain kytkettävä ulkoisesti kytkentäjärjestelyn liitántöjen 1 ja 2 väliin kytkentäjärjestelyn toiminnan to-
15 teuttamiseksi.

Kuvio 4 näyttää kuvion 1 mukaisen kytkentäjärjestelyn integroidun piirin poikkileikkausta erään mahdollisen rakenteen mukaan ilman transistoria T1. Lähtien p-johtavasta alustasta kytkentäjärjestelyn rakenne-elementit toteutetaan erillisinä n-johtavina ammeina. Vastus R1 muodostuu n-johtavasta ammeesta 6. Diodi D1 muodostuu p-johtavasta ammeesta 7 ja siihen upotetusta n-johtavasta ammeesta 8 yhdessä ja se on upotettu n-johtavaan ammeeseen 9. Sen kanssa vastaavasti Diodi D2 muodostuu p-johtavasta
20 ammeesta 10 ja siihen upotetusta n-johtavasta ammeesta 11 yhdessä ja se on upotettu n-johtavaan ammeeseen 12. Ammeista 7 ja 9 muodostettu pn-rajapinta sekä ammeista 10 ja 12 muodostettu pn-rajapinta on oikosuljettu yläpintaan. N-johtava amme 13, siihen upotettu p-johtava amme 14 sekä
25 p-johtava alusta 5 muodostavat transistorin T2. P-johtava amme 15, joka on upotettu n-johtavaan ammeeseen 16 muodostaa vastuksen R2. Erillisten rakenne-elementtien väliin on järjestetty p-johtava suojarahens 19.

Diodien D1 ja D2 upottaminen n-johtaviin ammeisiin-
35 sa saa aikaan, että sekä positiivisella että negatiivisel-

la jännitteellä diodien liitäntöjen välissä ja sirun alapuolella on navoiltaan estosuuntainen pn-rajapinta. Samasta syystä on myös vastus R2 muodostettu n-johtavaan ammeeseen upotettuna p-johtavana ammeena. Ammeista 7 ja 9 muodostettujen pn-rajapintojen sekä ammeista 10 ja 12 muodostettujen pn-rajapintojen oikosulkeminen estää kummassakin diodissa muodostuvan loistyristorin syttymisen.

Yllä kuvattu menetelmä kuvion 4 mukaisen integroidun piirin valmistamiseksi on erityisen edullinen vähäisten prosessivaiheiden ansiosta. Ensimmäinen vastus R1, n-johtava amme 9, n-johtava amme 12, transistorin T2 kanta B2 (n-johtava amme 13) ja n-johtava amme 16 muodostetaan ja annostellaan yhdessä vaiheessa. Samoin muodostetaan ja annostellaan yhdessä vaiheessa p-johtava amme 7, p-johtava amme 10, transistorin T2 emitteri E2 (p-johtava amme 14) sekä p-johtava suojarengas 19.

Patenttivaatimukset

1. Integroitavissa oleva kytkentäjärjestely ensimmäisen transistorin (T1) työskentelypisteen stabilisoimiseksi, t u n n e t t u siitä, että:

a) kytkentäjärjestelyyn kuuluu toinen transistori (T2), ensimmäinen vastus (R1) sekä ainakin ensimmäisen diodin (D1), toisen diodin (D2) ja toisen vastuksen (R2) sarjaankytkentä;

b) diodien sarjaankytkentä on kytketty ensimmäisen liitännän (1) ja toisen transistorin (T2) kannan (B2) väliin;

c) toisen transistorin (T2) emitteri on kytketty toiseen liitäntään (2);

d) toisen transistorin (T2) kollektori on kytketty kolmanteen liitäntään (3);

e) ensimmäinen vastus (R1) on kytketty ensimmäisen liitännän (1) ja toisen liitännän (2) väliin;

f) toinen vastus (R2) on kytketty toisen transistorin (T2) kannan (B2) ja neljännen liitännän (4) väliin;

g) ensimmäinen transistori (T1) on kytketty kollektoristaan (C1) toiseen liitäntään (2), kannastaan (B1) kolmanteen liitäntään (3) ja emitteristään neljänteen liitäntään (4);

h) neljäs liitäntä on kytketty kiinteään vertailupotentiaaliin; ja

i) ensimmäisen ja neljännen (1 tai 4) liitännän väliin on liitetty käyttöjännitteen lähde.

2. Patenttivaatimuksen 1 mukainen kytkentäjärjestely, t u n n e t t u siitä, että toinen transistori (T2), sarjaankytkentä ja toinen vastus (R2) on integroitu samalle sirulle.

3. Patenttivaatimuksen 2 mukainen kytkentäjärjestely, t u n n e t t u siitä, että myös ensimmäinen vastus (R1) on integroitu samalle sirulle.

4. Patenttivaatimuksen 3 mukainen kytkentäjärjestely, tunnettu siitä, että myös ensimmäinen transistori (T1) on integroitu samalle sirulle.

5. Patenttivaatimuksen 3 mukainen kytkentäjärjestely, tunnettu siitä, että:

a) kytkentäjärjestely on muodostettu ensimmäistä johdintyyppiä olevalle alustalle (5);

b) ensimmäinen vastus (R1) on muodostettu toista johdintyyppiä olevaan ammeeseen (6);

10 c) ensimmäinen diodi (D1) on muodostettu ensimmäistä johdintyyppiä olevasta toisesta ammeesta (7) ja siihen upotetusta toista johdintyyppiä olevasta kolmannelta ammeesta (8) ja se on upotettu toista johdintyyppiä olevaan neljännenteen ammeeseen (9);

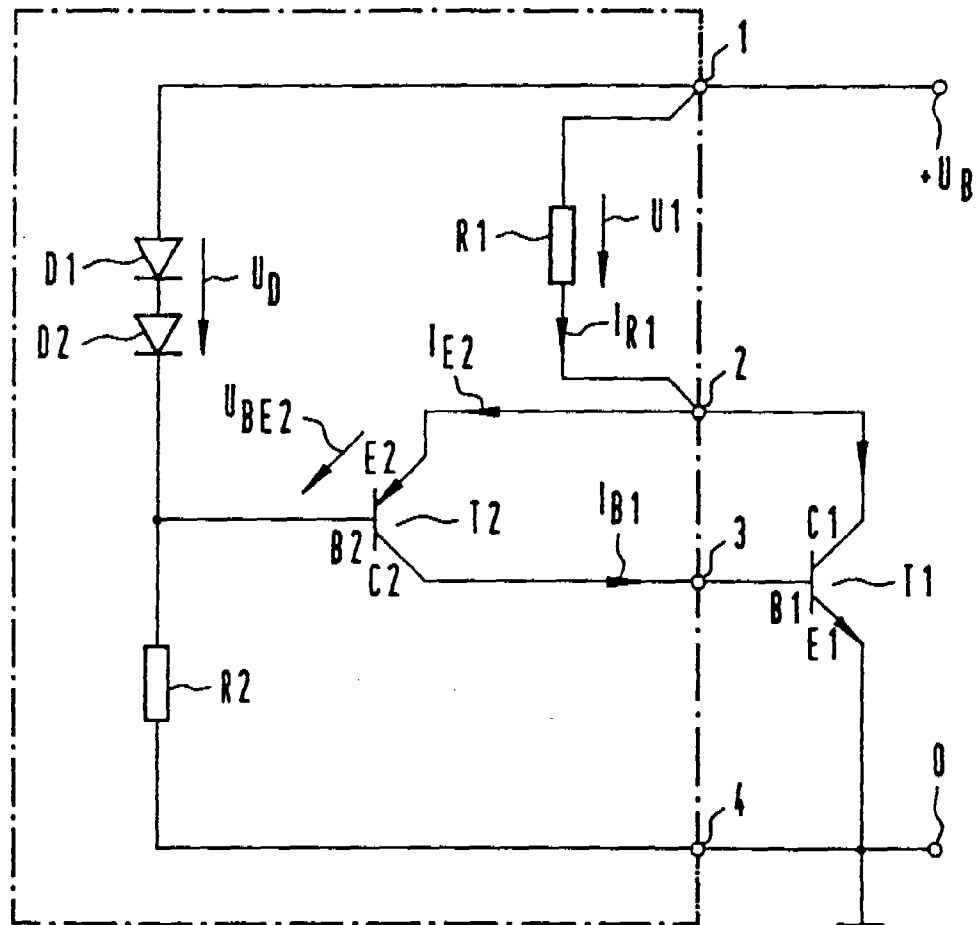
15 d) toinen diodi (D2) on muodostettu ensimmäistä johdintyyppiä olevasta viidennestä ammeesta (10) ja siihen upotetusta toista johdintyyppiä olevasta kuudennesta ammeesta (11) ja se on upotettu toista johdintyyppiä olevaan seitsemänteen ammeeseen (12);

20 e) toinen transistori (T2) koostuu toista johdintyyppiä olevasta kahdeksannesta ammeesta (13), siihen upotetusta ensimmäistä johdintyyppiä olevasta yhdeksännestä ammeesta (14) ja alustasta (5);

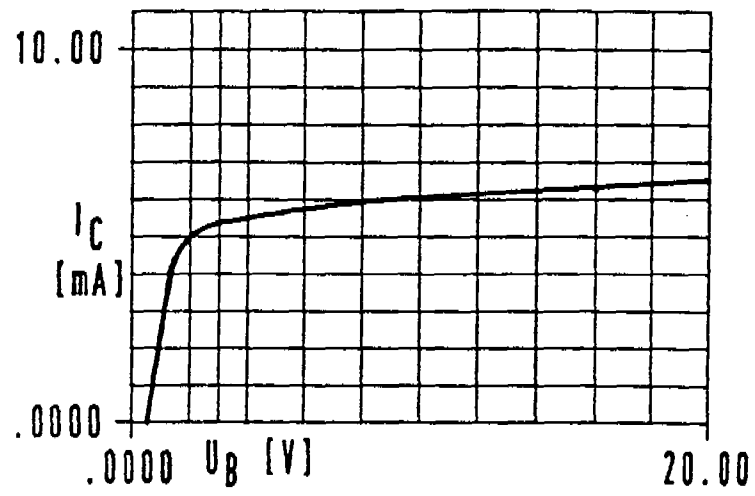
25 f) toinen vastus on muodostettu ensimmäistä johdintyyppiä olevasta kymmenennestä ammeesta (15) ja se on upotettu toista johdintyyppiä olevaan yhdenteentoista ammeeseen (16); ja

30 g) toisesta (7) ja neljännestä (9) ammeesta muodostettu pn-rajapinta sekä viidennestä (10) ja seitsemännestä (12) muodostettu pn-rajapinta on oikosuljettu yläpintaan.

FIG 1



F16 2



F16 3

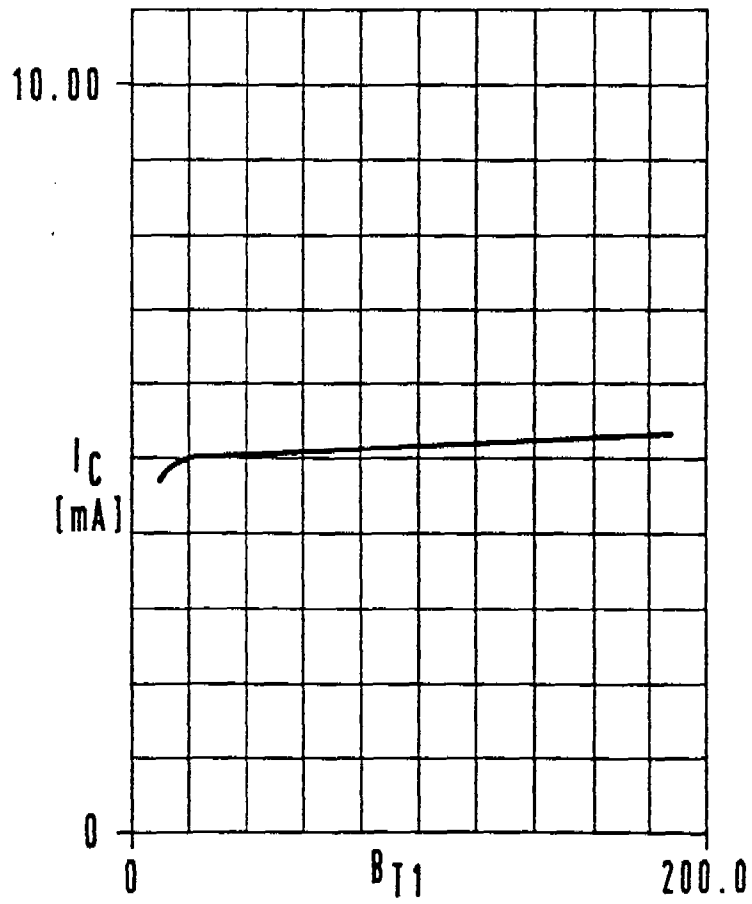
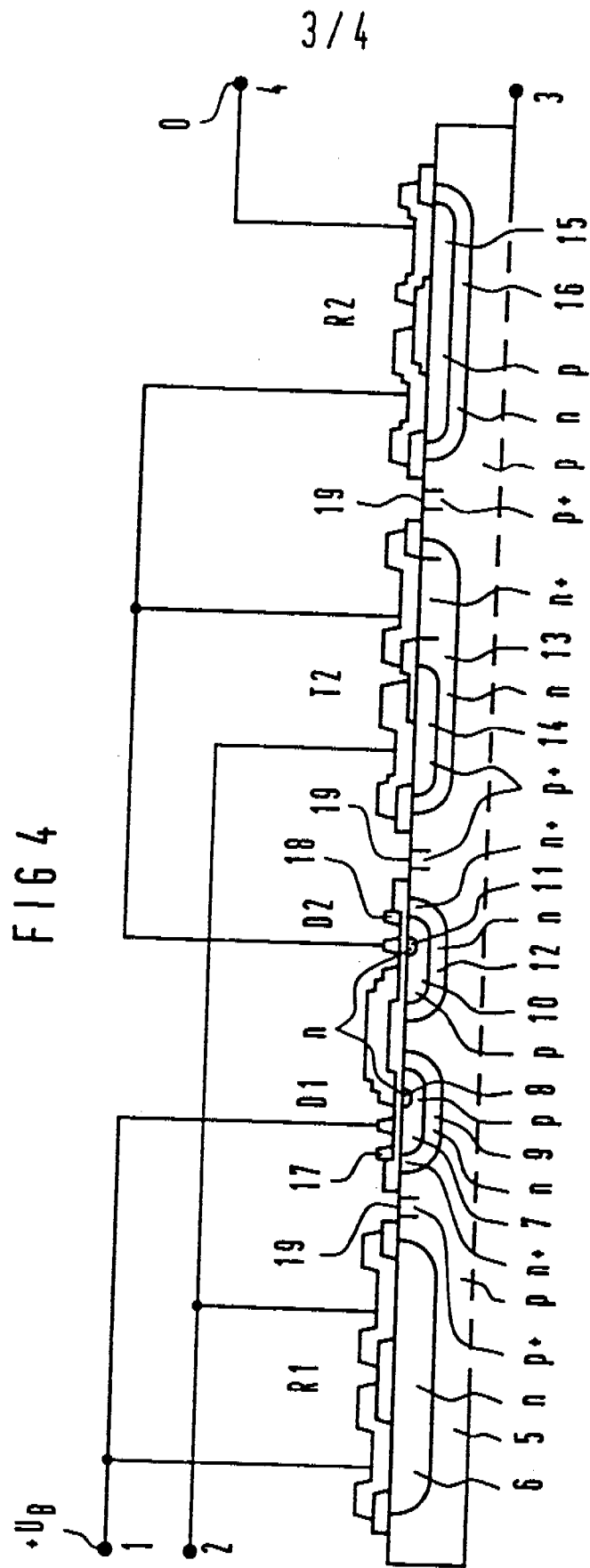
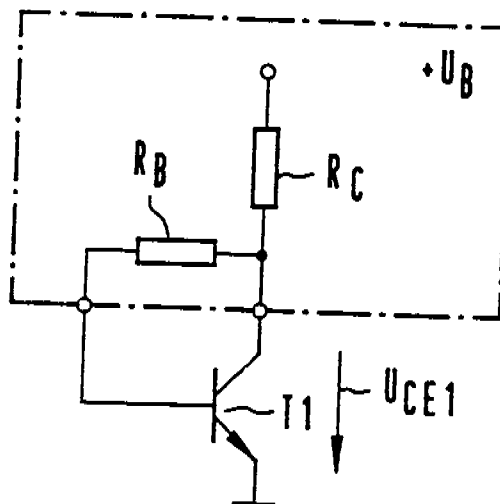


FIG 4



F16 5



F16 6b

F16 6a

