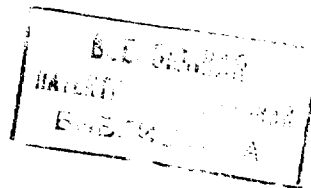




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

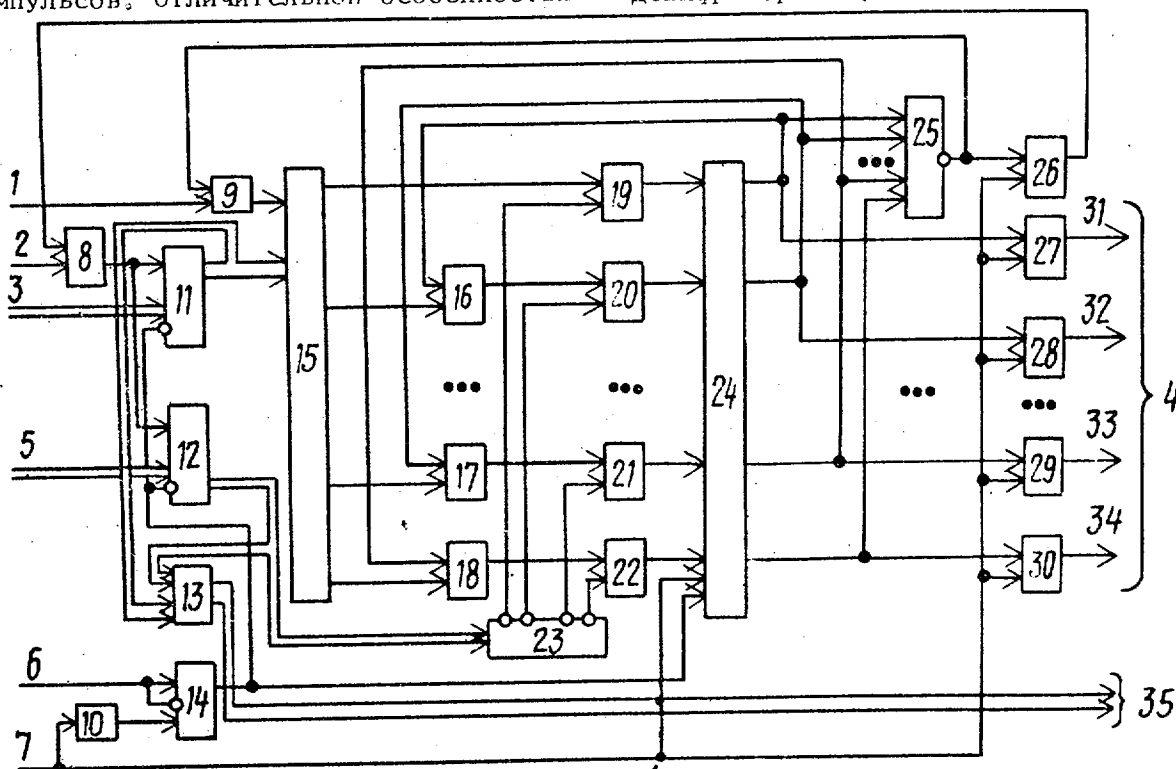


- (21) 4358384/24-24
(22) 04.01.88
(46) 15.03.90. Бюл. № 10
(72) М.Г.Кулаков
(53) 681.3 (088.8)
(56) Авторское свидетельство СССР
№ 919071, кл. H 03 K 5/15, 1980.
Авторское свидетельство СССР
№ 1352627, кл. H 03 K 5/15, 1986.

(54) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ
СИНХРОСИГНАЛОВ

(57) Изобретение относится к вычисли-
тельной технике и может быть исполь-
зовано в качестве распределителя
импульсов. Отличительной особенностью

устройства является то, что оно поз-
воляет обеспечить как синхронное,
так и асинхронное регулирование пе-
риода следования импульсов на выход-
ных каналах устройства при одновре-
менном запрете появления импульсов
на группе старших и/или на группе
младших выходных каналов устройства.
Целью изобретения является расширение
функциональных возможностей за счет
обеспечения переменного периода выход-
ных импульсов. Поставленная цель дос-
тигается введением группы элементов
ИЛИ 16...18, элемента И 30, блока 13
сравнения, регистра 12, элемента И 9,
дешифратора 23, 5 ил.



Фиг. 1

Изобретение относится к вычислительной технике и может быть использовано в качестве распределителя импульсов.

Цель изобретения - расширение функциональных возможностей за счет обеспечения переменного периода выходных импульсов.

На фиг.1 приведена структурная схема устройства; на фиг.2 - 5 - временные диаграммы работы устройства.

Устройство содержит вход 1 запуска, вход 2 разрешения записи, группу 3 входов задания начала последовательности, группу 4 выходов, группу 5 входов задания конца последовательности, вход 6 начальной установки, тактовый вход 7, элементы И 8 и 9, элемент 10 задержки, регистры 11 и 12, блок 13 сравнения, триггер 14, дешифратор 15, элементы ИЛИ 16 - 18, элементы И 19 - 22, дешифратор 23, регистр 24, элемент ИЛИ-НЕ 25, элементы И 26 - 30, выходы 31 - 34 группы 4 выходов и группу 35 выходов сбоя.

Устройство работает следующим образом.

В устройстве группа элементов ИЛИ 16 - 18, вторая группа элементов И 19 - 22 и регистр 24 образуют регистр сдвига специального вида, в котором запись данных в n -й разряд регистра 24 зависит от управляющих сигналов, поступающих с выходов дешифратора 15, а перезапись данных из b -го разряда в $(b+1)$ -й разряд зависит от управляющих сигналов, поступающих с выходов дешифратора 23, запись данных в регистр 24 осуществляется по срезу (заднему фронту) тактовых импульсов.

Выходы регистра 24 соединены логически через элемент ИЛИ-НЕ 25, выход которого управляет дешифратором 15, что обеспечивает запись сигнала высокого уровня с выхода дешифратора 15 в n -й разряд регистра 24. При этом запись бегущей единицы в регистр сдвига специального вида может быть осуществлена с выхода элемента ИЛИ-НЕ 25 начиная с любого разряда второго регистра 24. Разряд регистра 24, с которого начинается запись сигнала высокого уровня с выхода элемента ИЛИ-НЕ 25 определяется кодом, занесенным в регистр 11. Например, в соответствии с кодом выбирается раз-

ряд регистра 24, имеющий номер k . До тех пор, пока на одном из выходов регистра 24 имеется сигнал высокого уровня, в этот k -й разряд записывают сигналы низкого уровня. После того, как все выходы регистра 24 приобретут нулевое значение, элемент ИЛИ-НЕ 25 переключается, после чего во время тактового периода на входе k -го разряда регистра 24 имеется сигнал высокого уровня. Сигналы с выходов дешифратора 15 поступают на входы регистра 24 через соответствующие элементы ИЛИ группы элементов ИЛИ 16 - 18 (кроме сигнала первого выхода дешифратора 15) и элементы И второй группы элементов И 19 - 22. Управление перезаписью данных из b -го разряда в $(b+1)$ -й разряд осуществляет дешифратор 23, позволяющий запретить распространение единичного сигнала между b -м и $(b+1)$ -м разрядами в регистре 24 и, следовательно, запретить появление импульсов на группе старших выходных разрядов регистра 24. Для того, чтобы предотвратить наложение друг на друга образовавшихся таким образом тактовых сигналов, выходы второго регистра 24 подключаются к входам элементов И 27 - 30, на другие входы которых подается исходный тактовый сигнал, на выходах 32-35 образуется сигнал бегущей единицы. Если на входы дешифратора 23 подаются двоичные переменные, то на одном определенном выходе второго дешифратора 15 вырабатывается сигнал высокого уровня, а на остальных выходах сохраняются сигналы низкого уровня. Сигнал высокого уровня появится на выходе дешифратора 15 только в том случае, когда на его стробирующем входе имеется сигнал высокого уровня. Если этот сигнал на входе дешифратора 15 имеет низкий уровень, то сигнал высокого уровня на выходе дешифратора не формируется.

Число информационных входов дешифратора 15 имеет p разрядов. Между числом разрядов p и числом разрядов m регистра 24 имеется следующее соотношение:

$$m < 2^p.$$

При этом выходы дешифратора 23 с номерами, большими m не задействованы. Если на вход дешифратора 23 подаются двоичные переменные, то на од-

ном определенном выходе дешифратора вырабатывается сигнал низкого уровня, а на остальных выходах сохраняются сигналы высокого уровня.

Число информационных входов дешифратора 23 имеет e разрядов. Между числом разрядов e и числом разрядов s регистра 24 - имеется следующее соотношение.

$$s < 2^E.$$

При этом выходы дешифратора 23 с номерами, большими s не задействованы.

Устройство позволяет начать запись бегущей единицы с любого разряда регистра 24 за счет наличия сигнала высокого уровня только на одном из выходов дешифратора 15 в то время, когда сигнал на выходе элемента ИЛИ-НЕ 25 имеет высокий уровень, и в зависимости от параллельного кода, подаваемого на входы дешифратора 15 с выхода регистра 11, и прекратить запись бегущей единицы с любого разряда регистра 24 разрывом логической взаимосвязи между разрядами регистра 24 в зависимости от параллельного кода, подаваемого на входы дешифратора 23 с выхода регистра 12. Регистры 11 и 12 предназначены для хранения параллельных кодов, задающих период следования импульсов на выходных каналах устройства. Запись кода с группы 3 входов в регистр 11 осуществляется по фронту сигнала на выходе элемента И 8, по совпадению высокого уровня сигнала на входе 2 разрешения записи и высокого уровня сигнала на выходе элемента И 26. Запись кода с группы 3 входов осуществляется в регистр 12 по фронту сигнала на выходе элемента И 9 по совпадению сигнала на входе 2 разрешения записи и высокого уровня сигнала на выходе элемента И 26.

Блок 13 сравнения обеспечивает контроль совпадения или занесения в регистры 11 и 12 пересекающихся кодов путем формирования на выходе равенства сигнала при совпадении кодов, занесенных в регистры 11 и 12 и путем формирования на одном из выходов группы 36 сигнала превышения в том случае, если код, занесенный в регистр 12, превышает код, занесенный в регистр 11, чем достигается конт-

роль возможности появления разорванных последовательностей импульсов.

Триггер 14 предназначен для обеспечения надежного начального включения устройства после подачи питания, исключающего появление переходного процесса на его выходных каналах.

После включения питания сигнал на входе 1 запуска устройства имеет высокий уровень, сигнал на входе 2 разрешения записи устройства имеет низкий уровень, на группы 3 и 5 входов подаются параллельные коды, сигнал на входе 6 начальной установки устройства имеет низкий уровень, на тактовый вход 7 подаются тактовые импульсы. После подачи сигнала высокого уровня, на вход 7 начальной установки устройства с задержкой на время, обусловленное элементом 10 задержки, по срезу импульса установится триггер 14. При этом разрешена работа регистров 12, 24 и 11. После подачи сигнала высокого уровня на вход 2 разрешения записи разрешено поступление импульсов с выходов элементов И 9 и 8, по фронту которых в регистры 12 и 11 занесены коды, управляющие работой дешифраторов 23 и 15. При этом импульсы формируются на определенных выходных каналах устройства для смены периода следования импульсов на группы 3 и 5 входов подаются новые коды, а затем на вход 2 разрешения записи подается сигнал высокого уровня.

При асинхронном регулировании последовательностей импульсов используется вход 1 запуска. Подача сигнала низкого уровня на этот вход блокирует появление сигналов на всех выходах устройства 32 - 35 после формирования импульса на последнем из неблокированных каналов.

Во время формирования последовательности тактовых импульсов на выходах 32 - 35 на группу 3 и 5 входов подаются коды следующей последовательности тактовых импульсов, а затем на вход 2 сигнал разрешения записи в регистр 11 и 12 заносятся коды, определяющие формируемые последовательности тактовых импульсов. В соответствии с кодом, записанным в регистр 11, переключается дешифратор 15, на одном из его выходов появляется сигнал высокого уровня, инициирующий распространение единичных сигналов в регистре 24. В соответствии с ко-

дом, занесенным в регистр 12, переключается дешифратор 23, на одном из его выходов появляется сигнал низкого уровня, ограничивающий распространение единичных сигналов в регистре 24. При появлении среза импульса на входе 7 появляется единичный сигнал на выходе регистра 24, который соответствует выходу дешифратора, имеющему единичное значение, например, второму, т.е. в единицу устанавливается любой из выходов регистра 24, не обязательно первый. При появлении следующего импульса на тактовом входе 7 сигнал высокого уровня появляется единичный сигнал на следующем, например третьем, выходе регистра 24, а на втором выходе он снят, и т.д., до тех пор, пока не встретится элемент И группы элементов И 19 - 22, на входе которого дешифратор 23 установил нулевой сигнал, следовательно, на очередном выходе регистра 24 сигнал высокого уровня не появляется при появлении импульса на тактовом входе 7, все выходы регистра 24 имеют низкие уровни и цикл начинается вновь. Если имела место смена кодов групп 3 и 5 входов, то генерируется другая последовательность тактовых импульсов, если смены кодов не производилось, то генерируется первоначальная последовательность импульсов. Этим реализуется режим синхронного регулирования последовательностей импульсов.

Режим асинхронного регулирования последовательностей импульсов предполагает растяжение периода следования импульсов путем установки запрета формирования последовательности тактовых импульсов на входе 1 запрета. При этом формирование последовательности импульсов от установки и снятия асинхронного сигнала на входе 1 отражает термин "асинхронный".

Устройство в соответствии с кодами команды, занесенными в регистр, формирует во время выполнения k-го такта команды на своем k-м выходном канале единичный сигнал определенной, одинаковой для всех тактов, длительности с периодом следования импульсов и числом используемых выходных каналов, задаваемых кодами команды, причем в соответствии с этими кодами запрещается появление импульсов на группе старших и/или группе младших выходных каналов устройства.

В качестве примера работы устройства рассмотрим устройство, имеющее семь выходов 32 - 35. При этом регистр 11 и регистр 12 - трехразрядные. Во время формирования очередной последовательности тактовых импульсов на выходах 32 - 35 может быть осуществлено управление запретом старших и младших выходов, например на группу 3 входов подается двоичный код 001, а на группу 5 входов подается двоичный код 101 (см. фиг. 4), затем на входы 2 разрешения записи - сигнал разрешения записи в регистры 11 и 12. При появлении тактового импульса на выходе элемента И 26 в регистры заносятся коды, определяющие формируемые последовательности тактовых импульсов. В соответствии с кодом 001, записанным в регистр 11, переключается дешифратор 15, на его втором выходе появляется сигнал высокого уровня, инициирующий распространение единичных сигналов в регистре 24. В соответствии с кодом 101, записанным в регистр 12, переключается дешифратор 23, на шестом выходе появляется сигнал низкого уровня, ограничивающий распространение единичных сигналов в регистре 24.

При появлении импульса на тактовом входе 7 появляется единичный сигнал на выходе регистра 24, который соответствует второму выходу второго дешифратора, имеющему единичное значение. После этого с входа 2 может быть снят сигнал, имеющий единичное значение. При появлении следующего импульса на тактовом входе 7 сигнал высокого уровня появляется на следующем, третьем выходе регистра 24, а на втором выходе он снимается и т.д., пока не встретится шестой элемент группы элементов И 19 - 22, на входе которого дешифратор 23 установил нулевой сигнал. Следовательно, на шестом выходе регистра 24 сигнал высокого уровня не появляется при появлении импульса на тактовом входе 7. При этом все выходы регистра 24 имеют низкие уровни и цикл начинается вновь.

Далее рассмотрим управление запретом младших выходов (см. фиг. 5).

Для смены вида и периода последовательности импульсов на группу 5 входы подают код 010, затем на вход

разрешения записи - сигнал разрешения записи. При появлении тактового импульса на выходе элемента И 26 в регистр 11 заносится код 010. При этом переключается дешифратор 15, на третьем его выходе появляется сигнал высокого уровня, инициирующий распространение единичных сигналов в регистре 24.

При появлении импульса на тактовом входе 7 появляется единичный сигнал на третьем выходе регистра 24, и т.д., как в предыдущем случае.

Далее рассмотрим управление запретом старших выходных шин каналов (фиг.5)

Для смены вида и периода последовательности импульсов на группу 3 входов подают код 111, затем на вход 1 - сигнал разрешения записи в регистр 12. При появлении тактового импульса на выходе элемента И 26 в регистр 12 заносится код 111. При этом переключается дешифратор 23, на его шестом выходе снимается сигнал низкого уровня, ограничивающий распространение единичных сигналов в регистре 24. Так как младшие разряды регистра управление не затронуло, то при появлении импульса на шине тактовых импульсов 7 появляется единичный сигнал на третьем выходе регистра 24. При появлении соответствующих тактовых импульсов этот сигнал присутствует последовательно на четвертом, пятом, шестом и седьмом выходах регистра 24, затем на выходе элемента ИЛИ-НЕ, снова третьем выходе регистра 24 и т.д.

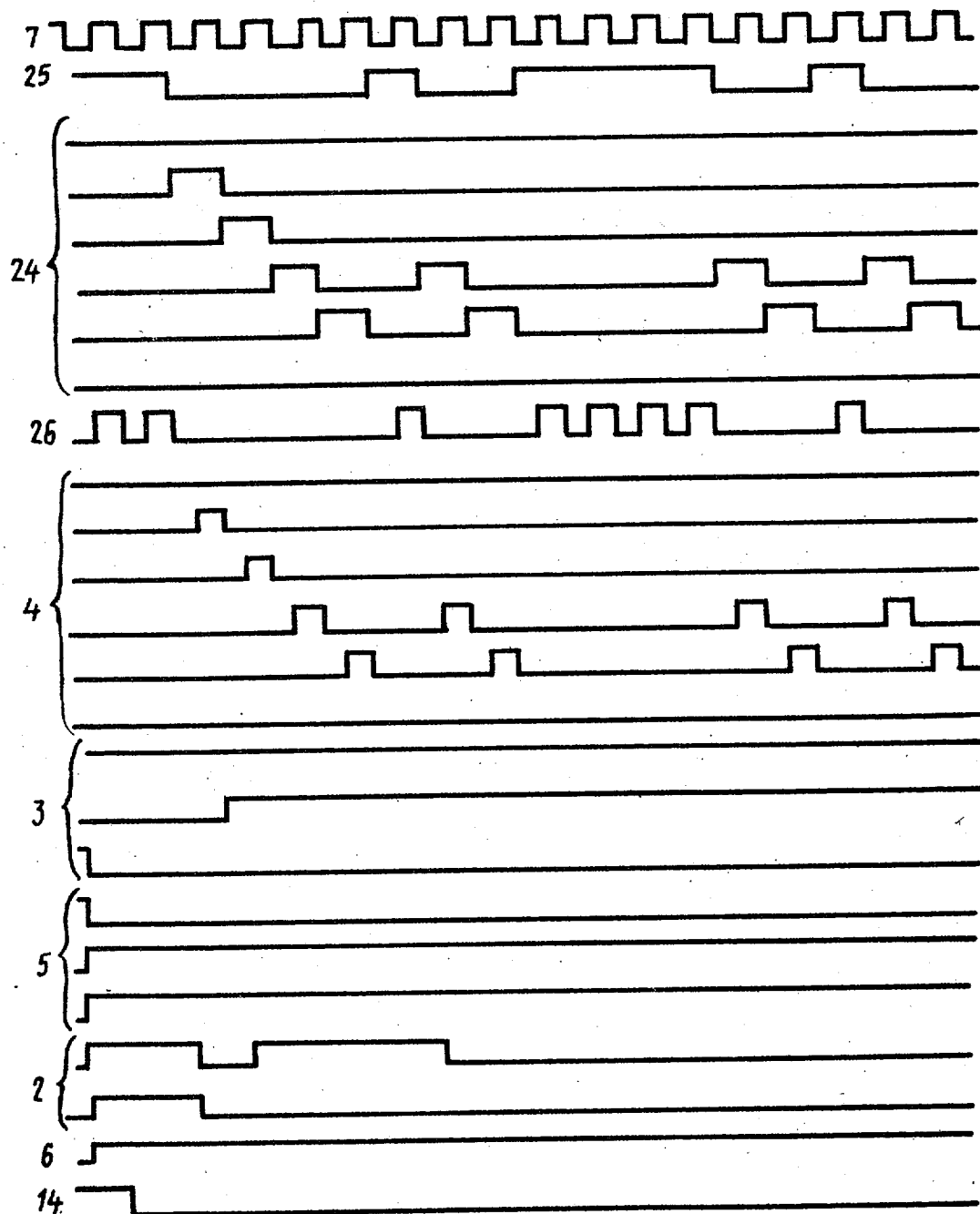
Ф о р м у л а и з о б р е т е н и я

Устройство для формирования синхросигналов, содержащее первый и второй регистры, первый дешифратор, две группы элементов И, триггер, первый и второй элементы И, элемент ИЛИ-НЕ, элемент задержки, причем группа информационных входов первого регистра является группой входов задания начала синхропоследовательности устройства, первый вход первого элемента И является входом разрешения записи устройства, второй вход первого элемента И соединен с выходом второго элемента И, первый вход которого соединен с выходом элемента ИЛИ-НЕ, вход разрешения записи второго регистра

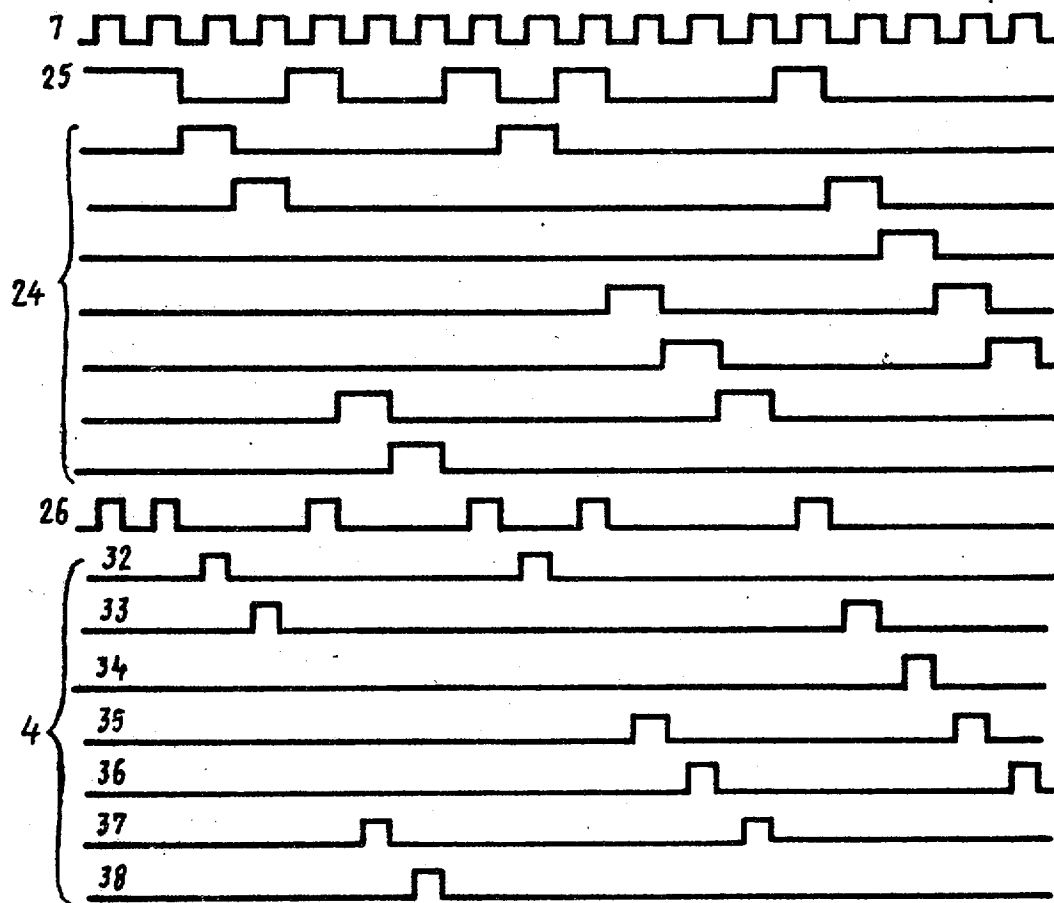
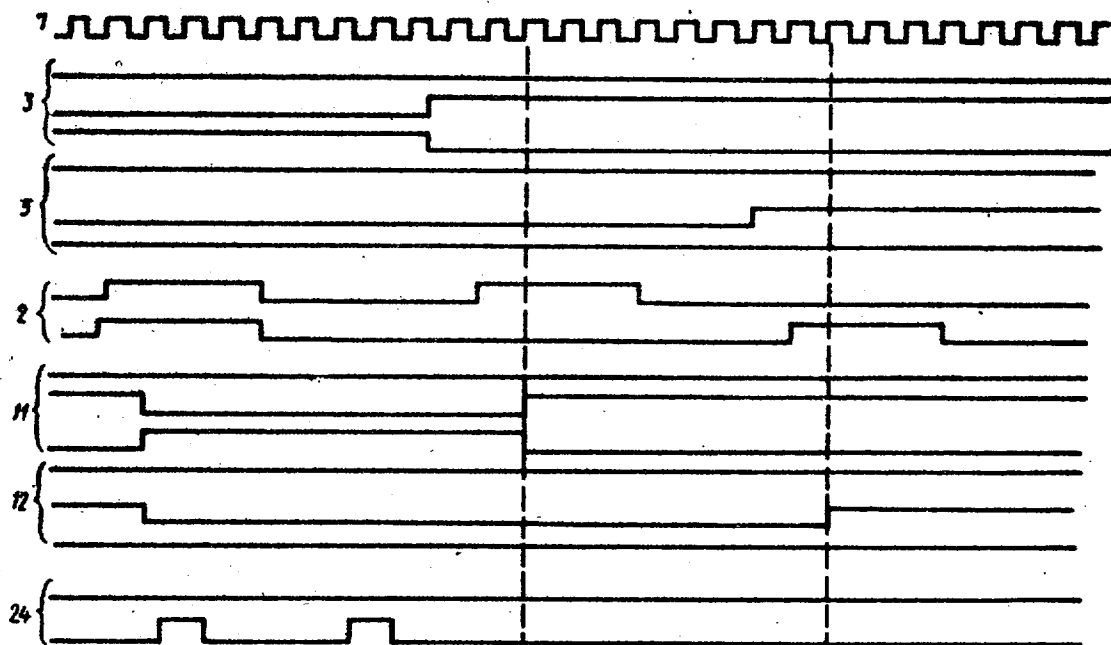
соединен с вторым входом второго элемента И, с первыми входами элементов И первой группы, с входом элемента задержки и является тактовым входом устройства, вход сброса в "0" триггера является входом начальной установки устройства, выход триггера соединен с входом сброса в "0" первого и второго регистров, группа выходов первого регистра соединена с группой входов первого дешифратора, первый выход которого соединен с первым входом первого элемента И второй группы, выходы элементов И второй группы соединены соответственно с информационными входами второго регистра, выходы которого соединены с входами элемента ИЛИ-НЕ и соответственно с вторыми входами элементов И первой группы, выходы которых являются выходами группы тактовых выходов устройства, выход первого элемента И соединен с входом разрешения записи первого регистра, о т л и ч а ю щ е с я тем, что, с целью расширения функциональных возможностей за счет обеспечения переменного периода выходных импульсов, в устройство введены третий элемент И, блок сравнения, третий регистр, группа элементов ИЛИ и второй дешифратор, первый инверсный выход второго дешифратора соединен с вторым входом первого элемента И второй группы, выход элемента задержки соединен с синхровходом триггера, выходы первого дешифратора с второго по n-й соединены соответственно с первыми входами элементов ИЛИ группы, выходы которых соединены с первыми входами элементов И соответственно с вторым по n-й второй группы, вторые входы которых соединены соответственно с инверсными выходами второго дешифратора, группа входов которого соединена с группой выходов третьего регистра, с первой группой входов блока сравнения, вторая группа входов которого соединена с группой выходов первого регистра, выход первого элемента И соединен с входом разрешения записи третьего регистра, вход сброса в "0" которого соединен с входом сброса в "0" первого регистра, информационный вход триггера соединен с входом сброса в "0" триггера, выход равенства блока сравнения является первым выходом группы выходов

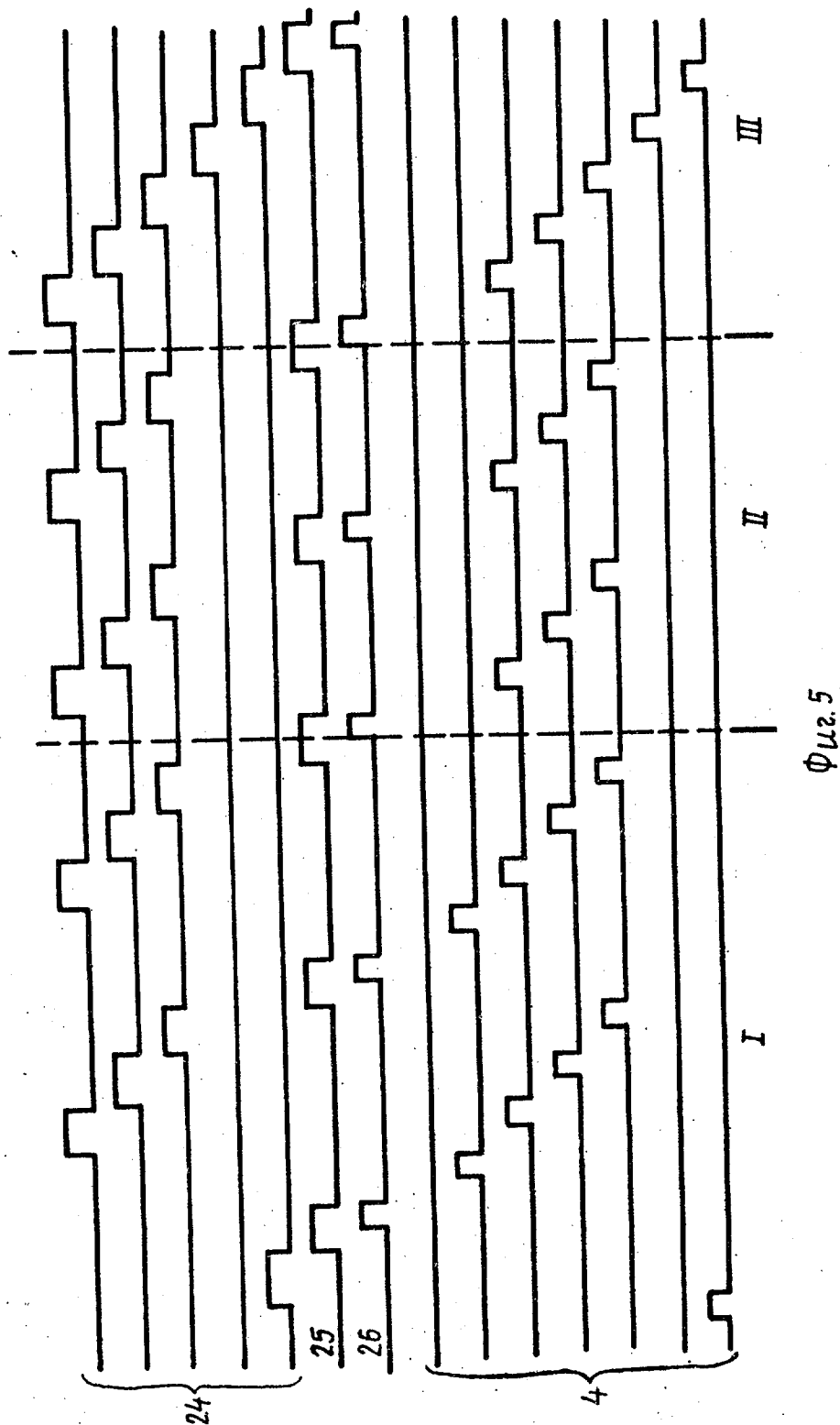
сбоя устройства, выход "Больше" блока сравнения является вторым выходом группы выходов сбоя устройства, первый вход третьего элемента И является входом запуска устройства, выход элемента ИЛИ-НЕ соединен с вторым входом третьего элемента И, выход которого соединен со стробирующим входом

первого дешифратора, выходы с первого по n -й второго регистра соединены соответственно с вторыми входами элементов ИЛИ группы, группа информационных входов третьего регистра является группой входов задания конца последовательности устройства.



Фиг. 2

 $\Phi u_{2.3}$  $\Phi u_{2.4}$



Редактор Л. Пчолинская Составитель Н. Торопова
 Техред М. Дидык Корректор С. Шекмар

Заказ 273 Тираж 558 Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101