



[12] 发明专利说明书

[21] ZL 专利号 97117646.9

[43] 授权公告日 2003 年 4 月 9 日

[11] 授权公告号 CN 1105389C

[22] 申请日 1997.8.22 [21] 申请号 97117646.9

[30] 优先权

[32] 1996.8.23 [33] US [31] 703176

[71] 专利权人 摩托罗拉公司

地址 美国伊利诺伊

[72] 发明人 布鲁斯·L·莫顿

审查员 穆丽娟

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

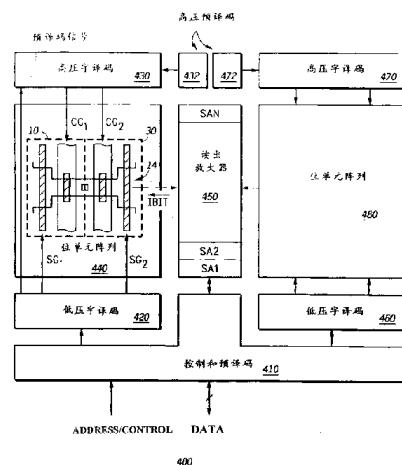
代理人 王以平

权利要求书 3 页 说明书 26 页 附图 14 页

[54] 发明名称 适于低电源电压下工作的存储器及
读出放大器

[57] 摘要

存储器，包括读出放大器，具有连接于多个位线的电流电压转换器，形成电流参考的公共电流源和公共锁存比较器。列译码选择电路插入在电流电压转换器与锁存比较器的一个输入之间，从多个位线中选择一个。读出放大器在低电压下工作，用箝位器和加载器件来建立锁存比较器参考输入上的第一放电速率。被选定的存储单元的状态在另一输入上建立第二放电速率。在编程模式中，比较器各部分也同锁存器一样加倍。



1. 存储器（400），包含由位于多个选择线和多个位线交叉处的存储单元组成的阵列（440）、带有用来接收行地址的输入和用来激活多个选择线中之一的输出的行译码器（410，420）、带有用来接收列地址的输入和用来激活多个选择信号中至少一个的输出的列译码器（410），此存储器（400）的进一步特征是：

各带有一个耦合于上述多个位线中相应的一个的输入端和一个输出端的多个电流电压转换器（512，513）；

带有多个耦合于上述多个电流电压转换器（512，513）的相应输出端的输入端、多个耦合于上述列译码器（410）的上述输出端的控制输入端以及一个输出端的选择电路（515）；

带有耦合于电源电压端的第一端和耦合于上述选择电路（515）的上述输出端的第二端的加载器件（548）；以及

带有耦合于上述选择电路（515）的上述输出端的第一输入端、用来接收参考信号的第二输入端以及用来提供表示被选定的存储单元的逻辑态的数据输出信号的输出端的电压比较器（530）。

2. 权利要求1的存储器（400），其特征是所述的加载器件（548）是一个电流源。

3. 权利要求1的存储器，其特征是所述的多个电流电压转换器（512，513）是相应的多个N沟晶体管，各晶体管带有一个耦合于一个相应位线的第一电流电极、一个用来接收偏压的控制电极以及一个耦合于上述选择电路（515）的相应输入端的第二电流电极，其中所述的偏压约等于参考电压加上二倍的N沟阈值。

4. 权利要求1的存储器（400），其特征是所述的选择电路（515）是多个互补金属氧化物半导体传输门，各带有一个耦合于上述选择电路（515）的相应晶体管的第二电流电极的第一端、耦合于列译码器（410）的上述输出端的第一和第二控制电极以及耦合于上述选择电路（515）的上述输出端的第二端。

5. 权利要求1的存储器（400），其特征是所述的存储单元阵列

(440)是一个非易失存储单元阵列，各具有一个决定于浮栅上所储存的电荷的逻辑态。

6. 权利要求5的存储器(400)，其特征是各非易失存储单元是一个电可擦可编程存储单元。

7. 读出放大器(500)，其特征是：

一个耦合于第一电压节点(531)、第二电压节点(532)并根据第一电压节点和第二电压节点的数值而产生读出放大器数据输出的电压比较器(530)；

一个耦合于第一电压节点的第一输入箝位器(542, 544)，其中的第一输入箝位器(542, 544)确保第一电压节点(531)处于或高于一个最小电压；

一个耦合于第一电压参考端和第一电压节点(531)的第一加载器件(548)，其中的第一加载器件(548)使第一电压节点(531)具有一个第一放电速率；以及

一个耦合于第二电压参考端和第二电压节点(532)的第二加载器件(570)，其中的第二加载器件(570)在第二电压节点(532)耦合于导通的源(30)时使第二电压节点(532)具有第二放电速率。

8. 权利要求7的读出放大器(500)，其进一步特征是：

一个耦合于第二电压节点(532)的第二输入箝位器(562, 564)，其中的第二输入箝位器(562, 564)确保第二电压节点处于或高于一个最小电压；

一个耦合于第一电压参考端和第二电压节点(532)的第三加载器件(568)，其中的第三加载器件(568)使第二电压节点(532)具有一个第三放电速率；

一个耦合于第二电压参考端和第一电压节点(531)的第四加载器件(550)，其中的第四加载器件(550)使第一电压节点具有一个第四放电速率；以及

一个具有第一状态和第二状态的开关器件(546, 566)，其中在第一状态时，第一输入箝位器(542, 544)、第一加载器件(548)和第二加载器件(570)是激活的，使第一电压节点(531)上的数据值可被读取，而在第二状态时，第二输入箝位器(562, 564)、第三加载

器件（568）和第四加载器件（550）是激活的，使第二电压节点（532）上的数据值可被读取。

9. 权利要求 7 的读出放大器（500），其中的第一放电速率小于第二放电速率。

10. 权利要求 7 的读出放大器（500），其中的导通的源（30）是一个存储单元。

适于低电源电压下工作的存储器及读出放大器

本发明一般涉及到读出放大器，更确切地说是涉及到低电压存储器的读出放大器。

电可擦可编程只读存储器（EEPROM）是用电信号进行擦除和编程的非易失存储器件。一个 EEPROM 通常包括数千个存储单元，每个存储单元可单独地编程和擦除。通常，EEPROM 单元包括一个浮棚晶体管和一个选择晶体管。EEPROM 器件中的选择晶体管用来选择待要擦除或编程的单个 EEPROM 单元。器件中的浮棚晶体管是实际储存各个特定存储单元的数字值的那些晶体管。

为了对一个单元进行编程和擦除，一般用所知的富勒·诺德哈姆（Fowler Nordheim）隧穿现象来储存浮棚晶体管浮棚电极上的正电荷或负电荷。例如，借助于将正电压加至选择门晶体管的漏和栅，同时将浮棚晶体管的控制栅保持为地电位，从而实现编程。结果，电子通过隧道电介质从浮棚晶体管的浮棚隧穿到漏极，使浮棚被正充电。

EEPROM 的一个特殊结构是快速 EEPROM。快速 EEPROM 提供电擦除和编程能力且通常其电路密度提高了。这一提高了的电路密度通常以只能够成块地擦除快速 EEPROM 阵列为代价而得到。通常，阵列在一步即一闪中被擦除，这就是为什么称之为快速 EEPROM 的道理。

通常希望使工作于高速下的集成电路 EEPROM 具有最小的电路区。此外，希望集成电路 EEPROM 工作于越来越低的电压。随着时间的推移，对降低功率的需求已导致对电压越来越低的集成电路的需求。在当前的技术中，此低电压一般在 2.7-3.0V 之间，但期望进一步降低。

一个典型的快速 EEPROM 集成电路将接收一个地址并响应于此而选择一个或更多个存储单元。这些存储单元通常根据此地址的第一部分（行地址）而组织成行和列，存储器选择位于选定行上的存储单元。根据此地址的第二部分（列地址），选定行上的一个或更多个存储单元被

选定用于读出和输出。由于信号线（即位线）具有高的容性负载，故存储单元本身只能提供很小的差分信号，于是，要求用高效读出放大器来将相当小的差分信号转换成能被输出的信号。写入操作通常相反地进行，其中一个或更多个数据信号被接收并驱动到位于选定行上选定列中的存储单元。

因此，希望读出放大器能够读出小的差分信号且空间上是高效的。

图 1 示意图示出了一个存储器阵列。

图 2 是可用于本发明的存储单元的剖面图。

图 3 的表示出了根据本发明的存储器阵列的工作方法。

图 4 以局部方框图和局部平面图的形式示出了根据本发明的存储器组件。

图 5 以局部方框图、局部逻辑图和局部示意图的形式示出了与图 4 中存储器组件的读出有关的译码器和读出放大器部分。

图 6 示出了与导通和不导通存储单元读出周期相关的各个信号的时间图。

图 7 以方框图形式示出了用于图 4 的存储器组件的编程驱动器。

图 8 以局部逻辑图和局部示意图的形式示出了可用来实现图 5 和 7 所示电路各部分的具体电路。

图 9 以局部方框图、局部逻辑图和局部示意图的形式示出了根据本发明的一个控制栅驱动电路。

图 10 以示意图形式示出了可用来实现图 9 的脉冲电路部分的具体电路。

图 11 以局部方框图和局部示意图的形式示出了用来产生根据本发明的图 9 的控制栅驱动电路的电源电压的一个充电泵。

图 12 以局部方框图和局部示意图的形式示出了图 11 的一个电压倍增级。

图 13 示出了可用来理解图 12 的电压倍增级的工作的信号时间图。

图 14 示出了与图 11 的充电泵的各级相关的电容。

在本发明中，控制电路接收一个擦除电压、一个正的编程电压和一个负的编程电源。控制电路通过偏置电路产生偏置电压。在选定存储单

元的编程周期中，负的编程电源被加至控制栅线。在非选定存储单元的编程周期中，正的编程电压被加至控制栅线。在选定存储单元的擦除周期中，擦除电压被加至控制栅线。在读出周期中，偏置电压被加至控制栅线。

本发明提供了改善非易失存储器阵列的组间漏电与漏极干扰问题的方法。为了着手这些问题，先前所知的器件已修改了存储阵列的布局或调整了阵列中各存储单元的结构。但本发明却修改存储器阵列的工作方法而不是修改存储器单元的物理设计。

由于只改变了非易失存储器阵列的工作，故没有必要对存储器阵列的布局或单个存储单元的结构设计进行代价高昂的改变。由于本发明不包括对存储器阵列的修改，故不局限于特定的 EEPROM 单元结构。这就使本发明的编程和读出技术可用于各种非易失存储器阵列结构。现参照图 1 对根据本发明的非易失存储器阵列的编程方法进行详细描述。图 1 示出了存储器阵列 25，它由各带有一个隔离晶体管和一个浮栅晶体管的各单个存储单元组成。应该了解的是，图 1 是用来给出非易失存储器阵列的示意性代表，而本发明并不局限于这种结构或存储器阵列 25 中的存储单元数目。本发明许多特点中的一个特点是下述操作技术都与各种大小和结构的存储器阵列兼容。

在此特例中，存储器阵列 25 被安排成有二行存储单元，每行有 4 个单元。虚线框被用来表示存储器阵列 25 中二个特定存储单元的元件。对于下面的讨论，存储器阵列 25 包含一个选定的存储单元 10 和一个未被选定的存储单元 30。选定的存储单元 10 表示正被编程、擦除或读出的存储单元，而未被选定的单元 30 表示存储器阵列 25 中未被启动并且可能正经受漏极干扰现象影响的附近单元。

存储器阵列 25 中的各存储单元由控制栅线、隔离栅线、源极线和漏极线启动。在存储器阵列 25 的工作过程中，所有这些信号线将必要的电压电位提供给各存储单元的恰当部位。如前所述，本发明的各实施例不局限于某些存储单元结构。但为明了起见，将提供一种特定的存储单元结构作为可用于存储器阵列 25 的存储单元的例子。图 2 是可用来实现各存储单元位置的存储单元 10 的放大的剖面图。

如图 2 所示，存储单元 10 包含二个晶体管，一个隔离晶体管 22 和一个浮栅晶体管 23。在 1995 年 11 月 28 日授予 Chang 等人的美国专利 5,471,422（此处列为参考）中，描述了存储单元 10 的结构和制造。隔离晶体管 22 有一个用来调制源端 12 与漏端 13 之间的沟道的栅端 19。浮栅晶体管 23 有一个用介电材料 17 与浮栅结构 18 电隔离的栅端 21，且栅端 21 被用作控制栅以调制源端 13 和漏端 14 之间的沟道。注意，隔离晶体管 22 的漏端 13 还用作浮栅晶体管 23 的源端 13。晶体管 22 和 23 都制作在提供衬底 11 和栅端 19 以及浮栅结构 18 之间的电隔离的公共介电层 16 上。

先前已知的非易失存储器阵列通常包含由储存各存储单元的逻辑态的单个浮栅晶体管所组成的存储单元。这种存储器阵列通常构造成使特定列中的所有晶体管的漏电压被共用，并使栅电压被同一行中的所有晶体管共用。为了对单个存储单元进行编程，将负电压加至栅端，源极线接地，且正电压加至漏极线。在阵列结构中，只有被选定的浮栅晶体管会在栅极上有负电压并在漏极上有正电压，产生一个促进编程的大的电压差。但众所周知，与正被编程的存储单元处于同一列的其余浮栅晶体管也将在其漏极上有正电压。但这些未被选定的存储单元的栅端未加有负电压。因此，它们没有像正被编程的存储单元那样大的电压差，但仍将有大得足以引起漏极干扰问题的电压差。

本发明的编程技术借助于降低所有未被选定的存储单元的电压差来解决已知存储阵列的这一缺点。再参照图 1，对于下面的例子，被选定的存储单元 10 将被编程，而未被选定的存储单元 30 不被干扰。注意，大多数信号线由于被用来向这些结构提供电压电位，故有意地用与图 2 所用结构相同的元件号来标明。为了对根据本发明的选定的存储单元 10 进行编程，约为 -5~-15V 的负电压用控制栅线 21 加至栅端 21。漏极线 14 被用来将约为 0.1-10V 的正电压加至浮栅晶体管 23 的漏极端 14。隔离栅线 19 通常接地 (0V)，或具有低得足以关断隔离晶体管 22 的电压。由被选定的存储单元 10 和未被选定的存储单元 30 二者共用的源极线 12 的电压电位约为 -5~-5V。

至此，本发明不同于现有技术之处在于当被选定的存储单元 10 正被

编程和验证时，将不同的电压加至未被选定的存储单元 30 的各端。用控制栅线 32 将约为 0.1-10V 的电压加至未被选定的存储单元 30，而不是将未被选定的晶体管的栅端接地。由于栅端 32 的电压电位比栅端 21 的高约 0.1-20V，故大大改善了未被选定的存储单元 30 的漏极干扰问题。由于正电压被加至未被选定的栅极的栅端，而不是像现有技术那样接地，故沿未被选定的栅的漏极端的垂直场被明显地降低。

还需指出的是，本发明的编程技术不能用于各存储单元带有单独一个浮棚晶体管的已知存储器阵列。由于这些先前已知的存储单元没有隔离晶体管，故单个浮棚晶体管被暴露于存储器阵列中存在的所有的电压。若正电压被加至未被选定的存储单元的栅端，则此电压可能在所有浮棚晶体管的源与漏之间引起沟道。这一电流不仅可能消耗大量功率，且由于热载流子注入（HCl）而可能使未被选定的各晶体管变成被编程。

本发明的编程技术不仅保护未被选定的存储单元免于漏极干扰问题，而且还降低了从充电泵流出的电流。借助于降低所有未被选定的存储单元的漏端处的垂直电场，从衬底通至漏端的电流被明显地降低。这反过来又降低了编程程序中充电泵所需提供的电流。因此，本发明使得有可能用小的充电泵来设计非易失存储器阵列。这就降低了存储器阵列的最终制作成本。

本发明还提供了一旦选定的存储单元 10 被编程时，读取存储器阵列 25 的改进了的方法。为了读取储存在被选定的存储单元 10 中的数值，大约为 0.1-5V 的电压被加至漏极线 14 和控制栅线 21。电源电压 Vdd 被加至隔离栅线 19，而源极线 12 被接地。这些电压一旦被建立，就测量通过浮棚晶体管 23 的电流以确定存储单元 10 的状态。

先前所知的读出技术在读出过程中通常使未被选定的各存储器位置的栅端接地。即使在接地电位下，也有一定的泄漏电流流过各存储单元。在大的阵列结构中，这一寄生泄漏会增大读出操作的功耗。但本发明将一已知的电压电平加于未被选定的存储单元的隔离晶体管的栅端以确保这些存储单元不会导通。例如，隔离栅线 31 被接地以防止未被选定的存储单元 30 导通。这不仅降低了充电泵所需的电流，而且降低了存储器阵

列 25 的功耗。本发明的这一特点使未被选定的存储器位置可以处于任一电压电位。各未被选定的存储器位置由于被隔离晶体管电隔离而不引起泄漏电流。

图 3 示出了编程、擦除和读出操作过程中对被选定和未被选定的存储器单元的一组具体的条件。值得注意的是，此特例在本发明的范围内，但决不能认为图 3 是对本发明的限制。

图 4 以局部方框图和局部平面图的形式示出了根据本发明的存储器组件 400。存储器组件 400 通常包括一个控制和预译码部分 410、一个低压字译码部分 420 和 460、高压字译码部分 430 和 470、高压预译码部分 432 和 472、位单元阵列 440 和 480、以及读出放大器(amp)部分 450。控制和预译码部分 410 有一个用来接收地址和控制信息（标为“ADDRESS/CONTROL”）的输入、用来接通标为“DATA”的信号的一个双向端点、以及连接于低压字译码部分 420 和 460、高压预译码部分 432 和 472 及读出放大器部分 450 的各个输出。低压字译码部分 420 和 460 的各输出分别连接于位单元阵列 440 和位单元阵列 480，用来提供信号以选择位单元阵列 440 和 480 中的晶体管的栅极。高压预译码部分 432 和 472 的各输出分别连接于高压字译码部分 430 和高压字译码部分 470。高压字译码部分 430 和高压字译码部分 470 被连接于位单元阵列 440 和 480。

存储器组件 400 是一个带有左半位单元阵列 440 和右半位单元阵列 480 的快速 EEPROM 存储器阵列。每个位单元阵列包括位于各由控制栅线和选择栅线代表的各行与位线所代表的各列的交点处的存储单元。此位线连接于对 8 个列进行选择的读出放大器部分 450 的相应输入。在读出模式中，读出放大器部分 450 对来自 8 个被选择的位线的信号进行读取，且将读到的信号馈至响应后输出 DATA 的控制和预译码部分 410。在编程模式中，DATA 通过控制和预译码部分 410 被输入到读出放大器部分 450 并驱动到 8 个被选定的位线，用来编程到相应的存储单元。图 4 所示的是二个与图 1 的存储单元完全相同的代表性存储单元 10 和 30 因而标以相同的参考号。注意，在此讨论中，术语“选择栅”和“隔离栅”可交互地使用。漏端 14 和位于同一列中的其它存储单元的漏端被连接于

与读出放大器部分 450 相连的位线。与读出周期相关的是一个标为“IBIT”的位单元电流，此电流通常标为流入被选定的存储单元的方向，在理解下列更完整的读出周期的操作时是有用的。

在所示的实施例中，存储器组件 400 是一个适合于连接到微控制器磁心作为微控制器（未示出）部件的组件。但显然，存储器组件 400 也可采用为一个单芯片快速存储器。控制和预译码区 410 被用来连接于微控制器的内部总线，使其带有一个用来接收来自微控制器的地址和控制信号的输入和一个到微控制器内部总线的数据部位的双向连接。注意根据存储组件 400 的结构 DATA 可包括任意数目的信号，但在所示实施例中只包括 8 个数据信号。

控制和预译码区 410 执行几种功能。控制和预译码 410 包括用来启动存储器组件 400 不同部位的各种寄存器。这一操作包括（但不局限于）充电泵启动、写入启动和擦除启动。此外，控制和预译码区 410 还包括用来接收 ADDRESS/CONTROL 并执行对地址完全译码所要求的部分译码功能的逻辑。控制和预译码区 410 还包括用来选定包括与下面图 11 所示的充电泵 1120 相关的电压的各电源信号的路线的开关功能。响应于读出或编程周期，控制和预译码区 410 将预译码地址提供给用来进一步译码的低压字译码区 420 和 460。额外的译码被进一步执行以便完全被译码过的选择栅驱动信号得以从中输出。

此外，低压字译码区 420 和 460 将位单元阵列 440 和 480 上的预译码信号提供给高压字译码区 430 和 470。例如，图 4 示出了标为“预译码信号”的示例信号，它是低压字译码部分 420 提供给位单元阵列 440 上的高压字译码部分 430 的。借助于在阵列的二端之间分裂低和高压译码器并使预译码信号在位于在阵列中各存储单元的可得到的间距之中的信号线上传送，存储器 400 就减小了译码所需的电路面积。

高压预译码区 432 和 472 提供分别用于高压字译码区 430 和 470 中的高压信号。每个高压预译码区 432 和 472 接收包括 + 5V、+ 15V 和 - 12V 的三个输入电源电压，还接收一部分地址和各种控制信号。高压预译码区 432 和 472 响应于此而分别将高压预译码地址信号提供给高压字译码区 430 和 470。高压字译码区 430 和 470 从低压字译码区 420 和

460 以及高压预译码区 432 和 472 二者接收预译码信号，并反过来驱动选定行中的晶体管控制栅。控制栅被驱动至上面图 3 所述的适当的电压。

各个位单元阵列 440 和 480 包括位于存储器组件 400 的各半个中的字线与位线唯一交点处的各个位单元。例如，位单元阵列 440 和 480 都被组织成 256 字线乘以 512 位线。注意，对各个字线，采用了唯一的控制和选择栅信号。每个 512 位线为读出放大器部分 450 提供一个位线信号。位单元阵列 440 中所示的是一对对应于图 1 的存储单元 10 和 30 的代表性单元，因此用相同的参考号表示。

读出放大器部分 450 包括 64 个读出放大器且具有到控制和预译码部分 410 的双向连接。64 个读出放大器中的每一个被连接于 8 个位线，并根据来自预译码部分 410 的译码信息而在读出模式中执行 8 到 1 的复用功能。注意，在编程模式或擦除模式中，发生 1 到 8 的解复用功能。来自 64 个读出放大器的 8 重复用输出被进一步选择以提供一个 8 位输出。根据本发明的一种情况，在编程周期中，一部分读出放大器被进一步用来储存数据，从而节省了集成电路的面积，下面参照图 8 将更充分地加以描述。

在读出周期中，控制和预译码区 410 接收规定读出周期的输入地址和控制信号。在此周期中，控制和预译码区 410 确定选择左半阵列中的存储单元的一位还是选择右半阵列中的存储单元的一位，以致只有阵列 440 或阵列 480 被激活。在读出周期中，所有存储单元的控制栅都保持在一个恒定的电压电平。在所示的实施例中，这一恒定电平等于标为“ V_{SS} ”的电源电压加表示为“ V_{TP} ”的 P 沟阈值加上一个约等于 200mV 的小的附加电压。 V_{SS} 是一个标称值约为 0V 的更负的或接地电源电压端。对于未被选定的存储单元，隔离栅保持在 0V，而对于被选定的存储单元，隔离栅被驱动到标为“ V_{DD} ”的电源电压端的数值。 V_{DD} 是标称值为 2.7V（但根据本发明，其实际值可低至约 1.8V）的一个更正的电源电压端。这些电压选择位单元阵列的一个字线。例如，若存储单元 10 所在的字线待要被选择，则选择栅 1（SG1）可被驱动到电压 V_{DD} ，而控制栅 1（CG1）可保持在恒定电平。其结果是，存储单元 10 的导通将使位线 14 放电。但当存储单元 30 的控制栅 CG2 被保持在恒定（DC）

电平时，其隔离栅将被驱动到约为 0V。

在编程周期即写入周期中，控制和预译码区 410 接收表明写入周期正在进行的地址和控制信号，并同读出周期那样提供译码地址信号。但在写入周期中的数据流动是相反的。读出放大器部分 450 中的读出放大器借助于锁存输入数据并在选定的位线上驱动输入数据而起附加的作用。在写入周期中，借助于合适的高压字译码区 430 或 470，使被选定字线上的存储单元的隔离栅被驱动到 0V，而控制栅被驱动到 - 12V。但在未被选定的字线上的存储单元的隔离栅被驱动到 0V，而其控制栅被驱动到 3.5V。注意，3.5V 的电压是借助于使 5V 充电泵电压降低一个等于恰当尺寸的 N 沟晶体管的阈值 (V_{TN}) 的量而得到的。在读出周期中，隔离栅电压确定存储单元 10 是否处于激活字线中，而在编程周期中，控制栅电压确定单元 10 是否在激活字线中。

在擦除周期中，无论被选定的字线、被选定的字线区或整个位单元阵列均可被擦除。注意擦除选项的选择在各不同实施例中是不同的。在擦除周期中，控制栅上所驱动的电压决定着被选定字线中的存储单元是否将被擦除。被选定的字线中的存储单元的控制栅在足够长的时间内被高压字译码区 430 或 470 驱动到 15V。注意，加于被选定的字线上的存储单元控制栅上的这个 15V 电压必须维持约 50ms。在适用于与微控制器磁心一起使用的存储器组件 400 中，此 50ms 决定于微控制器磁心，它必须确保存储器组件 400 在这一时间过去之前不被访问。但若存储器组件 400 被做成独立存储器，则最好包含有一个用来测定擦除模式中所度过的时间的制作在芯片上的计时器。在擦除模式中，被选定的字线的隔离栅被驱动到电压 V_{DD} 。同时在擦除模式中，所有位线维持在 0V 电压。将隔离栅维持在 V_{DD} 可使跨越沟道的隧穿更为均匀并能改善可靠性。

图 5 以局部方框图、局部逻辑图和局部示意图的形式示出了图 4 的存储器组件的一个译码和读出放大器部分 500：读出放大器 500 是图 4 所示读出放大器 SA1 - SAN 中的任一个。读出放大器 500 包括译码逻辑部分 510 和 520、P 型 MOS 晶体管 542、544、562、564、倒相器 546 和 566、电流源 548、550、568 和 570、以及电压比较器 530。译码逻辑部分 510 有多个包括晶体管 512 和 513 的 N 型 MOS 晶体管、一

一个选择电路 515 以及一个阈值电压发生器 511。晶体管 512 有一个栅极、一个用来从位单元阵列 440 接收多个位线中的一个的第一电流电极以及一个第二电流电极。晶体管 513 有一个栅极、一个用来从位单元阵列 440 接收多个位线中的一个的第一电流电极以及一个第二电流电极。选择电路 515 有多个包括传输门 518 和 517 的传输门。传输门 518 有一个连接于控制和译码部分 410 的正负控制电极、一个连接于晶体管 513 的第二电流电极的第一电流电极以及一个连接于标为“INA”的节点 531 的第二电流电极。传输门 517 有一个连接于控制和译码部分 410 的正负控制电极、一个连接于晶体管 512 的第二电流电极的第一电流电极以及一个连接于节点 INA 531 的第二电流电极。

译码逻辑 520 有包括晶体管 522 和 523 的多个 N 型 MOS 晶体管、一个选择电路 525 以及一个阈值电压发生器 521。晶体管 522 有一个栅极、一个用来从位单元阵列 480 接收多个位线中的一个的第一电流电极以及一个第二电流电极。晶体管 523 有一个栅极、一个用来从位单元阵列 480 接收多个位线中的一个的第一电流电极以及一个第二电流电极。选择电路 525 有多个包括传输门 528 和 527 的传输门。传输门 528 有一个连接于控制和译码部分 410 的正负控制电极、一个连接于晶体管 523 的第二电流电极的第一电流电极以及一个连接于标为“INB”的节点 532 的第二电流电极。传输门 527 有一个连接于控制和译码部分 410 的正负控制电极、一个连接于晶体管 522 的第二电流电极的第一电流电极以及一个连接于节点 INB 的第二电流电极。

晶体管 542 有一个栅极、一个连接于 V_{DD} 的源极和一个漏极。晶体管 544 有一个连接于节点 INA 531 的栅极、一个连接于晶体管 542 的漏的源极以及一个连接于节点 INA 的漏极。倒相器 546 有一个用来接收标为“右阵列启动” 584 的信号的输入端以及一个连接于晶体管 542 的栅极的输出端。电流源 548 有一个用来接收信号左阵列启动 580 的启动输入端、一个连接于 V_{DD} 的第一电流端以及一个连接于节点 INA 531 的第二电流端。电流源 550 有一个用来接收信号右阵列启动 584 的启动输入端、一个连接于节点 INA 531 的第一电流端以及一个连接于 V_{SS} 的第二电流端。

P型MOS晶体管562有一个栅极、一个连接于V_{DD}的源极以及一个漏极。P型晶体管564有一个连接于节点INB的栅极、一个连接于晶体管562的漏极的源极以及一个连接于INB端的漏极。倒相器566有一个用来接收左阵列启动580的输入端以及一个连接于晶体管562的栅极的第二输出。电流源568有一个用来接收标为“右阵列启动584”的信号的启动端、一个连接于V_{DD}的第一电流端以及一个连接于节点INB的第二电流端。电流源570有一个用来接收标为“左阵列启动580”的信号的启动端、一个接地的第一电流端以及一个连接于节点INB的第二电流端。电压比较器530有一个用来接收标为“比较启动582”的信号的控制输入端、一个连接于节点INA的第一输入端、一个连接于节点INB的第二输入端以及一个用来提供标为“DATA OUT 534”的信号的输出端。

读出放大器500代表读出放大器450中的一个读出放大器的一部分。读出放大器500中所示的元件是与读出模式有关的读出放大器的那些部分。

在工作中，当读出周期开始时，电压比较器530二侧的节点531和532处的电压电平被图5中未示出的电路均衡为V_{DD}。借助于在节点INA531和节点INB532之间产生不同的放电速率，读出放大器500能够在电压比较器530处读到位单元中恰当储存的数据态并响应于此而驱动信号DATA OUT 534。

若节点INA531已被选定来接收来自位单元阵列440的信息，且已选定阵列440的一个非导通的位单元，则在节点INA531上可能不存在放电速率。结果，节点INA531就可能保持其预充电电平V_{DD}。但未被选定来接收来自位单元阵列480的信息的节点INB532可以以预定的速度放电，从而使电压比较器能够探测到节点INB532上较节点INA531更低的电压。根据这一比较，电压比较器530提供信号DATA OUT 534作为系统规定的逻辑电平高或逻辑电平低信号。

若节点INA531已被选定来接收来自位单元阵列440的信息，且已选定阵列440的一个导通的位单元，则节点INA531上可能出现放电速率。读出放大器500设计成使节点INA531处的放电速率大于节点INB

532 上的放电速率。放电速率的这一差异使电压比较器 530 能够探测到比节点 INB 532 上更低的节点 INA 531 上的电压。结果，当读到非导通的位单元时，电压比较器 530 就探测到与此读出应答的状态。

当数据从位单元阵列 440 读出时作为参考的节点 INB 532 的放电速率由当左阵列启动 580 被认定表明读出周期开始时启动的电流源 570 控制成基本上固定的速度。信号左阵列启动 580 的激活还启动在被选定时以给定速率向电荷节点 INA531 提供电流的电流源 548。电流源 548 向节点 INA 531 提供电荷的速率使当阵列 440 中的非导通位单元被选定时，节点 INA 531 保持预充电电压 V_{DD} 。此外，电流源 548 向节点 INA 531 提供电荷的速率的幅度不同于电流源 570 的放电速率，以致当导通的位被选定时，则节点 INA 531 上的放电速率大于节点 INB 532 上的放电速率。因此，电流源 548 的充电速率远远小于电流源 570 的放电速率。

电流源 548 和 570 的关系使电压比较器 530 在节点 INB 532 和/或节点 INA 531 放电时能够恰当地读出位单元的导通态。在放电发生在相当短的时间内的高频工作中，这一关系是有用的。若整个时间节点 531 和 532 可完全地放电到 0V，则读出放大器 500 有可能不能读出导通的位单元，从而使电压比较器 530 不能读出准确的数据。为了解决这一问题，读出放大器 500 包括一个由二极管连接的 P 沟晶体管 564 和启动 P 沟晶体管 562 组成的箝位电路。晶体管 562 和 564 将节点 INB 532 簈制到预定电压，从而防止电流源 570 使节点 532 完全地放电。其结果是，在低速系统中（其中的节点 531 和 532 完成放电），节点 INB 532 的电压电平将保持在高于节点 INA 531 的电压电平，其中的电压差能够被电压比较器 530 读出。相反，当非导通的位被读出时，节点 INB 532 将处于低于节点 INA 531 的电压。

为了用上述方法读出数据，必须将从阵列 440 中的位单元读出的电流转换成节点 INA 531 上的电压。读出放大器 500 达到这一读出功能的方法是借助于将电流至电压的转换功能与加载功能分开，并将它们分配在选择电路 515 的不同侧上而使极低的电源电压下的工作得以进行。读出放大器 500 借助于确保电压比较器 530 所读出的电压降的大小是最佳的（与较小电流产生电压降的现有技术相反）而使得能够低压工作。

当传输门 517 被选定时，这些元件中的电压转换关系就开始。注意，传输门 517 是左边位译码区 519 中 8 个传输线中的一个，它被译码逻辑控制以便从位单元阵列 440 选择 8 个位门中的一个。一旦被选择，来自被选定位线的读出电流就可流过由电压参考 511 偏置于 V_{ss} 以上二倍 N 沟阈值电平的 N 沟晶体管 512。这就使 N 沟晶体管 512 能够以相似于公共栅放大器（它具有低的输入阻抗和相当高的输出阻抗）的方式工作。晶体管 512 的低的输入阻抗特性容许晶体管 512 的位线侧能够在读出周期开始时迅速地预充电，而高的阻抗输出特性与电流源 548 的非常高的阻抗特性一起，使越过晶体管 512 到节点 INA 531 的电压增益很大。

由于读出放大器功能的分布，本实施例中的晶体管 512 为位线提供了低于现有技术所能提供的阻抗。以这种方式安置电流至电压转换器的优点是在传输门 517 上的电压降较小，所需位线充电时间较短，或只需较小的预充电晶体管。本发明对现有技术的另一优点是节点 INA 531 在读出周期开始之前被充电到 V_{DD} 。结果，当传输门 517 被选定后，传输门 517 的 P 沟栅 - 源电压是总的电源 V_{DD} 。这使电压传输门 517 的 P 沟部分完全导通。在现有技术中，栅 - 源被限制在 V_{DD} 减去位线工作电平，它提供非常接近器件阈值的栅驱动。其结果是，现有技术传输门工作于几近截止。本发明确保在低速工作存储周期中，节点 INA 531 可以完全地放电到地电位。没有门 517 的 N 沟部分，就不可能发生这种情况。

虽然上述讨论集中在从存储器阵列部分 440 的读出，但当从存储器阵列部分 480 读取数据时，电路也以相似而对称的方式工作。

图 6 示出了与导通的和非导通的存储单元二者的读出周期有关的各种信号的时间图，可用来了解图 5 的读出放大器 500 的工作。水平轴表示各图部的时间。导通位读出和非导通位读出各由 3 个图部表示。第一图部表示垂直存取的电压，第二图部表示电流，而第三图部表示比较器输出状态。

图 6 示出了图 5 所讨论的导通位读出和非导通位读出的信号关系。注意，虽然图 6 所示的信号的相对值可用来了解存储器组件 400 的工作，但它们不一定按比例绘出。在如前所述的导通位读出过程中，当在节点 INA 531 处读取数据时，节点 INB 532 处的电压电平的放电速率将不同

于节点 INA 531 处的信号的放电速率且不完全地放电到地电位。结果，电压比较器 530 借助于读出只被比较器 530 内部电压偏移改变的节点 INA 531 和节点 INB 532 之间的电压差就可读取被选定的存储单元的状态。

同样，图形 600 示出了与阵列 440 的称为“IBIT”612 的位单元有关的存储单元电流的图象；称为“S1”614 的通过电流源 548 和 568 的电流的图象；以及称为“S1”614 的通过电流源 550 和 570 的电流的图象。同样，在图 600 中还提供了非导通的位读出的图示信息。

图 7 以方框图的形式示出了用于图 4 的存储器组件 400 中的编程驱动器 700。编程驱动器 700 构成图 5 的读出放大器 500 的一部分且包括通常用于读出周期的元件以及只用于写入周期的元件。编程驱动器 700 包括一个图 5 的电压比较器 530 的一部分、一个程序驱动器 710、译码器 720 和 760、以及强制电路 740 和 780。与编程驱动器 700 有关的电压比较器 530 部分包括隔离电路 730 和 770 以及一个平衡锁存器 750。隔离电路 730 有一个连接于节点 731 的输入和一个连接于节点 INA 531 的输出。隔离电路 770 有一个连接于节点 771 的输入和端点 INB。平衡锁存器 750 有用来接收标为“READ LATCH”、“READ LATCHB”、“PROGRAM LATCH”、“PROGRAM LATCHB”的信号的控制输入端、连接于节点 731 和 771 的数据输入端以及用来提供信号数据输出 534 的输出端。

强制电路 740 有一个用来接收标为“DATA L” 的信号的输入端以及一个连接于节点 731 的输出端。强制电路 780 有一个用来接收标为“DATAR” 的信号的输入端以及一个连接于节点 771 的输出端。程序驱动器 710 有一个用来接收标为“VPGM”的充电泵参考电压的电压参考输入端、一个标为“IN1”的连接于节点 731 的第一输入端、一个标为“IN2”的连接于节点 771 的第二输入端、一个标为“OUT1”的用来提供标为“VOUTL”的第一输出信号的第一输出端、以及一个标为“OUT2”的用来提供标为“VOUTR”的信号的第二输出端。

在工作中，编程驱动器 700 包括与图 5 的读出放大器 500 共用的元件，节省了电路面积。如图 7 所示，电压比较器 530 也被用于编程模式

中，且包括一个平衡锁存器 750 和二个隔离电路 730 和 770。平衡锁存器 750 从强制电路 740 和 780 接收待要驱动到选定位线的数据。当在编程模式时，信号 DATA1 和 DATA2 以互补方式都被驱动。信号 DATA1 和 DATA2 中哪一个为真及哪一个为补，这依赖于哪半个阵列被选定。当标为“PGM LATCH”和“PGM LATCHB”的信号被激活时，这一状态被储存在锁存器中。被锁存的数据被程序驱动器 710 接收，它将恰当的电压电平提供给选定的位线所在的位线译码器。同样，在写入模式中，当右位单元阵列 480 被选定时，强制电路 780 将恰当的状态驱动到锁存器 740，且程序驱动器 710 将恰当的信号提供给位线译码器 760。

程序驱动器 710 用来在输入 IN1 和 IN2 处分别接收节点 731 和 771 上的信号且分别提供标为 OUT1 和 OUT2 的输出电压。OUT1 和 OUT2 处的电压处于比接收到的电压更高的电压电平。较高的电压电平决定于约为 5V 的输入电压信号 VPGM。由于程序驱动器 710 的工作，电压比较器 530 要求隔离电路 730 和 770 以免信号 OUT1 和 OUT2 的更高的电压对平衡锁存器 750 的电路的损坏。在编程周期中，被选定的存储单元的电流要求也明显地影响 VPGM 的电压，因此，用与 VPGM 隔开的稳定的 V_{DD} 电源来对平衡锁存器 750 供电是很重要的。电压比较器 530 的重复使用可减小电路面积并使编程驱动功能可在较小的间隔（亦即与读出放大器有关的 8 个位线的间距）内完成。

图 8 以局部逻辑图和局部示意图的形式示出了具体的电路，可用来实现图 5 的读出放大器 500 部分和图 7 的编程驱动器 700。由于图 8 的电路是这些电路的一个特例，故在图 8 的信号与图 5 的信号之间不一定存在一一对应的关系。例如，图 5 的信号比较启动 582 是用图 8 的互补信号 SALATB 和 SALAT 实现的。信号数据输出 534 由构成总线一部分的图 8 的互补信号 DATA1 和 DATA2 来实现。图 8 的信号 CDECL 和 CDECR 分别是图 5 的节点 INA 531 和节点 INB 532。在图 5 和 7 中相对应的其它元件用相同的参考号表示。

图 9 以局部方框图、局部逻辑图和局部示意图的形式示出了根据本发明的控制栅驱动电路 900。控制栅驱动电路 900 代表图 4 的高压字译码部分 430 的一部分。控制栅驱动电路 900 包括一个隔离电路/电平移位

器 910、一个电压参考开关 912、P 型 MOS 晶体管 925、932、934 和 936、一个偏置电路 920、一个擦除电源 914、一个正编程电源 916、一个负编程电源 930、一个脉冲电路 940 以及一个高压行译码器 950。

隔离电路 / 电平移位器 910 有一个用来接收标为“PROGRAM/EARSE DECODE”964 的信号的第一输入端、一个用来接收标为“读信号”962 的信号的第二输入端、一个第一电压参考端、一个连接于地电位的第二电压参考端以及一个输出端。电压参考开关 912 有一个第一输入电压参考端、一个第二输入电压参考端和一个第三输入电压参考端、以及一个连接起来将电压参考输出提供给隔离电路 910 的第一电压参考端的输出端。

晶体管 925 有一个连接于地电位的栅、一个连接于地电位的漏、一个连接于电压参考开关 912 的第一输入电压参考端的源以及一个体端。偏置电路 920 有一个连接于晶体管 925 的源的第一端和一个连接于晶体管 925 的体端的第二端。偏置电路 920 包括电阻器 921 和 922。电阻器 921 的第一端连接于 V_{DD} ，而第二端连接于晶体管 925 的体电极。电阻器 922 的第一端连接于电阻器 921 的第二端，而第二端连接于晶体管 925 的源。

擦除电源 914 的第一端连接于地参考电位，而第二端连接于电压参考开关 912 的第二电压参考输入。正编程电源 916 的第一电压端连接于地参考电位，而第二电压参考端连接于电压参考开关 912 的第三输入电压参考端。晶体管 936 的栅连接于地参考电位、第一电流电极连接于隔离电路 912 的输出端、第二电流电极连接于被选定行上的晶体管的控制栅，而体电极连接于第一电流电极。晶体管 934 有一个栅、一个第一电流电极、一个连接于晶体管 936 的第二电流电极的第二电流电极、以及一个连接于晶体管 936 的第一电流电极的体电极。晶体管 932 有一个栅、一个第一电流电极、一个连接于晶体管 934 的第一电流电极的第二电流电极、以及一个连接于晶体管 936 的第一电流电极的体电极。负编程电源 930 的第一端连接于地电源，而第二端连接于晶体管 932 的第一电流电极。脉冲电路 940 有一个用来接收标为“译码地址”的信号的输入，并有一个连接于晶体管 932 的栅的第一输出端和一个连接于晶体管 934

的栅的第二输出端。高压行译码器 950 用来接收标为“地址 960”的信号，而输出用来将译码地址提供给脉冲电路 940。

注意，如图 9 所示，控制栅驱动电路 900 包括部分高压预译码区 432 和高压字译码器 430。但在其它实施例中对这些功能的指定可能是不同的。因此，认识到控制栅驱动电路 900 整体执行的功能是重要的。

在工作中，控制栅驱动电路 900 如图 3 的规定以及进一步参照图 4 驱动控制栅。在读出模式中，电压参考开关 912 被设置于第一位置，以便电连接到晶体管 925 的源。同样在读出模式中，读信号 962 是激活的，使隔离电路/电平移位器 910 在其输出端提供一个等于第一电压参考端上的电压的电压。此电压等于晶体管 925 的 P 沟阈值电压加上一个小的附加量。此小的附加量决定于电阻器 921 和 922 的相对大小以及晶体管 925 的特性。偏置电路 920 利用 MOSFET 的体效应使晶体管 925 的阈值稍许提高；于是，二极管式连接的晶体管 925 的源极处的电压就稍许高于使晶体管 936 导通所需求的在其源极处的电压。由于晶体管 925 和晶体管 936 之间的偏置增量差，晶体管 936 就变成稍许导通。使晶体管 936 稍许导通的这一控制借助于通过偏置电路 920 而使晶体管 925 的体偏置于稍高于源以及在晶体管 925 和 936 之间形成匹配而达到。晶体管 925 和 936 最好有相同的栅宽和栅长尺寸并在集成电路上沿相同的方向取向。此外，最好选择小的附加电压以确保晶体管 936 对所有可预见的工艺变化都变成导通。

在擦除模式中，电压参考开关 912 被设置于第二位置以使电连接擦除电源 914 和隔离电路/电平移位器 910 的第一电压参考端。由于在擦除模式中读信号 962 是不激活的，故隔离电路电平移位器 910 是否将 + 15V 提供给控制栅就决定于 PGM/ERASE DECODE SIGNAL 964。PGM/ERASE DECODE SIGNAL 964 代表从低压字译码区 420 或 460 所接收到的编程/擦除信号与预译码信号二者的一个逻辑组合。在擦除模式中，若 PGM/ERASE DECODE SIGNAL 964 是激活的，则控制栅驱动器 900 将相应的控制栅驱动到擦除电源 914 所产生的 + 15V。

在编程模式中，电压参考开关 912 被设置于第三位置以便电连接正编程电源 916 和隔离电路/电平移位器 910 的第一电压参考端。与擦除模

式不同的是，当相应的控制栅不位于被选定的行上时，在编程模式中信号 PGM/ERASE DECODE 964 是激活的。在驱动一个未被选定的行时，隔离电路/电平移位器 910 驱动一个正编程电源 916 所提供的等于 3.5V 的电压。加于晶体管 936 的第一电流电极的这一 3.5V 的信号使晶体管 936 变为导通，从而将 3.5V 的电压提供给未被选定编程的单元的控制栅。

当信号 PGM/ERASE DECODE 964 不激活时，表明相应的控制栅位于被选定的行上，隔离电路/电平移位器 910 将 Vss 驱动到晶体管 936 的第一电流电极，使晶体管 936 不导通。同时，高压行译码器 950 将信号译码地址激活到脉冲电路 940。脉冲电路 940 使晶体管 932 和 934 导通，使负编程电源 930 连接到控制栅。注意，当以这种方式选择时，晶体管 936 起隔离晶体管的作用，防止负编程电源 930 所提供的 -12V 到达隔离电路/电平移位器 910 的输出端。

借助于向未被选定编程的单元提供 3.5V 偏压，控制栅驱动电路 900 实现了二个目的。首先，降低了受浮栅边缘附近电场影响的位单元结泄漏电流部分。泄漏电流的这一降低反过来又降低了所要求的编程电源的电流。控制栅驱动电路 900 在未被选定的控制栅上也使用 3.5V 偏压来降低被选定编程的位线上未被选定的单元的隧道氧化物上的电场。这就降低了位线电压对储存在正被编程的位线中未被选定的单元上的数据状态的干扰速率。

负编程电源 930、正编程电源 916 以及擦除电压 914 对左半个位单元阵列 440 和右半个位单元阵列 480 是共用的。在高压字译码区 430 中有四个晶体管，以晶体管 932 为代表。而且，对应于每个字线有一个晶体管，相当于晶体管 934。

脉冲电路 940 将脉冲流提供给选择晶体管 932 和 934，以逐渐地在被选定的字线上形成 -12V 的编程电压，而不是在编程模式中向选定的字线提供连续的激活信号。由于连接负编程电源 930 的电路不在读出模式的关键速度路径中，故不需要使速度最大化，此速度即可使脉冲电路 940 逐渐地形成所需的 -12V。此外，晶体管 932 和 934 可做得更小。在所示实施例中，晶体管 934 小得足以安置在存储单元的间距中。而且，这一脉冲作用还使产生或用作负编程电源 930 的充电泵中的各个电容器

可以做得更小。

图 10 以示意的形式示出了可用来实现图 9 的脉冲电路 940 的一部分的具体电路。注意此电路只是一个例子，也可采用其它的电路。图 10 还示出了晶体管 934 和 P 沟晶体管 1002。晶体管 1002 相似于晶体管 934，但它驱动不同于晶体管 934 所驱动的字线上的控制栅。晶体管 934 提供标为“CG0”的控制栅驱动信号，而晶体管 1002 提供标为“CG1”的不同的控制栅信号。作为本发明的具体实现，在图 10 各信号与图 9 各信号之间没有必要存在一一对应关系。

图 11 以局部方框图和局部示意的形式示出了用来产生根据本发明的图 9 的控制栅驱动电路 900 的电源的充电泵 1120。充电泵 1120 包括一个非线性级 1130、一个参考电压发生级 1140 以及线性级 1150 和 1160。电压参考发生电路 1140 连接于第一电压参考端 (V_{DD})，并产生标为“ V_Z ”的参考电压。 V_{DD} 是一个更正的电源端，其标称值为 2.7V，但也可更低得多。级 1130 连接于 V_{DD} ，它接收参考电压 V_Z 和标为“PROGRAM/ERASE CONTROL”的信号，并产生标为“PROGRAM VOLTAGE 1”的信号以及标为“ ϕA ”、“ ϕB ”、“ ϕC ”和“ ϕD ”的信号。线性级 1150 接收信号 ϕC 、 ϕD 和 PROGRAM VOLTAGE 1，并产生标为“ERASE VOLTAGE”的输出信号。线性级 1160 接收信号 ϕA 和 ϕB 并产生标为“PROGRAM VLOTAGE 2”的信号。如图 3 所示，PROGRAM VOLTAGE 1 约为 5V，而 PROGRAM VOLTAGE 2 约为 -12V，因而它们都适合于用来对图 1 的 EEPROM 单元进行编程。ERASE VOLTAGE 也被设置于约 15.5V。

非线性级 1130 包括：一个稳压倍增级 1132，它有一个连接于 V_{DD} 的输入、一个标为“ V_Z ”的用来接收电压参考信号的输入、以及一个用来产生大约二倍于输入处接收到的电压的输出电压的输出；一个电压倍增级 1134，它有一个连接于级 1132 的输出的输入、一个标为“ V_Z ”的用来接收电压参考信号的输入、以及一个用来产生大约二倍于输入处接收到的电压的输出电压的输出；一个电压倍增级 1136，它有一个连接于级 1134 的输出的输入、一个标为“ V_Z ”的用来接收电压参考信号的输入、一个用来产生信号 PROGRAM VOLTAGE 1 和相位信号 ϕA 、 ϕB 、

ϕC 、 ϕD 的输出。

电压 V_Z 最好选择成限制任何一级产生 PROGRAM VOLTAGE 1 所要求的 5V 以上的输出。在本发明的本实施例中，当各级都接收相同的电压 V_Z 时，每级接收相同的电压参考。在不同的实施例中，可对各级采用不同的参考电压。稳压倍增级 1136 产生一系列电压幅度约等于 PROGRAM VOLTAGE 1 的驱动信号。这些驱动信号被用来为线性级 1150 和 1160 提供定时和功率。

电压参考发生电路 1140 包括连接于稳压倍增级 1144 的稳压倍增级 1142。级 1144 连接于线性级 1146。级 1146 连接于电流旁路稳压二极管 1148，1148 连接于标为“ V_{SS} ”的电源端。 V_{SS} 的标称值通常为 0V，这低于 V_{DD} 电位。稳压倍增级 1142 和 1144 以非稳压方式被采用。级 1144 同级 1142 一样会使其输入处提供的电压倍增。同样，线性级 1146 也是不稳压的。但对本技术领域的熟练人员来说，显然，为了防止其固有的晶体管击穿，级 1142、1144 和 1146 中的任一级可能需要二次稳压。显然，根据给定应用的电流和面积限制，级 1142、1144 和 1146 可以是线性与电压倍增级的各种组合。为了充电泵 1120 的效果，必需为级 1142、1144 和 1146 产生足以将二极管 1148 偏置成击穿的电压 V_Z ，从而产生参考电压 V_Z 。

线性级 1150 和 1160 分别用来产生 ERASE VOLTAGE 和 PROGRAM VOLTAGE 2。级 1150 和 1160 是本技术领域熟知的迪克森（Dickson）型线性充电泵。

图 12 以局部方框图和局部示意的形式示出了电压倍增级 1132。注意电压倍增级 1132 可用作图 11 中的其它电压倍增级的一个。电压倍增级 1132 包括电容器 1282（C1）、1292（C2）和 1204（C3）、P 型晶体管 1283、1284、1285、1286、1293、1294、1295、1296 和 1202、N 型晶体管 1287、1297 和 1206 以及电平移位器 1270。电容器 C1 有一个第一电极和一个第二电极。P 型晶体管 1283 有一个用来接收标为“CK3”的信号的控制电极、一个第一电流电极、一个连接于电容器 C1 的第一电极的第二电流电极、以及一个连接于其第一电流电极的 N 型体端。晶体管 1284 有一个连接起来以接收标为 CK7 的信号的控制

电极、一个第一电流电极、一个连接于电容器 C1 的第一电极的第二电流电极、以及一个连接于晶体管 1283 的体端的 N 型体端。 P 型晶体管 1285 有一个连接起来以接收标为 CK6 的信号的控制电极、一个连接于晶体管 1284 的第二电流电极的第一电流电极、一个连接起来以接收标为 “ V_{IN} ” 的输入电压的第二电流电极、以及一个连接于 P 型晶体管 1283 的 N 体端的 N 体端。 P 型晶体管 1286 有一个连接起来以接收标为 CK5 的信号的控制栅、一个连接于晶体管 1285 的第二电流电极的第一电流电极、一个连接于 C1 的第二电极的第二电流电极、以及一个连接起来以接收输入电压 V_{IN} 的 N 体端。晶体管 1287 有一个连接起来以接收标为 CK1 的信号的控制电极、一个连接于晶体管 1286 的第二电流电极的第一电流电极、以及一个连接于第一电压参考端的第二电流电极。晶体管 1294 有一个连接起来以接收标为 CK8 的信号的控制电极、一个连接于晶体管 1284 的第一电流电极的第一电流电极、一个第二电流电极、以及一个连接于 P 型晶体管 1283 的 N 体端的 N 体端。 P 型晶体管 1295 有一个连接于晶体管 1286 的控制电极的控制电极、一个连接于晶体管 1294 的第二电流电极的第一电流电极、一个连接起来以接收 V_{IN} 的第二电流电极、以及一个连接于晶体管 1283 的 N 体端的 N 体端。 P 型晶体管 1296 有一个连接于晶体管 1285 的控制电极的控制电极、一个连接于晶体管 1295 的第二电流电极的第一电流电极、一个第二电流电极、以及一个连接起来以接收 V_{IN} 的 N 体端。晶体管 1297 有一个连接起来以接收标为 CK2 的信号的控制电极、一个连接于晶体管 1296 的第二电流电极的第一电流电极、以及一个连接于第一电压参考端的第二电流电极。 C2 有一个连接于晶体管 1294 的第二电流电极的第一电极以及一个连接于晶体管 1296 的第二电流电极的第二电极。晶体管 1293 有一个连接起来以接收标为 CK4 的时钟信号的控制节点、一个连接于晶体管 1283 的第一电流电极的第一电流电极、一个连接于 C2 的第一电极的第二电流电极、以及一个连接于晶体管 1283 的 N 体端的 N 体端。

晶体管 1202 有一个连接于第一电压参考端的控制电极、一个连接于晶体管 1283 的第一电流电极的第一电流电极、一个连接于晶体管 1294 的第一电流电极的第二电流电极、以及一个连接于晶体管 1283 的 N 体端

的 N 体端。电容器 C3 有一个连接于晶体管 1202 的第二电流电极并在其上提供标为“UNREGULATED OUTPUT VOLTAGE”的信号的第一电极以及一个连接于第一电压参考端的第二电极。晶体管 1206 有一个连接起来以接收电压 V_Z 的控制电极、一个连接于 C3 的第一电极的第一电流电极以及一个用来提供标为“REGULATED OUTPUT VOLTAGE”的输出的第二电流电极。电平移位器 1270 连接于晶体管 1206 的第一电流电极，接收 V_{IN} 、 $\phi_1 - \phi_4$ ，并产生信号 CK3、CK4、CK5、CK6、CK7 和 CK8。

在工作中，电压参考电路 1140 将参考电压 V_Z 提供给非线性级 1130 的各个电压倍增级 1132、1134 和 1136。由于 V_Z 只提供一个电压参考，故电路 1140 只需提供小量的电荷。非线性级 1130 提供 PROGRAM VOLTAGE 1，从而提供外部负载（未示出）所需的电荷。借助于非线性级，由于在这些第一级中的电压明显地更低而能够在半导体器件上制作介电层更薄的第一级电容器。正如下面参照图 14 将要描述的那样，较薄的介电层使电容器可具有更大的电容量。这就可使充电泵占用较小的半导体面积。

图 13 示出了信号的时间图，可用来理解图 12 的电压倍增级 1132 的工作。图 12 示出了控制图 12 的稳压倍增级 1132 的工作的信号 $\phi_1 - \phi_4$ 以及 CK1 – CK8 的时间关系。现同图 12 一起来考虑图 13，在时钟周期的一个特定时间即部位，各时钟信号或为激活或为不激活。时钟周期各部位表为 t1、t2、t3 和 t4。在 t1 和 t2 期间，CK1 是激活高。在 t1 期间，CK4 是激活低。在时间 t1，CK6 是激活低。在时间 t1，CK8 是激活低。在时间 t3 和 t4，CK2 是激活高，在时间 t3，CK3 是激活低。在时间 t3，CK5 是激活低。在时间 t3，CK7 是激活低。注意，图 13 中各箭头表明在时间 t2 或 t4 中的基本相似的时间何时出现边界但实际上跟随着发生在基本相同时间处的另一边界。例如，CK4 在时间 t2 的上升沿发生在 t2 时间 CK6 的上升沿之后。实际上这就保证了受 CK6 控制的晶体管在 CK4 信号被称为不激活之前已转变。CK1 和 CK2 分别在时间 t2 和 t4 结束处转变到激活低。图 13 的时间使电容器 1282 和 1292 在通过晶体管 1206 而提供 REGULATED OUTPUT VOLTAGE 的同时能够被

输入信号交替地充电。

在 t1 期间，一旦得到一个稳态条件，电容器 C1 就被充电，同时电容器 C2 被放电。由于晶体管 1285 和 1287 被驱动到激活，同时晶体管 1284、1286 和 1283 被驱动为不激活，故方便了电容器 C1 的充电。这使电容器 C1 连接在 V_{IN} 与第一电压参考之间，同时将电容器 C1 隔离于电路 1132 的其余部分。结果，电荷流入 C1 直至被充电到电压 V_{IN} 即周期结束。在 t3 期间，电容器 C2 以相似的方式被充电到 V_{IN} 。

在 t1 期间，C2 产生为获取 UNREGULATED OUTPUT VOLTAGE 所需的被加倍的电压。晶体管 1293、1296 和 1294 被驱动到激活而晶体管 1297、1295、1284、1286 被驱动到不激活就方便了这一点。这使 C2 连接在 UNREGULATED OUTPUT VOLTAGE 端和 V_{IN} 之间，同时将电容器 C2 隔离于电路 1132 的其余部分。在晶体管 1294 的第一电极处产生的电压（它代表不稳压的输出电压）是 C2 上的电压与 V_{IN} 相加。如前所述，C2 上的电压约为 V_{IN} ，故产生一个二倍 V_{IN} 的电压。不稳压的输出电压被由基本上恒定的信号 V_Z 偏置的晶体管 1206 调整，以产生 REGULATED OUTPUT VOLTAGE。在 t3 期间，电容器 C1 以相似的方式被连接在 V_{IN} 与输出端之间。

在 t2 期间，为了防止电荷在晶体管 1286 和 1287 共用的电极处注入，必须保持晶体管 1287 处于激活态。这确保了电极处于地电位，从而确保电极所代表的漏 - 衬底结不被正向偏置，例如，借助于确保晶体管 1284、1285 和 1286 在晶体管 1287 变为不激活之前已完全转变，就避免了衬底结正向偏置的可能性。同样，当晶体管 1294、1295 和 1296 在 t4 期间正转变时，为了避免晶体管 1296 和 1297 共用的节点上的相同效应，要确保晶体管 1297 处于激活态。

晶体管 1283、1284、1285、1293、1294、1295 和 1202 具有一个公用的 N 体端。根据本发明一个实施例的 N 体端实际上是一个 N 孑。此 N 孓通过分别在 t3 和 t1 期间处于激活态的晶体管 1283 和 1293 而被充电到 UNREGULATED OUTPUT VOLTAGE。晶体管 1202 是一个用来确保 N 孖电压不上升到明显高于 REGULATED OUTPUT VOLTAGE 并保持于此一个长时间的弱晶体管。例如，在起动时即当输

出负载被加于充电泵的输出时，可能存在 N 极被充电到明显高于 UNREGULATED OUTPUT VOLTAGE 的情况。这种电压差使 MOS 晶体管变得更不导通。如果维持下去，这种情况可能降低泵的总输出。因此，晶体管 1202 确保任何电压差的性质只是过渡性的。借助于将 N 体驱动到 UNREGULATED OUPUT VOLTAGE 并且不使其随每一周期充放电，由于没有与阱相关的容性寄生所造成的电荷损失而增大了效率。

在 t2 和 t4 期间，有可能有段时间 CK4 已转变而 CK1 未转变。此时，REGULATED OUTPUT VOLTAGE 不可能从 C1 或 C2 接收其电压，因此，为了在此时填补空白，需要电容器 C3 来供应 t2 和 t4 期间电平移位器所需的任何电荷。通常，由于 t2 所代表的时间比 t1 短得多，故电容器 C3 比电容器 C1 和 C2 小得多。同样，C3 在 t4 期间也提供所需的电压。

电位移位器 1270 接收如图 13 所示的信号 $\phi_1 - \phi_4$ 。 ϕ_1 代表 t1 期间的一个激活信号。 ϕ_2 代表 t2 期间的一个激活信号。 ϕ_3 代表 t3 期间的一个激活信号。 ϕ_4 代表 t4 期间的一个激活信号。这些信号被组合在一起以产生 CK1 - CK8 的恰当的激活信号和不激活信号。CK1 和 CK2 有 0V 或地电位的不激活低电压以及激活的高压参考 V_{DD} 。CK3 - CK8 具有等于 0 即接地的激活的或不激活的低信号，而激活的或不激活的高态等于出现在电容器 C3 的第一电极处的 UNREGULATED OUTPUT VOLTAGE。此外，CK1 和 CK2 分别借助于组合信号 ϕ_1 和 ϕ_2 以及信号 ϕ_3 和 ϕ_4 而产生。电平移位器就这样施加所需的恰当的电压电平以驱动图 11 中充电泵 1120 中的各级。

反过来参照图 11，用图 12 的稳压倍增级电路 1132 来实现级 1142 和 1144。但方框 1144 被示为驱动二个信号 (ϕ_5 和 ϕ_6) 以驱动 Dickson 型级 1146。由于 Dickson 级 1146 的要求，信号 ϕ_5 和 ϕ_6 必须基本上等于级 1144 的偏压或输出电压。当满足此条件时，带有三个内部级的 Dickson 级 1146 能够提供高达四倍于其输入电压的输出电压，但无论如何要限制在二极管 1148 的击穿电压之内。

非线性级 1130 的级 1132、1134 和 1136 采用图 12 的稳压倍增级电路 1132。在这些情况的每种情况下，调整电压 V_Z 将任何一级所产生

的电压限制为 5V。非线性级 1130 的末级提供额外的相位信号 ϕA 、 ϕB 、 ϕC 和 ϕD 。这里信号利用二个连接在 REGULATED OUTPUT VOLTAGE 节点和地之间的 N 和 P 晶体管对（未示出）从电路 1132 产生。时间由图 13 中的时间信号控制。N 和 P 晶体管中哪一对被选定，实际上由 PROGRAM/ERASE CONTROL 信号控制。被选定的 N 和 P 晶体管对将产生所需的应答输出信号，使 Dickson 型充电泵 1150 和 1160 得以工作。应该指出的是，级 1150 和级 1160 的工作是相互排他的，即在任一给定时间只有一个级被驱动。

为了估计各稳压倍增级 1132、1134、1136、1142 和 1148 中每一级的 C1 和 C2 的电容值，可利用下列公式：

$$\text{式 1: } Q = I_{\text{out}}/\text{Freq};$$

$$\text{式 2: } V(n) = V_{\text{DD}} * (V_{\text{out}}/V_{\text{DD}})^{**}(n/N);$$

$$\text{式 3: } V_C(n) = 2 * V(n-1) - V(n);$$

$$\text{式 4: } C(n) = QE12 * ((2^{**}(N-n))^*(\text{eff}^{**}(n-1-N)))/V_C(n);$$

$$\text{式 5: } C_{\text{total}}(N) = \sum_{n=1}^N C(n).$$

其中 V_{DD} 是电源电压；

N 是充电泵中的级数；

I_{out} 是所需的输出电流；

V_{out} 是所需的输出电压；

eff 是电路的效率；

Freq 是充电泵的开关频率。

式 1 表示充电泵输出处可获得的电荷量。式 2 表示若各级的大小产生均匀的级间增益时，在给定级 n 的输出处的电压。式 3 是给定级在激励周期中（它包括诸如 C1 或 C2 之类的电容器的充放电）的电容器上的电压变化。式 4 是给定级和充电泵的总电容（单位为 pf）。数值 $C(n)$ 是 C1 和 C2 电容之和。通常 C1 和 C2 基本相似。例如，对于 1.8V 的 V_{DD} 和三级充电泵，要求 1 μ A 的输出电流且要求 4.5V 的输出电压，用 1MHz 的时钟信号和 98 % 的电路效率，每 μ A 输出电流的第一级电容值为 3.7pf。第二级每 μ A 输出电流将要求 1.3pf 的电容，而第三级每 μ A 输出

电流要求 0.5pf 电容。这可能是 C1 和 C2 电容组合所需的电容值。

上述的选定电容值显示了采用本发明的非线性充电泵的优点。第 1 级的电容器明显地大于第 2 级或第 3 级合起来所要求的电容器。图 14 示出了这一关系，以图示形式示出了与图 11 的充电泵 1120 中各级有关的电容。其优点是第一级的工作电压显著地低于第二级和第三级的工作电压，从而可在电容器 C1 和制作中采用更薄的介电层。例如，在本发明的一个实施例中，电容器 C1 的介电层可与位单元中所用的隧道氧化物介质一样厚。由于相关的电压更高，这就可以用比在级 C2 和 C3 中由于与它们相关的较高电压而要求使用厚膜介质情况下更小得多的表面积来制作电容器。

虽然本发明已在最佳实施例中加以描述，但对本技术领域熟练人员来说，显然可用各种方式对本发明进行修改并可提出除上述特例外的许多实施例。例如，可用其它的电压电平来对存储单元编程，或用控制电路来控制不同数目的控制栅。因此，所附权利要求被认为覆盖了本发明构思与范围内的所有修改。

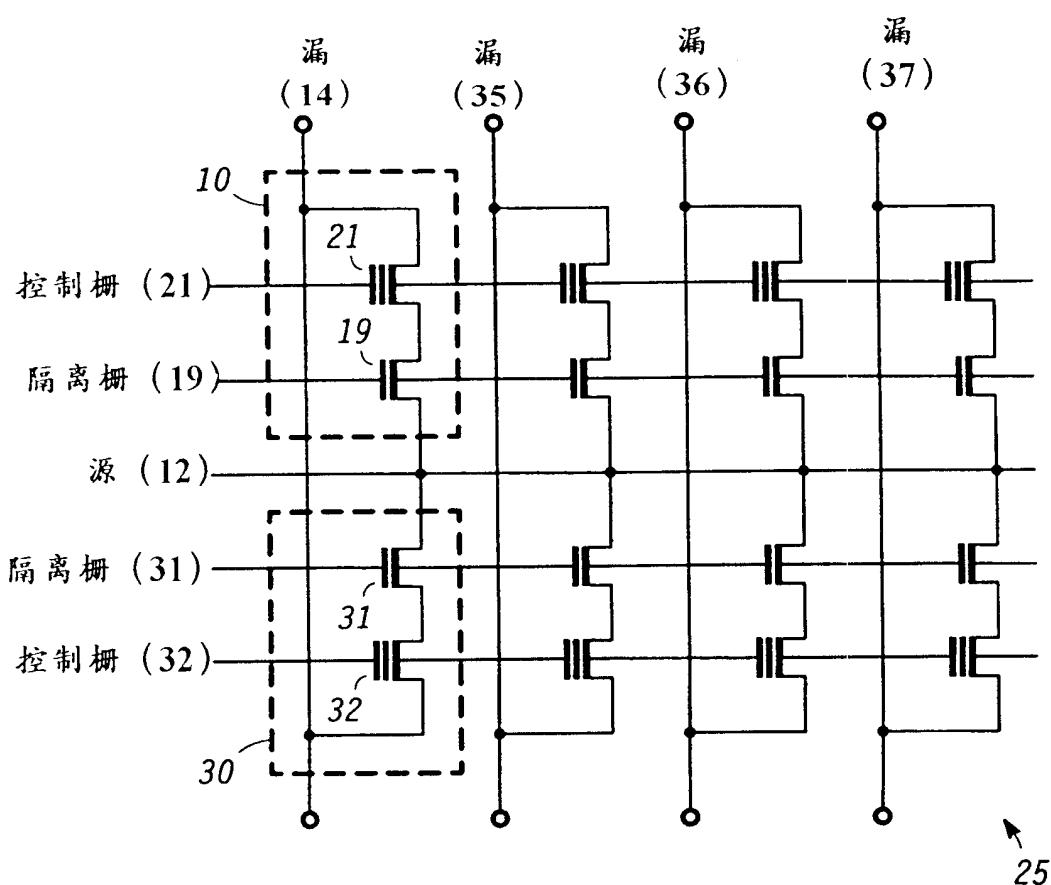
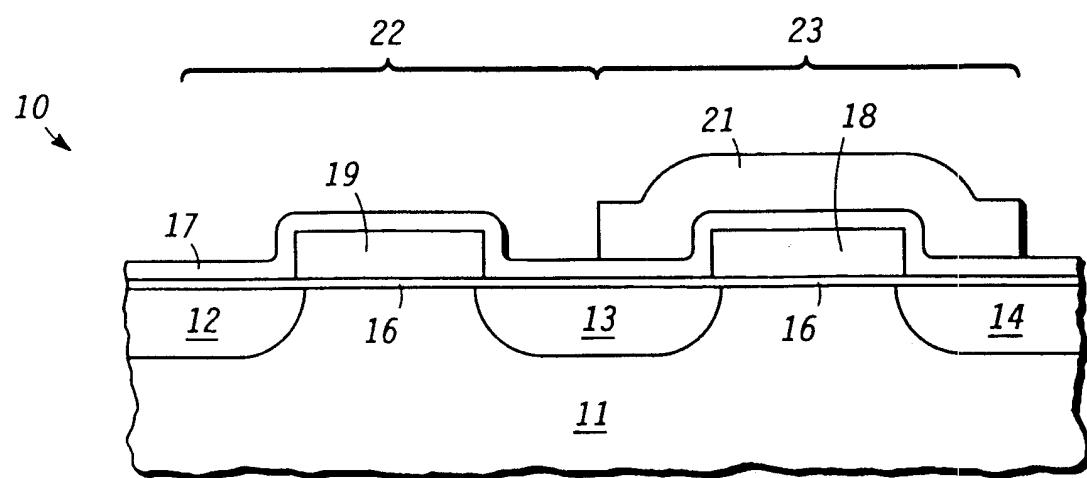


图 1

图 2



所加电压 (V)		被选定的存储单元				未被选定的存储单元			
		源	隔离栅	控制栅	漏	源	隔离栅	控制栅	漏
编程	0	0	0	-12	5	0	0	3.5	5
擦除	0	V _{DD}	15	0	0	0	0	0	0
读出	0	V _{DD}	0-2	1	0	0	0	0-2	1

图 3

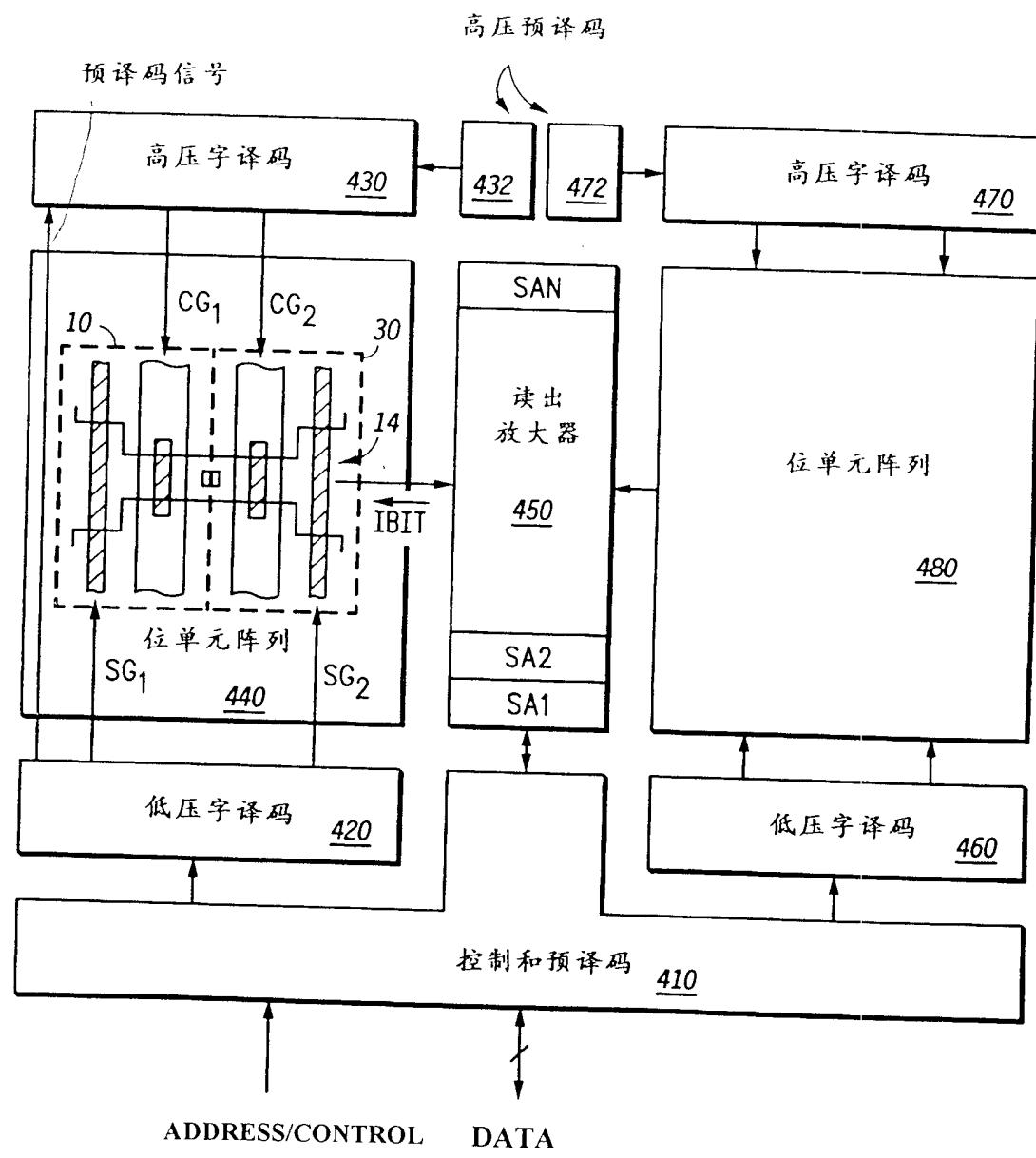


图 4

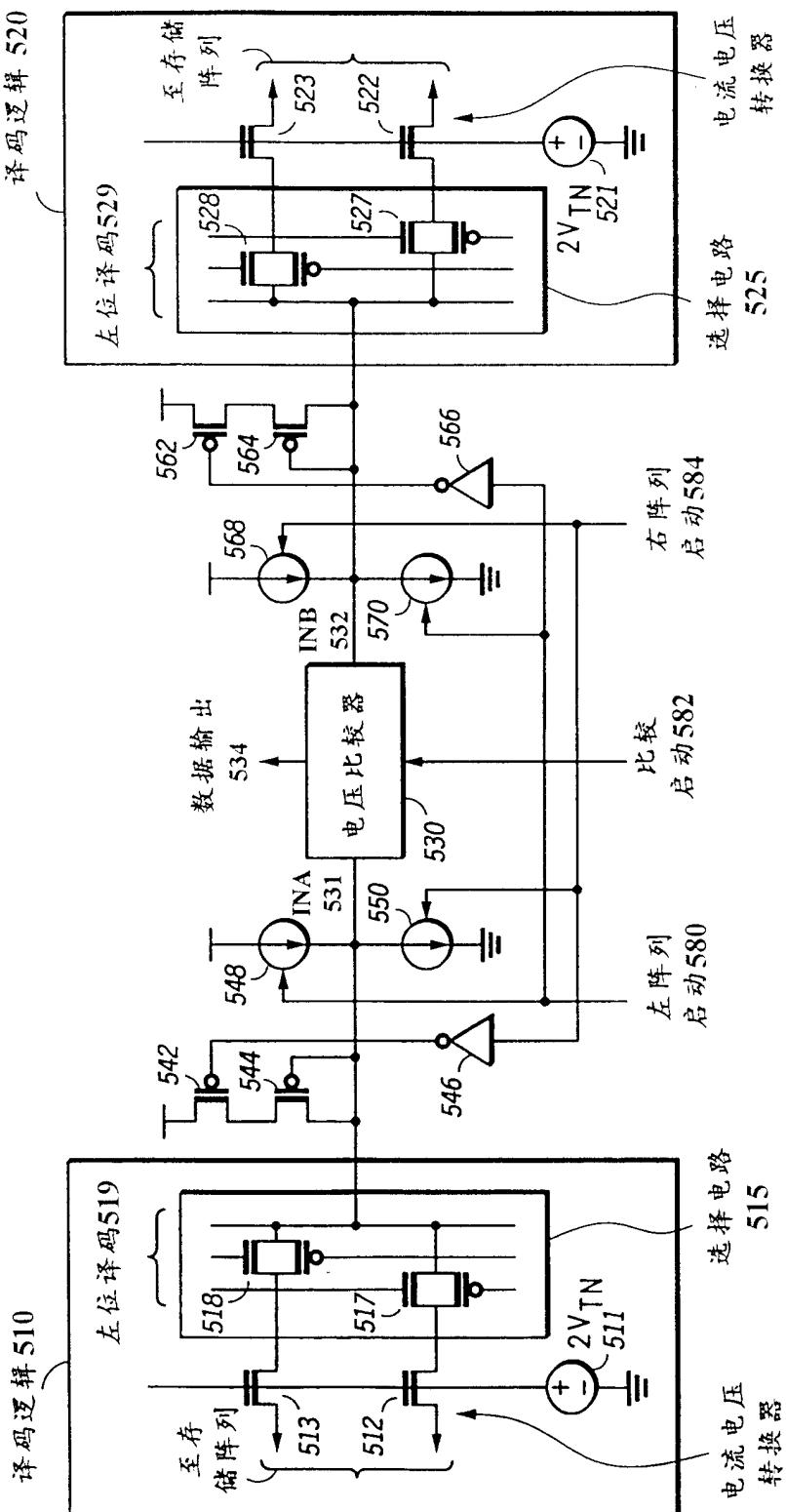


图 5

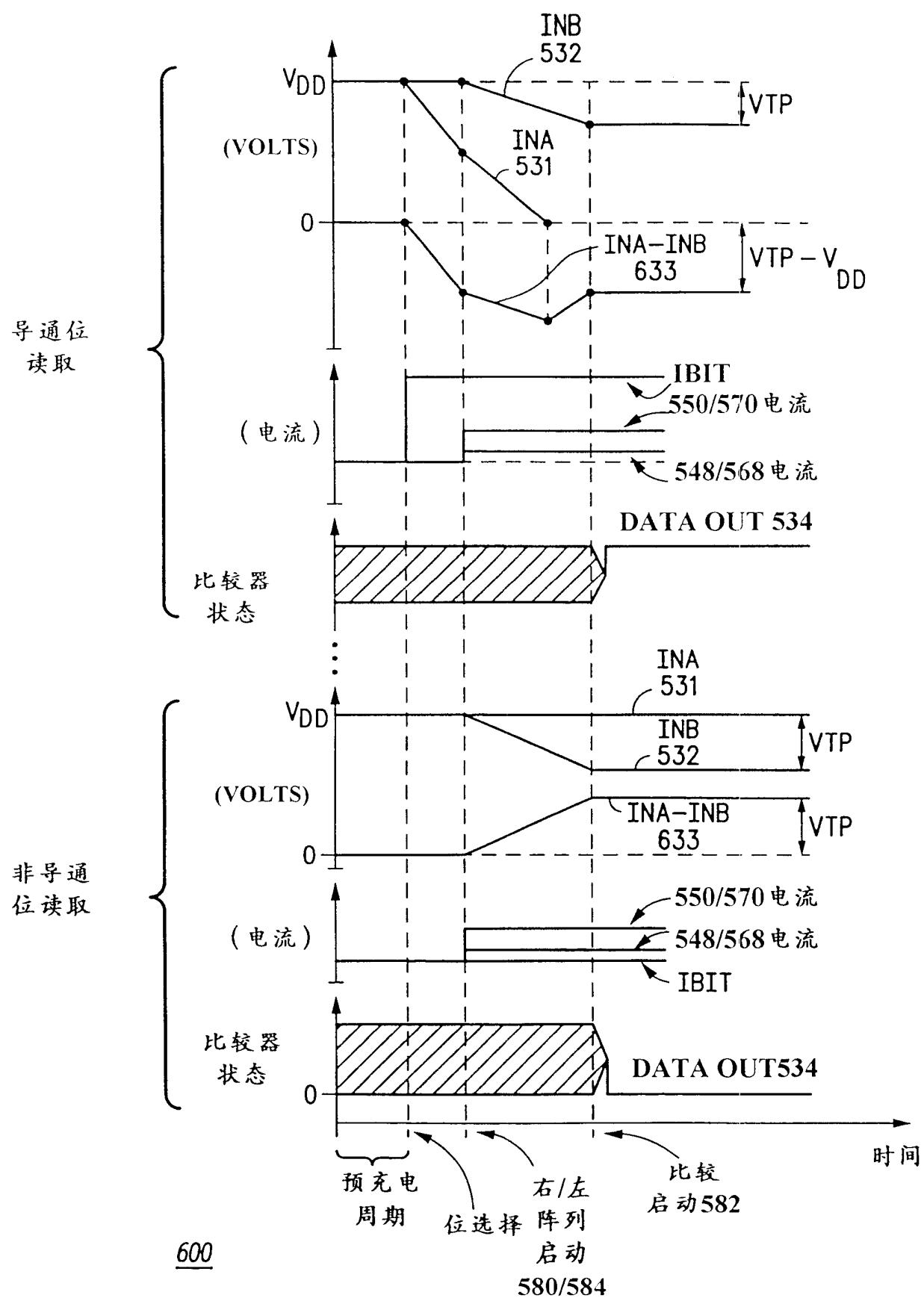


图 6

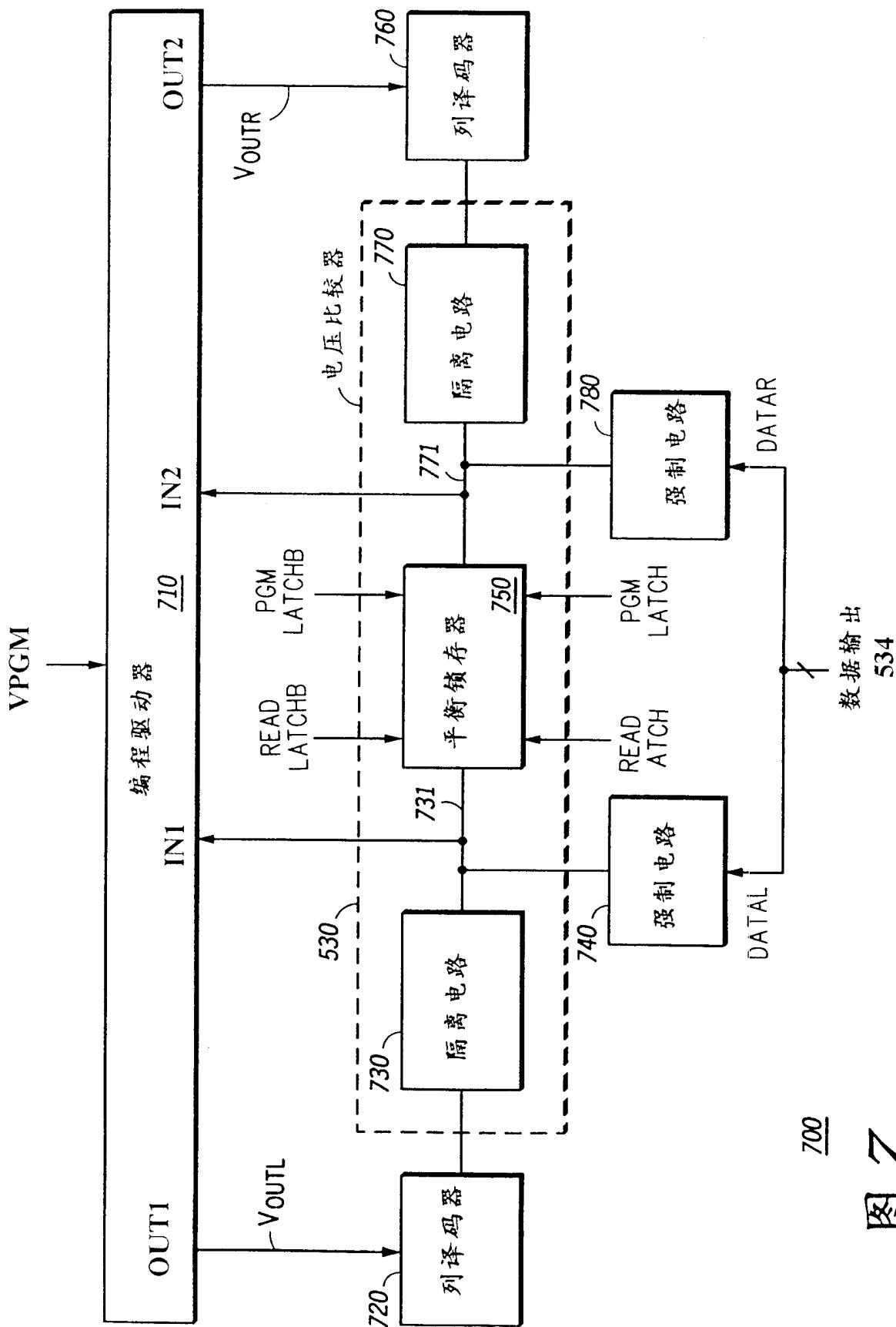
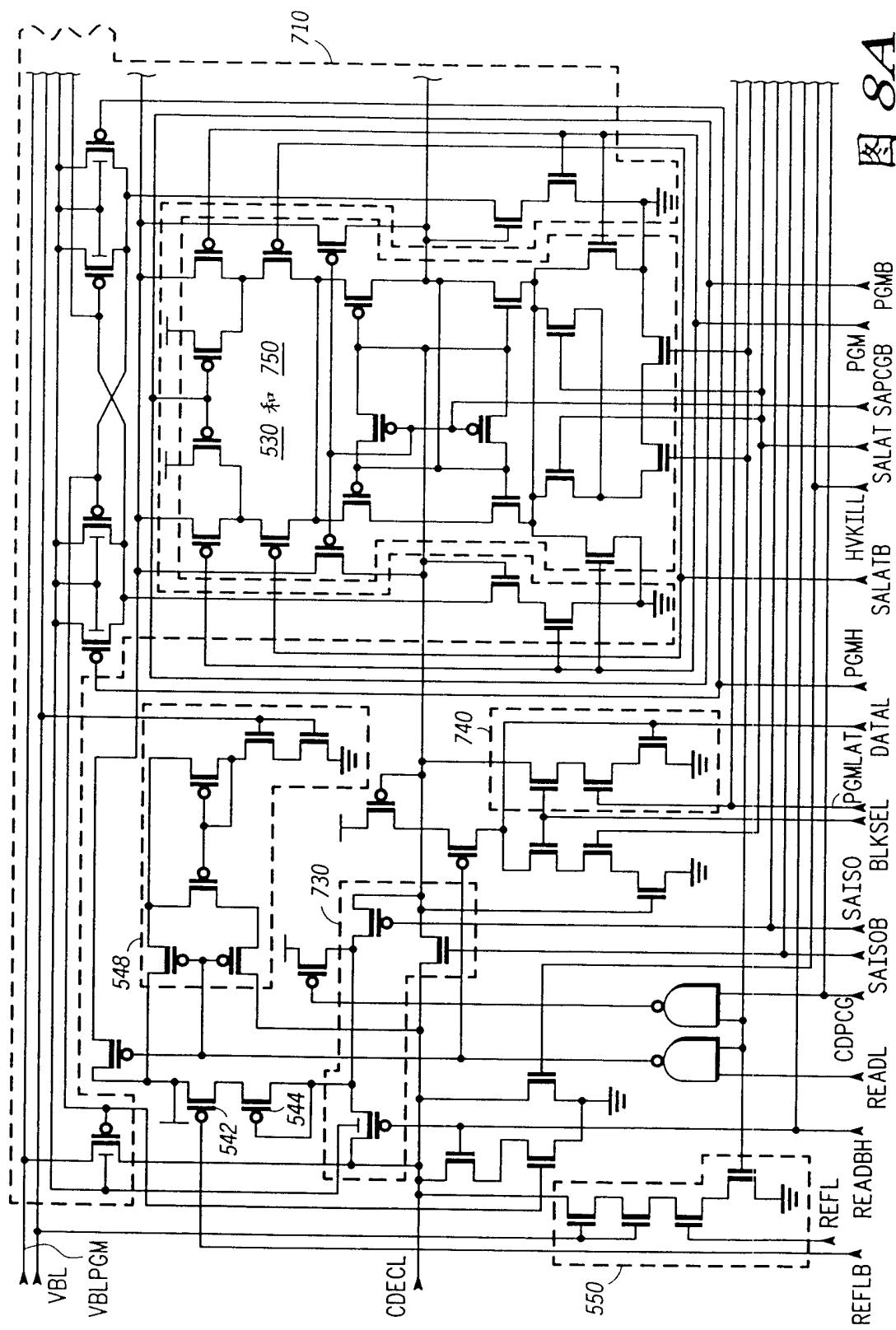


图 7

700

534
数据输出



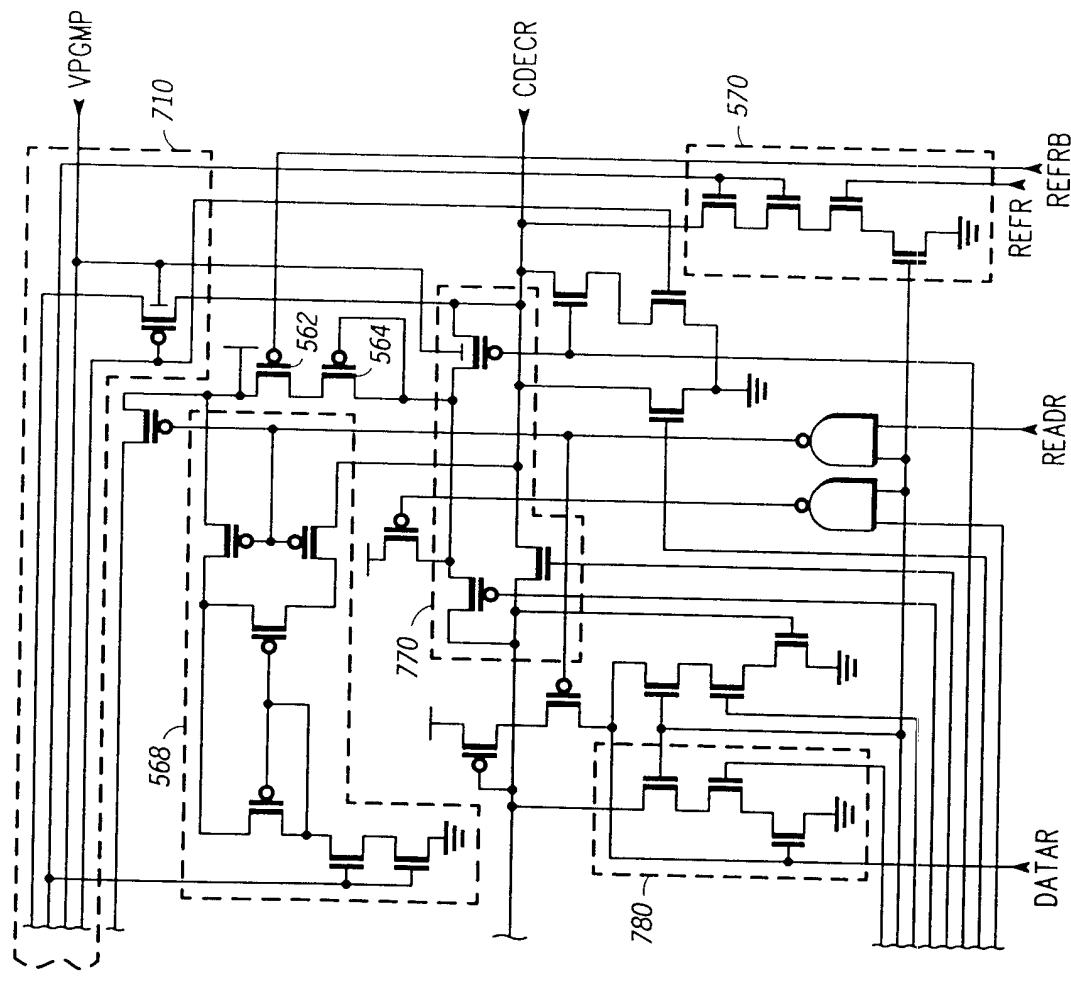


图 8B

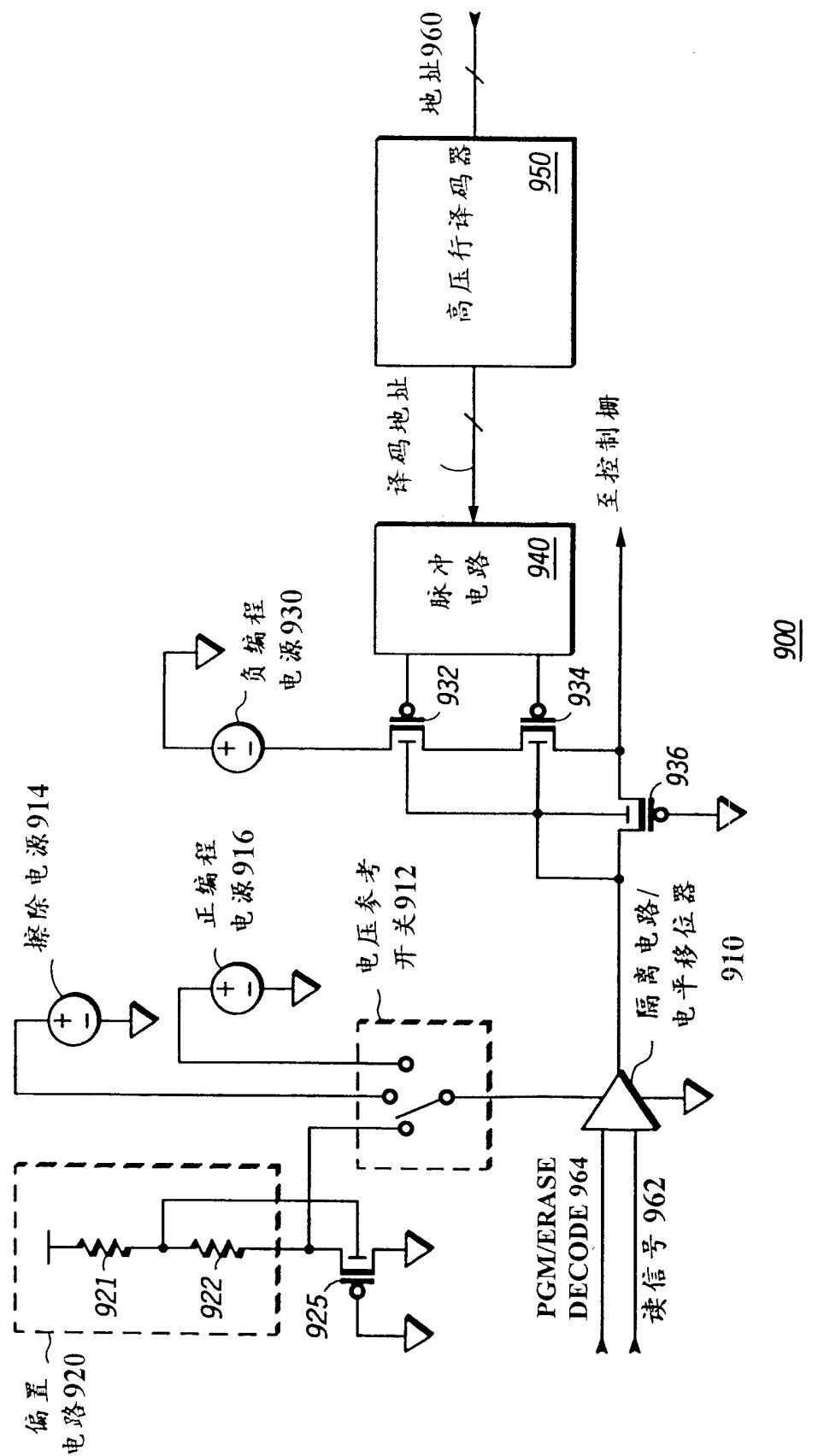


图 9

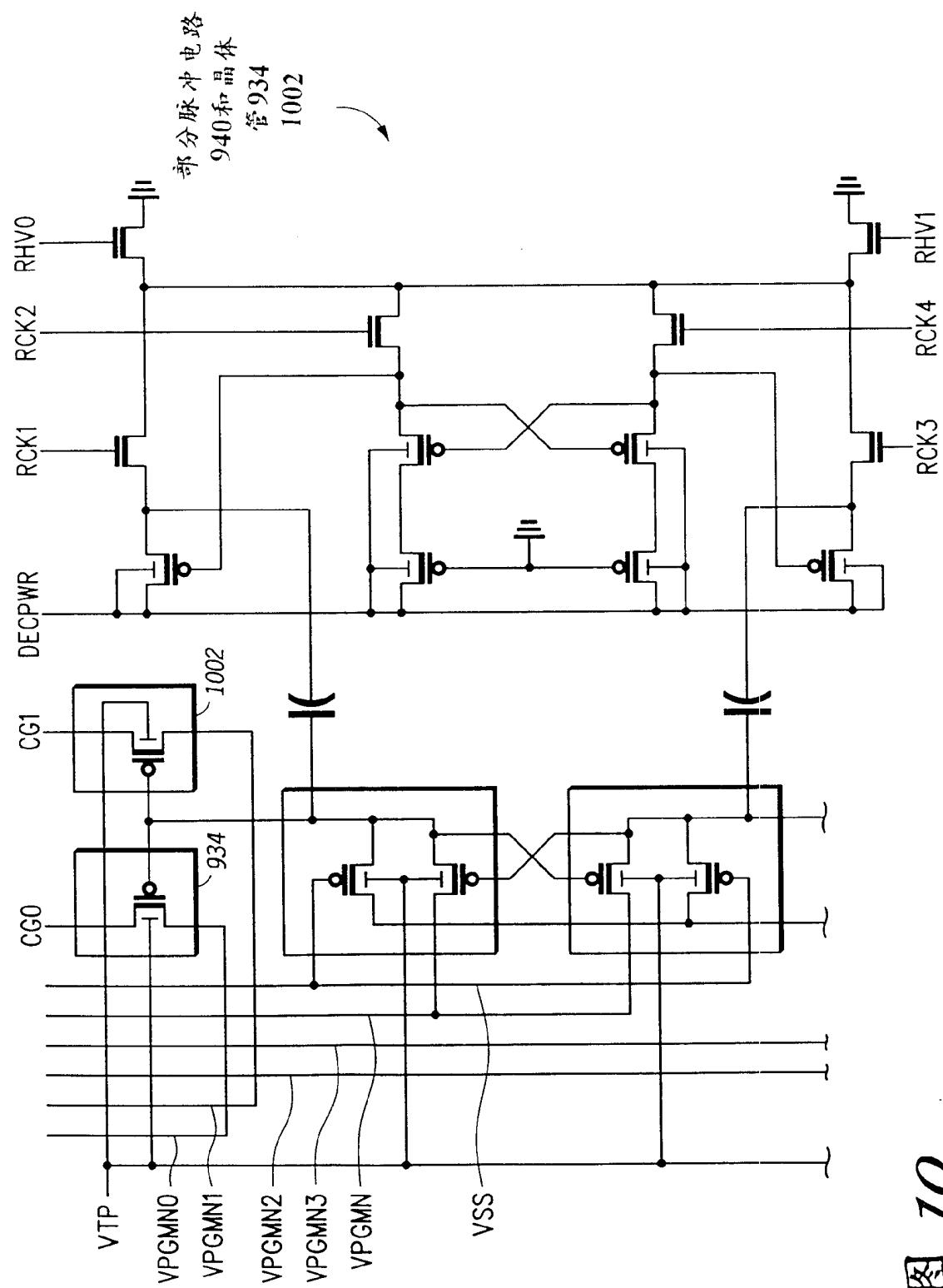


图 10

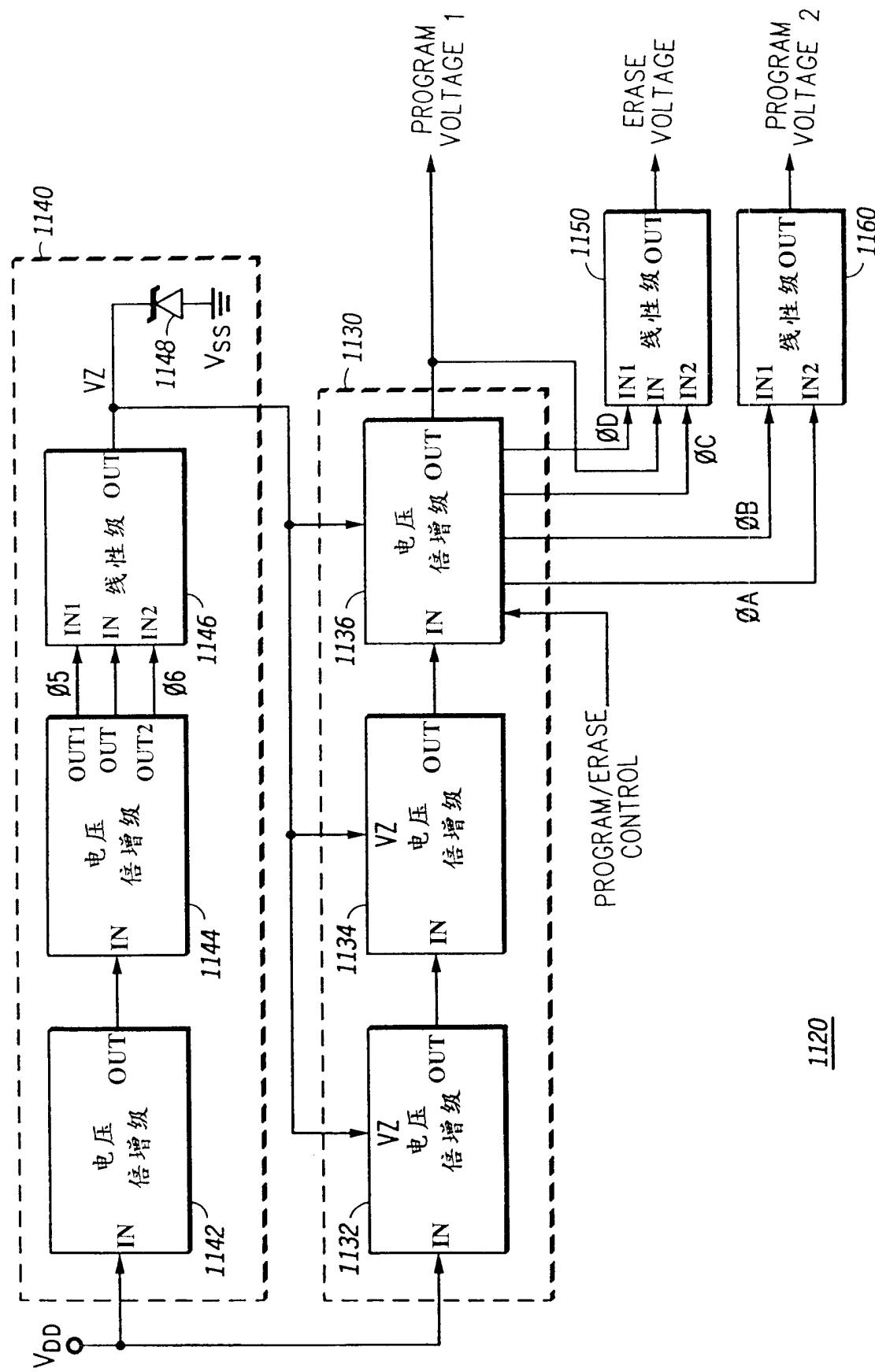


图 11

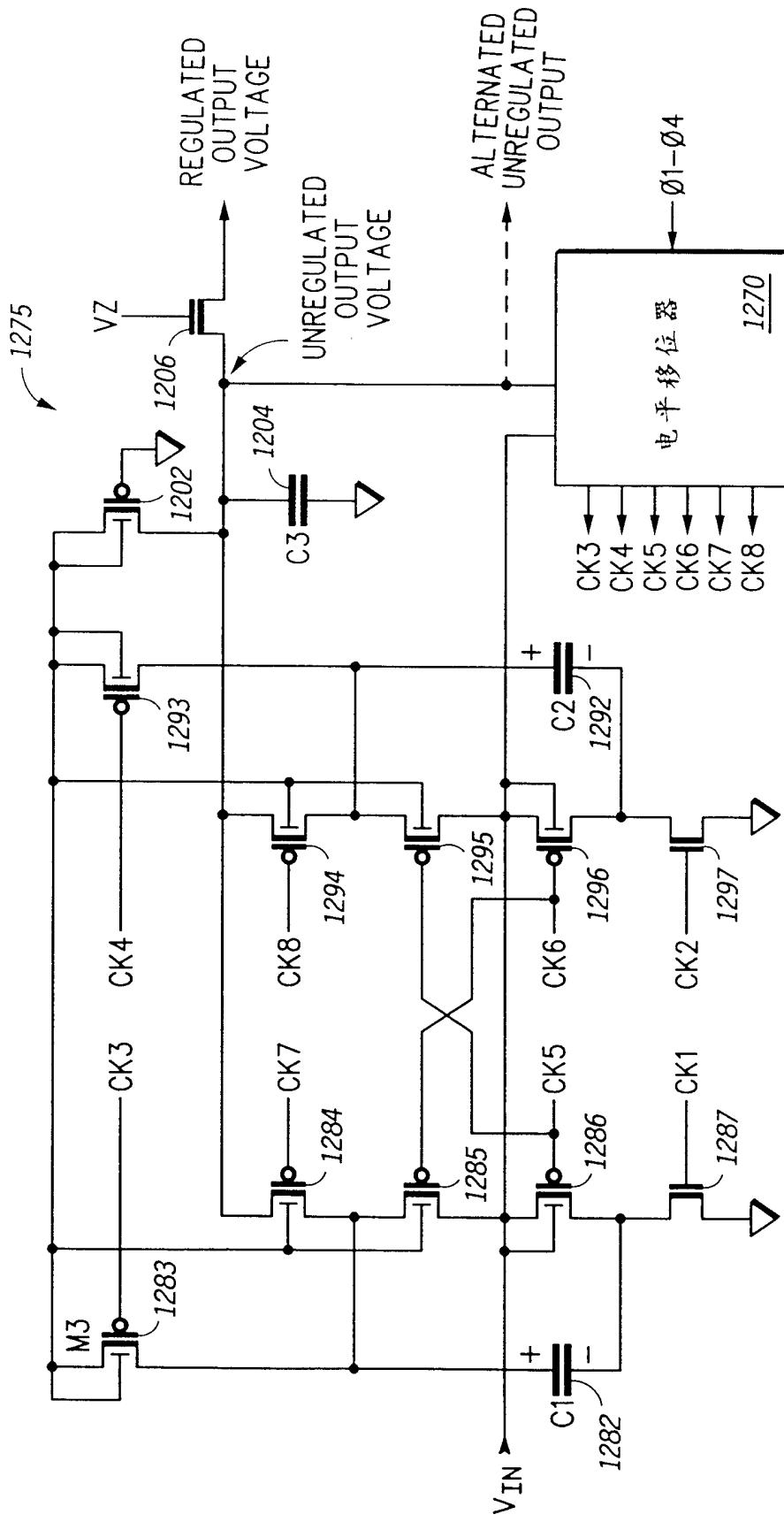


图 12
1132

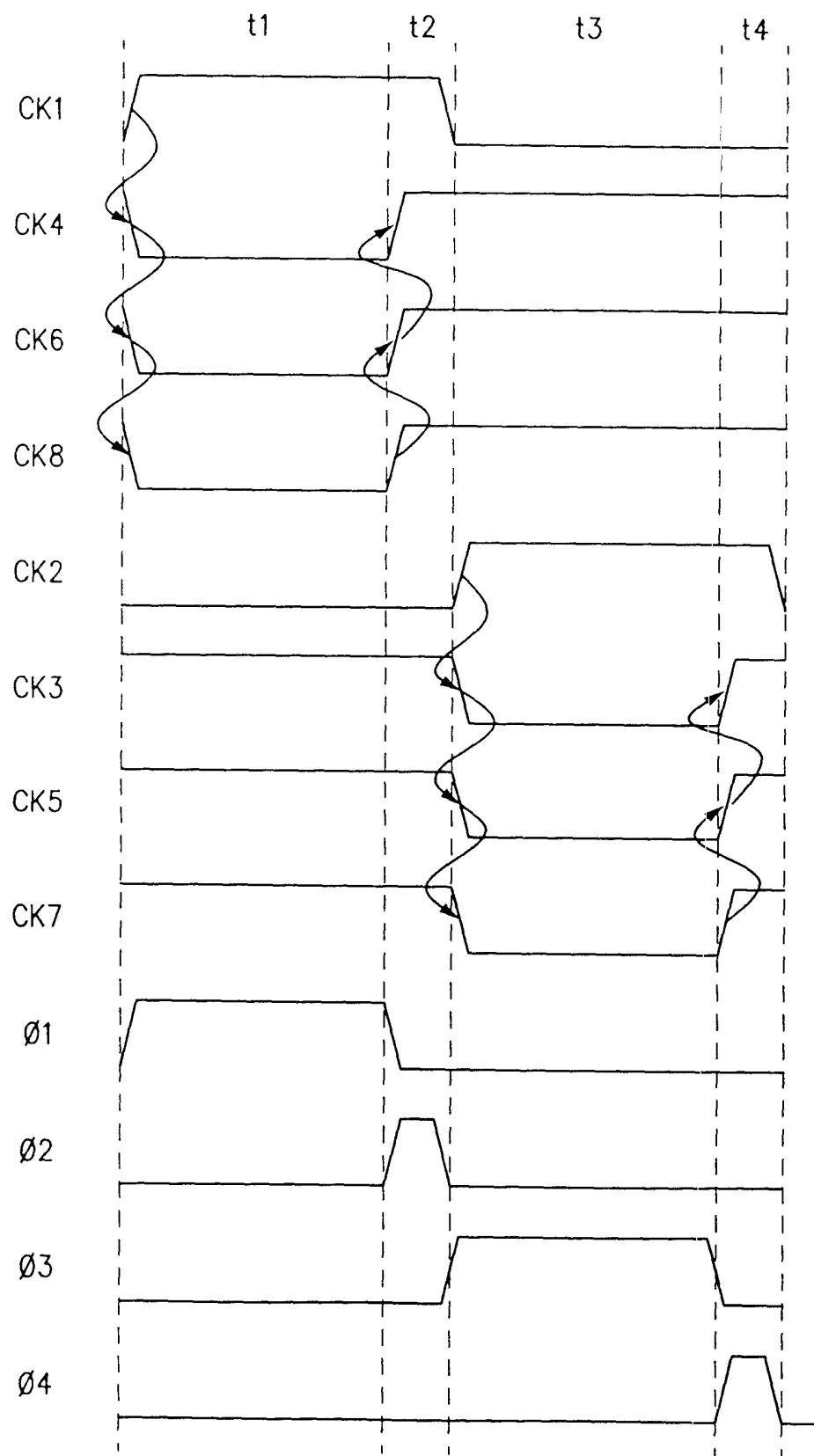


图 13

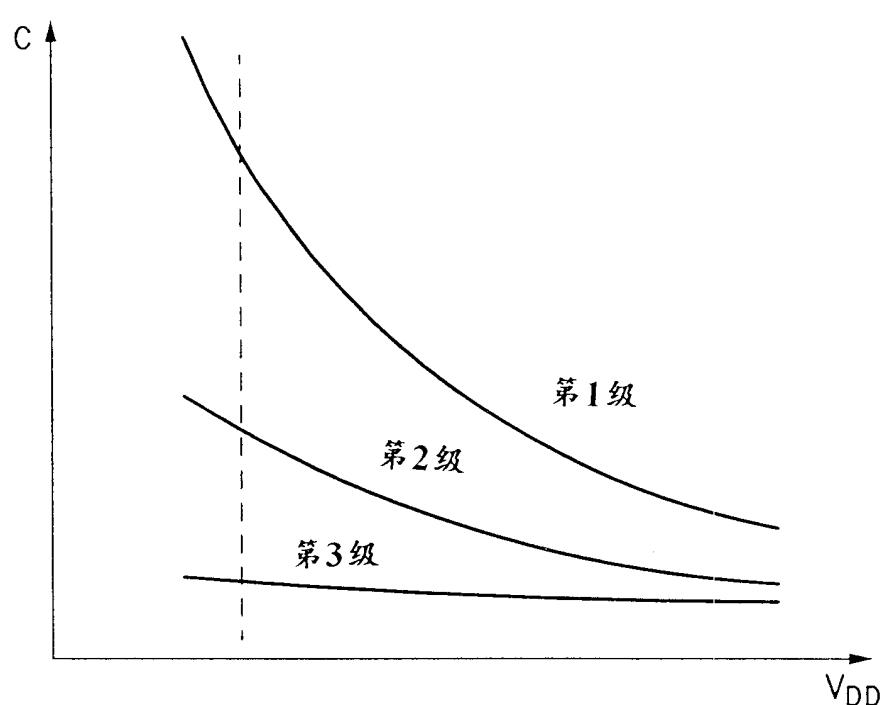


图 14