

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04L 12/24 (2006.01)

G06F 9/445 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610063507.7

[43] 公开日 2007年4月18日

[11] 公开号 CN 1949723A

[22] 申请日 2006.11.6

[21] 申请号 200610063507.7

[71] 申请人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

[72] 发明人 崔英利 霍红伟 刘华伟

[74] 专利代理机构 深圳中一专利商标事务所

代理人 欧阳启明

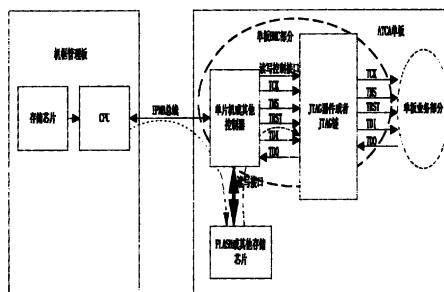
权利要求书4页 说明书8页 附图6页

[54] 发明名称

一种 ATCA 中 JTAG 器件远程维护的方法及系统

[57] 摘要

本发明公开了一种 ATCA 中 JTAG 器件远程维护的方法及系统，所述的方法包括如下步骤：a、机框管理板与高性能通讯计算架构 ATCA 单板进行信息交互，将其存储的目标文件加载到所述的 ATCA 单板的联合测试行动小组 JTAG 器件或者 JTAG 链中，完成对所述的 JTAG 器件或者 JTAG 链的扫描和加载。采用本发明的技术方案，可以实现 BMC 模块 JTAG 器件的远程维护，同时还可以实现单板业务部分所有 JTAG 器件的远程维护，包括 JTAG 链上器件的扫描和升级软件的加载。



1、一种 ATCA 中 JTAG 器件远程维护的方法，其特征在于，所述的方法包括如下步骤：

a、机框管理板与高性能通讯计算架构 ATCA 单板进行信息交互，将其存储的目标文件加载到所述的 ATCA 单板的联合测试行动小组 JTAG 器件或者 JTAG 链中，完成对所述的 JTAG 器件或者 JTAG 链的扫描和加载。

2、根据权利要求 1 所述的方法，其特征在于，其中步骤 a 之前还包括：将所述的需要加载目标文件存储在所述的机框管理板存储器中。

3、根据权利要求 1 所述的方法，其特征在于，其中步骤 a 具体包括：

a1、机框管理板从其存储器中将需要加载的目标文件读出后，写入到 ATCA 单板的基板管理控制器 BMC 模块的存储器中；

a2、所述的 BMC 模块从其存储器中读取所述的目标文件后，加载到所述的 BMC 模块的 JTAG 器件或者 JTAG 链中。

4、根据权利要求 3 所述的方法，其特征在于，其中步骤 a1 具体为：

a11、所述的机框管理板的微处理器 CPU 将所述的需要加载的目标文件从其存储器中读出，通过智能平台管理总线 IPMB 写入到所述的 ATCA 单板的 BMC 模块的存储器中。

5、根据权利要求 3 所述的方法，其特征在于，其中步骤 a2 具体为：

a21、所述的 BMC 模块从其存储器中读取所述的目标文件后，使用其控制器的输入/输出 I/O 接口模拟 JTAG 加载时序，按照所述的加载时序从其存储器中读取所述的目标文件后写入到所述的 ATCA 单板业务部分的 JTAG 器件或者 JTAG 链中。

6、根据权利要求 5 所述的方法，其特征在于，其中步骤 a21 具体为：

所述的 BMC 模块从其存储器中读取所述的目标文件后，其控制器的 I/O 接口模拟 JTAG 加载时序，进行逻辑器件的读写控制，通过所述的逻辑器件

连通所述的 ATCA 单板业务部分的 JTAG 器件或者 JTAG 链，将所述的目标文件写入到所述的 ATCA 单板业务部分的 JTAG 器件或者 JTAG 链中。

7、根据权利要求 5 所述的方法，其特征在于，其中步骤 a21 具体为：

所述的 BMC 模块从其存储器中读取所述的目标文件后，其控制器的 I/O 接口模拟 JTAG 加载时序，JTAG 桥片连通所述的 ATCA 单板业务部分的 JTAG 器件或者 JTAG 链与所述的 BMC 模块控制器的 I/O 接口，将所述的目标文件写入到所述的 ATCA 单板业务部分的 JTAG 器件或者 JTAG 链中。

8、根据权利要求 1 所述的方法，其特征在于，其中步骤 a 具体为：

a1'、机框管理板通过信号线与所述的 ATCA 单板上的 JTAG 器件或者 JTAG 链进行 JTAG 信号交互，将其存储的目标文件加载到所述的 JTAG 器件或者 JTAG 链，完成对所述的 JTAG 器件或者 JTAG 链的扫描和加载。

9、根据权利要求 8 所述的方法，其特征在于，其中步骤 a1' 具体为：

a11'、所述的机框管理板从其存储器中将需要加载的目标文件读出后，通过背板连接器中的信号线将所述的目标文件加载到所述的 ATCA 单板上的 JTAG 器件或者 JTAG 链。

10、根据权利要求 9 所述的方法，其特征在于，其中步骤 a11' 具体包括：

a111'、驱动器选通所述的 ATCA 单板上的 JTAG 器件或者 JTAG 链；

a112'、所述的机框管理板从其存储器中将需要加载的目标文件读出，通过背板连接器中的信号线将所述的目标文件加载到所述的驱动器选通的 JTAG 器件或者 JTAG 链。

11、根据权利要求 8 所述的方法，其特征在于，其中步骤 a1' 具体为：

a11''、所述的机框管理板从其存储器中将需要加载的目标文件读出后，通过外部电缆中的信号线将所述的目标文件加载到所述的 ATCA 单板上的 JTAG 器件或者 JTAG 链。

12、根据权利要求 8 或者 9 或者 10 或者 11 所述的方法，其特征在于，

所述的信号线为测试时钟 TCK 信号线、测试模式选择 TMS 信号线、测试复位 TRST 信号线、测试数据输入 TDI 信号线以及测试数据输出 TDO 信号线。

13、一种 ATCA 中 JTAG 器件远程维护的系统，包括机框管理板和 ATCA 单板，其特征在于，所述的机框管理板，用于通过与所述的 ATCA 单板交互，将其存储的需要加载的目标文件加载到所述的 ATCA 单板的 JTAG 器件或者 JTAG 链中。

14、根据权利要求 13 所述的系统，其特征在于，所述的机框管理板包括存储模块和控制模块；

所述存储模块，用于存储需要加载的目标文件；

所述控制模块，用于从所述的存储模块中读取需要加载的目标文件后，通过 IPMB 总线写入到所述的 ATCA 单板 BMC 模块的存储器中。

15、根据权利要求 14 所述的系统，其特征在于，所述的 ATCA 单板包括 BMC 模块，所述的 BMC 模块包括控制器和存储器；

所述存储器，用于存储所述的机框管理板写入的目标文件；

所述控制器，用于将所述的存储器中的目标文件写入到所述的 JTAG 器件或者 JTAG 链中。

16、根据权利要求 15 所述的系统，其特征在于，所述的 ATCA 单板还包括：

逻辑器件，用于在单板 BMC 模块控制器的控制下，连通所述的 ATCA 单板的 JTAG 器件或者 JTAG 链。

17、根据权利要求 15 所述的系统，其特征在于，所述的 ATCA 单板还包括：

JTAG 桥片，用于连通所述的 BMC 模块与所述的 JTAG 器件或者 JTAG 链。

18、根据权利要求 15 或者 16 或者 17 所述的方法，其特征在于，所述的 BMC 模块的存储器为闪存 FLASH。

19、根据权利要求 13 所述的系统，其特征在于，所述的机框管理板与所述 JTAG 器件或者 JTAG 链通过信号线相连。

20、根据权利要求 19 所述的系统，其特征在于，所述的信号线为背板连接器中的 TCK 信号线、TMS 信号线、TRST 信号线、TDI 信号线以及 TDO 信号线。

21、根据权利要求 19 所述的系统，其特征在于，所述的信号线为外部电缆，用来传输 TCK 信号、TMS 信号、TRST 信号、TDI 信号以及 TDO 信号。

22、根据权利要求 13 所述的系统，其特征在于，所述的目标文件为软件或者逻辑器件加载文件。

一种 ATCA 中 JTAG 器件远程维护的方法及系统

技术领域

本发明涉及 ATCA (Advanced Telecommunication Computing Architecture 高性能通讯计算架构) 技术领域, 具体来说, 涉及到 ATCA 中 JTAG (Joint Test Action Group 联合测试行动小组) 器件的维护技术。

背景技术

随着通信技术应用领域的不断扩大, 对通信设备的容量、可靠性、可扩展性和可管理性等方面提出了越来越高的要求。根据 PICMG (PCI Industrial Computer Manufacturers Group PCI 工业计算机制造组织) 提出的 ATCA 的开放硬件平台的相关规范, 如图 1 所示, 一个机框中必需有两块机框管理板, 互为主备, 其余各单板上必须有一个管理模块, 即 BMC (Base Board Management Controller 基板管理控制器) 模块, BMC 模块使用独立的电源, 独立于单板业务, 机框管理板通过 IPMI 接口 (Intelligent Platform Management Interface 智能平台管理接口) 以及 IPMB (Intelligent Platform Management Bus. 智能平台管理总线) 与各单板的 BMC 模块相连, 以实现单板业务部分的管理, 包括: 上下电、状态监控等, 并提供一系列的告警及异常处理接口。

同时, 在各个 ATCA 单板上, BMC 模块部分与单板的业务部分之间, 有一些信息交互接口, 这些接口可根据实际情况而设计不同, 如图 2 所示, 这些接口所完成的功能包括: 单板业务部分状态的监测, 例如电压幅值、温度、复位状态、CPU 是否正常; 提供单板热插拔管理、传感器/事件管理、告警管理、日志管理、单板电源功率管理以及 E-KEYING (电子锁) 功能等等。

随着通讯事业的日益发展, ATCA 架构的应用越来越多, 软件相关的功能

也逐渐增多，软件版本的升级已经成为一种越来越经常化的工作。

为满足对软件升级的需要，越来越多的芯片厂商生产的芯片支持 JTAG 接口，通过 JTAG 接口实现芯片的扫描和软件加载，这种软件加载的方式也逐渐成为主流。

现有技术中实现芯片扫描和软件加载的方案之一如图 3 所示，采用 JTAG 插座对单板的某个芯片进行扫描及软件加载。

通过这种方式实现对软件的加载需要每个芯片都配置一个对应的 JTAG 接口，这样一方面增加了成本，另一方面使得单板布局紧张，由此可能导致单板器件难以布下，最终舍弃某些芯片的 JTAG 接口，使得单板可维护性大大降低，此外，单板软件难以实现远程升级。

现有技术中实现芯片扫描和软件加载的方案之二如图 4 所示，将整个单板的 JTAG 器件串到一起，连成菊花链的形式，最终视情况出一个或者多个 JTAG 接口，以该 JTAG 接口实现对单板所有 JTAG 器件的扫描及加载。

采用这种方案时，整块单板只需要一个或少数几个 JTAG 接口，节省了布局面积，降低了成本。但是这种形式的处理方式，由于还是没能离开 JTAG 插座这种纯粹物理上的设备，如需要升级软件时，还是只能将加载软件用的接口接在现场的 JTAG 插座上后，才能进行软件的加载，仍然不能解决大量单板 JTAG 器件的远程维护问题，如软件和逻辑器件加载文件的远程升级等。

发明内容

本发明目的在于提供 ATCA 中 JTAG 器件远程维护的方法及系统，以解决现有技术中难以实现单板的软件及逻辑器件加载文件的远程升级、单板 JTAG 器件的扫描检测等问题。

为实现上述目的，本发明实施例采用如下的技术方案：

一种 ATCA 中 JTAG 器件远程维护的方法，所述的方法包括如下步骤：

a、机框管理板与高性能通讯计算架构 ATCA 单板进行信息交互，将其存

储的目标文件加载到所述的 ATCA 单板的联合测试行动小组 JTAG 器件或者 JTAG 链中，完成对所述的 JTAG 器件或者 JTAG 链的扫描和加载。

本发明实施例还提供了一种 ATCA 中 JTAG 器件远程维护的系统，包括机框管理板和 ATCA 单板，所述的机框管理板，用于通过与所述的 ATCA 单板交互，将其存储的需要加载的目标文件加载到所述的 ATCA 单板的 JTAG 器件或者 JTAG 链中。

本发明的实施例克服现有技术的不足，将需要加载的目标文件存储在机框管理板中，然后利用 IPMB 总线将目标文件写入 ATCA 单板的 BMC 模块，然后由 BMC 模块将目标文件加载到 JTAG 器件或者 JTAG 链中，或者，通过背板连接器或者外部电缆连接机框管理板与 JTAG 器件或者 JTAG 链，将目标文件加载到 JTAG 器件或者 JTAG 链，本发明技术方案可以实现 ATCA 单板所有的 JTAG 器件的远程维护，包括 JTAG 链上器件的扫描、软件及逻辑器件加载文件的加载，降低维护成本。

附图说明

图 1 为现有技术 ATCA 系统管理总线框图；

图 2 为现有技术 ACTA 单板管理框图；

图 3 为现有技术通过 JTAG 插座实现单个 JTAG 器件维护的示意图；

图 4 为现有技术通过 JTAG 插座实现多个 JTAG 器件维护的示意图；

图 5 为本发明实施例一的系统框图；

图 6 为本发明所述的通过 IPMB 总线实现 BMC 模块 JTAG 器件或者 JTAG 链的远程维护示意图；

图 7 为本发明实施例一所述的通过 BMC 模块实现单板业务部分 JTAG 器件或者 JTAG 链的远程维护示意图；

图 8 为本发明实施例二所述的通过 BMC 模块实现单板业务部分 JTAG 器件或者 JTAG 链的远程维护示意图；

图 9 为本发明实施例三所述的机框管理板与 ATCA 之间通过背板连接器传输信号的示意图;

图 10 为本发明实施例三所述的背板连接器直接与机框管理板和 ATCA 单板连接关系图;

图 11 为本发明实施例三所述的背板连接器通过驱动器与机框管理板和 ATCA 单板连接关系图;

图 12 为本发明实施例三所述的机框管理板通过外部电缆与 ATCA 单板连接的示意图。

具体实施方式

本发明的基本原理是需要加载的目标文件存储在机框管理板中, 然后利用 IPMB 总线将目标文件写入 ATCA 单板的 BMC 模块, 然后由 BMC 模块将目标文件加载到 JTAG 器件或者 JTAG 链, 或者, 通过背板连接器或者外部电缆连接机框管理板与 JTAG 器件或者 JTAG 链, 将目标文件加载到 JTAG 器件或者 JTAG 链。

以下结合附图和具体实施例进行详细说明。

实施例一:

本发明实施例一的系统架框图如图 5 所示, 包括:

机框管理板, 包括存储有需要加载的目标文件的存储模块和控制模块 (CPU), 控制模块用来从存储芯片中读取需要加载的目标文件后通过 IPMB 总线写入到 ATCA 单板 BMC 模块的存储器中;

单板 BMC 模块, 包括控制器 (单片机), 用来控制将 BMC 模块的存储器中的目标文件写入到单板的 JTAG 器件或者 JTAG 链中;

单板 BMC 模块还包括存储器 (FLASH 或者其他存储芯片), 用来存储写入的需要加载的目标文件。

本实施例所述的系统还包括逻辑器件或者 JTAG 桥片, 用来连通需要加载

目标文件的 JTAG 器件或者 JTAG 链。

对单板 JTAG 器件或者 JTAG 链进行软件加载的过程如图 6 和图 7 所示，主要步骤如下：

- 1、机框管理板通过 IPMB 总线与 BMC 的单片机（或其他控制器）相连，机框管理板的 CPU 将要加载的目标文件从自己的存储模块中读出，然后写入到 BMC 模块的一个 FLASH（或其他存储器）中；

- 2、BMC 模块使用其单片机（或其他控制器）的输入/输出（I/O）接口模拟 JTAG 加载时序，按照所述的加载时序读取所述的目标文件后写入到 JTAG 器件或者 JTAG 链中。

具体来说，单板 BMC 模块中的单片机（或其他控制器）进行逻辑器件的读写控制，连通需要加载目标文件的 JTAG 器件或者 JTAG 链，将目标文件从 FLASH（或其他存储芯片）写入到目标器件中，实现 ATCA 单板业务部分 JTAG 器件或者 JTAG 链的加载。

实施例二：

本实施例的系统架构与实施例一的系统架构基本相同，不同之处在于，实施例一中的逻辑器件在本实施例中为 JTAG 桥片，具有选择具体连通到哪个 JTAG 接口器件的功能。

对单板 JTAG 器件或者 JTAG 链进行软件加载的过程如图 6 和图 8 所示，主要步骤如下：

- 1、机框管理板通过 IPMB 总线与 BMC 的单片机（或其他控制器）相连，机框管理板的 CPU 将要加载的目标文件从自己的存储模块中读出，然后将需要加载的目标文件，写入到 BMC 模块的一个 FLASH（或其他存储器）中；

- 2、单板 BMC 模块中的单片机（或其他控制器）将目标文件从 FLASH（或其他存储芯片）中写入到 JTAG 器件或者 JTAG 链中，使用单片机（或其他控制器）的 I/O 接口模拟 JTAG 加载时序，按照此时序将目标文件写入到目标器件中，以此完成写入动作，实现 BMC 模块 JTAG 器件或者 JTAG 链的加

载;

具体来说, 单板 BMC 模块中的单片机 (或其他控制器) 的模拟 JTAG 加载时序的 I/O 接口, 也连接到 JTAG 桥片上, 由桥片负责连通需要进行加载的 JTAG 器件或者 JTAG 链; 单片机 (或其他控制器) 将目标文件从 FLASH (或其他存储器) 中取出, 通过单片机 (或其他控制器) 模拟 JTAG 时序的 I/O 接口输出, 经过桥片的选通到达具体的目标器件, 以实现 ATCA 单板业务部分 JTAG 器件或者 JTAG 链的加载。

实施例三:

在现有的 ATCA 规范中, 对于背板连接器, 有一组信号是保留给用户自己定义的, 本实施例中使用这组信号中的一部分, 定义其中 5 个为 JTAG 接口的标准信号, 即: TCK、TMS、TRST、TDI、TDO 信号, 这 5 个信号通过背板走线到各 ATCA 单板, 其中 TCK、TMS、TRST、TDI 信号为机框管理板的输出信号, TDO 为 ATCA 各单板的输出信号, 如图 9 所示, 机框管理板通过 JTAG 总线与各个 ATCA 单板连接, JTAG 总线中包含上述的 5 根信号线, 该 5 根信号满足 JTAG 标准 IEEE 1149.1。

首先将各个单板上的 JTAG 器件连成链, 组成 JTAG 链。若单板只有 1 条 JTAG 链时, 则直接将此 5 根信号与单板上的 JTAG 链对接, 如图 10 所示, 实现对单板所有 JTAG 器件的扫描及加载。

其中, TCK 信号允许各集成电路 (IC) 的边界扫描部分与系统内时钟同步并独立的工作。TCK 允许测试指令和数据进入寄存器单元和从寄存器单元输出, 从 TDI 输入管脚移进的数据必须在 TCK 时钟脉冲的上升沿进行, 向 TDO 移出数据必须在 TCK 时钟脉冲下降沿进行, 从系统输入管脚装入数据则在 TCK 时钟脉冲的上升沿进行。

TMS 输入端接收到的逻辑信号 (0 和 1) 由 TAP (Test Access Port) 控制器解释, 并用以控制操作。在 TCK 的上升沿时, 需对 TMS 信号采样。被采样信号在 TAP 控制器中被译码, 从而产生芯片内部需要的控制信号。

无论是 JTAG 指令还是 JTAG 数据都是通过 TDI 输入，加到 TDI 的串行输入数据是进入指令寄存器，还是进入数据寄存器，则取决于 TAP 控制器的状态。在 TCK 上升沿，移进输入数据。

无论是 JTAG 指令还是 JTAG 数据都是通过 TDO 输出，TAP 控制器状态决定了是指令寄存器的数据还是数据寄存器的数据串行移出到测试数据输出端（TDO），TDO 的数据输出发生在 TCK 时钟脉冲的下降沿。当没有数据在 TDO 输出时，TDO 设置为不作用状态，通常为高阻态。

一个逻辑“0”加于测试复位输入管脚（TRST）时，TAP 的逻辑异步强制进入它的复位方式。TRST 是一个可选择的信号线，在任何情况下，测试逻辑必须设计成在 TMS 和 TCK 时钟脉冲信号可控制下，也能被复位。具体而言，当 TMS 保持 5 个时钟周期的高电平时，JTAG 器件自动进行测试逻辑复位。

下面以 FLASH（闪存）的加载为例说明 JTAG 实现器件加载的过程。

JTAG 链加载系统通过一系列的扫描链串行移位来完成 FLASH 的在板编程。首先是通过指令扫描使得 JTAG 器件处于 EXTEST（外部测试）状态，这样 JTAG 器件可以通过 JTAG 链向外输出数据；然后就是数据移位，将数据刷新输出；再进行数据移位，再刷新输出，……，就这样反复进行数据扫描和数据输出，向 FLASH 输入各种指令和数据，以及从 FLASH 读回数据，一直到完成 FLASH 编程为止。

具体来说，FLASH 下挂在 ATCA 单板 JTAG 链上的一个 JTAG 器件下，并由该 JTAG 器件控制。由机框管理板上的 CPU 从存储芯片上获取加载文件，并输出满足 IEEE1149.1 标准的 JTAG 序列来传输这些文件。当在 JTAG 链中装载了适当的数据后，在 EXTEST 指令下将数据传送给 FLASH。假设 JTAG 器件中有 200 个边界扫描单元 BSC（Boundary-Scan Cell），系统必须使用 200 个 TCK 时钟完成在每一个 BSC 中装载预定的数据，这称为一次数据移位（DR-Shift）。每次数据移位完毕，所有数据均已准备好，在进入 Update-DR

(DR: Data Register) 状态时 BSC 将数据打入 FLASH, 此时指令寄存器中的指令要求是 EXTEST。所以在执行数据移位之前, 还要进行一次指令移位, 将 EXTEST 指令装入指令寄存器。但是完成指令装载以后, 只要不更改指令, 就不需要再进行指令移位了, 此时只需要进行数据移位。

如上所述, 通过 JTAG 链中的 JTAG 器件便实现了 FLASH 的加载。

如果是本身已经是 JTAG 器件, 例如 EPLD(嵌入式可编程逻辑器件), 即 ATCA 单板上某个已经挂接在 JTAG 链上的 EPLD, 那加载过程就更简单了, 直接由机框管理板的 CPU 从存储芯片中获取文件, 并输出满足 IEEE1149.1 标准的 JTAG 序列, 通过背板的 JTAG 走线, 便可实现该 EPLD 的加载。

在对 JTAG 器件或者 JTAG 链进行异常检测或者进行加载时, 需要对其进行扫描, 扫描的具体过程如下:

当 ATCA 单板成链之后, 单板上的各个 JTAG 器件上的指令寄存器 (IR: Instruction Register) 通过 TDI 和 TDO 连成一条链, 机框管理板将一组全 1 和全 0 的数据从 TDI 输入, 经过指令寄存器的串行移位从 TDO 输出, 如果扫描链正常, 那么开始输出的应该是各个 JTAG 器件在 IR 寄存器的 CAPTURE (捕获) 信号, 然后是一些全 1 或者全 0 的数字, 预置到指令寄存器中的 CAPTURE 信号可以由 BSDL (Boundary-Scan Description Language 边界扫描描述语言) 得到, 通过对 CAPTURE 信号的对比可初步判断相应器件及其焊接是否正常。

若单板有 1 条以上的 JTAG 链时, 便需要一个驱动器做链的选通。目标文件由机框管理板按照 IEEE1149.1 标准的时序输出, 经过驱动器做 JTAG 链的选通, 选定目标器件, 后续的过程同实施例一中的描述, 完成 JTAG 器件扫描和加载, 如图 11 所示。

如图 12 所示, 除了利用背板连接器中的信号线连接机框管理板和 ATCA 单板之外, 还可以利用外部电缆连接, 扫描和加载的信号通过外部电缆信号线传输, 原理相同。

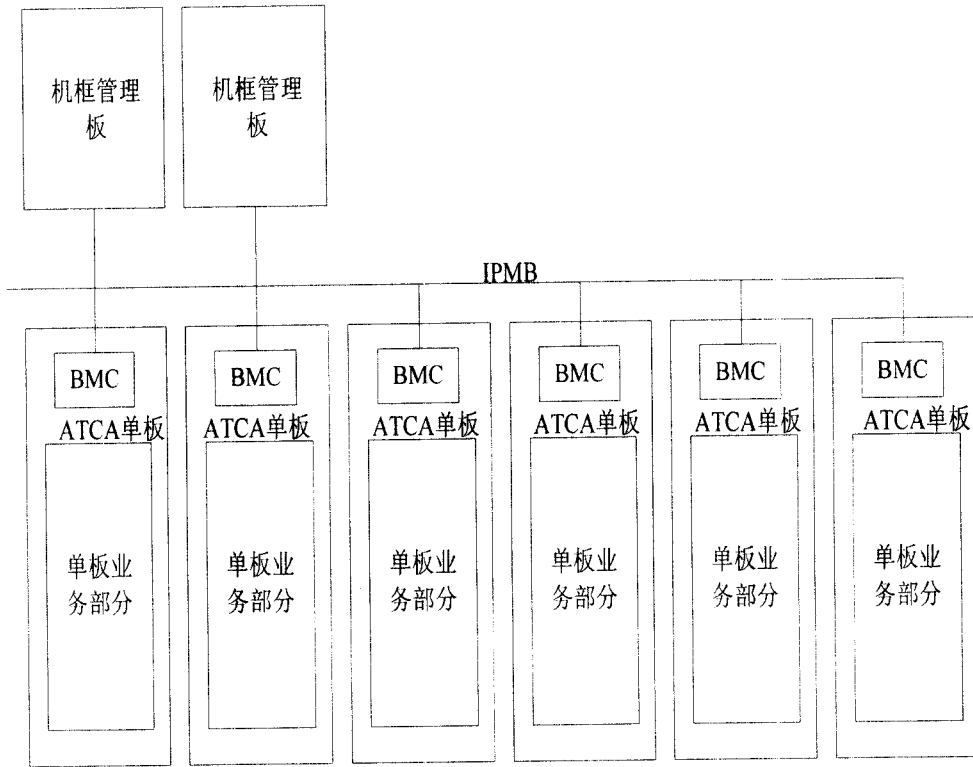


图 1

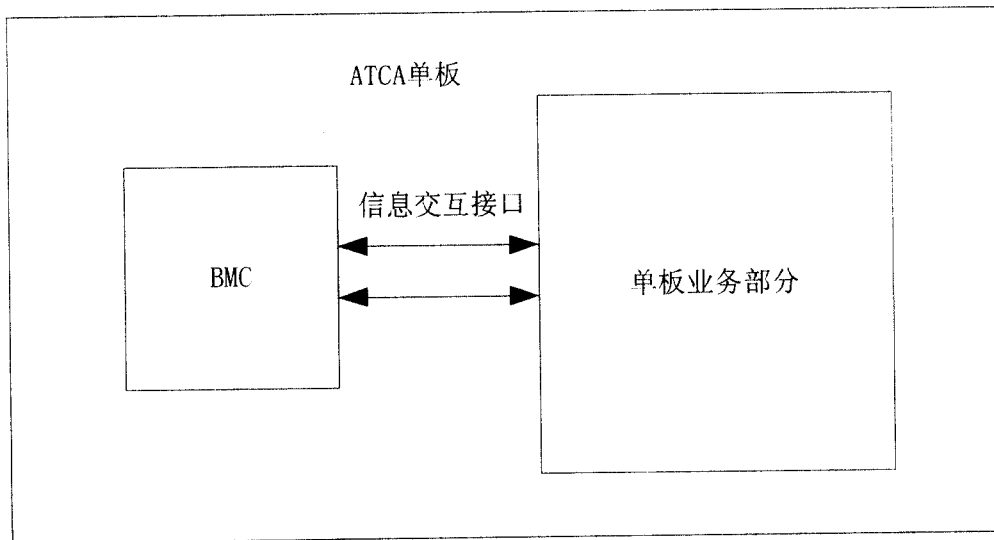


图 2

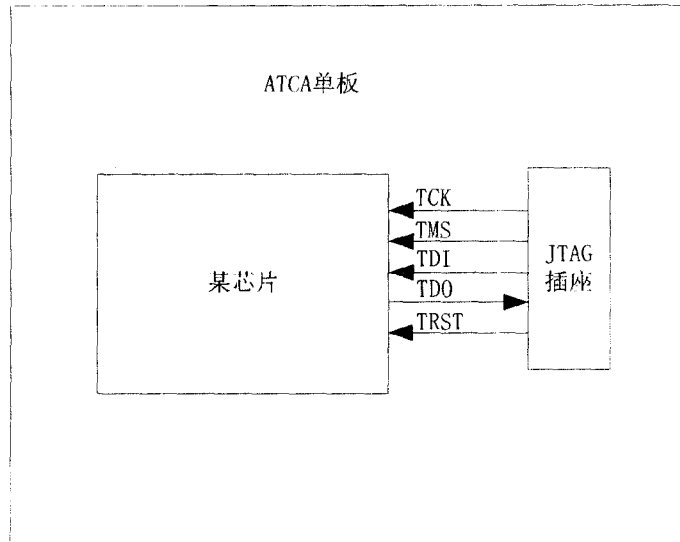


图 3

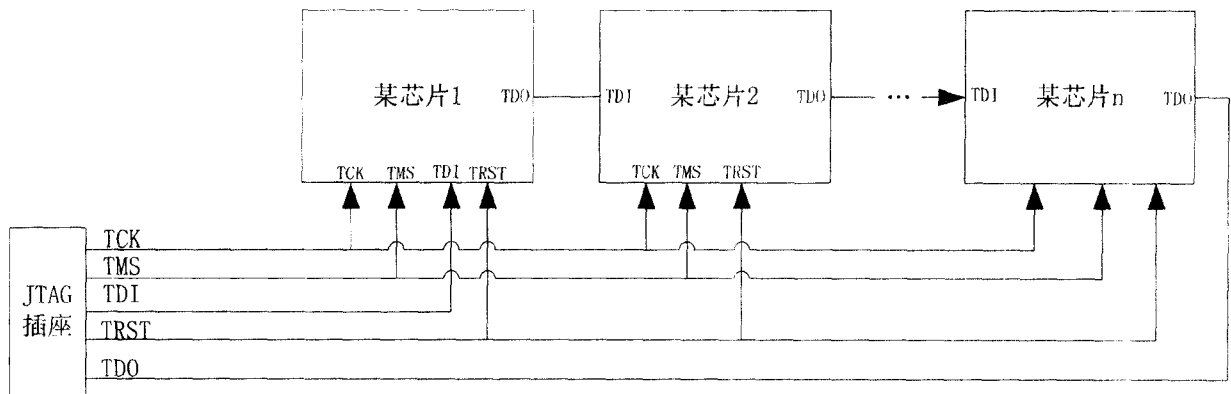


图 4

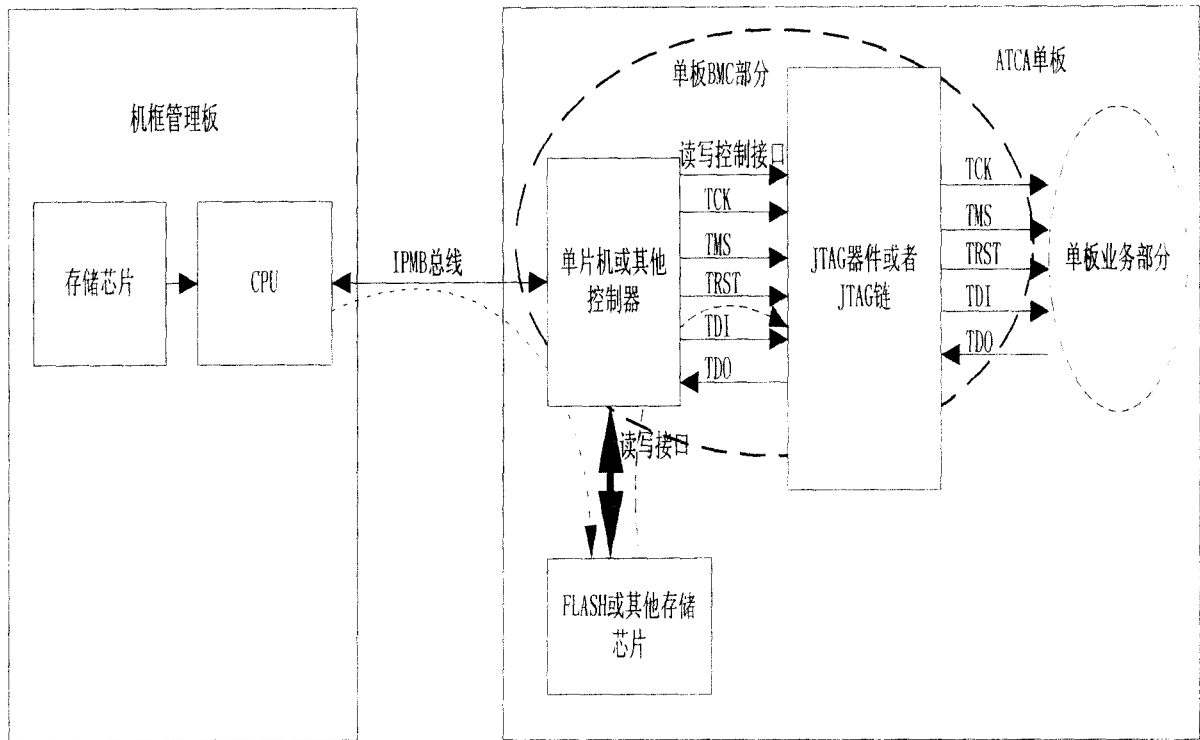


图 5

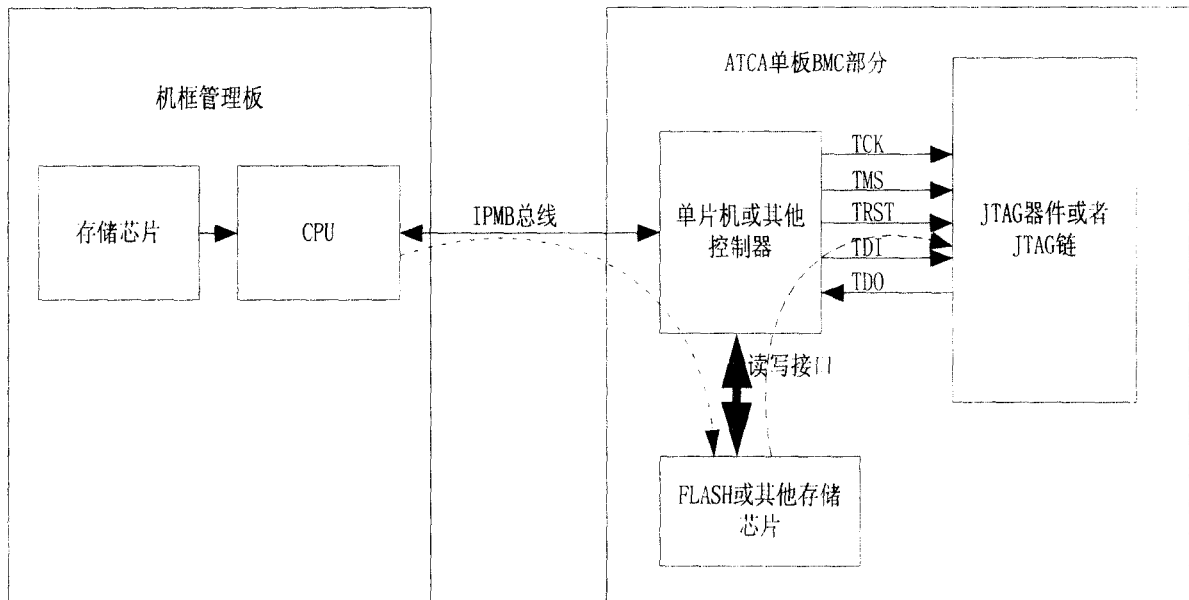


图 6

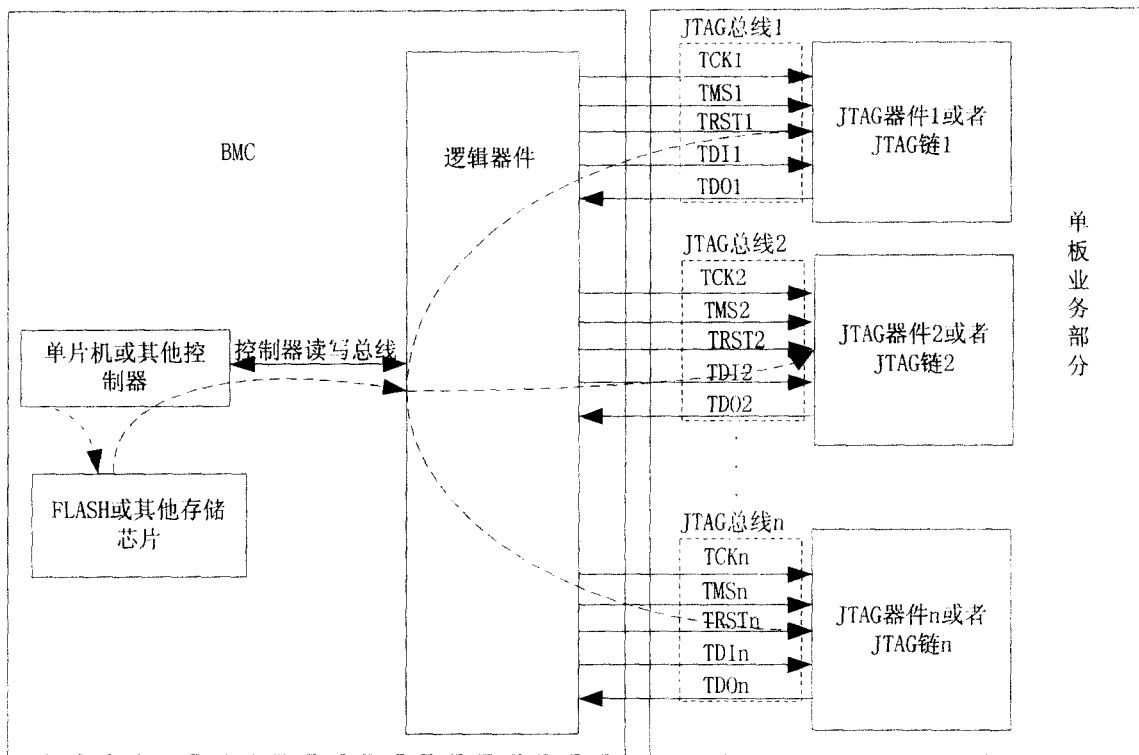


图 7

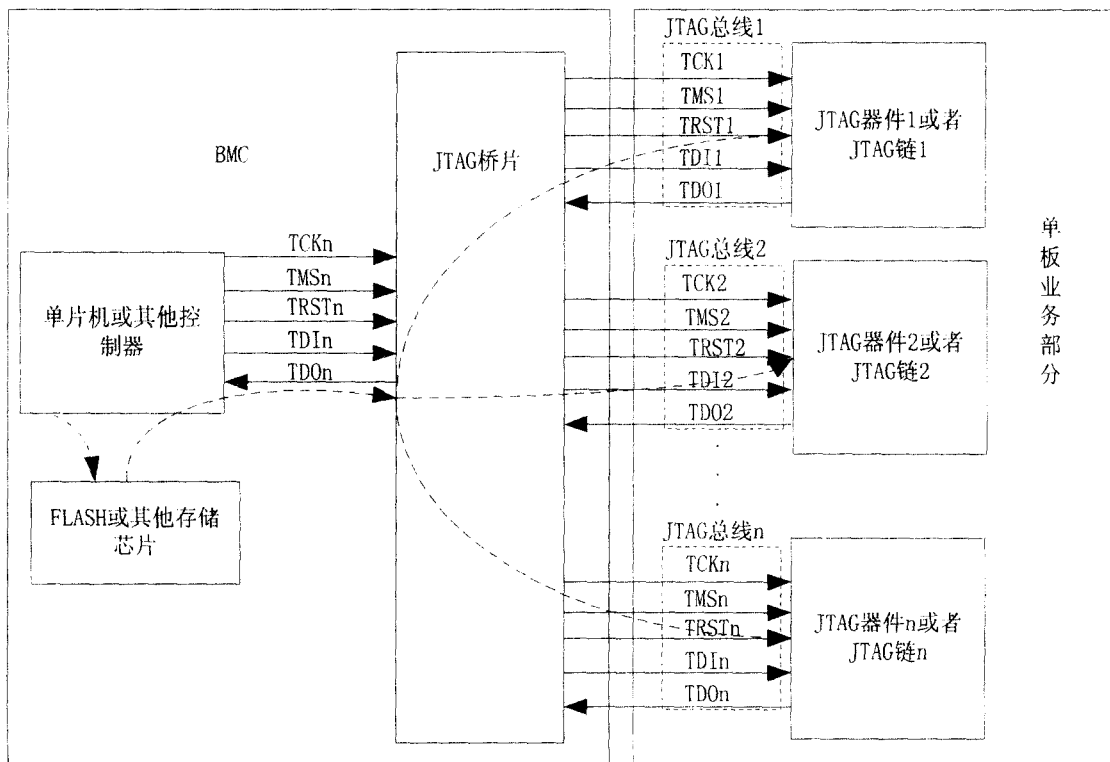


图 8

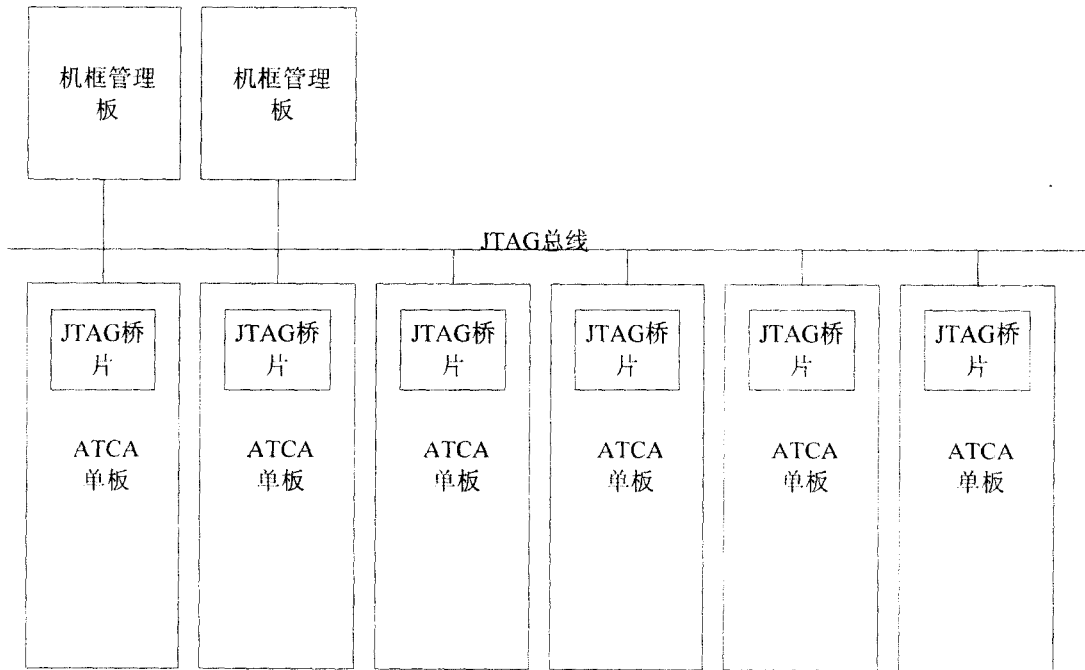


图 9

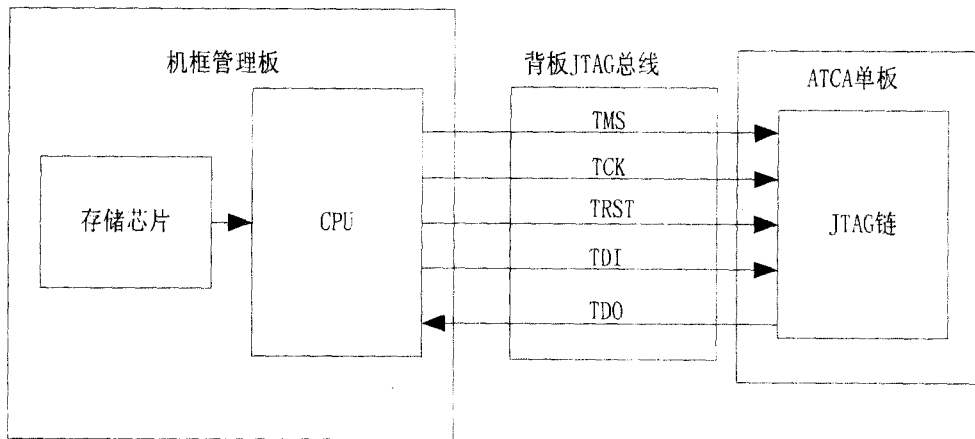


图 10

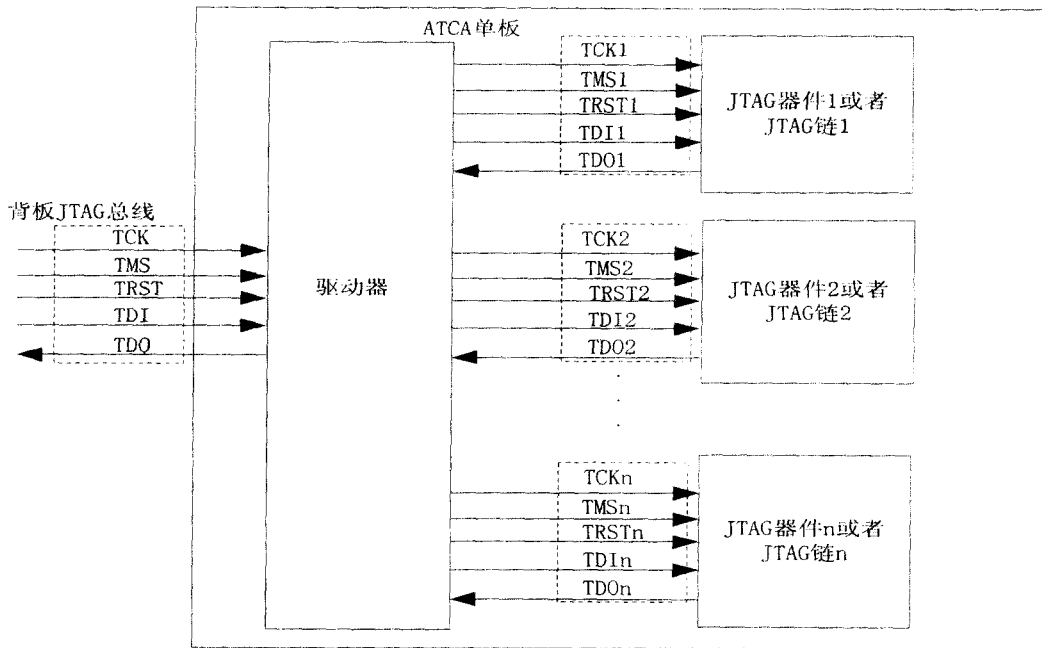


图 11

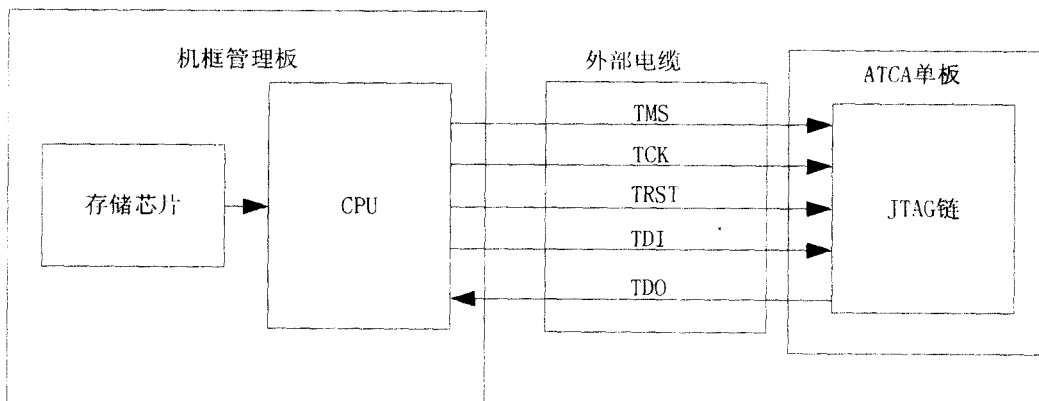


图 12