



(12) 发明专利申请

(10) 申请公布号 CN 114175248 A

(43) 申请公布日 2022.03.11

(21) 申请号 202080054218.9

丹尼尔·沙内穆加梅

(22) 申请日 2020.06.24

(74) 专利代理机构 北京集佳知识产权代理有限公司

11227

(30) 优先权数据

代理人 康建峰 谢琳

62/883,865 2019.08.07 US

16/848,366 2020.04.14 US

(85) PCT国际申请进入国家阶段日

2022.01.26

(51) Int.Cl.

H01L 27/092 (2006.01)

H01L 27/06 (2006.01)

H01L 21/8238 (2006.01)

(86) PCT国际申请的申请数据

PCT/US2020/039379 2020.06.24

(87) PCT国际申请的公布数据

W02021/025797 EN 2021.02.11

(71) 申请人 东京毅力科创株式会社

地址 日本东京都

(72) 发明人 拉尔斯·利布曼 杰弗里·史密斯

安东·德维利耶

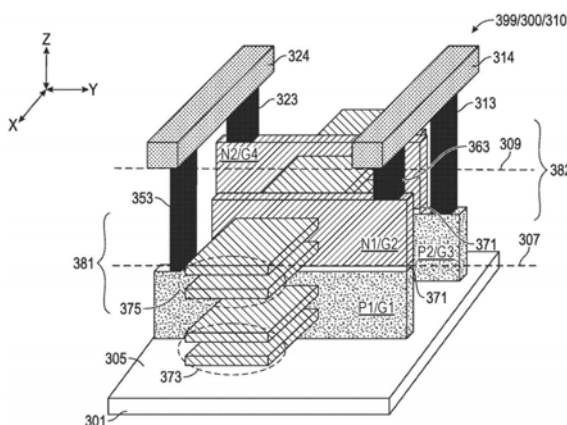
权利要求书2页 说明书13页 附图10页

(54) 发明名称

具有堆叠器件的半导体装置及其制造方法

(57) 摘要

本披露内容的各方面提供了一种半导体装置,该装置包括第一晶体管堆叠体和第二晶体管堆叠体。该第一堆叠体包括第一晶体管和沿着垂直于衬底平面的Z方向堆叠在该第一晶体管上的第二晶体管。该第二堆叠体包括第三晶体管和沿着该Z方向堆叠在该第三晶体管上的第四晶体管。该半导体装置包括第一布线轨道和与该第一布线轨道电隔离的第二布线轨道。该第一布线轨道和该第二布线轨道在平行于衬底平面的X方向上延伸。第一导电迹线和第四导电迹线分别将该第一晶体管的第一栅极和该第四晶体管的第四栅极导电耦合到该第一布线轨道。第一端子结构分别导电耦合该第一晶体管、该第二晶体管、该第三晶体管和该第四晶体管的四个源极/漏极端子。



1. 一种半导体装置,包括:

第一晶体管堆叠体,该第一晶体管堆叠体包括形成在衬底上的第一晶体管和沿着基本垂直于该衬底的衬底平面的Z方向堆叠在该第一晶体管上的第二晶体管;

第二晶体管堆叠体,该第二晶体管堆叠体包括形成在该衬底上的第三晶体管和沿着该Z方向堆叠在该第三晶体管上的第四晶体管;

第一布线轨道和与该第一布线轨道电隔离的第二布线轨道,该第一布线轨道和该第二布线轨道在平行于该衬底平面的X方向上延伸;

第一导电迹线和第四导电迹线,该第一导电迹线和该第四导电迹线被配置成分别将该第一晶体管的第一栅极和该第四晶体管的第四栅极导电耦合到该第一布线轨道;

第二导电迹线和第三导电迹线,该第二导电迹线和该第三导电迹线被配置成分别将该第二晶体管的第二栅极和该第三晶体管的第三栅极导电耦合到该第二布线轨道;以及

第一端子结构,该第一端子结构被配置成分别导电耦合该第一晶体管、该第二晶体管、该第三晶体管和该第四晶体管的四个源极/漏极(S/D)端子。

2. 如权利要求1所述的半导体装置,其中,该第一布线轨道和该第二布线轨道中的每一个位于沿着该Z方向在该第一晶体管堆叠体和该第二晶体管堆叠体上方的平面中。

3. 如权利要求1所述的半导体装置,进一步包括:

第二端子结构,该第二端子结构被配置成分别导电耦合该第一晶体管和该第二晶体管的剩余S/D端子。

4. 如权利要求1所述的半导体装置,进一步包括:

第三端子结构,该第三端子结构被配置成分别导电耦合该第三晶体管和该第四晶体管的剩余S/D端子。

5. 如权利要求1所述的半导体装置,进一步包括:

反相器电路,该反相器电路被配置成将该反相器电路的输入信号反相为该反相器电路的输出信号,该输出信号是该输入信号的反相信号。

6. 如权利要求5所述的半导体装置,其中,该反相器电路包括:

第三晶体管堆叠体,该第三晶体管堆叠体包括形成在该衬底上的第五晶体管和沿着该Z方向堆叠在该第五晶体管上的第六晶体管;以及

第五导电迹线,该第五导电迹线被配置成将公共栅极导电耦合到以下各项之一:该第一布线轨道和该第二布线轨道,该公共栅极包括该第五晶体管的第五栅极和该第六晶体管的第六栅极,该第五栅极和该第六栅极导电耦合到该输入信号。

7. 如权利要求5所述的半导体装置,进一步包括:

被配置成将该输入信号导电耦合到该第一布线轨道的导电迹线;以及

被配置成将该输出信号导电耦合到该第二布线轨道的导电迹线。

8. 如权利要求1所述的半导体装置,进一步包括:

被配置成将第一信号导电耦合到该第一布线轨道的导电迹线;以及

被配置成将第二信号导电耦合到该第二布线轨道的导电迹线,该第二信号是该第一信号的反相信号。

9. 如权利要求1所述的半导体装置,其中,该第二晶体管的第二栅极沿着该Z方向堆叠在该第一晶体管的第一栅极的正上方,并且该第四晶体管的第四栅极沿着该Z方向堆叠在

该第三晶体管的第三栅极的正上方。

10. 如权利要求1所述的半导体装置, 其中, 该第一导电迹线绕过该第二晶体管的第二栅极和该第二晶体管, 并且该第三导电迹线绕过该第四晶体管的第四栅极和该第四晶体管。

11. 如权利要求1所述的半导体装置, 其中, 该第一晶体管和该第二晶体管是包括n型晶体管和p型晶体管的互补晶体管, 并且该第三晶体管和该第四晶体管是互补晶体管。

12. 如权利要求6所述的半导体装置, 其中,

该第二晶体管的第二栅极堆叠在该第一晶体管的第一栅极上, 并且该第四晶体管的第四栅极堆叠在该第三晶体管的第三栅极上, 该第一布线轨道和该第二布线轨道沿着该Z方向位于该第一栅极、该第二栅极、该第三栅极和该第四栅极上方的一个或多个平面中, 该第一导电迹线与该第二导电迹线空间分离, 该第一导电迹线绕过该第二晶体管的第二栅极和该第二晶体管, 并且该第二导电迹线绕过该第一晶体管的第一栅极和该第一晶体管, 该第三导电迹线与该第四导电迹线空间分离, 该第三导电迹线绕过该第四晶体管的第四栅极和该第四晶体管, 该第四导电迹线绕过该第三晶体管的第三栅极和该第三晶体管, 并且该第五导电迹线导电耦合到该第一布线轨道; 并且

该半导体装置进一步包括被配置成将该输出信号耦合到该第二布线轨道的导电迹线。

13. 如权利要求1所述的半导体装置, 其中, 作为该第二栅极与基本垂直于该Z方向的平面相交的最大横截面积的第二栅极面积等于或大于作为该第一栅极与基本垂直于该Z方向的平面相交的最大横截面积的第一栅极面积, 并且作为该第四栅极与基本垂直于该Z方向的平面相交的最大横截面积的第四栅极面积等于或大于作为该第三栅极与基本垂直于该Z方向的平面相交的最大横截面积的第三栅极面积, 该第二栅极在该第一栅极上方交错, 并且该第四栅极在该第三栅极上方交错。

14. 如权利要求1所述的半导体装置, 其中, 作为该第二栅极与基本垂直于该Z方向的平面相交的最大横截面积的第二栅极面积小于作为该第一栅极与基本垂直于该Z方向的平面相交的最大横截面积的第一栅极面积, 并且作为该第四栅极与基本垂直于该Z方向的平面相交的最大横截面积的第四栅极面积小于作为该第三栅极与基本垂直于该Z方向的平面相交的最大横截面积的第三栅极面积, 该第二栅极在该第一栅极上方交错, 并且该第四栅极在该第三栅极上方交错。

15. 如权利要求1所述的半导体装置, 其中, 该第一晶体管进一步包括沿着该Z方向堆叠的第一组半导体条, 其中, 该第一晶体管的第一栅极包围并附接到该第一组半导体条, 并且该第二晶体管进一步包括沿着该Z方向堆叠的第二组半导体条, 其中, 该第二晶体管的第二栅极包围并附接到该第二组半导体条。

16. 如权利要求15所述的半导体装置, 其中, 该第二组半导体条沿着该Z方向堆叠在该第一组半导体条上。

17. 如权利要求1所述的半导体装置, 其中, 该第一栅极和该第二栅极被包括一种或多种电介质材料的电介质层分离并导电隔离, 并且该第三栅极和该第四栅极被该电介质层分离并导电隔离。

具有堆叠器件的半导体装置及其制造方法

[0001] 相关申请的交叉引用

[0002] 本披露内容要求2019年8月7日提交的美国临时申请号62/883,865“Two-CPP Cross-Couple for CFET[用于CFET的双CPP交叉耦合件]”和2020年4月14日提交的美国申请号16/848,366“具有堆叠器件的半导体装置及其制造方法”的权益,这些专利申请通过援引以其全文并入本文。

背景技术

[0003] 本文提供的背景描述是为了总体上呈现本披露内容的环境。当前发明人的工作在本背景部分中所描述的程度、以及在提交时间时可能不被认定为现有技术的本说明的方面,既没有明确地也没有隐含地承认是针对本披露内容的现有技术。

[0004] 半导体器件广泛用于各种电子装置,比如智能电话、计算机等。通常,半导体器件可以包括具有比如晶体管、电容器、电感器和其他部件等有源器件的衬底。对能够同时支持更多数量的越来越复杂和精密功能的更小且更快的半导体器件的需求日益增长。这种微缩工艺通常通过提高生产效率和降低相关联的成本来提供益处。然而,这样的微缩也增加了半导体器件加工和制造的复杂性。随着半导体器件的尺寸在先进技术节点中微缩到更小的亚微米大小,增加半导体器件的密度变得更具挑战性。期望改进的结构以及用于制造该改进的结构的方法。

发明内容

[0005] 本披露内容的各方面提供了一种半导体装置。该半导体装置可以包括第一晶体管堆叠体,该第一晶体管堆叠体包括形成在衬底上的第一晶体管和沿着基本垂直于该衬底的衬底平面的Z方向堆叠在该第一晶体管上的第二晶体管。该半导体装置可以包括第二晶体管堆叠体,该第二晶体管堆叠体包括形成在该衬底上的第三晶体管和沿着该Z方向堆叠在该第三晶体管上的第四晶体管。该半导体装置可以包括第一布线轨道和与该第一布线轨道电隔离的第二布线轨道,其中该第一布线轨道和该第二布线轨道在平行于该衬底平面的X方向上延伸。该半导体装置可以包括第一导电迹线和第四导电迹线,该第一导电迹线和该第四导电迹线被配置成分别将该第一晶体管的第一栅极和该第四晶体管的第四栅极导电耦合到该第一布线轨道。该半导体装置可以包括第二导电迹线和第三导电迹线,该第二导电迹线和该第三导电迹线被配置成分别将该第二晶体管的第二栅极和该第三晶体管的第三栅极导电耦合到该第二布线轨道。进一步,该半导体装置可以包括第一端子结构,该第一端子结构被配置成分别导电耦合该第一晶体管、该第二晶体管、该第三晶体管和该第四晶体管的四个源极/漏极(S/D)端子。

[0006] 在实施例中,该第一布线轨道和该第二布线轨道中的每一个位于沿着该Z方向在该第一晶体管堆叠体和该第二晶体管堆叠体上方的平面中。

[0007] 该半导体装置可以进一步包括第二端子结构,该第二端子结构被配置成分别导电耦合该第一晶体管和该第二晶体管的剩余S/D端子。该半导体装置可以进一步包括第三端

子结构,该第三端子结构被配置成分别导电耦合该第三晶体管和该第四晶体管的剩余S/D端子。

[0008] 该半导体装置可以进一步包括反相器电路,该反相器电路被配置成将该反相器电路的输入信号反相为该反相器电路的输出信号,其中该输出信号是该输入信号的反相信号。该反相器电路可以进一步包括第三晶体管堆叠体,该第三晶体管堆叠体包括形成在该衬底上的第五晶体管和沿着该Z方向堆叠在该第五晶体管上的第六晶体管。该反相器电路可以包括第五导电迹线,该第五导电迹线被配置成将公共栅极导电耦合到以下各项之一:该第一布线轨道和该第二布线轨道,其中,该公共栅极包括该第五晶体管的第五栅极和该第六晶体管的第六栅极,该第五栅极和该第六栅极导电耦合到该输入信号。该半导体装置可以包括被配置成将该输入信号导电耦合到该第一布线轨道的导电迹线以及被配置成将该输出信号导电耦合到该第二布线轨道的导电迹线。

[0009] 该半导体装置可以包括被配置成将第一信号导电耦合到该第一布线轨道的导电迹线以及被配置成将第二信号导电耦合到该第二布线轨道的导电迹线。该第二信号可以是该第一信号的反相信号。

[0010] 在示例中,该第二晶体管的第二栅极沿着该Z方向堆叠在该第一晶体管的第一栅极的正上方,并且该第四晶体管的第四栅极沿着该Z方向堆叠在该第三晶体管的第三栅极的正上方。

[0011] 在示例中,该第一导电迹线绕过该第二晶体管的第二栅极和该第二晶体管,并且该第三导电迹线绕过该第四晶体管的第四栅极和该第四晶体管。

[0012] 在示例中,该第一晶体管和该第二晶体管是包括n型晶体管和p型晶体管的互补晶体管,并且该第三晶体管和该第四晶体管是互补晶体管。

[0013] 在示例中,该第二晶体管的第二栅极堆叠在该第一晶体管的第一栅极上,并且该第四晶体管的第四栅极堆叠在该第三晶体管的第三栅极上,该第一布线轨道和该第二布线轨道沿着该Z方向位于该第一栅极、该第二栅极、该第三栅极和该第四栅极上方的一个或多个平面中,该第一导电迹线与该第二导电迹线空间分离,该第一导电迹线绕过该第二晶体管的第二栅极和该第二晶体管,并且该第二导电迹线绕过该第一晶体管的第一栅极和该第一晶体管,该第三导电迹线与该第四导电迹线空间分离,该第三导电迹线绕过该第四晶体管的第四栅极和该第四晶体管,该第四导电迹线绕过该第三晶体管的第三栅极和该第三晶体管,并且该第五导电迹线导电耦合到该第一布线轨道。该半导体装置进一步包括被配置成将该输出信号耦合到该第二布线轨道的导电迹线。

[0014] 在示例中,作为该第二栅极与基本垂直于该Z方向的平面相交的最大横截面积的第二栅极面积等于或大于作为该第一栅极与基本垂直于该Z方向的平面相交的最大横截面积的第一栅极面积,并且作为该第四栅极与基本垂直于该Z方向的平面相交的最大横截面积的第四栅极面积等于或大于作为该第三栅极与基本垂直于该Z方向的平面相交的最大横截面积的第三栅极面积,该第二栅极在该第一栅极上方交错,并且该第四栅极在该第三栅极上方交错。

[0015] 在示例中,该第二栅极面积小于该第一栅极面积,并且该第四栅极面积小于该第三栅极面积,该第二栅极在该第一栅极上方交错,并且该第四栅极在该第三栅极上方交错。

[0016] 在示例中,该第一晶体管进一步包括沿着该Z方向堆叠的第一组半导体条,其中,

该第一栅极包围并附接到该第一组半导体条,并且该第二晶体管进一步包括沿着该Z方向堆叠的第二组半导体条,其中,该第二栅极包围并附接到该第二组半导体条。在示例中,该第二组半导体条沿着该Z方向堆叠在该第一组半导体条上。

[0017] 在示例中,该第一栅极和该第二栅极被包括一种或多种电介质材料的电介质层分离并导电隔离,并且该第三栅极和该第四栅极被该电介质层分离并导电隔离。

附图说明

[0018] 将参考以下附图详细描述作为示例提出的本披露的各种实施例,其中,相同的附图标记指代相同的元件,并且在附图中:

[0019] 图1A示出了根据本披露内容的实施例的示例性多路复用器(MUX) 100的电路示意图;

[0020] 图1B示出了根据本披露内容的实施例的传输门对110的示例;

[0021] 图2A示出了根据本披露内容的实施例的2D半导体装置299的俯视图;

[0022] 图2B至图2D示出了根据本披露内容的实施例的2D半导体装置299中的各个部分的俯视图;

[0023] 图3A至图3B示出了根据本披露内容的实施例的3D半导体装置399的立体图;

[0024] 图3C示出了根据本披露内容的实施例的3D半导体装置399的俯视图;

[0025] 图3D示出了根据本披露内容的实施例的沿着图3C的DD' 截取的3D半导体装置399的截面视图;

[0026] 图3E示出了根据本披露内容的实施例的沿着图3C的EE' 截取的3D半导体装置399的截面视图;

[0027] 图3F示出了根据本披露内容的实施例的沿着图3C的FF' 截取的3D半导体装置399的截面视图;

[0028] 图3G示出了根据本披露内容的实施例的3D半导体装置399的第一部分的俯视图;

[0029] 图3H示出了根据本披露内容的实施例的3D半导体装置399的第二部分的俯视图;

[0030] 图3I示出了根据本披露内容的实施例的3D半导体装置399的第一部分和第二部分的组合俯视图;

[0031] 图3L示出了根据本披露内容的实施例的包括反相器320的3D半导体装置399的立体图;以及

[0032] 图4展示了根据本披露内容的实施例的示例性3D半导体装置499的俯视图。

具体实施方式

[0033] 比如晶体管等半导体器件可以沿着基本垂直于半导体装置的衬底平面的Z方向堆叠,以增加半导体装置的器件密度(即,衬底平面的每单位面积的半导体器件数量)。衬底平面可以是半导体装置的衬底的平坦工作表面。半导体装置可以被称为三维(3D) 半导体装置,并且3D集成可以指代可以形成3D半导体装置的制造工艺。

[0034] 图1A示出了根据本披露内容的实施例的示例性多路复用器(MUX) 100的电路示意图。MUX 100可以包括反相器(或反相器电路) 120和一对传输门(或传输门对) 110。MUX 100可以具有输入信号“a”和“b”、输出信号“q”和控制信号“sel”。反相器120可以将输入端子

185的控制信号“sel”(或简称为“sel”)反相以生成信号“!sel”(或简称为“!sel”),其是“sel”的反相信号。“!sel”是反相器120的输出端子186的输出信号。取决于“sel”,MUX 100的输出信号“q”可以是以下各项之一:输入信号“a”和“b”。图1B示出了根据本披露内容的实施例的传输门对110的示例。传输门对110可以进一步包括具有并联连接的两个晶体管P1和N1的第一传输门181、以及具有并联连接的两个晶体管P2和N2的第二传输门182。输入信号“a”和“b”也是传输门对110的输入信号。输出信号“q”也是传输门对110的输出信号。

[0035] 为了增加器件密度和改善性能,可以使用3D集成来形成MUX 100。图3A示出了根据本披露内容的实施例的3D半导体装置399,其包括具有传输门对310的MUX 300。MUX 300和传输门对310分别是MUX 100和传输门对110的3D实施方式。参考图1B和图3A,传输门对310包括第一晶体管堆叠体381,该第一晶体管堆叠体具有形成在3D半导体装置399的衬底301上的P1和沿着基本垂直于衬底301的衬底平面305的Z方向堆叠在P1上的N1。在示例中,P1形成在衬底平面305上,并且N1形成在平行于衬底平面305的平面307上。P1包括栅极G1,并且N1包括栅极G2。传输门对310包括第二晶体管堆叠体382,该第二晶体管堆叠体具有形成在衬底301上的P2和沿Z方向堆叠在P2上的N2。在示例中,P2形成在衬底平面305上,并且N2形成在平面307上。P2包括栅极G3,并且N2包括栅极G4。

[0036] 参考图1A、图1B和图3A,第一堆叠体381实施第一传输门181,并且第二堆叠体382实施第二传输门182。因为第一堆叠体381的栅极G1和G2由不同的信号(例如“sel”和“!sel”)控制,所以栅极G1和G2可以是分裂栅极。类似地,栅极G3和G4可以是分裂栅极。分裂栅极可以指代物理上和电学上分离的栅极的堆叠体,并且可以经由分离的导电迹线导电连接到分离的布线轨道。分裂栅极可以具有独立的连接,例如连接到不同的电信号。

[0037] 第一导电迹线353和第四导电迹线323可以被配置成将栅极G1和G4分别导电耦合到第一布线轨道324。第二导电迹线363和第三导电迹线313可以被配置成将栅极G2和G3分别导电耦合到第二布线轨道314。因此,第一布线轨道324和与第一布线轨道324电隔离的第二布线轨道314可以被形成为分别提供不同的信号“sel”和“!sel”。在示例中,分裂栅极G1和G2分别经由第一导电迹线353和第二导电迹线363耦合到“sel”和“!sel”,并且G3和G4分别经由第三导电迹线313和第四导电迹线323耦合到“!sel”和“sel”。

[0038] 在示例中,P1和P2是p型晶体管,比如p型场效应晶体管(pFET),并且N1和N2是n型晶体管,比如n型FET(nFET)。pFET(例如,P1)和nFET(例如,N2)的栅极(例如,G1和G4)可以形成在不同的平面中(例如,G1在衬底平面305上而G4在平面307上)并且共享或接入相同的布线轨道(例如,第一布线轨道324),因此减轻了对附加金属化(比如一些平面互补FET(CFET)中所需的nFET到pFET交叉)的需求并且减少了布线拥塞。进一步,参考图3A,第一布线轨道324和第二布线轨道314沿着垂直于Z方向的X方向基本平行(或在X方向上延伸),并且因此第一布线轨道324和第二布线轨道314具有单向形状(例如,沿着比如X方向的单个方向形成的形状)。X方向平行于衬底平面305。图3A所示的nFET到pFET交叉可以用单层单向金属化高效地创建。

[0039] 第一布线轨道324和第二布线轨道314可以分别导电耦合到“sel”和“!sel”。“sel”和“!sel”可以处于彼此相反的逻辑电平下。第一布线轨道324和第二布线轨道314可以位于任何(多个)合适的布线平面上。在示例中,第一布线轨道324和第二布线轨道314可以位于平面309中,该平面沿着Z方向堆叠在第一堆叠体381和第二堆叠体382上方。

[0040] 参考图1B和图3A,在示例中,第一端子结构391可以分别导电耦合晶体管P1、N1、P2和N2的四个源极/漏极(S/D)端子T2、T4、T6和T8,以提供输出信号“q”。第二端子结构392可以分别导电耦合P1和N1的剩余S/D端子T1和T3。第三端子结构393可以分别导电耦合P2和N2的剩余S/D端子T5和T7。第一端子结构、第二端子结构和第三端子结构391至393可以包括任何合适的导电材料。3D半导体装置399可以进一步包括附加部件,比如将第一端子结构、第二端子结构和第三端子结构391至393分别耦合到信号“q”、“a”和“b”的导电迹线。

[0041] 本披露内容涉及半导体器件和装置的设计和微制造。

[0042] 在半导体装置的制造中(例如,在微观尺度上),可以实施各种制造工艺。制造工艺可以包括成膜沉积、刻蚀掩模创建、图案化、材料刻蚀和去除、掺杂处理等。制造过程可以重复执行,以在半导体装置的衬底上形成期望的半导体器件元件或部件。在一些实施例中,利用微制造,可以在一个平面(例如,有源器件平面)中创建半导体器件(例如,晶体管)并且在有源器件平面上方形成接线/金属化,因此半导体器件可以被表征为利用2D制造(或2D集成)制造的二维(2D)电路或2D半导体装置。微缩工作可以增加器件密度(例如,2D电路中每单位面积的晶体管数量),但是随着微缩进入纳米级半导体器件制造节点,微缩工作也面临挑战。在示例中,使用其中晶体管彼此堆叠在一起的3D半导体电路来增加器件密度。

[0043] 如上所述,3D集成(例如竖直堆叠多个半导体器件)可以通过增加半导体装置在体积方面的器件密度(例如,当多个晶体管竖直堆叠时的晶体管密度)而不是在面积方面的器件密度来克服在平面器件中所经历的某些微缩限制。随着3D NAND的采用,闪存行业已经成功地论证和实施了竖直堆叠多个半导体器件。在各种情况下,在随机逻辑设计中实施3D集成可能具有挑战性。

[0044] 本披露内容中的实施例可以提供3D半导体装置(例如,3D半导体装置399)以实现用于密集CFET逻辑布局的紧凑传输门对(例如,传输门对310)。该紧凑传输门对可以包括分裂栅极(例如,G1和G2),并且可以通过分裂栅极工艺流程来制造。

[0045] 为了清楚起见,呈现了本披露内容中的不同实施例或步骤的描述的顺序。通常,这些实施例或步骤可以以任何合适的顺序执行。另外,尽管可能在本披露内容的不同地方描述了每个实施例(比如不同的特征、技术、配置等),但是旨在可以彼此独立地或彼此组合地执行每个实施例。相应地,可以以许多不同的方式来实施和查看本披露内容。

[0046] 在一些实施例中,互补金属氧化物半导体(CMOS)设计中的各种组合逻辑功能是由n型和p型晶体管对的互补组来形成的,在这些互补组中,单个栅极连接或公共栅极可以控制(例如,切换)逻辑单元中的n型沟道和p型沟道两者。在一些示例中,例如由一对交叉耦合的反相器形成的传输门对是用于高效地呈现比如MUX、异或门(XOR)、锁存器等逻辑单元的有价值的设计构造。在一些设计示例中,在传输门对中使用分裂栅极而不是公共栅极。

[0047] 返回参考图1A,在示例中,MUX 100可以基于CMOS设计,并且可以包括传输门对110。反相器120可以包括晶体管P3(例如,pFET)和N3(例如,nFET)。P3包括栅极G5、源极端子T9和漏极端子T10。N3包括栅极G6、源极端子T11和漏极端子T12。栅极G5和G6可以连接到“sel”。端子T10和T11可以耦合在一起并输出“!sel”。

[0048] 传输门对110可以由一对交叉耦合的反相器形成,并且因此传输门对110可以被称为交叉耦合件(XC)。图1B示出了传输门对110(或XC 110)的放大视图。如上所述,XC 110包括第一传输门181(也称为第一传递门)和第二传输门182(也称为第二传递门)。在示例中,

第一传递门181中的P1和N1可以是一对CFET,并且第二传递门182中的P2和N2可以是一对CEFT。在示例中,一对CFET(例如,P1和N2)耦合到“sel”,并且另一对CFET(例如,P2和N1)耦合到“!sel”。

[0049] 在示例中,P1是包括G1和S/D端子T1和T2的pFET;N1是包括G2和S/D端子T3和T4的nFET;P2是包括G3和S/D端子T5和T6的pFET;并且N2是包括G4和S/D端子T7和T8的nFET。S/D端子T1至T8中的每一个可以是源极端子或漏极端子。在示例中,当T1处的电压高于T2处的电压时,T1是P1的源极端子,并且T2是P1的漏极端子。可替代地,当T1处的电压低于T2处的电压时,T1是P1的漏极端子,并且T2是P1的源极端子。类似的描述可以适用于T3至T8。

[0050] 在示例中,当“sel”是逻辑1时,“!sel”是逻辑0。P1和N1可以起到“断开开关”的作用,并且因此第一传递门181起到“断开开关”的作用。相应地,第一传递门181不将输入信号“a”传递到输出信号“q”。同时,P2和N2可以起到“闭合开关”的作用,并且因此第二传递门182起到“闭合开关”的作用。相应地,第二传递门182可以将输入信号“a”传递到输出信号“q”。输出信号“q”可以具有与输入信号“b”相同的逻辑电平。

[0051] 当“sel”是逻辑0时,可以适当改编上述描述:第一传递门181可以将输入信号“a”传递到输出信号“q”,而第二传递门182不将输入信号“b”传递到输出信号“q”。输出信号“q”可以具有与输入信号“a”相同的逻辑电平。

[0052] XC 110可以具有两条信号路径,即分别对应于第二传递门181和第二传递门182的第一信号路径和第二信号路径。“sel”(也称为栅极输入)可以控制(例如,切换)第一信号路径中的栅极G1,而同时控制(例如,切换)第二信号路径中的栅极G4。类似地,“!sel”可以控制(例如,切换)第一信号路径中的栅极G2,而同时控制(例如,切换)第二信号路径中的栅极G3。在示例中,栅极G1控制pFET(例如,P1),并且栅极G4控制与P1互补的nFET(例如,N2)。类似地,栅极G2控制nFET(例如,N1),并且栅极G3控制与N1互补的pFET(例如,P2)。

[0053] XC 110可以使用任何合适的制造工艺和/或设计来形成,比如,在图2A至图2D中的2D半导体装置299中使用2D制造工艺或2D制造来形成,或者在图3A至图3I中的3D半导体装置399中使用3D制造工艺或3D集成来形成。

[0054] 图2A示出了可以在某些技术节点中使用的2D半导体装置299的俯视图。2D半导体装置299包括具有XC 210的MUX 200,其中MUX 200和XC 210分别是MUX 100和XC 110的2D实施方式。MUX 200可以进一步包括反相器(例如,反相器120的2D实施方式)。参考图2A,如上所述,P1包括G1和端子T1和T2;N1包括G2和端子T3和T4;P2包括G3和端子T5和T6;并且N2包括G4和端子T7和T8。P1和P2位于2D半导体装置299的衬底平面201的行251中,并且P1和P2的S/D端子T1、T2、T5和T6可以形成在区域231中。区域231可以通过扩散工艺、注入工艺等来进行掺杂。进一步,端子T2和T6彼此相邻并导电耦合。N1和N2位于衬底平面201的行252中,并且N1和N2的S/D端子T3、T4、T7和T8可以通过扩散形成到区域232中。区域232可以通过扩散工艺、注入工艺等来进行掺杂。进一步,端子T4和T8彼此相邻并导电耦合。

[0055] 每个栅极G1至G4可以包括一个或多个结构,比如电介质结构和导电结构。该导电结构可以包括一种或多种导电材料,比如多晶硅、铜(Cu)、钌(Ru)等。图2B至图2D示出了根据本披露内容的实施例的栅极G1至G4和将栅极G1至G4耦合到信号(比如“sel”和“!sel”)的附加金属化层(例如,导电结构214至215)的示例性布局。图2B示出了根据本披露内容的实施例的栅极G1至G4的俯视图。图2C示出了根据本披露内容的实施例的导电结构214至215的

俯视图。图2D示出了根据本披露内容的实施例的栅极G1至G4和导电结构214至215的俯视图。栅极G1包括导电结构211,栅极G2包括导电结构213的部分213(1),栅极G3包括导电结构213的部分213(2),并且栅极G4包括导电结构212。导电结构211至213可以使用多晶硅来形成。

[0056] 在一些示例中,单向结构指代在平行于衬底平面(例如,衬底平面201)的平面中基本沿着单个方向(例如,X方向、Y方向等)形成的结构。双向结构可以指代这样的结构,该结构的一个部分和另一个部分在平行于衬底平面(例如,衬底平面201)的平面中沿着两个不同的方向(例如,X和Y方向)形成。单向结构可以具有单向形状,并且双向结构可以具有双向形状。

[0057] 参考图2B至图2D,为了将G1(例如,第一传递门181中的pFET P1的栅极)和G4(例如,第二传递门182中的nFET N2的栅极)导电耦合在一起,使用双向结构(例如,导电结构214,其包括沿着X方向的部分214(1)-(2)和沿着Y方向的部分214(3))来实施nFET到pFET交叉。因此,导电结构214也可以被称为双向结构214。使用双向结构214是因为G1和G4分别位于衬底平面201的不同行(例如,行251至252)和不同列255至256中。参考图3A,利用具有单向形状的第一布线轨道324,可以高效地创建nFET到pFET交叉,并且因此减轻对双向结构214的需求。部分214(1)可以(例如使用导电结构211)经由导电迹线221导电耦合G1。部分214(2)可以(例如使用导电结构212)经由导电迹线222导电耦合G4。沿着X方向的部分214(3)连接沿着Y方向的部分214(1)-(2)。进一步,导电结构214可以导电耦合到“sel”。

[0058] 类似地,为了将G2(例如,第一传递门181中的nFET N1的栅极)和G3(例如,第二传递门182中的pFET P2的栅极)导电耦合在一起,使用双向结构(例如,导电结构213)来实施nFET到pFET交叉。因此,导电结构213也可以被称为双向结构213。导电结构213可以经由导电迹线223耦合到导电结构215。进一步,导电结构215可以导电耦合到“!sel”。该导电结构214至215可以使用一种或多种导电材料(比如Cu、Ru等)形成。导电结构214至215可以形成在不同于形成导电结构211至213的平面(例如,衬底平面201)的一个或多个平面上。

[0059] 如图2A至图2D所示,XC 210包括位于同一平面(例如,衬底平面201)上的4个晶体管。XC 210中使用的布局可能相当复杂,例如,XC 210包括双向结构213至214。参考图2A,在一些示例中,沿着Y方向的尺寸“dh”需要较大,以便在相邻结构之间具有足够的间距,并适应形成XC 210所需的末端到末端(例如,沿着Y方向的相邻单元之间的距离dh0)、末端到边缘(例如,末端到边缘的距离ts1)、触点外围等设计规则。在示例中,dh确定可以放置XC 210的单元的最小单元高度。例如,单元位于第一单元边界202与第二单元边界203之间。参考列255至256,dh包括三个部分(例如,dhA、dhB和dhC),其中沿着列255的dhA和沿着列256的dhC可以横跨对称的结构,并且可以相等。因此,下面的描述对dhA和dhB进行描述。参考列255,dhA包括0.5dh0(即,末端到末端距离dh0的一半)、栅极的越过有源沟道的延伸(也称为“端盖”)dh1、栅极G1的栅极宽度、触点到有源沟道的空间dh2、导电结构211的触点宽度、多晶的越过触点的延伸dh3(也称为外围)、末端到边缘的距离ts1(例如,导电结构211与双向结构214之间的距离)。dhB对应于双向结构214的宽度。例如,相邻结构包括导电结构214至215。相邻结构还可以包括区域231和导电结构215。例如,为了形成XC 210,双向结构213(例如,用多晶硅形成的水平折弯(jog)结构)可以用于将两个晶体管(例如,N1和P2)连接到XC 210的公共输入(例如,!sel),同时双向结构214(例如,互补折弯的金属线)接触第二组晶体

管(例如,P1和N2)。在一些示例中,某些设计可能对使用单向形状的布局有限制,和/或沿着Y方向的空间受到约束,其中逻辑单元沿着Y方向的尺寸被约束为较小,并且因此可能难以形成图2A至图2D中所示的XC 210,或者XC 210可能导致2D半导体装置299的密度和性能损失。

[0060] 本披露内容中的实施例(比如设计和方法)可以为先进技术节点中的密集布局提供益处。在示例中,比如逻辑单元、MUX、XC等的单元或器件的面积可以由单元或器件中的轨道(或金属轨道)的数量来表示,被称为沿着Y方向的单元高度。

[0061] 本披露内容中的实施例可以提供用于XC(比如XC 310)的结构,其利用CFET技术形成,该技术可以在小至5条轨道(5T)的单元(例如,逻辑单元)中呈现。在实施例中,XC 310具有2个节距的宽度,并且可以最佳地利用“分裂栅极”技术来设计XC——例如,仅使用两条布线轨道(例如,第一布线轨道324和第二布线轨道314),并且为单元中的其他连接留出空间。参考图3C,一个节距可以指代从导电结构(例如,G1)的第一中心(例如,由DD' 标记)到相邻导电结构(例如,G3)的第二中心(例如,由EE' 标记)的距离。在一些示例中,导电结构和相邻导电结构使用多晶硅来形成,并且因此该距离或节距可以被称为“多晶节距”。附加的触点(例如,用于第一端子结构391的源极/漏极触点)可以包括在XC 310中,比如在多晶节距之间。在示例中,多晶节距(例如,在DD' 与EE' 之间)足够宽以容纳栅极(例如,G1和G4)和第一端子结构391的源极/漏极触点。因此,多晶节距也可以被称为“接触多晶节距(或cpp)”。因此,XC可以具有2个cpp的宽度。

[0062] 这些实施例包括用于基于CFET的逻辑设计的紧凑且资源高效的XC,比如XC 310。图3A至图3C分别示出了根据本披露内容的实施例的3D半导体装置399的两个立体图和一个俯视图。图3D示出了沿着图3C的DD' 截取的3D半导体装置399的截面视图。图3E示出了沿着图3C的EE' 截取的3D半导体装置399的截面视图。图3F示出了沿着图3C的FF' 截取的3D半导体装置399的截面视图。如本文所使用的,比如3D半导体装置399的半导体装置可以包括晶体管(例如,场效应晶体管和浮栅晶体管)、集成电路、半导体芯片(例如,包括3D NAND存储器器件的存储器芯片、半导体裸片上的逻辑芯片)、半导体芯片堆叠体、半导体封装、半导体晶圆等。

[0063] 参考图3A,本文的设计利用了分裂栅极CFET器件中的n型或p型晶体管沿着Y方向“向北”(例如,朝向可以向3D半导体装置399提供正电压的VDD电源轨)或“向南”(例如,朝向VSS电源轨)延伸的能力。在示例中,(多个)电源轨可以沿着X方向形成。(多个)电源轨可以在任何合适的平面上形成。(多个)电源轨可以在第一堆叠体381和第二堆叠体382的上方或下方。

[0064] 在一些示例中,比如图3A所示,XC 310包括第一晶体管堆叠体381(例如,P1和N1)。在非限制性示例中,P1是pFET,并且N1是nFET,并且P1的G1和N1的G2是分裂栅极。P1是下部晶体管,并且N1是上部晶体管,并且在G1的第一端处的部分397被暴露(例如,没有被N1和G2覆盖),使得第一布线轨道324可以经由部分397处的第一导电迹线353连接到G1。对于相邻的晶体管对(例如,P2和N2),在下部晶体管(P2)的G3的第二端处的部分398被暴露(例如,未被N2和G4覆盖),使得第二布线轨道314可以经由部分398处的第三导电迹线313连接到G3。下部栅极(例如,G1和G3)的暴露可以通过任何合适的制造工艺来实现,这些制造工艺比如是各种各样的线条末端切割方法或不同的直接图案化解决方案。XC 310可以包括第一布线

轨道324和第二布线轨道314(例如,一对单向导线),其中一个递送控制信号(在非限制性示例中为“sel”)并且另一个递送反相信号(例如“!sel”)到相应组的相邻晶体管对。

[0065] 分裂栅极G1和G2可以被包括一种或多种电介质材料的电介质层371分离并导电隔离,并且分裂栅极G3和G4可以被电介质层371分离并导电隔离。可替代地,分裂栅极G3和G4可以被不同于电介质层371的电介质层分离并导电隔离。

[0066] 如上所述,分裂栅极方法可以选择性地暴露和接触底部晶体管(例如,P1或P2)或底部栅极(例如,G1或G3),并且因此可以允许单个单向金属线(例如,第一布线轨道324)经由第一导电迹线353与p型晶体管(即,P1)的栅极G1导电耦合,同时经由第四导电迹线323与相邻第二堆叠体382的n型晶体管(即,N2)的栅极G4导电耦合。

[0067] 在示例中,图3A示出了XC 310,其使用CFET并且沿着X方向占据2个cpp的宽度,并且足够紧凑以放入沿着Y方向的5T单元高度。如上所述,第一导电迹线353和第四导电迹线323可以被配置成将栅极G1和G4分别导电耦合到第一布线轨道324。第二导电迹线363和第三导电迹线313可以被配置成将栅极G2和G3分别导电耦合到第二布线轨道314。参考图3A,分裂栅极G1和G2可以例如沿着Y方向交错或偏移。因此,下部栅极G1的部分397(例如,在G1的第一端处)可以被暴露,使得第一导电迹线353可以接入G1并且绕过上部栅极G2和上部晶体管N1。部分397的位置可以在G1的任何合适的位置,其中该合适的位置允许第一导电迹线353绕过N1和G2。类似地,部分398的位置可以在G3的任何合适的位置,其中该合适的位置允许第三导电迹线313绕过N2和G4。

[0068] 当利用平行于衬底平面305的平面给栅极切片时,栅极(比如G1)的横截面积可以是极大横截面积(或最大横截面积)。因此,栅极的横截面积指代栅极与基本垂直于Z方向的平面相交的最大横截面积。通常,分裂栅极对G1和G2的横截面积可以具有任何合适的关系。在示例中,比如图3A、图3C和图3D所示的,G1的横截面积大于G2的横截面积。G1的横截面积也可以等于或小于G2的横截面积,并且分裂栅极G1和G2可以交错。分裂栅极G3和G4的横截面积可以具有任何合适的关系。在示例中,比如图3A、图3C和图3E所示的,G3的横截面积大于G4的横截面积。G3的横截面积也可以等于或小于G4的横截面积。类似地,分裂栅极G3和G4可以交错。

[0069] 在示例中,比如图3A所示的,第一第二导电迹线353和第二导电迹线363在空间上分离,第一导电迹线353绕过G2和N1,并且第二导电迹线363绕过G1和P1,第三导电迹线313和第四导电迹线323在空间上分离,第三导电迹线313绕过G4和N2,第四导电迹线323绕过G3和P2。

[0070] 参考图3A、图3B和图3D至图3F,电介质层371可以夹在分裂栅极G1和G2之间,并且电介质层371还可以夹在分裂栅极G3和G4之间。

[0071] 分裂栅极G1和G2在平行于衬底平面305的平面内可以具有任何合适的空间关系。例如,G2可以沿着X方向、Y方向和/或平行于衬底平面305的任何方向从G1偏移。上述描述也适用于分裂栅极G3和G4。参考图3A至图3E,在示例中,G2可以沿着Z方向堆叠在G1的正上方,例如以最大化分裂栅极G1和G2之间的重叠面积。类似地,G4可以沿着Z方向堆叠在G3的正上方。

[0072] 参考图3B和图3D至图3F,XC 310可以进一步包括第一沟道结构373和第二沟道结构375。第一沟道结构373和第二沟道结构375可以被第一端子结构、第二端子结构和第三端

子结构391至393包围。为了更好地显露第一沟道结构373和第二沟道结构375,第一端子结构、第二端子结构和第三端子结构391至393并未在图3B和图3D至图3F中示出。第一沟道结构373可以包括部分373(1)和部分373(2),这两个部分例如分别被栅极G1和G3包围。第二沟道结构375可以包括部分375(1)和部分375(2),这两个部分例如分别被栅极G2和G4包围。第一沟道结构373和第二沟道结构375可以具有任何合适的结构(包括形状和尺寸)和材料系统,使得当P1工作时,部分373(1)可以提供半导体沟道,比如p沟道;当P2工作时,部分373(2)可以提供半导体沟道,比如p沟道;当N1工作时,部分375(1)可以提供半导体沟道,比如n沟道;并且当N2工作时,部分375(2)可以提供半导体沟道,比如n沟道。

[0073] 参考图3D至图3F,第一沟道结构373包括沿着Z方向堆叠的第一组半导体条(例如,2个半导体条),并且第二沟道结构375包括沿着Z方向堆叠的第二组半导体条(例如,2个半导体条)。换句话说,P1可以包括被G1包围并附接到G1的部分373(1)(也是第一组半导体条的一部分),N1可以包括被G2包围并附接到G2的部分375(1)(也是第二组半导体条的一部分)。P2可以包括被G3包围并附接到G3的部分373(2)(也是第一组半导体条的一部分),N2可以包括被G4包围并附接到G4的部分375(2)(也是第二组半导体条的一部分)。在示例中,第二沟道结构375沿着Z方向堆叠在第一沟道结构373上方,并且第二组半导体条沿着Z方向堆叠在第一组半导体条上。参考图3D至图3F,部分375(1)沿着Z方向堆叠在部分373(1)上,并且部分375(2)沿着Z方向堆叠在部分375(2)上。

[0074] 栅极(例如,G1、G2、G3或G4)可以以任何合适的配置(比如在鳍式FET(FinFET)、全环绕栅极(GAA)、三栅极、 π 栅极等中使用的配置)覆盖或包围相应的沟道结构(例如,373的一部分或375的一部分)。在GAA配置中,栅极材料可以包围相应沟道结构的所有侧面。

[0075] 参考图3A至图3C和图3F,第一沟道结构373可以包括分别可以被第一端子结构、第二端子结构和第三端子结构391至393覆盖或包围的部分373(3)-(5)。第二沟道结构375可以包括分别可以被第一端子结构、第二端子结构和第三端子结构391至393覆盖或包围的部分375(3)-(5)。在一些示例中,会从3D半导体装置399去除部分373(3)-(5)和375(3)-(5)中的一个或多个。

[0076] 图3G示出了根据本披露内容的实施例的3D半导体装置399的第一部分的俯视图。G2堆叠在G1上方,并且分裂栅极G1和G2交错。第一导电迹线353在暴露(例如,未被上部栅极G2覆盖)的部分397处连接到G1。在示例中,第一导电迹线353绕过G2和N1。第二导电迹线363连接到G2。G4堆叠在G3上方,并且分裂栅极G3和G4交错。第三导电迹线313在暴露(例如,未被上部栅极G4覆盖)的部分398处连接到G3。在示例中,第三导电迹线313绕过N2和G4。第四导电迹线323连接到G4。

[0077] 图3H示出了3D半导体装置399的第二部分的俯视图,其中第一布线轨道324导电连接到第一导电迹线353和第四导电迹线323,并且第二布线轨道314导电连接到第二导电迹线363和第三导电迹线313。图3I示出了第一部分和第二部分的组合俯视图,并且因此出于简洁的目的省略了详细描述。第一布线轨道324和第二布线轨道314可以形成在栅极G1至G4上方。

[0078] 往回参考本披露内容的图2A和图3A,在2D半导体装置299中,双向结构(例如,导电结构214)用于导电耦合栅极G1和G4。然而,在3D半导体装置399中,第一导电迹线353和第四导电迹线323可以被配置成将栅极G1和G4分别导电耦合到第一布线轨道324,其中第一布线

轨道324是单向结构(例如,平行于X方向)。因此,当pFET(例如,P1)和nFET(例如,N2)的栅极G1和G4分别形成在不同的平面(例如,衬底平面305和平面307)中时,栅极G1和G4可以共享或接入具有单向形状的第一布线轨道(例如,第一布线轨道341),并且因此减轻了对附加金属化层(比如由导电结构214实施的nFET到pFET交叉)的需求。因此,在3D半导体装置399中可以消除或减少双向结构的使用,并且可以减少布线拥塞,因为形成单向结构可以比形成双向结构更容易。

[0079] 使用双向结构会增大半导体装置的区域,并且因此消除或减少双向结构可以减小半导体装置的区域。进一步,沿着Z方向竖直堆叠多个晶体管(例如,如图3A、图3B、图3D和图3E所示地竖直堆叠P1和N1以及竖直堆叠P2和N2)可以减小半导体装置的区域。比较图2A和图3C,图2A中的XC 210的2D区域沿着X方向覆盖2个多晶节距(例如,2个cpp)的宽度,并且沿着Y方向覆盖至少8T的高度。高度可以是如上所述的dh。相比之下,图3C中的XC 310的3D区域沿着X方向覆盖2个多晶节距(例如,2个cpp)的宽度,并且沿着Y方向覆盖5T的高度。因此,3D半导体装置399中的晶体管密度可以高于2D半导体装置299中的晶体管密度。

[0080] 参考图2B、图2C和图3C,导电结构213沿着X方向和Y方向的线性尺寸(例如,d1至d3之和)和导电结构214的线性尺寸(例如,d4至d6之和)可以比第一布线轨道324和第二布线轨道314沿着X方向的线性尺寸d7长,并且因此导电结构213至214中的每一个的寄生电容和/或电阻可以比第一布线轨道324和第二布线轨道314中的每一个的寄生电容和/或电阻大。因此,XC 310的性能可以比XC 210的性能更好。

[0081] 图3L示出了3D半导体装置399,其中MUX 300进一步包括实施反相器120的反相器320。出于清楚的目的,在图3L中省略了参考图3A至图3I描述的XC 310中的各种部件,而示出了包括衬底301、第一沟道结构373和第二沟道结构375、第一布线轨道324和第二布线轨道314的部件。反相器320可以包括第三晶体管堆叠体383,该第三晶体管堆叠体具有形成在衬底301上(比如在衬底平面305上)的晶体管P3、以及沿着Z方向堆叠在P3上的晶体管N3。N3可以在平面308上形成。参考图1A和图3L,P3包括栅极G5、端子T9和端子T10,并且N3包括栅极G6、端子T11和端子T12,其中栅极G5和G6可以导电耦合以形成公共栅极395。在图3L所示的示例中,栅极G5和G6物理连接。第五导电迹线343可以被配置成将公共栅极395导电耦合到以下各项之一:第一布线轨道324和第二布线轨道314。在示例中,第五导电迹线343被配置成将公共栅极395耦合到第一布线轨道324,并且因此公共栅极395可以耦合到“sel”。P3可以进一步包括第一沟道结构373的一部分。当P3工作时,第一沟道结构373的该部分可以为P3提供半导体沟道,比如p沟道。N3可以进一步包括第二沟道结构375的一部分。当N3工作时,第二沟道结构375的该部分可以为N3提供半导体沟道,比如n沟道。

[0082] 第三堆叠体383可以相对于XC 310定位在3D半导体装置399中的任何合适的位置。例如,第三堆叠体383可以位于XC 310的外部,并且平行于第一堆叠体381和第二堆叠体382。可替代地,第三堆叠体383可以位于XC 310内部。

[0083] 端子T10和T11可以耦合在一起作为端子结构303,并且导电迹线333可以被配置成将端子T10和T11或端子结构303导电耦合到第二布线轨道314,在该第二布线轨道处,端子T10和T11可以输出反相器320的输出信号(例如,“!sel”)。

[0084] 3D半导体装置399可以包括一个或多个单元,比如可以实施一个或多个逻辑功能的逻辑单元、存储器单元等。在示例中,3D半导体装置399包括这样的单元,XC 310在该单元

中。进一步,该单元可以包括反相器320,并且因此MUX 300在该单元中。

[0085] 图4展示了根据本披露内容的实施例的示例性3D半导体装置499的俯视图,该装置将所披露的XC 310用于基于CFET的逻辑设计。3D半导体装置499可以包括MUX 400,该MUX进一步具有XC 410和反相器420。在示例中,MUX 400可以包括与MUX 300相同或相似的部件,XC 410可以包括与XC 310相同或相似的部件,并且反相器420可以包括与反相器320相同或相似的部件,并且因此出于简洁的目的,省略了对MUX 400、XC 410和反相器420的详细描述。

[0086] 在示例中,MUX 400进一步包括反相器430,该反相器被配置成将反相器430的输入引脚上的信号“i”反相,以生成信号“a”(即,“a”=“!i”)。信号“a”成为到XC 410中的第一输入。进一步,MUX 400包括反相器440,该反相器被配置成将信号“a”反相为信号“b”,该信号“b”成为到XC 410的第二输入,其中信号“a”和“b”彼此反相,从而有效地使信号“b”成为原始输入信号“i”的双重反相。MUX 400还可以包括虚设栅极451至452,这些虚设栅极例如可以将MUX 400与相邻的单元或多路复用器电隔离。

[0087] 利用某些细节(比如特定的几何形状、电路示意图等)描述了本披露内容中的实施例。然而,应理解,可以在脱离这些具体细节的其他实施例中实践本文中的技术,并且这样的细节是出于解释而非限制的目的。通常,实施例可以适用于形成包括第一传输门和第二传输门的传输门对。第一传输门可以由彼此反相的一对信号(例如,一对反相的信号)控制。第二传输门也可以由该对反相的信号控制。进一步,该对反相的信号中的每一个信号可以控制两个晶体管,其中这两个晶体管中的一个晶体管在(与第一信号路径相对应的)第一传输门中,而这两个晶体管中的另一个晶体管在(与第二信号路径相对应的)第二传输门中。

[0088] 如上所述,分裂栅极结构和制造工艺可以用于在第一传输门中形成第一对分裂栅极。以类似的方式,可以在第二传输门中形成第二对分裂栅极。因此,晶体管密度和传输门对的性能可以得到改善。进一步,通过使用分裂栅极结构,可以降低或消除形成双向结构所带来的复杂性,并且可以简化传输门对的布局或设计。

[0089] 第一传输门和第二传输门中的每一个可以包括互补晶体管。这些互补晶体管可以具有任何合适的布置。例如,n型晶体管可以堆叠在p型晶体管上方。可替代地,p型晶体管可以堆叠在n型晶体管上方。当互补晶体管是CFET时,该CFET可以具有任何合适的布置。例如,nFET可以堆叠在pFET上方。可替代地,pFET可以堆叠在nFET上方。可以适当地调整上述实施例以适应上述情况。

[0090] 除了堆叠互补晶体管之外,还可以堆叠多个p型晶体管。类似地,可以堆叠多个n型晶体管。类似地,可以堆叠多个pFET,并且可以堆叠多个nFET。可以适当地调整上述实施例以适应上述情况。

[0091] 本披露内容中的3D半导体装置399和499、MUX 300和400以及XC 310和410可以使用任何合适的结构、部件、材料系统、尺寸和制造工艺来制造,比如2018年11月30日提交的名称为“Semiconductor apparatus having stacked gates and method of manufacture thereof[具有堆叠栅极的半导体装置及其制造方法]”的美国专利申请16/206,513中所披露的,该专利申请通过援引以其全文并入本文。例如,第一堆叠体381(包括分裂栅极G1和G2和电介质层371)和第二堆叠体382(包括分裂栅极G3和G4和电介质层371)可以具有与美国专利申请16/206,513中的结构和材料系统相似或相同的结构和材料系统。

[0092] 可以适当地调整这些实施例以适应如下的3D半导体装置,该3D半导体装置可以包括附加的3D器件,比如堆叠的SRAM以及其他晶体管类型。

[0093] 在前面的描述中,已经阐明了具体细节,诸如加工系统的特定几何形状以及对其使用的各种部件和工艺的描述。然而,应理解,可以在脱离这些具体细节的其他实施例中实践本文中的技术,并且这样的细节是出于解释而非限制的目的。已参考附图描述了本文中所披露的实施例。类似地,出于解释的目的,已阐述了具体的数字、材料和配置以便提供透彻的理解。然而,可以在没有这样的具体细节的情况下实践实施例。具有基本相同的功能结构的部件由相似的附图标记表示,并且因此可以省略任何多余的描述。

[0094] 已将各种技术描述为多个分立的操作以帮助理解各种实施例。描述的顺序不应当解释为意味着这些操作一定是依赖于顺序的。实际上,这些操作无需以呈现的顺序执行。可以以与所描述的实施例不同的顺序来执行所描述的操作。在附加实施例中,可以执行各种附加操作和/或可以省略所描述的操作。

[0095] 如本文所使用的,“衬底”或“目标衬底”通常是指根据本发明被加工的对象。衬底可以包括器件(特别是半导体或其他电子器件)的任何材料部分或结构,并且可以例如是基础衬底结构(比如半导体晶圆、掩模版)、或基础衬底结构上或上覆的层(比如薄膜)。因此,衬底不限于图案化或未图案化的任何特定基础结构、下覆层或上覆层,而是设想为包括任何这种层或基础结构、以及层和/或基础结构的任何组合。该描述可以参考特定类型的衬底,但这仅出于说明性目的。

[0096] 本领域技术人员还将理解,在仍然实现本发明的相同目的的同时,可以对上述技术的操作做出许多改变。本披露内容的范围旨在包含这些改变。因此,本发明的实施例的前述描述不旨在是限制性的。相反,在所附权利要求中呈现了对本发明实施例的任何限制。

[0097] 虽然已经结合作为示例提出的具体实施例描述了本披露内容的各方面,但是可以对示例做出替代、修改和变化。因此,本文所阐述的实施例旨在是说明性的而非限制性的。在不脱离所阐述的权利要求的范围的情况下可以做出改变。

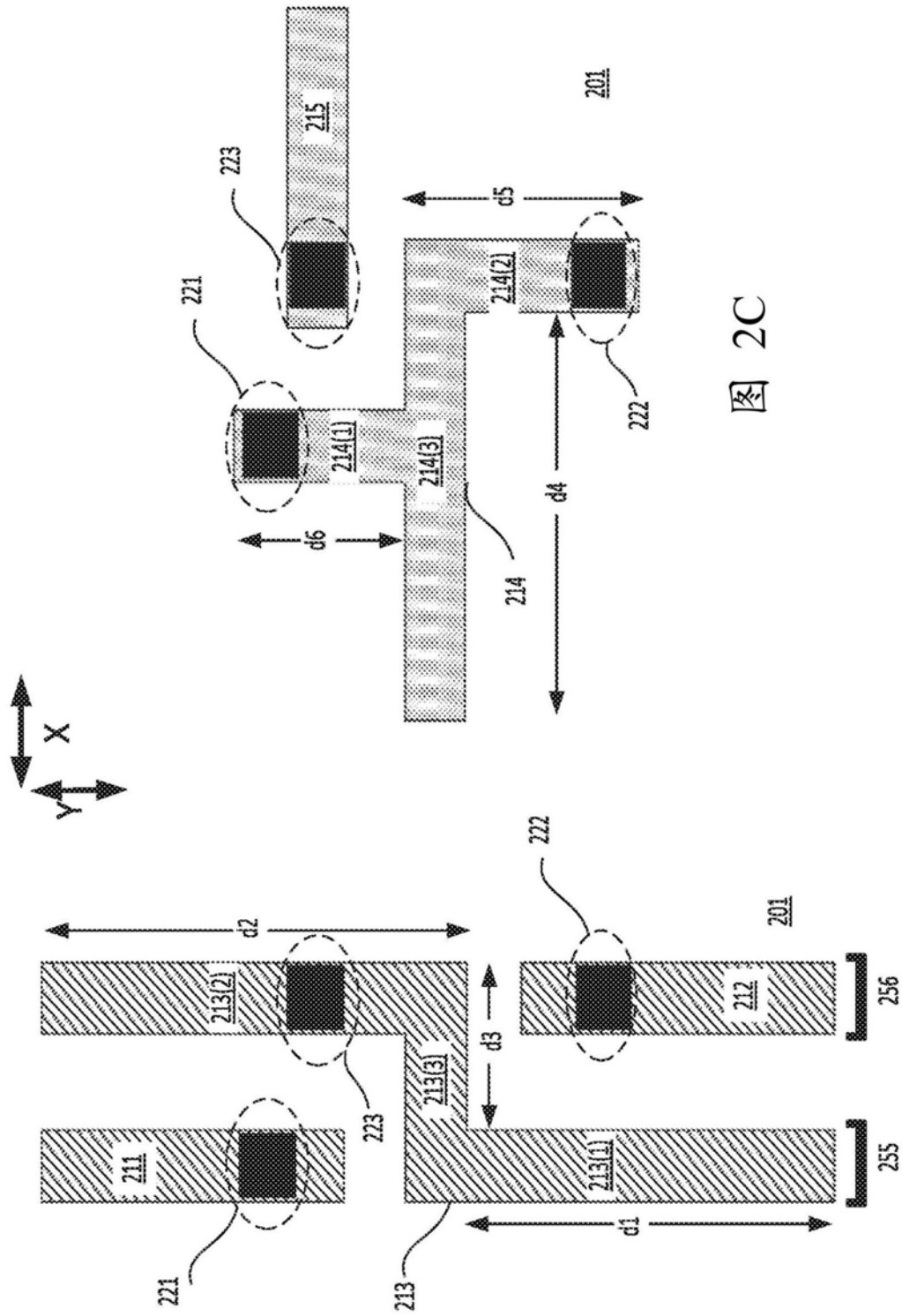


图 2B

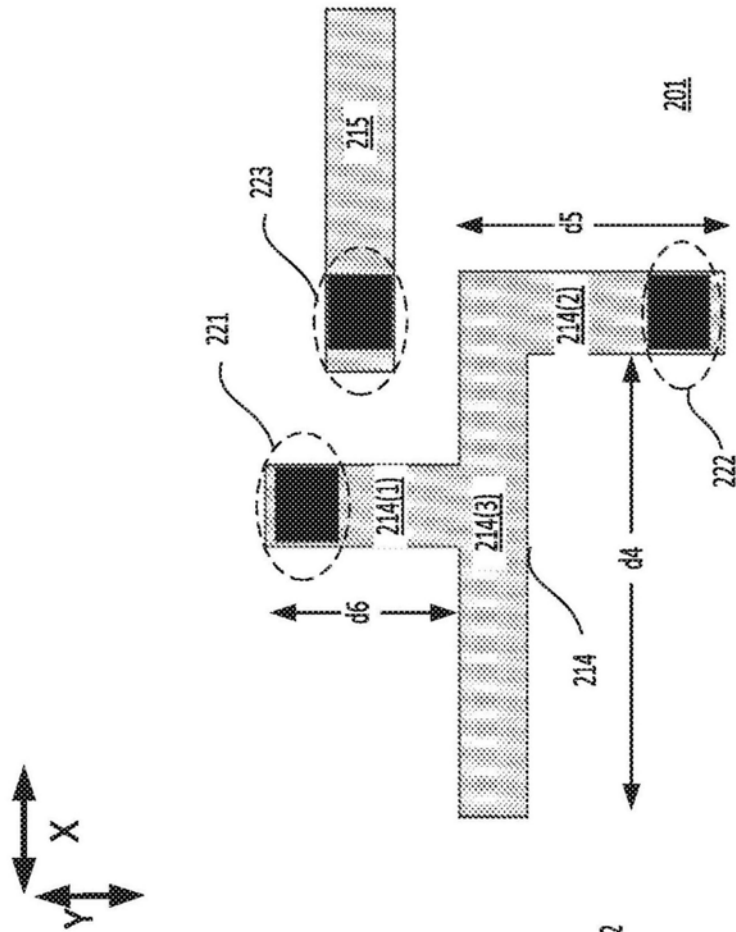


图 2C

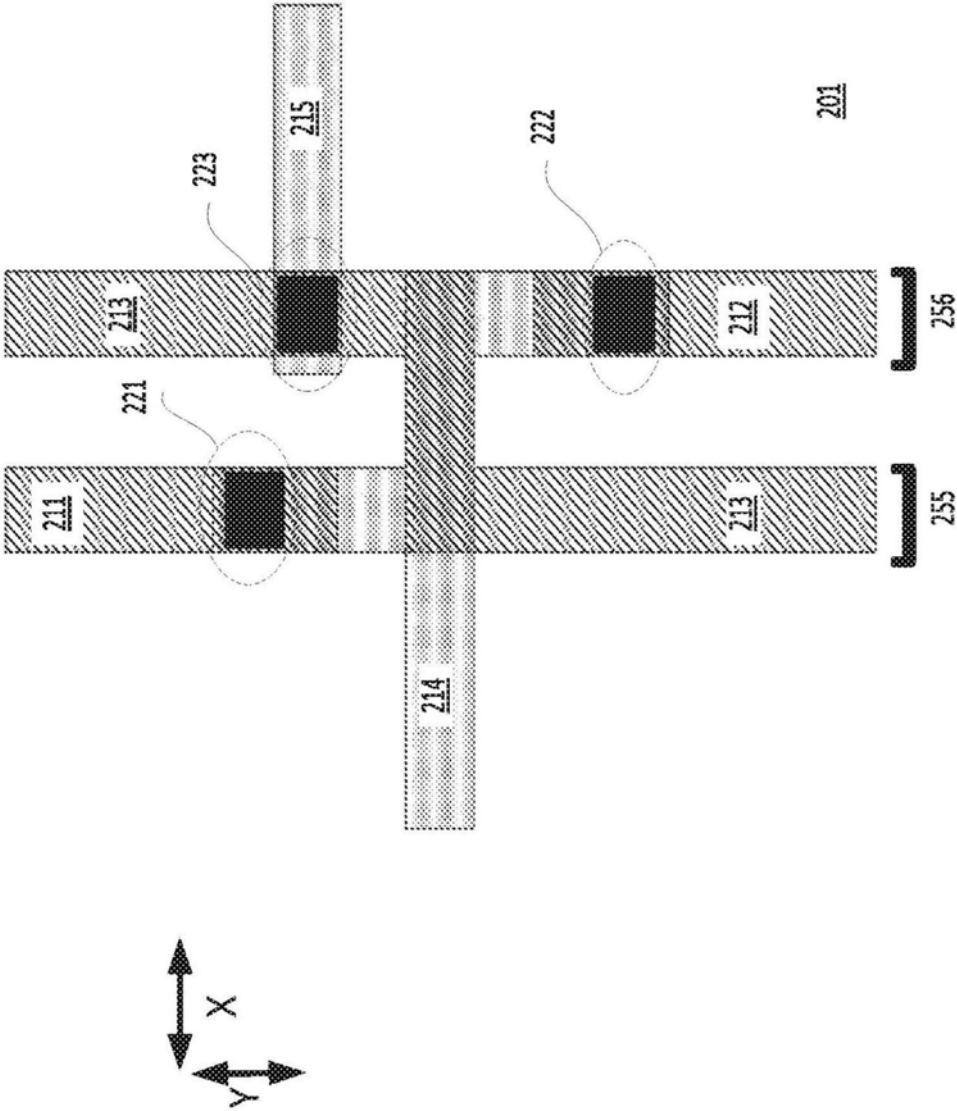


图2D

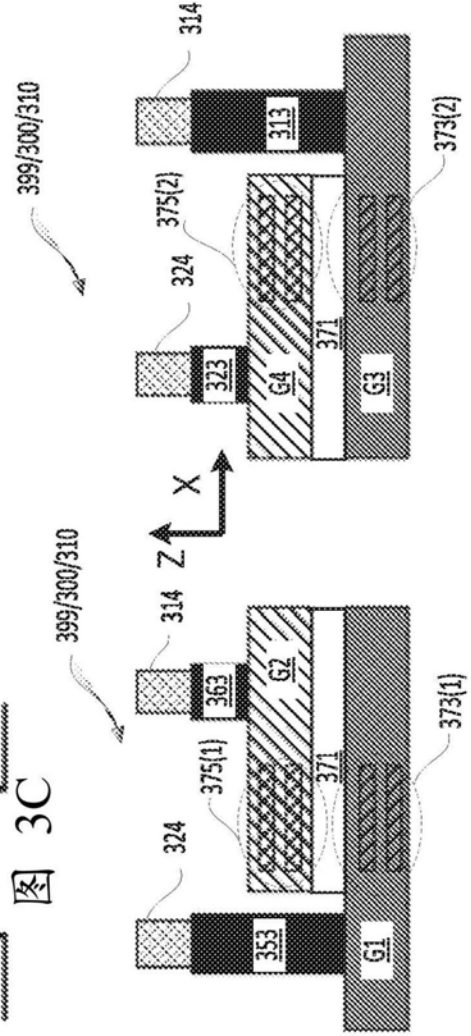
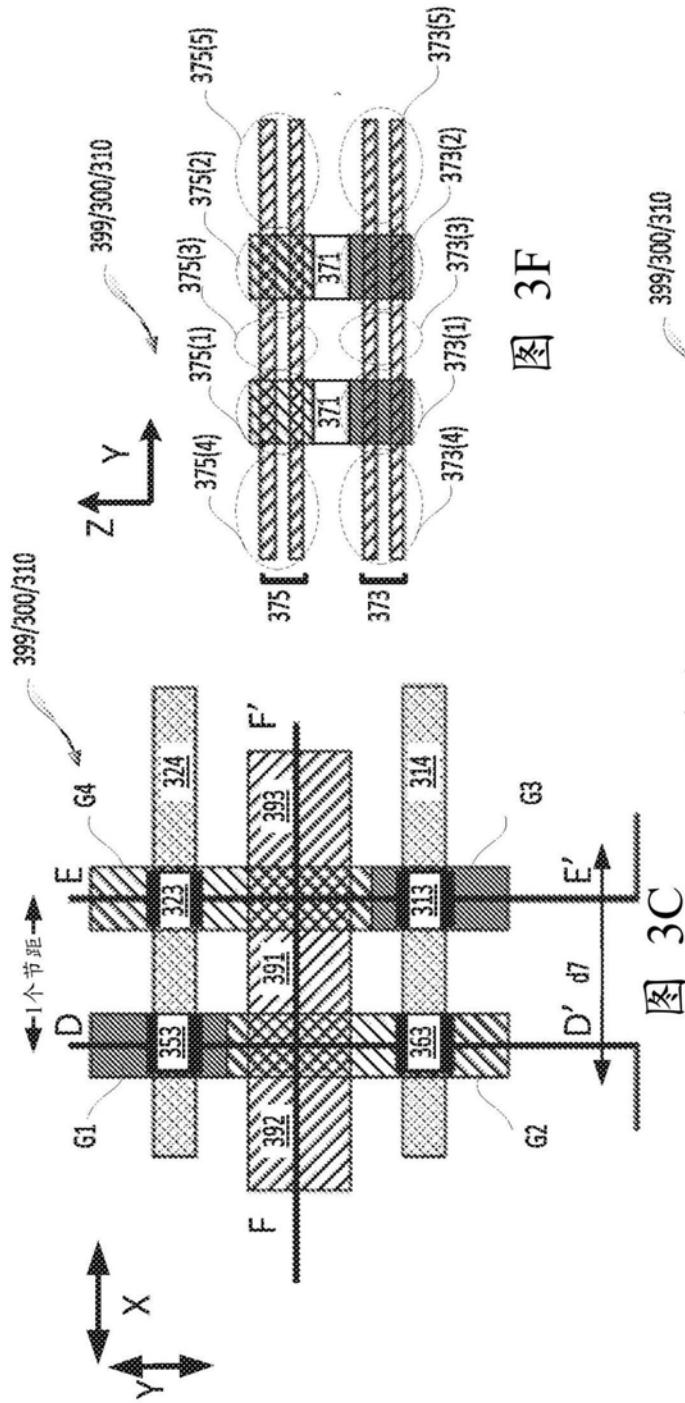


图 3F

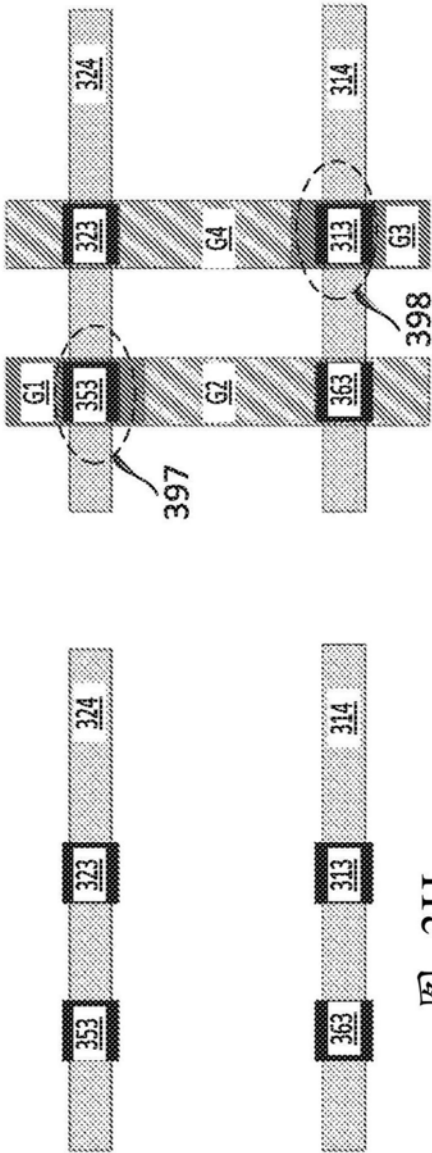


图 3H

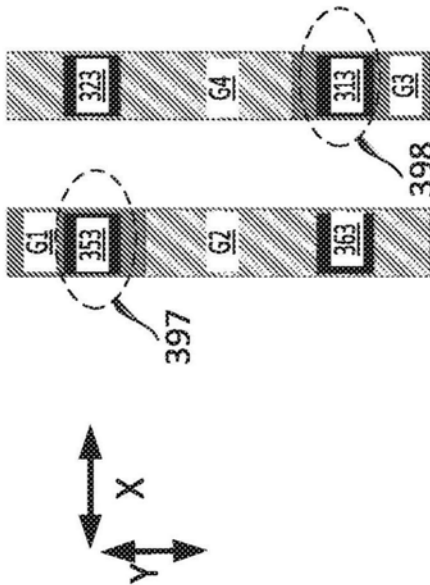


图 3G

图 3I

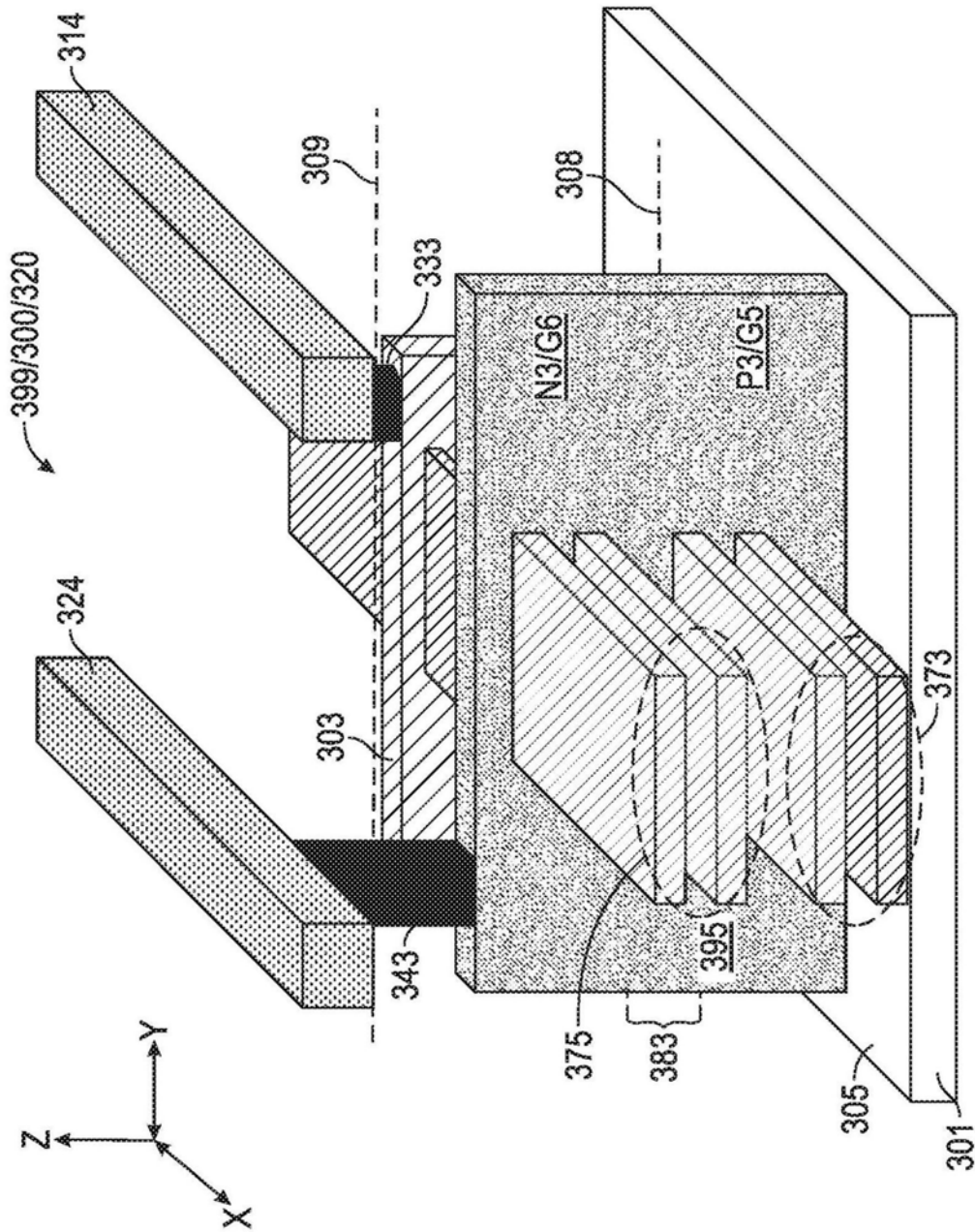


图3L

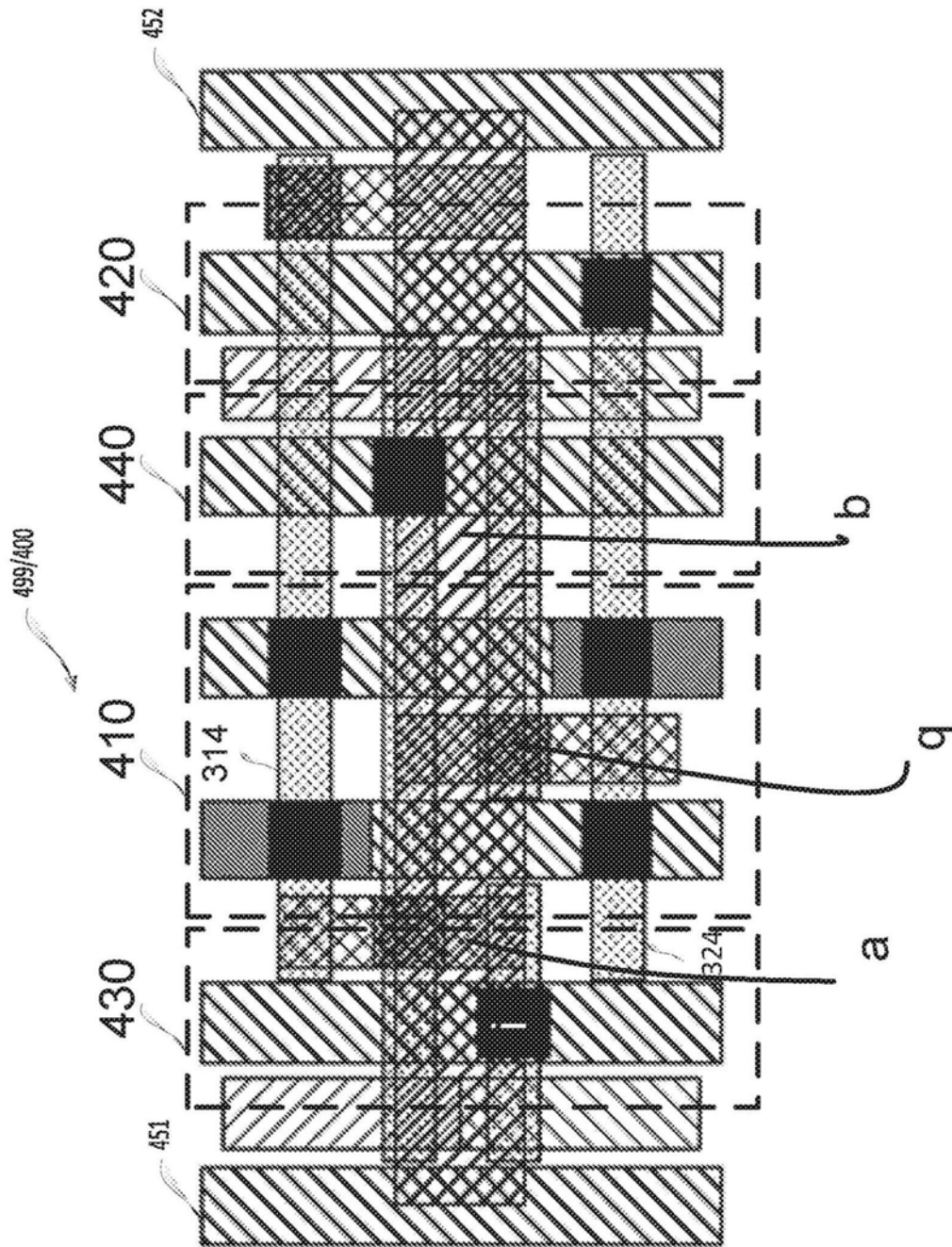


图4