

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7330950号  
(P7330950)

(45)発行日 令和5年8月22日(2023.8.22)

(24)登録日 令和5年8月14日(2023.8.14)

|                                         |                  |          |                    |         |
|-----------------------------------------|------------------|----------|--------------------|---------|
| (51)国際特許分類                              |                  | F I      |                    |         |
| H 0 1 L                                 | 21/336(2006.01)  | H 0 1 L  | 29/78              | 6 1 9 A |
| H 0 1 L                                 | 29/786(2006.01)  | H 0 1 L  | 27/06              | 1 0 2   |
| H 0 1 L                                 | 21/8234(2006.01) | H 0 1 L  | 27/088             | E       |
| H 0 1 L                                 | 27/06 (2006.01)  | H 0 1 L  | 29/78              | 6 1 8 B |
| H 0 1 L                                 | 27/088(2006.01)  | H 1 0 B  | 99/00              | 4 4 1   |
| 請求項の数 5 (全88頁) 最終頁に続く                   |                  |          |                    |         |
| (21)出願番号 特願2020-515314(P2020-515314)    |                  | (73)特許権者 | 000153878          |         |
| (86)(22)出願日 平成31年4月18日(2019.4.18)       |                  |          | 株式会社半導体エネルギー研究所    |         |
| (86)国際出願番号 PCT/IB2019/053205            |                  |          | 神奈川県厚木市長谷398番地     |         |
| (87)国際公開番号 WO2019/207429                |                  | (72)発明者  | 山崎 舜平              |         |
| (87)国際公開日 令和1年10月31日(2019.10.31)        |                  |          | 神奈川県厚木市長谷398番地 株式会 |         |
| 審査請求日 令和4年4月18日(2022.4.18)              |                  |          | 社半導体エネルギー研究所内      |         |
| (31)優先権主張番号 特願2018-86719(P2018-86719)   |                  | (72)発明者  | 山根 靖正              |         |
| (32)優先日 平成30年4月27日(2018.4.27)           |                  |          | 神奈川県厚木市長谷398番地 株式会 |         |
| (33)優先権主張国・地域又は機関 日本国(JP)               |                  |          | 社半導体エネルギー研究所内      |         |
| (31)優先権主張番号 特願2018-86722(P2018-86722)   |                  | (72)発明者  | 廣瀬 貴史              |         |
| (32)優先日 平成30年4月27日(2018.4.27)           |                  |          | 神奈川県厚木市長谷398番地 株式会 |         |
| (33)優先権主張国・地域又は機関 日本国(JP)               |                  | (72)発明者  | 藤井 照幸              |         |
| (31)優先権主張番号 特願2018-147766(P2018-147766) |                  |          | 神奈川県厚木市長谷398番地 株式会 |         |
| 最終頁に続く                                  |                  |          | 社半導体エネルギー研究所内      |         |
|                                         |                  |          | 最終頁に続く             |         |

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1の絶縁体と、第2の絶縁体と、トランジスタと、第3の絶縁体と、導電体と、を有し、  
前記トランジスタは、チャネル形成領域に酸化物を有し、  
前記トランジスタは、前記チャネル形成領域の上方にソース電極及びドレイン電極を有し、  
前記酸化物は、前記第1の絶縁体に取り囲まれ、  
前記第1の絶縁体は、前記第2の絶縁体に取り囲まれ、  
前記第1の絶縁体は、第1の開口部を有し、  
前記第2の絶縁体は、前記第1の開口部と重なる第2の開口部を有し、  
前記第3の絶縁体は、前記第1の開口部及び前記第2の開口部において、前記第1の絶縁体の側面および前記第2の絶縁体の側面と接し、  
前記導電体は、前記第1の開口部及び前記第2の開口部において、前記第3の絶縁体の側面と接し、  
前記導電体は前記ソース電極の上面または前記ドレイン電極の上面と接し、  
前記第1の絶縁体は、前記第2の絶縁体よりも水素濃度が低い領域を有する、半導体装置。

【請求項2】

第1の絶縁体と、第2の絶縁体と、トランジスタと、第3の絶縁体と、導電体と、を有し、

前記トランジスタは、チャンネル形成領域に酸化物を有し、  
前記トランジスタは、前記チャンネル形成領域の上方にソース電極及びドレイン電極を有し、  
前記酸化物は、前記第1の絶縁体に取り囲まれ、  
前記第1の絶縁体は、前記第2の絶縁体に取り囲まれ、  
前記第1の絶縁体は、第1の開口部を有し、  
前記第2の絶縁体は、前記第1の開口部と重なる第2の開口部を有し、  
前記第3の絶縁体は、前記第1の開口部及び前記第2の開口部において、前記第1の絶縁体の側面および前記第2の絶縁体の側面と接し、  
前記導電体は、前記第1の開口部及び前記第2の開口部において、前記第3の絶縁体の側面と接し、  
前記導電体は前記ソース電極の上面または前記ドレイン電極の上面と接し、  
前記第1の絶縁体は、前記第2の絶縁体よりも水素濃度が低く、且つ前記第2の絶縁体よりも窒素濃度が低い領域を有する、半導体装置。

【請求項3】

請求項1又は2において、

前記第1の絶縁体は、加熱により脱離する酸素の量が、酸素分子に換算して、 $2.0 \times 10^{14} \text{ molecules/cm}^2$ 以上である、半導体装置。

【請求項4】

請求項1乃至3のいずれかにおいて、

前記第1の絶縁体は、酸素と、シリコンと、を有し、

前記第2の絶縁体は、窒素と、シリコンと、を有する、半導体装置。

【請求項5】

請求項1乃至4のいずれかにおいて、

前記酸化物は、インジウムと、元素M（Mは、アルミニウム、ガリウム、イットリウム、または錫）と、亜鉛と、を有する、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、および半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュール、および電子機器に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【背景技術】

【0004】

トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。酸化物半導体としては、例えば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化物も知られている。多元系金属の酸化物の中でも、特に、In-Ga-Zn酸化物（以下、IGZOとも呼ぶ。）に関する研究が盛んに行われている。

【0005】

IGZOに関する研究により、酸化物半導体において、単結晶でも非晶質でもない、C

10

20

30

40

50

AAC (c-axis aligned crystalline) 構造およびnc (nanocrystalline) 構造が見出された（非特許文献1乃至非特許文献3参照。）。非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術も開示されている。さらに、CAAC構造およびnc構造よりも結晶性の低い酸化物半導体でさえも、微小な結晶を有することが、非特許文献4および非特許文献5に示されている。

【0006】

さらに、IGZOを活性層として用いたトランジスタは極めて小さいオフ電流を持ち（非特許文献6参照。）、その特性を利用したLSIおよびディスプレイが報告されている（非特許文献7および非特許文献8参照。）。 10

【先行技術文献】

【非特許文献】

【0007】

【文献】S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, pp. 183-186

S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4S, pp. 04ED18-1-04ED18-10

S. Ito et al., "The Proceedings of AM-FPD'13 Digest of Technical Papers", 2013, pp. 151-154 20

S. Yamazaki et al., "ECS Journal of Solid State Science and Technology", 2014, volume 3, issue 9, pp. Q3012-Q3022

S. Yamazaki, "ECS Transactions", 2014, volume 64, issue 10, pp. 155-164

K. Kato et al., "Japanese Journal of Applied Physics", 2012, volume 51, pp. 021201-1-021201-7

S. Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, pp. T216-T217 30

S. Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, pp. 626-629

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一態様は、オン電流が大きい半導体装置を提供することを課題の一つとする。また、本発明の一態様は、高い周波数特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、信頼性が良好な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。また、本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。 40

【0009】

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、情報の書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を 50

提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0011】

本発明の一態様は、第1の絶縁体と、第2の絶縁体と、トランジスタと、を有する半導体装置であって、トランジスタは、チャンネル形成領域に酸化物を有し、酸化物は、第1の絶縁体に取り囲まれ、第1の絶縁体は、第2の絶縁体に取り囲まれ、第1の絶縁体は、第2の絶縁体よりも水素濃度が低い領域を有する。

10

【0012】

また、本発明の一態様は、第1の絶縁体と、第2の絶縁体と、トランジスタと、を有する半導体装置であって、トランジスタは、チャンネル形成領域に酸化物を有し、酸化物は、第1の絶縁体に取り囲まれ、第1の絶縁体は、第2の絶縁体に取り囲まれ、第1の絶縁体は、水素濃度が  $1.0 \times 10^{20} \text{ atoms/cm}^3$  未満である領域を有し、第2の絶縁体は、水素濃度が  $5.0 \times 10^{20} \text{ atoms/cm}^3$  未満である領域を有する。

【0013】

20

また、本発明の一態様は、第1の絶縁体と、第2の絶縁体と、トランジスタと、を有する半導体装置であって、トランジスタは、チャンネル形成領域に酸化物を有し、酸化物は、第1の絶縁体に取り囲まれ、第1の絶縁体は、第2の絶縁体に取り囲まれ、第1の絶縁体は、第2の絶縁体よりも水素濃度が低く、且つ第2の絶縁体よりも窒素濃度が低い領域を有する。

【0014】

上記半導体装置において、第1の絶縁体は、加熱により脱離する酸素の量が、酸素分子に換算して、 $2.0 \times 10^{14} \text{ molecules/cm}^2$  以上である、ことが好ましい。

【0015】

また、上記半導体装置において、第1の絶縁体は、酸素と、シリコンと、を有し、第2の絶縁体は、窒素と、シリコンと、を有する、ことが好ましい。

30

【0016】

また、上記半導体装置において、酸化物は、インジウムと、元素M（Mは、アルミニウム、ガリウム、イットリウム、または錫）と、亜鉛と、を有する、ことが好ましい。

【0017】

また、本発明の他の一態様は、第1の絶縁体乃至第4の絶縁体と、トランジスタと、を有する半導体装置であって、第1の絶縁体およびトランジスタは、第2の絶縁体上に設けられ、トランジスタは、第5の絶縁体と、第5の絶縁体上の第6の絶縁体と、第6の絶縁体上の第1の酸化物と、第1の酸化物上の第2の酸化物と、第2の酸化物上の第1の導電体および第2の導電体と、第2の酸化物上の第3の酸化物と、第3の酸化物上の第7の絶縁体と、第7の絶縁体上に位置し、第2の酸化物と重なる第3の導電体と、を有し、第3の絶縁体は、第1の絶縁体、第1の導電体、および、第2の導電体の上に設けられ、第4の絶縁体は、第3の絶縁体、第3の酸化物、第7の絶縁体、第3の導電体のそれぞれの上面と接しており、第3の絶縁体は、水素濃度が  $1.0 \times 10^{20} \text{ atoms/cm}^3$  未満である領域を有し、第3の絶縁体は、酸素と、シリコンと、を有し、第4の絶縁体は、水素濃度が  $5.0 \times 10^{20} \text{ atoms/cm}^3$  未満である領域を有する。

40

【0018】

上記半導体装置において、第1の絶縁体の組成は、第3の絶縁体とほぼ同じであり、第2の絶縁体の組成は、第4の絶縁体とほぼ同じである、ことが好ましい。

【0019】

50

また、上記半導体装置において、第4の絶縁体は、酸素と、アルミニウムと、を有する、ことが好ましい。または、第4の絶縁体は、窒素と、シリコンと、を有する、ことが好ましい。または、第4の絶縁体は積層構造であり、第4の絶縁体の、第3の絶縁体の上面と接する第1の層は、酸素と、アルミニウムと、を有し、第1の層上の第2の層は、窒素と、シリコンと、を有する、ことが好ましい。

【0020】

また、上記半導体装置において、第2の絶縁体は、窒素と、シリコンと、を有する、ことが好ましい。

【0021】

また、上記半導体装置において、第2の酸化物は、インジウムと、元素M（Mは、アルミニウム、ガリウム、イットリウム、または錫）と、亜鉛と、を有する、ことが好ましい。

【0022】

また、上記半導体装置において、第6の絶縁体の組成は、第3の絶縁体とほぼ同じである、ことが好ましい。

【0023】

また、上記半導体装置において、第3の絶縁体は、加熱により脱離する酸素の量が、酸素分子に換算して、 $2.0 \times 10^{14} \text{ molecules/cm}^2$ 以上である、ことが好ましい。

【0024】

また、本発明の他の一態様は、第1の絶縁体乃至第4の絶縁体と、トランジスタと、を有する半導体装置の作製方法であって、第2の絶縁体を形成し、第2の絶縁体上に第1の絶縁体を形成し、第1の絶縁体上にトランジスタを形成し、トランジスタ上に第3の絶縁体を形成し、第3の絶縁体上に第4の絶縁体を形成し、第1乃至第4の絶縁体は、それぞれスパッタリング法を用いて成膜される。

【0025】

上記半導体装置の作製方法において、第3の絶縁体を、酸素と、シリコンと、を有するターゲットを用いて、且つ酸素を含む雰囲気中で形成する、ことが好ましい。

【0026】

また、上記半導体装置の作製方法において、第4の絶縁体を、酸素と、アルミニウムと、を有するターゲットを用いて形成する、ことが好ましい。または、第4の絶縁体を、シリコンを有するターゲットを用いて、且つ窒素と、アルゴンと、を含む雰囲気中で形成する、ことが好ましい。または、第4の絶縁体を形成する工程において、酸素と、アルミニウムと、を有するターゲットを用いて、第1の層を形成し、第1の層上に、シリコンを有するターゲットを用いて、且つ窒素と、アルゴンと、を含む雰囲気中で第2の層を形成する、ことが好ましい。

【0027】

また、上記半導体装置の作製方法において、第1の絶縁体は、第3の絶縁体と組成が同じように形成され、第2の絶縁体は、第4の絶縁体と組成が同じように形成される、ことが好ましい。

【0028】

また、上記半導体装置の作製方法において、トランジスタおよび第3の絶縁体は、第5の絶縁体および第6の絶縁体を順に形成し、第6の絶縁体上に、第1の酸化物、第2の酸化物、ならびに、第1の導電体および第2の導電体となる導電膜を順に形成し、第1の酸化物、第2の酸化物、および導電膜を島状に加工し、第6の絶縁体、および導電膜の上に、第3の絶縁体を形成し、導電膜、および第3の絶縁体に、第2の酸化物の一部が露出する開口を形成することで、第1の導電体、および第2の導電体を形成し、第2の酸化物の一部、および第6の絶縁体上に、第3の酸化物を形成し、第3の酸化物上に、第7の絶縁体を形成し、第7の絶縁体上に、第3の導電体を形成し、第3の酸化物、第7の絶縁体、および第3の導電体の一部を、第3の絶縁体の一部が露出するまで除去する、工程を経て形成される、ことが好ましい。

10

20

30

40

50

## 【0029】

上記半導体装置の作製方法において、第2の酸化物を、インジウムと、元素M（Mは、アルミニウム、ガリウム、イットリウム、または錫）と、亜鉛と、を含むターゲットを用いて、スパッタリング法を用いて形成する、ことが好ましい。

## 【0030】

また、上記半導体装置の作製方法において、第3の酸化物、第7の絶縁体、および第3の導電体の一部を除去する工程と、第4の絶縁体を形成する工程と、の間に、第8の絶縁体を、酸素と、アルミニウムと、を有するターゲットを用いて、スパッタリング法を用いて形成し、加熱処理を行い、CMP（Chemical Mechanical Polishing）処理を行うことによって、第8の絶縁体を除去する工程を含む、ことが好ましい。

10

## 【0031】

また、上記半導体装置の作製方法において、第6の絶縁体は、第3の絶縁体と組成が同じように形成される、ことが好ましい。

## 【発明の効果】

## 【0032】

本発明の一態様により、オン電流が大きい半導体装置を提供することができる。また、本発明の一態様により、高い周波数特性を有する半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、生産性の高い半導体装置を提供することができる。

20

## 【0033】

また、長期間においてデータの保持が可能な半導体装置を提供することができる。また、情報の書き込み速度が速い半導体装置を提供することができる。また、設計自由度が高い半導体装置を提供することができる。また、消費電力を抑えることができる半導体装置を提供することができる。また、新規な半導体装置を提供することができる。

## 【0034】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

30

## 【図面の簡単な説明】

## 【0035】

【図1】（A）乃至（E）本発明の一態様に係る半導体装置の概念を説明する図。

【図2】（A）本発明の一態様に係る半導体装置の上面図。（B）、（C）本発明の一態様に係る半導体装置の断面図。

【図3】本発明の一態様に係る半導体装置の断面図。

【図4】（A）本発明の一態様に係る半導体装置の作製方法を示す上面図。（B）、（C）本発明の一態様に係る半導体装置の作製方法を示す断面図。

40

【図5】（A）本発明の一態様に係る半導体装置の作製方法を示す上面図。（B）、（C）本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図6】（A）本発明の一態様に係る半導体装置の作製方法を示す上面図。（B）、（C）本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図7】（A）本発明の一態様に係る半導体装置の作製方法を示す上面図。（B）、（C）本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図8】（A）本発明の一態様に係る半導体装置の作製方法を示す上面図。（B）、（C）本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図9】（A）本発明の一態様に係る半導体装置の作製方法を示す上面図。（B）、（C）本発明の一態様に係る半導体装置の作製方法を示す断面図。

50

【図10】(A) 本発明の一態様に係る半導体装置の作製方法を示す上面図。(B)、(C) 本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図11】(A) 本発明の一態様に係る半導体装置の作製方法を示す上面図。(B)、(C) 本発明の一態様に係る半導体装置の作製方法を示す断面図。

【図12】(A) 本発明の一態様に係る半導体装置の上面図。(B)、(C) 本発明の一態様に係る半導体装置の断面図。

【図13】本発明の一態様に係る記憶装置の構成を示す断面図。

【図14】本発明の一態様に係る記憶装置の構成を示す断面図。

【図15】(A) 本発明の一態様に係る記憶装置の構成例を示すブロック図。(B) 本発明の一態様に係る記憶装置の構成例を示す模式図。

【図16】(A) 乃至 (H) 本発明の一態様に係る記憶装置の構成例を示す回路図。

【図17】(A) 本発明の一態様に係る半導体装置のブロック図。(B) 本発明の一態様に係る半導体装置の模式図。

【図18】(A) 乃至 (E) 本発明の一態様に係る記憶装置の模式図。

【図19】(A) 乃至 (H) 本発明の一態様に係る電子機器を示す図。

【図20】(A)、(B) 実施例のSIMS分析の結果を示す図。

【図21】実施例のSIMS分析の結果を示す図。

【図22】(A)、(B) 実施例のSIMS分析の結果を示す図。

【図23】(A)、(B) 実施例のSIMS分析の結果を示す図。

【図24】(A)、(B) 実施例のTDS分析の結果を示す図。

【図25】(A)、(B) 実施例のTDS分析の結果を示す図。

【図26】(A) 乃至 (C) 実施例の動作周波数の算出方法を説明する図。

【図27】実施例のデータ保持時間および動作周波数の算出結果を示す図。

【図28】実施例の $\Delta Vsh$ のストレス時間依存性を説明する図。

【図29】実施例の $\Delta Vsh$ のストレス時間依存性を説明する図。

【図30】実施例の $\Delta Vsh$ の算出結果をプロットした図。

【図31】(A)、(B) 実施例の断面STEM像を示す図。

【図32】(A)、(B) 実施例の断面STEM像を示す図。

【図33】(A)、(C) 実施例の断面STEM像を示す図。(B)、(D) 実施例のEDXマップを示す図。

【図34】(A)、(C) 実施例の断面STEM像を示す図。(B)、(D) 実施例のEDXマップを示す図。

【図35】(A) 乃至 (D) 実施例の電気特性を説明する図。

【発明を実施するための形態】

【0036】

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0037】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお、図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために図に反映しないことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

【0038】

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易

10

20

30

40

50

とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

【0039】

また、本明細書等において、第1、第2等として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0040】

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

10

【0041】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接的に接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に開示されているものとする。

20

【0042】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0043】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネルが形成される領域（以下、チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

30

【0044】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

【0045】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書等では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

40

【0046】

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、チャンネル長方向を基準として垂直方向のチャンネル形成領域の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値

50

に定まらない場合がある。そのため、本明細書等では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

【0047】

なお、本明細書等において、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

10

【0048】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0049】

本明細書等では、単にチャンネル幅と記載した場合には、見かけ上のチャンネル幅を指す場合がある。または、本明細書等では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

20

【0050】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

30

【0051】

なお、本明細書等において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものである。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものである。

【0052】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

40

【0053】

また、本明細書等において、「平行」とは、二つの直線が $-10$ 度以上 $10$ 度以下の角度で配置されている状態をいう。したがって、 $-5$ 度以上 $5$ 度以下の場合も含まれる。また、「略平行」とは、二つの直線が $-30$ 度以上 $30$ 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が $80$ 度以上 $100$ 度以下の角度で配置されている状態をいう。したがって、 $85$ 度以上 $95$ 度以下の場合も含まれる。また、「略垂直」とは、二つの直線が $60$ 度以上 $120$ 度以下の角度で配置されている状態をいう。

50

## 【0054】

なお、本明細書等において、バリア膜とは、水、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、当該バリア膜が導電性を有する場合は、導電性バリア膜と呼ぶことがある。

## 【0055】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。) 、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS トランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

10

## 【0056】

また、本明細書等において、ノーマリーオフとは、ゲートに電位を印加しない、またはゲートに接地電位を与えたときに、トランジスタに流れるチャネル幅  $1\ \mu\text{m}$  あたりの電流が、室温において  $1 \times 10^{-20}\ \text{A}$  以下、 $85^\circ\text{C}$  において  $1 \times 10^{-18}\ \text{A}$  以下、または  $125^\circ\text{C}$  において  $1 \times 10^{-16}\ \text{A}$  以下であることをいう。

## 【0057】

## (実施の形態 1)

本実施の形態では、本発明の一態様の半導体装置の一例について説明する。

20

## 【0058】

## &lt;半導体装置の概念&gt;

以下では、本発明の一態様の半導体装置の概念を、図 1 (A) 乃至図 1 (E) を用いて説明する。

## 【0059】

本発明の一態様の半導体装置は、酸化物 30 と、絶縁体 10 と、絶縁体 20 と、を有する。図 1 (A) に示すように、半導体装置は、酸化物 30 が、絶縁体 10 に取り囲まれ、絶縁体 10 が、絶縁体 20 に取り囲まれた構成を有する。なお、酸化物 30 は、半導体装置が有するトランジスタの、チャネル形成領域として機能する領域を有する。

## 【0060】

なお、絶縁体 10 が、酸化物 30 を取り囲むとは、絶縁体 10 が、酸化物 30 の、上面の少なくとも一部、側面の少なくとも一部、および下面の少なくとも一部に位置するように設けられた構成をさす。特に、絶縁体 10 が酸化物 30 を対向して設けられていると、より好適である。例えば、酸化物 30 を中心に、絶縁体 10 が上下に配置される、または、酸化物 30 を中心に、絶縁体 10 が左右に配置されると好ましい。なお、図 1 (A) においては、絶縁体 10 が酸化物 30 の外周を全て取り囲む構成を例示しているが、これに限定されない。絶縁体 10 が酸化物 30 の一部と重畳しない領域を有していても良い。また、絶縁体 10 と、酸化物 30 との間に、他の構成要素が位置しても構わない。当該他の構成要素とは、例えば、酸化物 30 に接続される導電体、または酸化物 30 を保護する絶縁体などが挙げられる。

30

## 【0061】

トランジスタは、チャネル形成領域に、半導体として機能する金属酸化物 (以下、酸化物半導体ともいう。) を用いることが好ましい。酸化物半導体をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

## 【0062】

また、チャネル形成領域に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流 (オフ電流) が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

40

50

## 【0063】

なお、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア密度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

## 【0064】

また、高純度真性または実質的に高純度真性である金属酸化物は、欠陥準位密度が低い  
ため、トラップ準位密度も低くなる場合がある。

10

## 【0065】

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

## 【0066】

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

20

## 【0067】

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。さらに、当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

## 【0068】

以上のことから、金属酸化物が有するチャネル形成領域中の不純物（特に、水素）および酸素欠損は、できる限り低減されていることが好ましい。

30

## 【0069】

そこで、チャネル形成領域に用いる金属酸化物を、水素濃度が低い第1の絶縁体で取り囲むことが好ましい。さらに、第1の絶縁体は、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう。）を有することが好ましい、または、加熱により酸素を脱離することが好ましい。本明細書では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。

## 【0070】

第1の絶縁体を、図1（A）に示す絶縁体10に用いる。酸化物30に接する、または、酸化物30の近傍に配置された絶縁体10中の水素濃度が低いので、酸化物30への水素の混入を抑制することができる。さらに、絶縁体10が有する過剰酸素を酸化物30へ供給することで、酸化物30中の酸素欠損を低減することができる。したがって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

40

## 【0071】

また、絶縁体10、および酸化物30の外方に設けられた構造体に含まれる水素が、絶縁体10が有する過剰酸素と反応し、水を形成する場合がある。これにより、酸化物30へ混入する当該水素の量を低減することができる。したがって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

50

## 【0072】

第1の絶縁体において、具体的には、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $5 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満とする。なお、第1の絶縁体は、後述する第2の絶縁体よりも水素濃度が低い領域を有してもよい。

## 【0073】

また、第1の絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物を用いることが好ましい。加熱により酸素を脱離する酸化物とは、昇温脱離ガス分析法（TDS：Thermal Desorption Spectroscopy）分析にて、酸素分子の脱離量が $2.0 \times 10^{14} \text{ molecules/cm}^2$ 以上、好ましくは $1.0 \times 10^{15} \text{ molecules/cm}^2$ 以上である酸化物である。なお、上記TDS分析時における膜の表面温度としては $100^\circ\text{C}$ 以上 $700^\circ\text{C}$ 以下、または $100^\circ\text{C}$ 以上 $500^\circ\text{C}$ 以下の範囲が好ましい。

## 【0074】

例えば、第1の絶縁体として、酸化シリコン、酸化窒化シリコンなどを用いることが好ましい。さらに、第1の絶縁体は、スパッタリング法を用いて成膜されることが好ましい。第1の絶縁体を、酸素を含む雰囲気中でスパッタリング法を用いて成膜することで、第1の絶縁体中に酸素を添加することができる。これにより、第1の絶縁体から、上記金属酸化物に酸素を供給することができる。また、当該方法を用いて成膜することで、第1の絶縁体中の水素濃度を低くすることができる。なお、第1の絶縁体を、スパッタリング法を用いて成膜する場合、酸素と、シリコンとを含むターゲットを用いるとよい。

## 【0075】

なお、図1（A）では、絶縁体10を単層で図示したが、積層構造としてもよく、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有する絶縁性材料と、第1の絶縁体に用いることができる絶縁性材料との積層としてもよい。水素の拡散を抑制する機能を有する絶縁性材料として、例えば、酸化アルミニウムなどを用いることができる。具体的には、酸化物30を取り囲むように、スパッタリング法を用いて酸化シリコンを形成し、当該酸化シリコンを取り囲むように、スパッタリング法を用いて酸化アルミニウムを形成する。

## 【0076】

さらに、第1の絶縁体を、水素濃度が低く、かつ、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有する第2の絶縁体で取り囲むことが好ましい。例えば、第2の絶縁体は、第1の絶縁体よりも水素の透過性が低いことが好ましい。

## 【0077】

第2の絶縁体を、図1（A）に示す絶縁体20に用いる。これにより、絶縁体20、絶縁体10、および酸化物30の外方に設けられた構造体に含まれる水素が、絶縁体20および絶縁体10を介して、酸化物30へ混入することを抑制できる。よって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

## 【0078】

第2の絶縁体において、具体的には、SIMSにより得られる水素濃度を、 $5 \times 10^{21} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{20} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{20} \text{ atoms/cm}^3$ 未満とする。

## 【0079】

例えば、第2の絶縁体として、窒化シリコンなどを用いることが好ましい。窒化シリコンは、水素の拡散を抑制する機能を有するため、好ましい。さらに、第2の絶縁体は、スパッタリング法を用いて成膜されることが好ましい。具体的には、第2の絶縁体の成膜に、シリコンターゲットを用い、スパッタリングガスとして、アルゴンと窒素の混合ガスをを用いる。第2の絶縁体の成膜に水素を用いないので、第2の絶縁体中の水素濃度を低くこ

とができる。

【0080】

また、図1(A)では、絶縁体20を単層で図示したが、積層構造としてもよく、絶縁体10に過剰酸素領域を形成することができる絶縁性材料と、第2の絶縁体に用いることができる絶縁性材料との積層としてもよい。絶縁体10に過剰酸素領域を形成することができる絶縁性材料として、例えば、スパッタリング法を用いて成膜した酸化アルミニウムを用いることができる。具体的には、絶縁体10を取り囲むように、スパッタリング法を用いて酸化アルミニウムを形成し、当該酸化アルミニウムを取り囲むように、スパッタリング法を用いて窒化シリコンを形成する。

【0081】

なお、図1(A)では、絶縁体10および絶縁体20を、それぞれ単層で図示したが、これに限られない。絶縁体10および絶縁体20のそれぞれは、複数の、組成がほぼ同じである絶縁体で構成してもよい。例えば、図1(B)に示すように、絶縁体10が、絶縁体10aおよび絶縁体10bで構成され、絶縁体20が、絶縁体20aおよび絶縁体20bで構成されてもよい。このとき、絶縁体10aと絶縁体10bの組成はほぼ同じであり、絶縁体20aと絶縁体20bの組成はほぼ同じである。なお、絶縁体10aと絶縁体10bの組成がほぼ同じとは、例えば、絶縁体10aに含まれる主な構成元素の原子数比はそれぞれ、絶縁体10bに含まれる主な構成元素の原子数比のプラスマイナス10%程度であることをいう。

【0082】

また、図1(B)に示す半導体装置の作製方法として、絶縁体20aを形成し、絶縁体20a上に絶縁体10aを形成し、絶縁体10a上に酸化物30を含むトランジスタを形成し、当該トランジスタ上に絶縁体10bを形成し、絶縁体10b上に絶縁体20bを形成するとよい。

【0083】

次に、図1(A)に示す半導体装置が有するトランジスタの構成例を、図1(C)および図1(D)を用いて説明する。

【0084】

図1(C)に示す半導体装置は、トランジスタ200と、層間膜として機能する絶縁体10、および絶縁体20と、を有する。また、トランジスタ200は、酸化物30と、導電体40と、を有する。なお、酸化物30は、トランジスタ200のチャネル形成領域として機能する領域を有する。また、導電体40は、トランジスタ200のゲート電極として機能する。

【0085】

図1(C)に示すように、酸化物30および導電体40は、それぞれ絶縁体10に取り囲まれている。また、絶縁体10は、絶縁体20に取り囲まれている。導電体40は、絶縁体10を介して、酸化物30と重なる領域を有する。このとき、絶縁体10の、導電体40と酸化物30とに挟まれた領域は、トランジスタ200のゲート絶縁膜として機能する。

【0086】

なお、図1(C)では、ゲート絶縁膜として機能する絶縁体として、絶縁体10を単層で用いているが、これに限られず、絶縁体10と異なる絶縁性材料で形成された絶縁体を単層で用いてもよいし、絶縁体10と異なる方法で形成した絶縁体を単層で用いてもよいし、これらの絶縁体を組み合わせた多層構造を用いてもよい。

【0087】

また、図1(C)では、導電体40と、絶縁体20との間に、絶縁体10が設けられた構成を示しているが、これに限られず、導電体40の上面は、絶縁体20と接してもよい。

【0088】

また、図1(C)では、導電体40が、酸化物30の上方に設けられた構成を示しているが、これに限られず、導電体40が、酸化物30の下方に設けられてもよい。このとき

10

20

30

40

50

、導電体４０の下面は、絶縁体２０と接してもよい。

【００８９】

また、図１（Ｄ）に示すように、トランジスタ２００は、酸化物３０および導電体４０に加えて、導電体４２を有してもよい。酸化物３０は、トランジスタ２００のチャネル形成領域として機能する領域を有する。また、導電体４０は、トランジスタ２００の第１のゲート電極として機能し、導電体４２は、トランジスタ２００の第２のゲート電極として機能する。

【００９０】

図１（Ｄ）に示すように、酸化物３０、導電体４０、および導電体４２は、それぞれ絶縁体１０に取り囲まれている。また、絶縁体１０は、絶縁体２０に取り囲まれている。導電体４０は、絶縁体１０を介して、酸化物３０と重なる領域を有する。このとき、絶縁体１０の、導電体４０と酸化物３０とに挟まれた領域は、トランジスタ２００の第１のゲート絶縁膜として機能する。また、導電体４２は、絶縁体１０を介して、酸化物３０と重なる領域を有する。このとき、絶縁体１０の、導電体４２と酸化物３０とに挟まれた領域は、第２のゲート絶縁膜として機能する。

【００９１】

なお、図１（Ｄ）では、第１のゲート絶縁膜として機能する絶縁体、および第２のゲート絶縁膜として機能する絶縁体として、絶縁体１０を単層で用いているが、これに限られず、絶縁体１０と異なる絶縁性材料で形成された絶縁体を単層で用いてもよいし、絶縁体１０と異なる方法で形成した絶縁体を単層で用いてもよいし、これらの絶縁体を組み合わせた多層構造を用いてもよい。

【００９２】

また、図１（Ｄ）では、導電体４０と、絶縁体２０との間に、絶縁体１０が設けられ、導電体４２と、絶縁体２０との間に、絶縁体１０が設けられた構成を示しているが、これに限られない。導電体４０の上面および導電体４２の下面の一方または双方は、絶縁体２０と接してもよい。

【００９３】

また、図１（Ｃ）および図１（Ｄ）では、絶縁体２０が、絶縁体１０および１つのトランジスタ２００を取り囲む構成を示したが、これに限らない。図１（Ｅ）に示すように、絶縁体２０が、絶縁体１０および複数のトランジスタ２００を取り囲む構成としてもよい。

【００９４】

以上より、低消費電力の半導体装置を提供することができる。また、高集積型の半導体装置を提供することができる。また、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。また、オフ電流が小さいトランジスタを有する半導体装置を提供することができる。

【００９５】

<半導体装置の構成例１>

図２（Ａ）乃至図２（Ｃ）は、本発明の一態様の半導体装置、当該半導体装置が有するトランジスタ２００、およびトランジスタ２００周辺の上面図および断面図である。

【００９６】

図２（Ａ）は、トランジスタ２００を有する半導体装置の上面図である。また、図２（Ｂ）、および図２（Ｃ）は、当該半導体装置の断面図である。ここで、図２（Ｂ）は、図２（Ａ）にＡ１－Ａ２の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル長方向の断面図でもある。また、図２（Ｃ）は、図２（Ａ）にＡ３－Ａ４の一点鎖線で示す部位の断面図であり、トランジスタ２００のチャネル幅方向の断面図でもある。なお、図２（Ａ）の上面図では、図の明瞭化のために一部の要素を省いている。

【００９７】

本発明の一態様の半導体装置は、トランジスタ２００と、層間膜として機能する絶縁体２１４、絶縁体２１６、絶縁体２８０、絶縁体２７４、および絶縁体２８１と、を有する。また、トランジスタ２００と電氣的に接続し、プラグとして機能する導電体２４０（導

10

20

30

40

50

電体 240a、および導電体 240b) を有する。なお、プラグとして機能する導電体 240 の側面に接して絶縁体 241 (絶縁体 241a、および絶縁体 241b) が設けられる。

【0098】

また、絶縁体 280、絶縁体 274、絶縁体 281 などに形成されている開口の側壁に接して絶縁体 241 が設けられ、その側面に接して導電体 240 の第 1 の導電体が設けられ、さらに内側に導電体 240 の第 2 の導電体が設けられている。ここで、導電体 240 の上面の高さと、絶縁体 281 の上面の高さは同程度にできる。なお、トランジスタ 200 では、導電体 240 の第 1 の導電体および導電体 240 の第 2 の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 240 を単層、または 3 層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

【0099】

ここで、絶縁体 216、および絶縁体 280 は、図 1 (A)、図 1 (C)、および図 1 (D) に示す絶縁体 10、または、図 1 (B) に示す絶縁体 10a、および絶縁体 10b に相当する。つまり、絶縁体 216、および絶縁体 280 の一方または双方は、水素濃度が低く、過剰酸素領域または過剰酸素を有することが好ましく、図 1 (A)、図 1 (C)、および図 1 (D) に示す絶縁体 10、または、図 1 (B) に示す絶縁体 10a、および絶縁体 10b と同様の材料を用いて設けることが好ましい。これにより、トランジスタ 200 が有する金属酸化物への水素の混入を抑制することができ、かつ、当該金属酸化物中の酸素欠損を低減することができる。したがって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

【0100】

また、絶縁体 214、および絶縁体 274 は、図 1 (A)、図 1 (C)、および図 1 (D) に示す絶縁体 20、または、図 1 (B) に示す絶縁体 20a、および絶縁体 20b に相当する。つまり、絶縁体 214、および絶縁体 274 の一方または双方は、水素濃度が低く、水素の拡散を抑制する機能を有することが好ましく、図 1 (A)、図 1 (C)、および図 1 (D) に示す絶縁体 20、または、図 1 (B) に示す絶縁体 20a、および絶縁体 20b と同様の材料を用いて設けることが好ましい。これにより、絶縁体 214 の下方に設けられた構造体、絶縁体 281 などに含まれる水素が、トランジスタ 200 へ混入することを抑制できる。よって、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

【0101】

なお、絶縁体 274 が水素の拡散を抑制する機能を有する場合、絶縁体 274 によって離隔された絶縁体 280 と絶縁体 281 の水素濃度が異なる場合がある。例えば、絶縁体 280 として、水素濃度が低い絶縁性材料を用いる場合、絶縁体 280 中の水素濃度は、絶縁体 281 中の水素濃度よりも低くなる。

【0102】

[トランジスタ 200]

図 2 (A) 乃至図 2 (C) に示すように、トランジスタ 200 は、基板 (図示せず。) の上に配置され、絶縁体 216 に埋め込まれるように配置された導電体 205 と、絶縁体 216 の上および導電体 205 の上に配置された絶縁体 222 と、絶縁体 222 の上に配置された絶縁体 224 と、絶縁体 224 の上に配置された酸化物 230 (酸化物 230a、酸化物 230b、および酸化物 230c) と、酸化物 230 の上に配置された絶縁体 250 と、絶縁体 250 上に配置された導電体 260 (導電体 260a、および導電体 260b) と、酸化物 230b の上面の一部と接する導電体 242a および導電体 242b と、絶縁体 224 の上面の一部、酸化物 230a の側面、酸化物 230b の側面、導電体 242a の側面、導電体 242a の上面、導電体 242b の側面、および導電体 242b の上面に接して配置された絶縁体 254 と、を有する。

【0103】

酸化物 230 は、絶縁体 224 の上に配置された酸化物 230 a と、酸化物 230 a の上に配置された酸化物 230 b と、酸化物 230 b の上に配置され、少なくとも一部が酸化物 230 b の上面に接する酸化物 230 c と、を有することが好ましい。

【0104】

なお、トランジスタ 200 では、チャンネル形成領域と、その近傍において、酸化物 230 a、酸化物 230 b、および酸化物 230 c の 3 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 230 b の単層、酸化物 230 a と酸化物 230 b の 2 層構造、酸化物 230 b と酸化物 230 c の 2 層構造、または 4 層以上の積層構造を設ける構成にしてもよい。

【0105】

また、トランジスタ 200 は、チャンネル形成領域を含む酸化物 230（酸化物 230 a、酸化物 230 b、および酸化物 230 c）に、半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。例えば、チャンネル形成領域となる金属酸化物としては、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

【0106】

例えば、酸化物 230 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。特に、元素 M は、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物 230 として、In-Ga 酸化物、In-Zn 酸化物、または Ga-Zn 酸化物を用いてもよい。

【0107】

また、酸化物半導体を用いたトランジスタは、酸化物半導体中のチャンネル形成領域に不純物および酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体中のチャンネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、チャンネル形成領域中の酸素欠損はできる限り低減されていることが好ましい。例えば、絶縁体 250 などを介して酸化物 230 に酸素を供給し、酸素欠損を補填すればよい。これにより、電気特性の変動が抑制され、安定した電気特性を有するとともに、信頼性を向上させたトランジスタを提供することができる。

【0108】

なお、図 1（A）乃至図 1（D）に示す酸化物 30 は、酸化物 230 に相当する。つまり、図 1（A）乃至図 1（D）に示す酸化物 30 は、酸化物 230 に用いることができる金属酸化物を用いることが好ましい。

【0109】

また、酸化物 230 上に接するように設けられ、ソース電極やドレイン電極として機能する導電体 242（導電体 242 a、および導電体 242 b）に含まれる元素が、酸化物 230 の酸素を吸収する機能を有する場合、酸化物 230 と導電体 242 の間、または酸化物 230 の表面近傍に、部分的に低抵抗領域が形成される場合がある。この場合、当該低抵抗領域には、酸素欠損に入り込んだ不純物（水素、窒素、金属元素等）がドナーとして機能し、キャリア密度が増加する場合がある。

【0110】

導電体 260 は、トランジスタ 200 の第 1 のゲート（トップゲートともいう。）電極として機能し、導電体 242 a および導電体 242 b は、それぞれトランジスタ 200 のソース電極またはドレイン電極として機能する。トランジスタ 200 では、第 1 のゲート電極として機能する導電体 260 が、絶縁体 280 などに形成されている開口を埋めるよ

10

20

30

40

50

うに自己整合的に形成される。導電体 260 をこのように形成することにより、導電体 242a と導電体 242b との間の領域に、導電体 260 を位置合わせすることなく確実に配置することができる。

#### 【0111】

なお、導電体 260 は、導電体 260a と、導電体 260a の上に配置された導電体 260b と、を有することが好ましい。例えば、導電体 260a は、導電体 260b の底面および側面を包むように配置されることが好ましい。また、図 2 (B) に示すように、導電体 260 の上面は、絶縁体 250 の上面および酸化物 230c の上面と略一致している。

#### 【0112】

絶縁体 222、および絶縁体 254 は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁体 222、および絶縁体 254 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁体 222、および絶縁体 254 は、それぞれ絶縁体 224 よりも水素および酸素の一方または双方の透過性が低いことが好ましい。絶縁体 222、および絶縁体 254 は、それぞれ絶縁体 250 よりも水素および酸素の一方または双方の透過性が低いことが好ましい。絶縁体 222、および絶縁体 254 は、それぞれ絶縁体 280 よりも水素および酸素の一方または双方の透過性が低いことが好ましい。

#### 【0113】

また、図 2 (B) に示すように、絶縁体 254 は、導電体 242a および導電体 242b の上面と、導電体 242a および導電体 242b の互いに向かい合う側面以外の、導電体 242a および導電体 242b の側面と、酸化物 230a および酸化物 230b の側面と、絶縁体 224 の上面の一部と、に接することが好ましい。これにより、絶縁体 280 は、絶縁体 254 によって、絶縁体 224、酸化物 230a、および酸化物 230b と隔離される。したがって、絶縁体 280 などに含まれる水素などの不純物が、絶縁体 224、酸化物 230a、および酸化物 230b へ混入するのを抑制することができる。

#### 【0114】

また、トランジスタ 200 は、図 2 (B) に示すように、絶縁体 274 が、導電体 260、絶縁体 250、および酸化物 230c のそれぞれの上面と接する構造となっている。このような構造とすることで、絶縁体 281 などに含まれる水素などの不純物が、絶縁体 250 へ混入することを抑えることができる。したがって、トランジスタの電気特性およびトランジスタの信頼性への悪影響を抑制することができる。

#### 【0115】

また、図 2 (C) に示すトランジスタ 200 の一部の領域の拡大図を、図 3 に示す。図 2 (C) および図 3 に示すように、トランジスタ 200 のチャンネル幅方向において、絶縁体 222 の底面を基準として、導電体 260 と、酸化物 230b と、が重ならない領域の、導電体 260 の底面の高さは、酸化物 230b の底面の高さより低いことが好ましい。ゲート電極として機能する導電体 260 が、チャンネル形成領域の酸化物 230b の側面および上面を酸化物 230c および絶縁体 250 を介して覆う構成とすることで、導電体 260 の電界を酸化物 230b のチャンネル形成領域全体に作用させやすくなる。よって、トランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。酸化物 230a および酸化物 230b と、導電体 260 とが、重ならない領域における導電体 260 の底面と、酸化物 230b の底面と、の差を T1 とすると、T1 は、0nm 以上 100nm 以下、好ましくは、3nm 以上 50nm 以下、より好ましくは、5nm 以上 20nm 以下とする。

#### 【0116】

以上より、オン電流が大きいトランジスタを有する半導体装置を提供することができる。また、周波数特性の高いトランジスタを有する半導体装置を提供することができる。また、電気特性の変動を抑制し、安定した電気特性を有するとともに、信頼性を向上させた半導体装置を提供することができる。また、オフ電流が小さいトランジスタを有する半導

10

20

30

40

50

体装置を提供することができる。

#### 【0117】

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

#### 【0118】

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、絶縁体214または絶縁体216に埋め込まれて設けることが好ましい。ここで、導電体205の上面の平坦性を良好にすることが好ましい。例えば、導電体205上面の平均面粗さ(Ra)を1nm以下、好ましくは0.5nm以下、より好ましくは0.3nm以下にすればよい。これにより、導電体205の上に形成される、絶縁体224の平坦性を良好にし、酸化物230a、酸化物230bおよび酸化物230cの結晶性の向上を図ることができる。

10

#### 【0119】

ここで、導電体260は、第1のゲート電極として機能する場合がある。また、導電体205は、第2のゲート(ボトムゲートともいう。)電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200のしきい値電圧( $V_{th}$ )を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の $V_{th}$ をより大きくし、オフ電流を低減することが可能となる。したがって、導電体205に負の電位を印加したほうが、印加しない場合よりも、導電体260に印加する電位が0Vのときのドレイン電流を小さくすることができる。

20

#### 【0120】

なお、導電体205は、図2(B)、図2(C)に示すように、酸化物230bにおけるチャネル形成領域よりも、大きく設けるとよい。特に、図2(C)に示すように、導電体205は、酸化物230のチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

#### 【0121】

上記構成を有することで、第1のゲート電極として機能する導電体260の電界と、第2のゲート電極として機能する導電体205の電界によって、酸化物230のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel(S-channel)構造とよぶ。

30

#### 【0122】

また、図2(C)に示すように、導電体205は延伸させて、配線としても機能させている。ただし、これに限られることなく、導電体205の下に、配線として機能する導電体を設ける構成にしてもよい。また、導電体205は、必ずしも各トランジスタに一個ずつ設ける必要はない。例えば、導電体205を複数のトランジスタで共有する構成にしてもよい。

40

#### 【0123】

なお、トランジスタ200では、導電体205の第1の導電体と導電体205の第2の導電体とを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205は、単層、または3層以上の積層構造として設ける構成にしてもよい。

#### 【0124】

ここで、導電体205の第1の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子( $N_2O$ 、 $NO$ 、 $NO_2$ など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい。)導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一)の拡散を抑制する機能

50

を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一またはすべての拡散を抑制する機能とする。

#### 【0125】

導電体205の第1の導電体に、酸素の拡散を抑制する機能を有する導電性材料を用いることにより、導電体205の第2の導電体が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。したがって、導電体205の第1の導電体としては、上記導電性材料を単層または積層とすればよい。例えば、導電体205の第1の導電体は、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムと、チタンまたは窒化チタンとの積層としてもよい。

10

#### 【0126】

また、導電体205の第2の導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体205の第2の導電体を単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと、上記導電性材料との積層としてもよい。

#### 【0127】

絶縁体214は、水、水素などの不純物が、基板側からトランジスタ200に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体214は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ $N_2O$ 、 $NO$ 、 $NO_2$ など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）絶縁性材料を用いることが好ましい。

20

#### 【0128】

例えば、絶縁体214として、酸化アルミニウム、窒化シリコンなどを用いることが好ましい。これにより、水、水素などの不純物が、絶縁体214よりも基板側からトランジスタ200側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体214よりも基板側に、拡散するのを抑制することができる。

#### 【0129】

また、層間膜として機能する絶縁体216、絶縁体280、および絶縁体281は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216、絶縁体280、および絶縁体281として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを適宜用いればよい。

30

#### 【0130】

また、絶縁体216を積層構造にしてもよい。例えば、絶縁体216において、少なくとも導電体205の側面と接する部分に、絶縁体214と同様の絶縁体を設ける構成にしてもよい。このような構成にすることで、絶縁体216に含まれる酸素によって、導電体205が酸化するのを抑制することができる。または、導電体205により、絶縁体216に含まれる酸素が吸収されるのを抑制することができる。

40

#### 【0131】

絶縁体222、および絶縁体224は、ゲート絶縁体として機能する。

#### 【0132】

ここで、酸化物230と接する絶縁体224は、加熱により酸素を脱離することが好ましい。例えば、絶縁体224は、酸化シリコン、酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、トランジスタ200の信頼性を向上させることができる。

#### 【0133】

50

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS 分析にて、酸素原子に換算しての酸素の脱離量が  $1.0 \times 10^{18} \text{ atoms/cm}^3$  以上、好ましくは  $1.0 \times 10^{19} \text{ atoms/cm}^3$  以上、さらに好ましくは  $2.0 \times 10^{19} \text{ atoms/cm}^3$  以上、または  $3.0 \times 10^{20} \text{ atoms/cm}^3$  以上である酸化物である。なお、上記 TDS 分析時における膜の表面温度としては  $100^\circ\text{C}$  以上  $700^\circ\text{C}$  以下、または  $100^\circ\text{C}$  以上  $400^\circ\text{C}$  以下の範囲が好ましい。

【0134】

なお、絶縁体 224 は、図 1 (A)、図 1 (C)、および図 1 (D) に示した絶縁体 10、または、図 1 (B) に示した絶縁体 10a および絶縁体 10b と同様の材料を用いて設けてもよい。

【0135】

絶縁体 222 は、水、水素などの不純物が、基板側からトランジスタ 200 に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体 222 は、絶縁体 224 より水素透過性が低いことが好ましい。絶縁体 222、および絶縁体 254 によって、絶縁体 224、酸化物 230 などを囲むことにより、水、水素などの不純物が、外方から絶縁体 224、および酸化物 230 に拡散することを抑制することができる。

【0136】

さらに、絶縁体 222 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体 222 は、絶縁体 224 より酸素透過性が低いことが好ましい。絶縁体 222 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 230 が有する酸素は、基板側へ拡散することを低減できるので、好ましい。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

【0137】

絶縁体 222 は、絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 からの酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の拡散を抑制する層として機能する。なお、絶縁体 222 としては、上述した材料の中でも、特に酸化ハフニウムを用いると好適である。例えば、絶縁体 222 をゲート絶縁膜として使用する場合、絶縁体 222 に酸化ハフニウムを用いることで、酸化アルミニウムよりも界面準位密度を減少させられる場合がある。

【0138】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0139】

また、絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム ( $\text{SrTiO}_3$ ) または ( $\text{Ba}, \text{Sr}$ )  $\text{TiO}_3$  (BST) などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いてもよい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に h i g h - k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0140】

なお、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてもよい

10

20

30

40

50

。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。例えば、絶縁体 2 2 2 の下に絶縁体 2 2 4 と同様の絶縁体を設ける構成にしてもよい。

#### 【0141】

酸化物 2 3 0 は、酸化物 2 3 0 a と、酸化物 2 3 0 a 上の酸化物 2 3 0 b と、酸化物 2 3 0 b 上の酸化物 2 3 0 c と、を有する。酸化物 2 3 0 b 下に酸化物 2 3 0 a を有することで、酸化物 2 3 0 a よりも下方に形成された構造物から、酸化物 2 3 0 b への不純物の拡散を抑制することができる。また、酸化物 2 3 0 b 上に酸化物 2 3 0 c を有することで、酸化物 2 3 0 c よりも上方に形成された構造物から、酸化物 2 3 0 b への不純物の拡散を抑制することができる。

10

#### 【0142】

なお、酸化物 2 3 0 は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物 2 3 0 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 2 3 0 a に用いる金属酸化物において、I n に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、I n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 3 0 b に用いる金属酸化物において、元素 M に対する I n の原子数比が、酸化物 2 3 0 a に用いる金属酸化物における、元素 M に対する I n の原子数比より大きいことが好ましい。また、酸化物 2 3 0 c は、酸化物 2 3 0 a または酸化物 2 3 0 b に用いることができる金属酸化物を、用いることができる。

20

#### 【0143】

また、酸化物 2 3 0 b および酸化物 2 3 0 c は、結晶性を有することが好ましい。例えば、後述する CAAC-OS (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。CAAC-OS などの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物 2 3 0 b からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物 2 3 0 b から酸素が引き抜かれることを低減できるので、トランジスタ 2 0 0 は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

30

#### 【0144】

また、酸化物 2 3 0 a および酸化物 2 3 0 c の伝導帯下端が、酸化物 2 3 0 b の伝導帯下端より真空準位に近いことが好ましい。また、言い換えると、酸化物 2 3 0 a および酸化物 2 3 0 c の電子親和力が、酸化物 2 3 0 b の電子親和力より小さいことが好ましい。この場合、酸化物 2 3 0 c は、酸化物 2 3 0 a に用いることができる金属酸化物を用いることが好ましい。具体的には、酸化物 2 3 0 c に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 2 3 0 c に用いる金属酸化物において、I n に対する元素 M の原子数比が、酸化物 2 3 0 b に用いる金属酸化物における、I n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 2 3 0 b に用いる金属酸化物において、元素 M に対する I n の原子数比が、酸化物 2 3 0 c に用いる金属酸化物における、元素 M に対する I n の原子数比より大きいことが好ましい。

40

#### 【0145】

ここで、酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c の接合部において、伝導帯下端はなだらかに変化する。換言すると、酸化物 2 3 0 a、酸化物 2 3 0 b、および酸化物 2 3 0 c の接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 2 3 0 a と酸化物 2 3 0 b との界面、および酸化物 2 3 0 b と酸化物 2 3 0 c との界面において形成される混合層の欠陥準位密度を低くするとよい。

#### 【0146】

50

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bがIn-Ga-Zn酸化物の場合、酸化物230aおよび酸化物230cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いてもよい。また、酸化物230cを積層構造とする場合、例えば、In-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上のGa-Zn酸化物との積層構造、またはIn-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上の酸化ガリウムとの積層構造を用いることができる。別言すると、In-Ga-Zn酸化物と、Inを含まない酸化物との積層構造を、酸化物230cとして用いても良い。

#### 【0147】

具体的には、酸化物230aとして、In:Ga:Zn=1:3:4〔原子数比〕、または1:1:0.5〔原子数比〕の金属酸化物を用いればよい。また、酸化物230bとして、In:Ga:Zn=1:1:1〔原子数比〕、In:Ga:Zn=4:2:3〔原子数比〕、または3:1:2〔原子数比〕の金属酸化物を用いればよい。また、酸化物230cとして、In:Ga:Zn=1:3:4〔原子数比〕、In:Ga:Zn=4:2:3〔原子数比〕、Ga:Zn=2:1〔原子数比〕、またはGa:Zn=2:5〔原子数比〕の金属酸化物を用いればよい。また、酸化物230cを積層構造とする場合の具体例としては、In:Ga:Zn=4:2:3〔原子数比〕と、In:Ga:Zn=1:3:4〔原子数比〕との積層構造、In:Ga:Zn=4:2:3〔原子数比〕と、Ga:Zn=2:1〔原子数比〕との積層構造、In:Ga:Zn=4:2:3〔原子数比〕と、Ga:Zn=2:5〔原子数比〕との積層構造、In:Ga:Zn=4:2:3〔原子数比〕と、酸化ガリウムとの積層構造などが挙げられる。

#### 【0148】

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

#### 【0149】

このとき、キャリアの主たる経路は酸化物230bとなる。あるいは、酸化物230cが、2層の積層構造を有する場合、酸化物230bだけでなく、酸化物230cの下層もキャリアの主たる経路となる場合がある。酸化物230a、酸化物230cを上述の構成とすることで、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ200は高いオン電流、および高い周波数特性を得ることができる。なお、酸化物230cを積層構造とした場合、上述の酸化物230bと、酸化物230cとの界面における欠陥準位密度を低くする効果に加え、酸化物230cが有する構成元素が、絶縁体250側に拡散するのを抑制することが期待される。より具体的には、酸化物230cを積層構造とし、積層構造の上方にInを含まない酸化物を位置させるため、Inが絶縁体250側に拡散するのを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、Inが絶縁体250などに混入した場合、トランジスタの特性不良となる。したがって、酸化物230cを積層構造とすることで、信頼性の高い半導体装置を提供することが可能となる。

#### 【0150】

酸化物230b上には、ソース電極、およびドレイン電極として機能する導電体242（導電体242a、および導電体242b）が設けられる。導電体242の膜厚は、例えば、1nm以上50nm以下、好ましくは2nm以上25nm以下、とすればよい。

#### 【0151】

導電体242としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金

10

20

30

40

50

か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

#### 【0152】

絶縁体254は、絶縁体214などと同様に、水、水素などの不純物が、絶縁体280側からトランジスタ200に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体254は、絶縁体224より水素透過性が低いことが好ましい。さらに、図2(B)に示すように、絶縁体254は、導電体242aの上面および側面、導電体242bの上面および側面、酸化物230aおよび酸化物230bの側面、ならびに絶縁体224の上面の一部に接することが好ましい。このような構成にすることで、絶縁体280は、絶縁体254によって、絶縁体224、酸化物230aおよび酸化物230bと離隔されている。これにより、絶縁体280に含まれる水素が、酸化物230aおよび酸化物230bに拡散するのを抑制することができるので、トランジスタ200に良好な電気特性および信頼性を与えることができる。

#### 【0153】

さらに、絶縁体254は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）ことが好ましい。例えば、絶縁体254は、絶縁体280または絶縁体224より酸素透過性が低いことが好ましい。

#### 【0154】

絶縁体254は、スパッタリング法を用いて成膜されることが好ましい。絶縁体254を、酸素を含む雰囲気中でスパッタリング法を用いて成膜することで、絶縁体224の絶縁体254と接する領域近傍に酸素を添加することができる。これにより、当該領域から、絶縁体224を介して酸化物230中に酸素を供給することができる。ここで、絶縁体254が、上方への酸素の拡散を抑制する機能を有することで、酸素が酸化物230から絶縁体280へ拡散することを防ぐことができる。また、絶縁体222が、下方への酸素の拡散を抑制する機能を有することで、酸素が酸化物230から基板側へ拡散することを防ぐことができる。このようにして、酸化物230のチャンネル形成領域に酸素が供給される。これにより、酸化物230の酸素欠損を低減し、トランジスタのノーマリーオン化を抑制することができる。

#### 【0155】

絶縁体254としては、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。この場合、絶縁体254は、原子層堆積（ALD：Atomic Layer Deposition）法を用いて成膜されることが好ましい。ALD法は、被覆性の良好な成膜法なので、絶縁体254の凹凸によって、段切れなどが形成されるのを防ぐことができる。

#### 【0156】

また、絶縁体254としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。絶縁体254として、組成式が $AlN_x$ （ $x$ は0より大きく2以下の実数、好ましくは、 $x$ は0.5より大きく1.5以下の実数）を満たす窒化物絶縁体を用いることが好ましい。これにより、絶縁性に優れ、且つ熱伝導性に優れた膜とすることができるため、トランジスタ200を駆動したときに生じる熱の放熱性を高めることができる。また、絶縁体254として、窒化アルミニウムチタン、窒化チタンなどを用いることもできる。この場合、スパッタリング法を用いて成膜することで、成膜ガスに酸素またはオゾンなどの酸化性の強いガスを用いずに成膜することができるので、好ましい。また、窒化シリコン、窒化酸化シリコンなどを用いることもできる。

## 【0157】

また、絶縁体254としては、例えば、ガリウムを含む酸化物を用いてもよい。ガリウムを含む酸化物は、水素および酸素の一方または双方の拡散を抑制する機能を有する場合があるため好ましい。なお、ガリウムを含む酸化物として、酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物などを用いることが好ましい。また、インジウムガリウム亜鉛酸化物を用いる場合、当該酸化物のガリウムの原子数比は高い方が好ましい。

## 【0158】

また、絶縁体254は、2層以上の多層構造とすることができる。例えば、絶縁体254として、酸素を含む雰囲気中でスパッタリング法を用いて1層目を成膜し、次にALD法を用いて2層目を成膜し、2層構造としてもよい。ALD法は、被覆性の良好な成膜法なので、1層目の凹凸によって、段切れなどが形成されるのを防ぐことができる。なお、絶縁体254を2層以上の多層構造とする場合、異なる材料からなる多層構造としてもよい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコンまたは窒化シリコンと、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体と、の積層構造としてもよい。また、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、例えば、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。

## 【0159】

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの少なくとも一部に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

## 【0160】

絶縁体250は、絶縁体224と同様に、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの少なくとも一部に接して設けることにより、酸化物230bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水、水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

## 【0161】

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素の拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の酸素による導電体260の酸化を抑制することができる。

## 【0162】

なお、上記金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、上記金属酸化物は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と上記金属酸化物との積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。

## 【0163】

また、上記金属酸化物は、第1のゲート電極の一部としての機能を有してもよい。例えば、酸化物230として用いることができる酸化物半導体を、上記金属酸化物として用いることができる。その場合、導電体260をスパッタリング法で成膜することで、上記金

10

20

30

40

50

属酸化物の電気抵抗値を低下させて導電体とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

【0164】

上記金属酸化物を有することで、導電体260からの電界の影響を弱めることなく、トランジスタ200のオン電流の向上を図ることができる。また、絶縁体250と、上記金属酸化物との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、導電体260と酸化物230との間のリーク電流を抑制することができる。また、絶縁体250、および上記金属酸化物との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

10

【0165】

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。また、酸化物230に用いることができる酸化物半導体を低抵抗化することで、上記金属酸化物として用いることができる。

【0166】

導電体260は、図2(B)、図2(C)では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

20

【0167】

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子( $N_2O$ 、 $NO$ 、 $NO_2$ など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0168】

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、酸化ルテニウムなどを用いることが好ましい。

30

【0169】

また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層構造としてもよい。

【0170】

絶縁体280は、絶縁体254を介して、絶縁体224、酸化物230、および導電体242上に設けられる。例えば、絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンなどを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、酸化窒化シリコン、空孔を有する酸化シリコンなどの材料は、加熱により脱離する酸素を含む領域を容易に形成することができるため好ましい。

40

【0171】

絶縁体280中の水、水素などの不純物濃度が低減されていることが好ましい。また、絶縁体280は、2層以上の積層構造を有していてもよい。また、絶縁体280の上面は、平坦化されていてもよい。

【0172】

絶縁体274は、絶縁体214などと同様に、水、水素などの不純物が、上方から絶縁

50

体 2 8 0 に拡散するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体 2 7 4 としては、例えば、絶縁体 2 1 4、絶縁体 2 5 4 等に用いることができる絶縁体を用いればよい。

【0173】

また、絶縁体 2 7 4 の上に、層間膜として機能する絶縁体 2 8 1 を設けることが好ましい。絶縁体 2 8 1 は、絶縁体 2 2 4 などと同様に、膜中の水、水素などの不純物濃度が低減されていることが好ましい。

【0174】

また、絶縁体 2 8 1、絶縁体 2 7 4、絶縁体 2 8 0、および絶縁体 2 5 4 に形成された開口に、導電体 2 4 0 a および導電体 2 4 0 b を配置する。導電体 2 4 0 a および導電体 2 4 0 b は、導電体 2 6 0 を挟んで対向して設ける。なお、導電体 2 4 0 a および導電体 2 4 0 b の上面は、絶縁体 2 8 1 の上面と、同一平面上としてもよい。

【0175】

なお、絶縁体 2 8 1、絶縁体 2 7 4、絶縁体 2 8 0、および絶縁体 2 5 4 の開口の側壁に接して、絶縁体 2 4 1 a が設けられ、その側面に接して導電体 2 4 0 a の第 1 の導電体が形成されている。当該開口の底部の少なくとも一部には導電体 2 4 2 a が位置しており、導電体 2 4 0 a が導電体 2 4 2 a と接する。同様に、絶縁体 2 8 1、絶縁体 2 7 4、絶縁体 2 8 0、および絶縁体 2 5 4 の開口の側壁に接して、絶縁体 2 4 1 b が設けられ、その側面に接して導電体 2 4 0 b の第 1 の導電体が形成されている。当該開口の底部の少なくとも一部には導電体 2 4 2 b が位置しており、導電体 2 4 0 b が導電体 2 4 2 b と接する。

【0176】

導電体 2 4 0 a および導電体 2 4 0 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 2 4 0 a および導電体 2 4 0 b は積層構造としてもよい。

【0177】

また、導電体 2 4 0 a、および導電体 2 4 0 b を積層構造とする場合、酸化物 2 3 0 a、酸化物 2 3 0 b、導電体 2 4 2、絶縁体 2 5 4、絶縁体 2 8 0、絶縁体 2 7 4、および絶縁体 2 8 1 と接する導電体には、水、水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、酸化ルテニウムなどを用いることが好ましい。また、水、水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 2 8 0 に添加された酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。また、絶縁体 2 8 1 より上層に含まれる、水、水素などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に拡散するのを抑制することができる。

【0178】

絶縁体 2 4 1 a および絶縁体 2 4 1 b としては、例えば、絶縁体 2 5 4 等に用いることができる絶縁体を用いればよい。絶縁体 2 4 1 a および絶縁体 2 4 1 b は、絶縁体 2 5 4 に接して設けられるので、絶縁体 2 8 0 などに含まれる水、水素などの不純物が、導電体 2 4 0 a および導電体 2 4 0 b を通じて酸化物 2 3 0 に拡散するのを抑制することができる。また、絶縁体 2 8 0 に含まれる酸素が導電体 2 4 0 a および導電体 2 4 0 b に吸収されるのを防ぐことができる。なお、絶縁体 2 4 1 a および絶縁体 2 4 1 b の形成には、A L D 法や化学気相成長 (C V D : C h e m i c a l V a p o r D e p o s i t i o n) 法を用いることができる。

【0179】

また、図示しないが、導電体 2 4 0 a の上面、および導電体 2 4 0 b の上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との

積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

【0180】

また、図示しないが、上記導電体を覆うように、抵抗率が $1.0 \times 10^{13} \Omega \text{cm}$ 以上 $1.0 \times 10^{15} \Omega \text{cm}$ 以下、好ましくは $5.0 \times 10^{13} \Omega \text{cm}$ 以上 $5.0 \times 10^{14} \Omega \text{cm}$ 以下の絶縁体を設けることが好ましい。上記導電体上に上記のような抵抗率を有する絶縁体を設けることで、当該絶縁体は、絶縁性を維持しつつ、トランジスタ200、上記導電体等の配線間に蓄積される電荷を分散し、該電荷によるトランジスタや、該トランジスタを有する電子機器の特性不良や静電破壊を抑制することができ、好ましい。

【0181】

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

【0182】

<<基板>>

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0183】

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0184】

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0185】

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

【0186】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

【0187】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体（絶縁体 2 1 4、絶縁体 2 2 2、絶縁体 2 5 4、および絶縁体 2 7 4 など）で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、または酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコンまたは窒化シリコンなどの金属窒化物を用いることができる。

10

【0188】

また、ゲート絶縁体として機能する絶縁体は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物 2 3 0 と接する構造とすることで、酸化物 2 3 0 が有する酸素欠損を補償することができる。

【0189】

&lt;&lt;導電体&gt;&gt;

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

20

【0190】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0191】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

40

【0192】

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングス

50

テンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0193】

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

【0194】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0195】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0196】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物(metal oxynitride)と呼称してもよい。

【0197】

[金属酸化物の構造]

酸化物半導体(金属酸化物)は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

【0198】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

【0199】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう。)を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

【0200】

また、CAAC-Osは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

#### 【0201】

CAAC-Osは結晶性の高い金属酸化物である。一方、CAAC-Osは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-Osは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、CAAC-Osを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-Osを有する金属酸化物は熱に強く、信頼性が高い。

#### 【0202】

nc-Osは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-Osは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Osや非晶質酸化物半導体と区別が付かない場合がある。

#### 【0203】

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、In-Ga-Zn酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

#### 【0204】

a-like Osは、nc-Osと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like Osは、鬆または低密度領域を有する。すなわち、a-like Osは、nc-OsおよびCAAC-Osと比べて、結晶性が低い。

#### 【0205】

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like Os、nc-Os、CAAC-Osのうち、二種以上を有していてもよい。

#### 【0206】

##### 〔不純物〕

ここで、金属酸化物中における各不純物の影響について説明する。

#### 【0207】

金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

#### 【0208】

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

## 【0209】

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

## 【0210】

トランジスタの半導体に用いる金属酸化物として、結晶性の高い薄膜を用いることが好ましい。該薄膜を用いることで、トランジスタの安定性または信頼性を向上させることができる。該薄膜として、例えば、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜が挙げられる。しかしながら、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜を基板上に形成するには、高温またはレーザー加熱の工程が必要とされる。よって、製造工程のコストが増加し、さらに、スループットも低下してしまう。

10

## 【0211】

2009年に、CAAC構造を有するIn-Ga-Zn酸化物(CAAC-IGZOと呼ぶ。)が発見されたことが、非特許文献1および非特許文献2で報告されている。ここでは、CAAC-IGZOは、c軸配向性を有する、結晶粒界が明確に確認されない、低温で基板上に形成可能である、ことが報告されている。さらに、CAAC-IGZOを用いたトランジスタは、優れた電気特性および信頼性を有することが報告されている。

20

## 【0212】

また、2013年には、nc構造を有するIn-Ga-Zn酸化物(nc-IGZOと呼ぶ。)が発見された(非特許文献3参照。)。ここでは、nc-IGZOは、微小な領域(例えば、1nm以上3nm以下の領域)において原子配列に周期性を有し、異なる該領域間で結晶方位に規則性が見られないことが報告されている。

## 【0213】

非特許文献4および非特許文献5では、上記のCAAC-IGZO、nc-IGZO、および結晶性の低いIGZOのそれぞれの薄膜に対する電子線の照射による平均結晶サイズの推移が示されている。結晶性の低いIGZOの薄膜において、電子線が照射される前でさえ、1nm程度の結晶性IGZOが観察されている。よって、ここでは、IGZOにおいて、完全な非晶質構造(completely amorphous structure)の存在を確認できなかった、と報告されている。さらに、結晶性の低いIGZOの薄膜と比べて、CAAC-IGZOの薄膜およびnc-IGZOの薄膜は電子線照射に対する安定性が高いことが示されている。よって、トランジスタの半導体として、CAAC-IGZOの薄膜またはnc-IGZOの薄膜を用いることが好ましい。

30

## 【0214】

金属酸化物を用いたトランジスタは、非導通状態において極めてリーク電流が小さい、具体的には、トランジスタのチャネル幅 $1 \mu\text{m}$ あたりのオフ電流が $\text{yA}/\mu\text{m}$ ( $10^{-24} \text{ A}/\mu\text{m}$ )オーダである、ことが非特許文献6に示されている。例えば、金属酸化物を用いたトランジスタのリーク電流が小さいという特性を応用した低消費電力のCPUなどが開示されている(非特許文献7参照。)

40

## 【0215】

また、金属酸化物を用いたトランジスタのリーク電流が小さいという特性を利用した、該トランジスタの表示装置への応用が報告されている(非特許文献8参照。)。表示装置では、表示される画像が1秒間に数十回切り換っている。1秒間あたりの画像の切り換え回数はリフレッシュレートと呼ばれている。また、リフレッシュレートを駆動周波数と呼ぶこともある。このような人の目で知覚が困難である高速の画面の切り換えが、目の疲労の原因として考えられている。そこで、表示装置のリフレッシュレートを低下させて、画像の書き換え回数を減らすことが提案されている。また、リフレッシュレートを低下させた駆動により、表示装置の消費電力を低減することが可能である。このような駆動方法を

50

、アイドリング・ストップ（IDS）駆動と呼ぶ。

【0216】

C A A C 構造および n c 構造の発見は、C A A C 構造または n c 構造を有する金属酸化物を用いたトランジスタの電気特性および信頼性の向上、ならびに、製造工程のコスト低下およびスループットの向上に貢献している。また、該トランジスタのリーク電流が小さいという特性を利用した、該トランジスタの表示装置および L S I への応用研究が進められている。

【0217】

＜半導体装置の作製方法＞

次に、図 2（A）乃至図 2（C）に示す、本発明の一態様に係る半導体装置の作製方法を、図 4（A）乃至図 11（A）、図 4（B）乃至図 11（B）、および、図 4（C）乃至図 11（C）を用いて説明する。図 4（A）乃至図 11（A）は上面図を示す。また、図 4（B）乃至図 11（B）はそれぞれ、図 4（A）乃至図 11（A）に A 1－A 2 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、図 4（C）乃至図 11（C）はそれぞれ、図 4（A）乃至図 11（A）に A 3－A 4 の一点鎖線で示す部位に対応する断面図であり、トランジスタ 200 のチャネル幅方向の断面図でもある。なお、図 4（A）乃至図 11（A）の上面図では、図の明瞭化のために一部の要素を省いている。

【0218】

まず、基板（図示しない。）を準備し、当該基板上に絶縁体 214 を成膜する。絶縁体 214 の成膜は、スパッタリング法、CVD 法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、パルスレーザ堆積（PLD：Pulsed Laser Deposition）法、ALD 法などを用いて行うことができる。

【0219】

なお、CVD 法は、プラズマを利用するプラズマ CVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱 CVD（TCVD：Thermal CVD）法、光を利用する光 CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属 CVD（MCVD：Metal CVD）法、有機金属 CVD（MOCVD：Metal Organic CVD）法に分けることができる。

【0220】

プラズマ CVD 法は、比較的低温で高品質の膜が得られる。また、熱 CVD 法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱 CVD 法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱 CVD 法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0221】

また、ALD 法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。また、ALD 法には、プラズマを利用する PEALD（Plasma Enhanced ALD）法も含まれる。プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD 法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ALD 法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、X 線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いて行うことができる。

【0222】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

#### 【0223】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

#### 【0224】

本実施の形態では、絶縁体214として、スパッタリング法によって酸化アルミニウム、または窒化シリコンを成膜する。また、絶縁体214は、多層構造としてもよい。例えば、スパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、ALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

#### 【0225】

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化窒化シリコン、またはスパッタリング法によって酸化シリコンを成膜する。

#### 【0226】

次に、絶縁体216に絶縁体214に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして溝を形成する際のエッチングストッパ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化シリコンを用いた場合は、絶縁体214は窒化シリコン、酸化アルミニウム、酸化ハフニウムを用いるとよい。

#### 【0227】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

#### 【0228】

開口の形成後に、導電体205の第1の導電体となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタ

10

20

30

40

50

ル、窒化タングステン、窒化チタンなどを用いることができる。または、前記導電体と、タンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

#### 【0229】

本実施の形態では、導電体205の第1の導電体となる導電膜として、スパッタリング法によって窒化タンタル膜、または、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体205の第1の導電体としてこのような金属窒化物を用いることにより、後述する導電体205の第2の導電体として銅などの拡散しやすい金属を用いても、当該金属が導電体205の第1の導電体から外に拡散するのを防ぐことができる。

10

#### 【0230】

次に、導電体205の第1の導電体となる導電膜上に、導電体205の第2の導電体となる導電膜を成膜する。該導電膜の成膜は、メッキ法、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、該導電膜として、タングステンを成膜する。

#### 【0231】

次に、CMP (Chemical Mechanical Polishing) 処理を行うことで、導電体205の第1の導電体となる導電膜、および導電体205の第2の導電体となる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205の第1の導電体となる導電膜、および導電体205の第2の導電体となる導電膜が残存する。これにより、上面が平坦な、導電体205の第1の導電体および導電体205の第2の導電体を含む導電体205を形成することができる(図4(A)乃至図4(C)参照。)。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

20

#### 【0232】

なお、導電体205を形成した後に、導電体205の第2の導電体の一部を除去し、導電体205および絶縁体216上に導電膜を成膜し、CMP処理を行う工程を行ってもよい。当該CMP処理により、当該導電膜の一部を除去し、絶縁体216を露出する。なお、導電体205の第2の導電体の一部は、ドライエッチング法などを用いて除去するとよい。また、当該導電膜には、導電体205の第1の導電体、および導電体205の第2の導電体と同様の材料を用いるとよい。

30

#### 【0233】

上記工程により、上面が平坦な、上記導電膜を含む導電体205を形成することができる。絶縁体216と導電体205の上面の平坦性を向上させることにより、酸化物230b、酸化物230cを形成するCAAC-Osの結晶性を向上させることができる。

#### 【0234】

ここからは、上記と異なる導電体205の形成方法について以下に説明する。

#### 【0235】

絶縁体214上に、導電体205となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。また、該導電膜は、多層膜とすることができる。例えば、該導電膜としてタングステンを成膜する。

40

#### 【0236】

次に、リソグラフィー法を用いて、導電体205となる導電膜を加工し、導電体205を形成する。

#### 【0237】

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレ

50

ーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

#### 【0238】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電体205となる導電膜上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。導電体205となる導電膜のエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。導電体205となる導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

#### 【0239】

次に、絶縁体214、および導電体205上に絶縁体216となる絶縁膜を成膜する。当該絶縁膜は、導電体205の上面、および側面と接するように形成する。当該絶縁膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

#### 【0240】

ここで、絶縁体216となる絶縁膜の膜厚は、導電体205の膜厚以上とすることが好ましい。例えば、導電体205の膜厚を1とすると、絶縁体216となる絶縁膜の膜厚は、1以上3以下とする。本実施の形態では、導電体205の膜厚を150nmとし、絶縁体216となる絶縁膜の膜厚を350nmとする。

#### 【0241】

次に、絶縁体216となる絶縁膜にCMP処理を行うことで、絶縁体216となる絶縁膜の一部を除去し、導電体205の表面を露出させる。これにより、上面が平坦な、導電体205と、導電体205の側面と接する絶縁体216と、を形成することができる。以上が、導電体205の異なる形成方法である。

#### 【0242】

次に、絶縁体216、および導電体205上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水が、絶縁体222を通じてトランジスタ200の内側へ拡散することが抑制され、酸化物230中の酸素欠損の生成を抑制することができる。

#### 【0243】

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体222として、ALD法によって酸化ハフニウムを成膜する。

#### 【0244】

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状

10

20

30

40

50

態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

#### 【0245】

本実施の形態では、加熱処理として、絶縁体222の成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。当該加熱処理によって、絶縁体222に含まれる水、水素などの不純物を除去することなどができる。また、加熱処理は、絶縁体224の成膜後などのタイミングで行うこともできる。

#### 【0246】

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。本実施の形態では、絶縁体224として、CVD法によって酸化窒化シリコン膜、またはスパッタリング法によって酸化シリコン膜を成膜する。

#### 【0247】

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に、脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水、水素などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

#### 【0248】

ここで、絶縁体224上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁体224に達するまで、CMP処理を行ってもよい。当該CMP処理を行うことで絶縁体224表面の平坦化および平滑化を行うことができる。当該酸化アルミニウムを絶縁体224上に配置してCMP処理を行うことで、CMP処理の終点検出が容易となる。また、CMP処理によって、絶縁体224の一部が研磨されて、絶縁体224の膜厚が薄くなることがあるが、絶縁体224の成膜時に膜厚を調整すればよい。絶縁体224表面の平坦化および平滑化を行うことで、後に成膜する酸化物の被覆率の悪化を防止し、半導体装置の歩留りの低下を防ぐことができる場合がある。また、絶縁体224上に、スパッタリング法によって、酸化アルミニウムを成膜することにより、絶縁体224に酸素を添加することができるので好ましい。

#### 【0249】

次に、絶縁体224上に、酸化物230aとなる酸化膜230A、酸化物230bとなる酸化膜230Bを順に成膜する(図4(B)および図4(C)参照。)。なお、上記酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜230Bとの界面近傍を清浄に保つことができる。

#### 【0250】

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

#### 【0251】

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素

10

20

30

40

50

を増やすことができる。また、上記の酸化膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットなどを用いることができる。また、ターゲットには、直流(DC)電源または、高周波(RF)電源などの交流(AC)電源が接続され、ターゲットの電気伝導度に応じて、必要な電力を印加することができる。

#### 【0252】

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、当該スパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

#### 【0253】

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を、30%を超えて100%以下、好ましくは70%以上100%以下として成膜すると、酸素過剰型の酸化物半導体が形成される。酸素過剰型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い信頼性が得られる。ただし、本発明の一態様はこれに限定されない。酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。また、基板を加熱しながら成膜を行うことによって、当該酸化膜の結晶性を向上させることができる。

#### 【0254】

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]の酸化物ターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1[原子数比]の酸化物ターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求める特性に合わせて形成するとよい。

#### 【0255】

ここで、絶縁体222、絶縁体224、酸化膜230A、および酸化膜230Bを、大気に暴露することなく成膜することが好ましい。例えば、マルチチャンバー方式の成膜装置を用いればよい。

#### 【0256】

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜230A、および酸化膜230B中の水、水素などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

#### 【0257】

次に、酸化膜230B上に導電膜242Aを成膜する。導電膜242Aの成膜はスパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる(図4(B)および図4(C)参照。)。なお、導電膜242Aの成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して導電膜242Aを成膜してもよい。このような処理を行うことによって、酸化膜230Bの表面などに表面に吸着している水分および水素を除去し、さらに酸化膜230Aおよび酸化膜230B中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする。

#### 【0258】

次に、酸化膜230A、酸化膜230B、および導電膜242Aを島状に加工して、酸化物230a、酸化物230b、および導電層242Bを形成する(図5(A)乃至図5(C)参照。)

#### 【0259】

ここで、酸化物230a、酸化物230b、および導電層242Bは、少なくとも一部

10

20

30

40

50

が導電体 205 と重なるように形成する。また、酸化物 230 a、酸化物 230 b、および導電層 242 B の側面は、絶縁体 224 の上面に対し、概略垂直であることが好ましい。酸化物 230 a、酸化物 230 b、および導電層 242 B の側面が、絶縁体 224 の上面に対し、概略垂直であることで、複数のトランジスタ 200 を設ける際に、小面積化、高密度化が可能となる。または、酸化物 230 a、酸化物 230 b、および導電層 242 B の側面と、絶縁体 224 の上面とのなす角が低い角度になる構成にしてもよい。その場合、酸化物 230 a、酸化物 230 b、および導電層 242 B の側面と、絶縁体 224 の上面とのなす角は 60 度以上 70 度未満が好ましい。この様な形状とすることで、これより後の工程において、絶縁体 254 などの被覆性が向上し、鬆などの欠陥を低減することができる。

10

#### 【0260】

また、導電層 242 B の側面と導電層 242 B の上面との間に、湾曲面を有する。つまり、当該側面の端部と当該上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、導電層 242 B の端部において、曲率半径が、3 nm 以上 10 nm 以下、好ましくは、5 nm 以上 6 nm 以下とする。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

#### 【0261】

なお、酸化膜 230 A、酸化膜 230 B、および導電膜 242 A の加工はリソグラフィ法を用いて行えばよい。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、酸化膜 230 A、酸化膜 230 B、および導電膜 242 A は、それぞれ異なる条件で加工してもよい。

20

#### 【0262】

次に、絶縁体 224、酸化物 230 a、酸化物 230 b、および導電層 242 B の上に、絶縁膜 254 A を成膜する（図 6（B）および図 6（C）参照）。

#### 【0263】

絶縁膜 254 A は、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、スパッタリング法によって、酸化アルミニウム膜を成膜することが好ましい。スパッタリング法によって、酸素を含むガスを用いて酸化アルミニウム膜を成膜することによって、絶縁体 224 中へ酸素を注入することができる。つまり、絶縁体 224 は過剰酸素を有することができる。

30

#### 【0264】

また、絶縁膜 254 A は、2 層の積層構造としてもよい。例えば、絶縁膜 254 A の下層として、スパッタリング法によって、酸化アルミニウム膜を成膜し、絶縁膜 254 A の上層として、ALD 法によって、酸化アルミニウム膜を成膜してもよい。2 層の積層構造にすることで、絶縁膜 254 A の下層の凹凸によって、段切れなどが形成されるのを防ぐことができる。

#### 【0265】

次に、絶縁膜 254 A 上に、絶縁体 280 となる絶縁膜を成膜する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。本実施の形態では、当該絶縁膜として、CVD 法、またはスパッタリング法によって酸化シリコン膜を成膜する。なお、当該絶縁膜の成膜前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して当該絶縁膜を成膜してもよい。このような処理を行うことによって、絶縁膜 254 A の表面などに吸着している水分および水素を除去し、さらに酸化物 230 a、酸化物 230 b、および絶縁膜 254 A 中の水分濃度および水素濃度を低減させることができる。また、加熱処理は、上述した加熱処理条件を用いることができる。

40

#### 【0266】

また、絶縁体 280 となる絶縁膜は、多層構造としてもよい。例えば、スパッタリング法によって酸化シリコン膜を成膜し、当該酸化シリコン膜上に、CVD 法によって酸化シ

50

リコン膜を成膜する構造としてもよい。

【0267】

次に、絶縁体280となる絶縁膜にCMP処理を行い、上面が平坦な絶縁体280を形成する（図6（B）および図6（C）参照。）。

【0268】

次に、絶縁体280の一部、絶縁膜254Aの一部、および導電層242Bの一部を加工して、酸化物230bに達する開口を形成する。当該開口は、導電体205と重なるように形成することが好ましい。当該開口によって、導電体242a、導電体242b、および絶縁体254を形成する（図7（A）乃至図7（C）参照。）。

【0269】

また、絶縁体280の一部、絶縁膜254Aの一部、および導電層242Bの一部の加工は、それぞれ異なる条件で加工してもよい。例えば、絶縁体280の一部をドライエッチング法で加工し、絶縁膜254Aの一部をウェットエッチング法で加工し、導電層242Bの一部をドライエッチング法で加工してもよい。

【0270】

これまでのドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物230a、酸化物230bなどの表面に付着または内部に拡散することがある。不純物としては、例えば、フッ素、塩素などがある。

【0271】

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。

【0272】

ウェット洗浄としては、シュウ酸、リン酸、フッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。

【0273】

上記エッチング後、または上記洗浄後に加熱処理を行ってもよい。加熱処理は、100℃以上400℃以下、好ましくは100℃以上300℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、または10%以上含む雰囲気で行ってもよい。

【0274】

上記加熱処理を行うことで、導電体242のチャンネル形成領域近傍の側面、または導電体242と酸化物230bの界面に酸化膜が形成される場合がある。当該酸化膜の膜厚は、2.5nm以下にすることが好ましく、2.1nm以下にすることがより好ましい。また、酸化物230bにおける、導電体242のチャンネル形成領域側の端部近傍の領域に、インジウム原子が欠損した領域が形成されないことが好ましい。このような構造にすることで、ソース電極とドレイン電極の間に余計な電気抵抗が形成されなくなるので、トランジスタ200のオン電流、および電界効果移動度を良好にすることができる。

【0275】

次に加熱処理を行ってもよく、当該加熱処理は、減圧下で行い、大気に暴露することなく、連続して酸化膜230cを成膜してもよい。このような処理を行うことによって、酸化物230bの表面などに吸着している水分および水素を除去し、さらに酸化物230aおよび酸化物230b中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃以上400℃以下が好ましい。本実施の形態では、加熱処理の温度を200℃とする（図8（A）乃至図8（C）参照。）。

【0276】

酸化膜 230C の成膜はスパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。酸化膜 230C に求める特性に合わせて、酸化膜 230A、または酸化膜 230B と同様の成膜方法を用いて、酸化膜 230C を成膜すればよい。本実施の形態では、酸化膜 230C として、スパッタリング法によって、In : Ga : Zn = 1 : 3 : 4 [原子数比]、または 4 : 2 : 4.1 [原子数比] の酸化物ターゲットを用いて成膜する。

#### 【0277】

特に、酸化膜 230C の成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物 230a および酸化物 230b に供給される場合がある。したがって、酸化膜 230C のスパッタリングガスに含まれる酸素の割合は 70% 以上、好ましくは 80% 以上、より好ましくは 100% とすればよい。

#### 【0278】

次に加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁膜 250A を成膜してもよい。このような処理を行うことによって、酸化膜 230C の表面などに表面に吸着している水分および水素を除去し、さらに酸化物 230a、酸化物 230b、および酸化膜 230C 中の水分濃度および水素濃度を低減させることができる。加熱処理の温度は、100℃ 以上 400℃ 以下が好ましい。(図 9 (A) 乃至図 9 (C) 参照。)

#### 【0279】

絶縁膜 250A は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて成膜することができる。本実施の形態では、絶縁膜 250A として、CVD 法により、酸化窒化シリコンを成膜する。なお、絶縁膜 250A を成膜する際の成膜温度は、350℃ 以上 450℃ 未満、特に 400℃ 前後とすることが好ましい。絶縁膜 250A を、400℃ で成膜することで、不純物が少ない絶縁膜を成膜することができる。

#### 【0280】

次に、導電膜 260A および導電膜 260B を成膜する。導電膜 260A および導電膜 260B の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。例えば、CVD 法を用いることが好ましい。本実施の形態では、ALD 法を用いて導電膜 260A を成膜し、CVD 法を用いて導電膜 260B を成膜する(図 10 (A) 乃至図 10 (C) 参照。)

#### 【0281】

次に、CMP 処理によって、酸化膜 230C、絶縁膜 250A、導電膜 260A、および導電膜 260B を絶縁体 280 が露出するまで研磨することによって、酸化物 230c、絶縁体 250、および導電体 260 (導電体 260a、および導電体 260b) を形成する(図 11 (A) 乃至図 11 (C) 参照。)。これにより、酸化物 230c は、酸化物 230b に達する開口の内壁(側壁、および底面)を覆うように配置される。また、絶縁体 250 は、酸化物 230c を介して、上記開口の内壁を覆うように配置される。また、導電体 260 は、酸化物 230c および絶縁体 250 を介して、上記開口を埋め込むように配置される。

#### 【0282】

次に、加熱処理を行ってもよい。本実施の形態では、窒素雰囲気にて 400℃ の温度で 1 時間の処理を行う。該加熱処理によって、絶縁体 250 および絶縁体 280 中の水分濃度および水素濃度を低減させることができる。

#### 【0283】

次に、酸化物 230c、絶縁体 250、導電体 260、および絶縁体 280 上に、絶縁体 274 を成膜する。絶縁体 274 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。絶縁体 274 としては、例えば、スパッタリング法によって、酸化アルミニウム膜、または窒化シリコン膜を成膜することが好ましい。スパッタリング法によって、酸化アルミニウム膜、または窒化シリコン膜を成膜することによって、絶縁体 281 が有する水素を酸化物 230 へ拡散することを抑制す

10

20

30

40

50

ることができる。また、導電体 260 と接するように絶縁体 274 を形成することで、導電体 260 の酸化を抑制することができ、好ましい。

【0284】

また、絶縁体 274 として、スパッタリング法によって、酸化アルミニウム膜を形成することで、絶縁体 280 に酸素を供給することができる。絶縁体 280 に供給された酸素は、酸化物 230c を介して、酸化物 230b が有するチャネル形成領域に供給される場合がある。また、絶縁体 280 に酸素が供給されることで、絶縁体 274 形成前に絶縁体 280 に含まれていた酸素が、酸化物 230c を介して、酸化物 230b が有するチャネル形成領域に供給される場合がある。

【0285】

また、絶縁体 274 は、多層構造としてもよい。例えば、スパッタリング法によって酸化アルミニウム膜を成膜し、当該酸化アルミニウム膜上に、スパッタリング法によって窒化シリコンを成膜する構造としてもよい。

【0286】

次に、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。当該加熱処理によって、絶縁体 280 の水分濃度および水素濃度を低減させることができる。また、絶縁体 274 が有する酸素を絶縁体 280 に注入することができる。

【0287】

なお、絶縁体 274 を成膜する方法として、はじめに、絶縁体 280 などの上に、スパッタリング法によって酸化アルミニウム膜を成膜し、次に、上述した加熱処理条件を用いて加熱処理を行い、次に、CMP 処理によって、当該酸化アルミニウム膜を除去し、次に、絶縁体 274 を成膜してもよい。当該方法により、絶縁体 280 に過剰酸素領域をより多く形成することができる。なお、当該酸化アルミニウム膜を除去する工程において、絶縁体 280 の一部、導電体 260 の一部、絶縁体 250 の一部、および酸化物 230c の一部が除去される場合がある。

【0288】

また、絶縁体 280 と絶縁体 274 との間に、絶縁体を設けてもよい。当該絶縁体として、例えば、スパッタリング法を用いて成膜した窒化シリコンを用いればよい。当該絶縁体を設けることで、絶縁体 280 に過剰酸素領域を形成することができる。

【0289】

次に絶縁体 274 上に、絶縁体 281 を成膜してもよい。絶縁体 281 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる（図 11（B）および図 11（C）参照。）。

【0290】

次に、絶縁体 254、絶縁体 280、絶縁体 274、および絶縁体 281 に、導電体 242a および導電体 242b に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

【0291】

次に、絶縁体 241 となる絶縁膜を成膜し、当該絶縁膜を異方性エッチングして絶縁体 241 を形成する。当該絶縁膜の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法、ALD 法などを用いて行うことができる。当該絶縁膜としては、酸素の透過を抑制する機能を有する絶縁膜を用いることが好ましい。例えば、ALD 法によって、酸化アルミニウム膜を成膜することが好ましい。また、ALD 法や CVD 法を用いて、窒化シリコン膜を成膜してもよい。ALD 法を用いて窒化シリコン膜を成膜する場合、シリコンおよびハロゲンを含むプリカーサや、アミノシラン類のプリカーサを用いることができる。シリコンおよびハロゲンを含むプリカーサとして、 $\text{SiCl}_4$ 、 $\text{SiH}_2\text{Cl}_2$ 、 $\text{Si}_2\text{Cl}_6$ 、 $\text{Si}_3\text{Cl}_8$  等を用いることができる。また、アミノシラン類のプリカーサとして、1 価、2 価、または 3 価のアミノシラン類を用いることができる。また、窒化ガスとしてアンモニアや、ヒドラジンを用いることができる。また、異方性エッチングは、例えばドライエッチング法などを行えばよい。開口の側壁部をこのような構成とすることで、外方が

10

20

30

40

50

らの酸素の透過を抑制し、次に形成する導電体 240 a および導電体 240 b の酸化を防止することができる。また、導電体 240 a および導電体 240 b から、水、水素などの不純物が外部に拡散することを防ぐことができる。

【0292】

次に、導電体 240 a および導電体 240 b となる導電膜を成膜する。当該導電膜は、水、水素など不純物の拡散を抑制する機能を有する導電体を含む積層構造とすることが望ましい。たとえば、窒化タンタル、窒化チタンなどと、タングステン、モリブデン、銅など、との積層とすることができる。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。

【0293】

次に、CMP処理を行うことで、導電体 240 a および導電体 240 b となる導電膜の一部を除去し、絶縁体 281 を露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体 240 a および導電体 240 b を形成することができる（図 2（B）および図 2（C）参照。）。なお、当該CMP処理により、絶縁体 281 の一部が除去される場合がある。

【0294】

以上により、図 2（A）乃至図 2（C）に示す、本実施の形態に係る半導体装置を作製することができる。

【0295】

本発明の一態様により、オン電流の大きい半導体装置を提供することができる。また、本発明の一態様により、高い周波数特性を有する半導体装置を提供することができる。また、本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。また、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。また、本発明の一態様により、生産性の高い半導体装置を提供することができる。

【0296】

<半導体装置の構成例 2>

図 12（A）乃至図 12（C）は、本発明の一態様に係る半導体装置、当該半導体装置が有するトランジスタ 200 A、およびトランジスタ 200 A 周辺の上上面図および断面図である。

【0297】

図 12（A）は、トランジスタ 200 A を有する半導体装置の上上面図である。また、図 12（B）および図 12（C）は当該半導体装置の断面図である。ここで、図 12（B）は、図 12（A）に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 A のチャネル長方向の断面図でもある。また、図 12（C）は、図 12（A）に A3-A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 A のチャネル幅方向の断面図でもある。なお、図 12（A）の上上面図では、図の明瞭化のために一部の要素を省いている。

【0298】

なお、図 12（A）乃至図 12（C）に示す半導体装置において、<半導体装置の構成例 1>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記している。

【0299】

以下、半導体装置の構成について、図 12（A）乃至図 12（C）を用いて説明する。なお、本項目において、半導体装置の構成材料については<半導体装置の構成例 1>で詳細に説明した材料を用いることができる。

【0300】

本発明の一態様の半導体装置は、トランジスタ 200 A と、層間膜として機能する絶縁

10

20

30

40

50

体 2 1 4、絶縁体 2 1 6、絶縁体 2 8 0（絶縁体 2 8 0 a、および絶縁体 2 8 0 b）、絶縁体 2 7 4、および絶縁体 2 8 1 と、を有する。また、トランジスタ 2 0 0 A と電氣的に接続し、プラグとして機能する導電体 2 4 0（導電体 2 4 0 a、および導電体 2 4 0 b）を有する。なお、プラグとして機能する導電体 2 4 0 の側面に接して絶縁体 2 4 1（絶縁体 2 4 1 a、および絶縁体 2 4 1 b）が設けられる。

【0301】

〔トランジスタ 2 0 0 A〕

図 1 2（A）乃至図 1 2（C）に示すように、トランジスタ 2 0 0 A は、基板（図示せず。）の上に配置され、絶縁体 2 1 6 に埋め込まれるように配置された導電体 2 0 5 と、絶縁体 2 1 6 の上および導電体 2 0 5 の上に配置された絶縁体 2 2 2 と、絶縁体 2 2 2 の上に配置された絶縁体 2 2 4 と、絶縁体 2 2 4 の上に配置された酸化物 2 3 0（酸化物 2 3 0 a、酸化物 2 3 0 b、酸化物 2 3 0 c 1、および酸化物 2 3 0 c 2）と、酸化物 2 3 0 の上に配置された絶縁体 2 5 0 と、絶縁体 2 5 0 上に配置された導電体 2 6 0（導電体 2 6 0 a、および導電体 2 6 0 b）と、酸化物 2 3 0 b の上面の一部と接する導電体 2 4 2 a および導電体 2 4 2 b と、を有する。

【0302】

半導体装置は、絶縁体 2 8 0 が、絶縁体 2 8 0 a、および絶縁体 2 8 0 b の 2 層を積層する構成である点が、＜半導体装置の構成例 1＞で説明した半導体装置と異なる。また、トランジスタ 2 0 0 A は、酸化物 2 3 0 c が、酸化物 2 3 0 c 1 および酸化物 2 3 0 c 2 の 2 層を積層する構成である点、絶縁体 2 2 4 が島状に加工されている点、絶縁体 2 5 4 を有さない点が、前述のトランジスタ 2 0 0 と異なる。また、トランジスタ 2 0 0 A のチャネル幅方向において、絶縁体 2 2 2 と酸化物 2 3 0 c 1 とが接する領域を有する点が、前述のトランジスタ 2 0 0 と異なる。以下では、＜半導体装置の構成例 1＞で説明した半導体装置、および前述のトランジスタ 2 0 0 と異なる点について説明する。

【0303】

図 1 2（B）および図 1 2（C）に示すように、絶縁体 2 8 0 は、絶縁体 2 8 0 a と、絶縁体 2 8 0 a の上に配置された絶縁体 2 8 0 b と、を有する。また、絶縁体 2 8 0 a は、絶縁体 2 2 2 の上面の一部、絶縁体 2 2 4、酸化物 2 3 0 a、および酸化物 2 3 0 b の側面、導電体 2 4 2 a の側面、導電体 2 4 2 a の上面、導電体 2 4 2 b の側面、ならびに導電体 2 4 2 b の上面に接して配置されている。

【0304】

例えば、絶縁体 2 8 0 a、および絶縁体 2 8 0 b は、過剰酸素領域を有する絶縁性材料、または、過剰酸素領域が形成されやすい絶縁性材料を用いることが好ましい。具体的には、絶縁体 2 8 0 a として、スパッタリング法を用いて成膜された酸化シリコンを用い、絶縁体 2 8 0 b として、CVD 法を用いて成膜された酸化窒化シリコンを用いればよい。絶縁体 2 8 0 a の膜厚は、30 nm 以上 100 nm 以下とするのが好ましく、40 nm 以上 80 nm 以下とするのがさらに好ましい。このような 2 層を積層する構成にすることで、絶縁体 2 8 0 のカバレージを向上させることができる。

【0305】

また、例えば、絶縁体 2 8 0 a として、過剰酸素領域を有する絶縁性材料、または、過剰酸素領域が形成されやすい絶縁性材料を用い、絶縁体 2 8 0 b として、被形成膜に過剰酸素領域を形成しやすい絶縁性材料を用いることが好ましい。具体的には、絶縁体 2 8 0 a として、スパッタリング法を用いて成膜された酸化シリコンを用い、絶縁体 2 8 0 b として、スパッタリング法を用いて成膜された酸化アルミニウムを用いればよい。このような 2 層を積層する構成にすることで、絶縁体 2 8 0 a が有する過剰酸素を、酸化物 2 3 0 に効率的に供給することができる。

【0306】

なお、絶縁体 2 8 0 は、絶縁体 2 8 0 a および絶縁体 2 8 0 b を積層する構成に限定されず、単層にしてもよいし、3 層以上を積層する構成にしてもよい。なお、絶縁体 2 8 0 を 2 層以上の積層構造にする場合、絶縁体 2 8 0 に用いる絶縁性材料の組み合わせおよび

積層順は、求めるトランジスタ特性により、適宜設計すればよい。

【0307】

また、図12（A）乃至図12（C）に示すように、酸化物230cは、酸化物230c1と、酸化物230c1の上に配置された酸化物230c2と、を有する。酸化物230c1は、酸化物230bに用いられる金属酸化物を構成する金属元素の少なくとも一つを含むことが好ましく、当該金属元素を全て含むことがより好ましい。これにより、酸化物230bと酸化物230c1との界面における欠陥準位密度を低くすることができる。また、酸化物230c2は、酸化物230c1より、酸素の拡散または透過を抑制する金属酸化物であることが好ましい。絶縁体250と酸化物230c1との間に酸化物230c2を設けることで、絶縁体280に含まれる酸素が、絶縁体250に拡散するのを抑制することができる。したがって、当該酸素は、酸化物230c1を介して、酸化物230に供給されやすくなる。

10

【0308】

また、酸化物230aおよび酸化物230c2の伝導帯下端が、酸化物230bおよび酸化物230c1の伝導帯下端より真空準位に近いことが好ましい。また、言い換えると、酸化物230aおよび酸化物230c2の電子親和力が、酸化物230bおよび酸化物230c1の電子親和力より小さいことが好ましい。この場合、酸化物230c2は、酸化物230aに用いることができる金属酸化物を用い、酸化物230c1は、酸化物230bに用いることができる金属酸化物を用いることが好ましい。

【0309】

また、酸化物230c1、および酸化物230c2は、結晶性を有することが好ましく、酸化物230c2は、酸化物230c1よりも結晶性が高いことがより好ましい。特に、酸化物230c1、および酸化物230c2として、CAAC-Osを用いることが好ましく、酸化物230c1、および酸化物230c2が有する結晶のc軸が、酸化物230c1、および酸化物230c2の被形成面または上面に概略垂直な方向を向いていることが好ましい。CAAC-Osは、c軸方向に酸素を移動させにくい性質を有する。したがって、酸化物230c1と絶縁体250との間に、酸化物230c2を設けることで、酸化物230c1が有する酸素が、絶縁体250へ拡散することを抑制し、当該酸素を、酸化物230に効率的に供給することができる。

20

【0310】

具体的には、酸化物230c1として、In:Ga:Zn=4:2:3〔原子数比〕の金属酸化物を用い、酸化物230c2として、In:Ga:Zn=1:3:4〔原子数比〕の金属酸化物を用いればよい。酸化物230c2に用いる金属酸化物において、構成元素中のInの原子数比が、酸化物230c1に用いる金属酸化物における、構成元素中のInの原子数比より小さくすることで、Inが絶縁体250側に拡散するのを抑制することができる。絶縁体250は、ゲート絶縁体として機能するため、Inが絶縁体250などに混入した場合、トランジスタの特性不良となる。したがって、酸化物230cを積層構造とすることで、信頼性の高い半導体装置を提供することが可能となる。

30

【0311】

また、図12（C）に示すように、トランジスタ200Aのチャネル幅方向において、酸化物230b、酸化物230a、および絶縁体224と重ならない領域の酸化物230c1の少なくとも一部は、絶縁体222と接してもよい。当該構成にすることで、酸化物230c1に含まれる酸素が、絶縁体224を経由して、トランジスタ200の外側へ拡散するのを防ぐことができる。または、酸化物230b、および酸化物230aに含まれる酸素が、絶縁体224を経由して、トランジスタ200の外側へ拡散するのを防ぐことができる。または、絶縁体224の面積が減少することで、絶縁体224に取り込まれる酸素の量が減少し、酸化物230へ供給する酸素量の減少を抑制することができる。よって、酸化物230c1に含まれる酸素を、効率的に酸化物230b、および酸化物230aに供給することができ、チャネル形成領域における酸化物230の低抵抗化を抑制することができる。したがって、トランジスタの電気特性の変動を抑制し、安定した電気特性

40

50

を実現するとともに、信頼性を向上させることができる。

【0312】

または、上記構成にすることで、絶縁体224などに含まれる水素などの不純物が、酸化物230へ混入するのを抑制することができる。つまり、酸化物230の低抵抗化を抑制することができる。よって、トランジスタの電気特性の変動を抑制し、安定した電気特性を実現するとともに、信頼性を向上させることができる。なお、当該構成は、酸化物230b、および酸化物230aと重ならない領域の絶縁体224を除去することで、形成することができる。

【0313】

また、酸化物230b、および酸化物230aと重ならない領域の絶縁体224を除去することで、図12(C)に示すように、トランジスタ200Aのチャネル幅方向において、絶縁体222の底面を基準として、酸化物230aおよび酸化物230bと、導電体260(導電体260a、および導電体260b)とが、重ならない領域における導電体260の底面の高さは、酸化物230bの底面の高さよりも、低くなりやすい。したがって、トランジスタ200のオン電流を増大させ、周波数特性を向上させることができる。

【0314】

また、図12(B)および図12(C)に示すように、絶縁体222は、酸化物230bと重ならない領域の膜厚が、それ以外の領域の膜厚より薄くなる場合がある。絶縁体222において、酸化物230bと重ならない領域の膜厚は、絶縁体280などに設けられる開口を形成する際、エッチングストップ膜として機能できる膜厚である、または、絶縁体216もしくは導電体205の表面が露出しないのに十分な膜厚であることが好ましい。

【0315】

なお、トランジスタ200は、酸化物230bと、ソース電極およびドレイン電極として機能する導電体242(導電体242a、および導電体242b)と、の間に酸化物を設けてもよい。これにより、導電体242と、酸化物230とが接しない構成となり、導電体242が、酸化物230の酸素を吸収することを抑制できる。つまり、導電体242の酸化を防止することで、導電体242の導電率の低下を抑制することができる。したがって、当該酸化物は、導電体242の酸化を抑制する機能を有することが好ましい。

【0316】

また、上記酸化物は導電性を有することが好ましい。ソース電極およびドレイン電極として機能する導電体242と、酸化物230bとの間に導電性を有する上記酸化物を配置することで、導電体242と、酸化物230bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ200の電気特性および信頼性を向上させることができる。なお、上記酸化物は結晶構造を有していてもよい。

【0317】

上記酸化物としては、亜鉛を含む酸化物を用いることができる。例えば、亜鉛酸化物、ガリウム亜鉛酸化物、インジウム亜鉛酸化物、インジウムガリウム亜鉛酸化物などを用いることができる。または、インジウム酸化物、インジウム錫酸化物などを用いてもよい。また、上記酸化物は、酸素原子との結合が強い金属原子を有する酸化物であることが好ましい。また、上記酸化物の導電率は、酸化物230(酸化物230a、酸化物230b、および酸化物230c)の導電率より高いことが好ましい。また、上記酸化物の膜厚は、1nm以上10nm以下が好ましく、より好ましくは1nm以上5nm以下である。また、上記酸化物は、結晶性を有すると好ましい。上記酸化物が結晶性を有する場合、酸化物230中の酸素の放出を抑制することができる。例えば、上記酸化物が、六方晶などの結晶構造を有することで、酸化物230中の酸素の放出を抑制できる場合がある。

【0318】

以上、本実施の形態に示す構成、方法などは、他の実施の形態や実施例に示す構成、方法などと適宜組み合わせる用いることができる。

【0319】

(実施の形態2)

本実施の形態では、半導体装置の一形態を、図 1 3 および図 1 4 を用いて説明する。

【0320】

〔記憶装置 1〕

本発明の一態様である容量素子を使用した、半導体装置（記憶装置）の一例を図 1 3 に示す。本発明の一態様の半導体装置は、トランジスタ 2 0 0 はトランジスタ 3 0 0 の上方に設けられ、容量素子 1 0 0 はトランジスタ 3 0 0、およびトランジスタ 2 0 0 の上方に設けられている。なお、トランジスタ 2 0 0 として、先の実施の形態で説明したトランジスタ 2 0 0 などを用いることができる。

【0321】

トランジスタ 2 0 0 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 2 0 0 は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

【0322】

図 1 3 に示す半導体装置において、配線 1 0 0 1 はトランジスタ 3 0 0 のソースと電氣的に接続され、配線 1 0 0 2 はトランジスタ 3 0 0 のドレインと電氣的に接続されている。また、配線 1 0 0 3 はトランジスタ 2 0 0 のソースおよびドレインの一方と電氣的に接続され、配線 1 0 0 4 はトランジスタ 2 0 0 の第 1 のゲート（トップゲートともいう。）と電氣的に接続され、配線 1 0 0 6 はトランジスタ 2 0 0 の第 2 のゲート（バックゲートともいう。）と電氣的に接続されている。そして、トランジスタ 3 0 0 のゲート、およびトランジスタ 2 0 0 のソースおよびドレインの他方は、容量素子 1 0 0 の電極の一方と電氣的に接続され、配線 1 0 0 5 は容量素子 1 0 0 の電極の他方と電氣的に接続されている。なお、以下において、トランジスタ 3 0 0 のゲートと、トランジスタ 2 0 0 のソースおよびドレインの他方と、容量素子 1 0 0 の電極の一方と、が接続されたノードをノード F G と呼ぶ場合がある。なお、図 1 3 に示す半導体装置は、トランジスタ 2 0 0 のスイッチングによって、トランジスタ 3 0 0 のゲート（ノード F G）の電位が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。

【0323】

また、図 1 3 に示す記憶装置は、マトリクス状に配置することで、メモリセルアレイを構成することができる。

【0324】

<トランジスタ 3 0 0>

トランジスタ 3 0 0 は、基板 3 1 1 上に設けられ、ゲート電極として機能する導電体 3 1 6、ゲート絶縁体として機能する絶縁体 3 1 5、基板 3 1 1 の一部からなる半導体領域 3 1 3、ならびにソース領域またはドレイン領域として機能する低抵抗領域 3 1 4 a、および低抵抗領域 3 1 4 b を有する。トランジスタ 3 0 0 は、p チャネル型、または n チャネル型のいずれでもよい。

【0325】

ここで、図 1 3 に示すトランジスタ 3 0 0 はチャネルが形成される半導体領域 3 1 3（基板 3 1 1 の一部）が凸形状を有する。また、半導体領域 3 1 3 の側面および上面を、絶縁体 3 1 5 を介して、導電体 3 1 6 が覆うように設けられている。なお、導電体 3 1 6 は仕事関数を調整する材料を用いてもよい。このようなトランジスタ 3 0 0 は半導体基板の凸部を利用していることから F I N 型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、S O I 基板を加工して凸形状を有する半導体膜を形成してもよい。

【0326】

なお、図 1 3 に示すトランジスタ 3 0 0 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

## 【0327】

## ＜容量素子100＞

容量素子100は、トランジスタ200の上方に設けられる。容量素子100は、第1の電極として機能する導電体110、第2の電極として機能する導電体120、および誘電体として機能する絶縁体130を有する。

## 【0328】

また、例えば、導電体240上に設けた導電体112と、導電体110は、同時に形成することができる。なお、導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。

## 【0329】

図13では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

## 【0330】

また、絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

## 【0331】

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料と、高誘電率（high-k）材料との積層構造を用いることが好ましい。当該構成により、容量素子100は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

## 【0332】

なお、高誘電率（high-k）材料（高い比誘電率の材料）の絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する窒化物などがある。

## 【0333】

一方、絶縁耐力が大きい材料（低い比誘電率の材料）としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などがある。

## 【0334】

## ＜配線層＞

各構造体の間には、層間膜、配線、プラグ等が設けられた配線層が設けられていてもよい。また、配線層は、設計に応じて複数層設けることができる。ここで、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

## 【0335】

例えば、基板311上には、層間膜として、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。なお、絶縁体315、および導電体316は、絶縁体320に埋め込まれるように設けられている。また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電氣的に接続する導電体328、および導電体330等が埋め込まれてい

10

20

30

40

50

る。なお、導電体 3 2 8、および導電体 3 3 0 はプラグ、または配線として機能する。

【0 3 3 6】

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

【0 3 3 7】

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 1 3 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線として機能する。

10

【0 3 3 8】

絶縁体 3 5 4、および導電体 3 5 6 上には、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 が順に積層して設けられている。また、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 には、導電体 2 1 8、及びトランジスタ 2 0 0 を構成する導電体 (導電体 2 0 5) 等が埋め込まれている。なお、導電体 2 1 8 は、容量素子 1 0 0、またはトランジスタ 3 0 0 と電気的に接続するプラグ、または配線としての機能を有する。さらに、導電体 1 2 0、および絶縁体 1 3 0 上には、絶縁体 1 5 0 が設けられている。

【0 3 3 9】

層間膜として用いることができる絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

20

【0 3 4 0】

例えば、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

【0 3 4 1】

例えば、絶縁体 2 1 2、絶縁体 3 5 2、絶縁体 3 5 4 等には、比誘電率の低い絶縁体を有することが好ましい。例えば、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、樹脂などを有することが好ましい。または、当該絶縁体は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド (ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、アクリルなどがある。

30

【0 3 4 2】

また、導電体 1 1 2、または導電体 1 2 0 上に設けられる絶縁体 1 3 0、および絶縁体 1 5 0 の一方、または両方を抵抗率が  $1.0 \times 10^{12} \Omega \text{cm}$  以上  $1.0 \times 10^{15} \Omega \text{cm}$  以下、好ましくは  $5.0 \times 10^{12} \Omega \text{cm}$  以上  $1.0 \times 10^{14} \Omega \text{cm}$  以下、より好ましくは  $1.0 \times 10^{13} \Omega \text{cm}$  以上  $5.0 \times 10^{13} \Omega \text{cm}$  以下の絶縁体とすることが好ましい。絶縁体 1 3 0、および絶縁体 1 5 0 の一方、または両方を上記のような抵抗率を有する絶縁体とすることで、当該絶縁体は、絶縁性を維持しつつ、トランジスタ 2 0 0、トランジスタ 3 0 0、容量素子 1 0 0、および導電体 1 1 2、導電体 1 2 0 等の配線間に蓄積される電荷を分散し、該電荷によるトランジスタ、該トランジスタを有する記憶装置の特性不良や静電破壊を抑制することができ、好ましい。このような絶縁体として、窒化シリコン、または窒化酸化シリコンを用いることができる。

40

【0 3 4 3】

また、上記のような抵抗率を有する絶縁体として、絶縁体 1 4 0 を導電体 1 1 2 の下層

50

に設けてもよい。この場合、絶縁体 281 上に絶縁体 140 を形成し、絶縁体 140、絶縁体 281、絶縁体 274、絶縁体 280、絶縁体 254 などに開口部を形成し、当該開口部内に絶縁体 241 の形成や、トランジスタ 200、導電体 218 などと電氣的に接続する導電体 240 の形成を行えばよい。絶縁体 140 は、絶縁体 130、または絶縁体 150 と同様の材料を用いることができる。

【0344】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。従って、絶縁体 210、絶縁体 350 等には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。

【0345】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化酸化シリコン、窒化シリコンなどを用いることができる。

【0346】

配線、プラグに用いることができる導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0347】

例えば、導電体 328、導電体 330、導電体 356、導電体 218、導電体 110、導電体 112、導電体 120 等としては、上記の材料で形成される金属材料、合金材料、金属窒化物材料、金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0348】

<<酸化物半導体が設けられた層の配線、またはプラグ>>

なお、トランジスタ 200 に、酸化物半導体を用いる場合、酸化物半導体の近傍に過剰酸素領域を有する絶縁体を設けることがある。その場合、該過剰酸素領域を有する絶縁体と、該過剰酸素領域を有する絶縁体に設ける導電体との間に、バリア性を有する絶縁体を設けることが好ましい。

【0349】

例えば、図 13 では、絶縁体 280 および絶縁体 281 と、導電体 240 との間に、絶縁体 241 を設けるとよい。絶縁体 241 が、絶縁体 280、および絶縁体 281 と、導電体 240 との間に存在することで、導電体 240 による、絶縁体 280、および絶縁体 281 に含まれる酸素の吸収、すなわち導電体 240 の酸化を抑制することができる。

【0350】

つまり、絶縁体 241 を設けることで、絶縁体 280 が有する過剰酸素が、導電体 240 に吸収されることを抑制することができる。また、絶縁体 241 を有することで、不純物である水素が、導電体 240 を介して、トランジスタ 200 へ拡散することを抑制することができる。

## 【0351】

なお、絶縁体241としては、水、水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム、酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化タンタルなどの金属酸化物、窒化酸化シリコン、窒化シリコンなどを用いることができる。

## 【0352】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。また、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。また、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。また、消費電力が低減された半導体装置を提供することができる。

## 【0353】

## 〔記憶装置2〕

本発明の一態様である半導体装置を使用した、記憶装置の一例を図14に示す。図14に示す記憶装置は、図13で示したトランジスタ200、トランジスタ300、および容量素子100に加え、トランジスタ400を有している。

## 【0354】

トランジスタ400は、トランジスタ200の第2のゲート電圧を制御することができる。例えば、トランジスタ400の第1のゲート及び第2のゲートをソースとダイオード接続し、トランジスタ400のソースと、トランジスタ200の第2のゲートを接続する構成とする。当該構成でトランジスタ200の第2のゲートの負電位を保持するとき、トランジスタ400の第1のゲート-ソース間の電圧および、第2のゲート-ソース間の電圧は、0Vになる。トランジスタ400において、第2のゲート電圧及び第1のゲート電圧が0Vのときのドレイン電流が非常に小さいため、トランジスタ200およびトランジスタ400に電源供給をしなくても、トランジスタ200の第2のゲートの負電位を長時間維持することができる。これにより、トランジスタ200、およびトランジスタ400を有する記憶装置は、長期にわたり記憶内容を保持することが可能である。

## 【0355】

従って、図14において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400の第1のゲートと電氣的に接続され、配線1009はトランジスタ400の第2のゲートと電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1006、配線1007、配線1008、及び配線1009が電氣的に接続されている。

## 【0356】

また、図14に示す記憶装置は、図13に示す記憶装置と同様に、マトリクス状に配置することで、メモリセルアレイを構成することができる。なお、1個のトランジスタ400は、複数のトランジスタ200の第2のゲート電圧を制御することができる。そのため、トランジスタ400は、トランジスタ200よりも、少ない個数を設けるとよい。

## 【0357】

<トランジスタ400>

トランジスタ400は、トランジスタ200と、同じ層に形成されており、並行して作

10

20

30

40

50

製することができるトランジスタである。トランジスタ400は、第1のゲート電極として機能する導電体460（導電体460a、および導電体460b）と、第2のゲート電極として機能する導電体405と、ゲート絶縁体として機能する絶縁体222、絶縁体224、および絶縁体450と、チャネルが形成される領域を有する酸化物430cと、ソースまたはドレインの一方として機能する導電体442a、酸化物431a、および酸化物431bと、ソースまたはドレインの他方として機能する導電体442b、酸化物432a、および酸化物432bと、導電体440（導電体440a、および導電体440b）と、を有する。

#### 【0358】

トランジスタ400において、導電体405は、トランジスタ200に含まれる導電体205と、同じ層に形成される。同様に、酸化物431a、および酸化物432aは、酸化物230aと、同じ層に形成され、酸化物431b、および酸化物432bは、酸化物230bと、同じ層に形成される。導電体442は、導電体242と、同じ層に形成される。酸化物430cは、酸化物230cと同じ層に形成される。絶縁体450は、絶縁体250と、同じ層に形成される。導電体460は、導電体260と、同じ層に形成される。

#### 【0359】

なお、同じ層に形成された構造体は、同時に形成することができる。例えば、酸化物430cは、酸化物230cとなる酸化膜を加工することで、形成することができる。

#### 【0360】

トランジスタ400の活性層として機能する酸化物430cは、酸化物230などと同様に、酸素欠損が低減され、水、水素などの不純物が低減されている。これにより、トランジスタ400のしきい値電圧をより大きくし、オフ電流を低減し、第2のゲート電圧及び第1のゲート電圧が0Vのときのドレイン電流を非常に小さくすることができる。

#### 【0361】

#### <<ダイシングライン>>

以下では、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。

#### 【0362】

ここで、例えば、図14に示すように、絶縁体254と、絶縁体222とが接する領域をダイシングラインとなるように設計することが好ましい。つまり、複数のトランジスタ200を有するメモリセル、およびトランジスタ400の外縁に設けられるダイシングラインとなる領域近傍において、絶縁体224に開口を設ける。また、絶縁体224の側面を覆うように、絶縁体254を設ける。

#### 【0363】

つまり、上記絶縁体224に設けた開口において、絶縁体222と、絶縁体254とが接する。例えば、このとき、絶縁体222と、絶縁体254とを同材料、および同方法を用いて形成してもよい。絶縁体222と、絶縁体254とを同材料、および同方法で設けることで、密着性を高めることができる。例えば、酸化アルミニウムを用いることが好ましい。

#### 【0364】

当該構造により、絶縁体222、および絶縁体254で、絶縁体224、トランジスタ200、およびトランジスタ400を包み込むことができる。絶縁体222、および絶縁体254は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水、水素などの不純物が混入し、トランジスタ200、およびトランジスタ400に拡散することを防ぐことができる。

#### 【0365】

また、当該構造により、絶縁体 2 2 4 の過剰酸素が絶縁体 2 5 4、および絶縁体 2 2 2 の外部に拡散することを防ぐことができる。従って、絶縁体 2 2 4 の過剰酸素は、効率的にトランジスタ 2 0 0、またはトランジスタ 4 0 0 におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ 2 0 0、またはトランジスタ 4 0 0 におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ 2 0 0、またはトランジスタ 4 0 0 におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 2 0 0、またはトランジスタ 4 0 0 の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

【0366】

本実施の形態は、他の実施の形態および実施例などに記載した構成と適宜組み合わせて実施することが可能である。

【0367】

(実施の形態 3)

本実施の形態では、図 1 5 (A)、図 1 5 (B)、および図 1 6 (A) 乃至図 1 6 (H) を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OS トランジスタと呼ぶ場合がある。）、および容量素子が適用されている記憶装置（以下、OS メモリ装置と呼ぶ場合がある。）について説明する。OS メモリ装置は、少なくとも容量素子と、容量素子の充放電を制御する OS トランジスタを有する記憶装置である。OS トランジスタのオフ電流は極めて小さいので、OS メモリ装置は優れた保持特性をもち、不揮発性メモリとして機能させることができる。

【0368】

<記憶装置の構成例>

図 1 5 (A) に OS メモリ装置の構成の一例を示す。記憶装置 1 4 0 0 は、周辺回路 1 4 1 1、およびメモリセルアレイ 1 4 7 0 を有する。周辺回路 1 4 1 1 は、行回路 1 4 2 0、列回路 1 4 3 0、出力回路 1 4 4 0、およびコントロールロジック回路 1 4 6 0 を有する。

【0369】

列回路 1 4 3 0 は、例えば、列デコーダ、プリチャージ回路、センスアンプ、書き込み回路等を有する。プリチャージ回路は、配線をプリチャージする機能を有する。センスアンプは、メモリセルから読み出されたデータ信号を増幅する機能を有する。なお、上記配線は、メモリセルアレイ 1 4 7 0 が有するメモリセルに接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路 1 4 4 0 を介して、データ信号 R D A T A として記憶装置 1 4 0 0 の外部に出力される。また、行回路 1 4 2 0 は、例えば、行デコーダ、ワード線ドライバ回路等を有し、アクセスする行を選択することができる。

【0370】

記憶装置 1 4 0 0 には、外部から電源電圧として低電源電圧 (V S S)、周辺回路 1 4 1 1 用の高電源電圧 (V D D)、メモリセルアレイ 1 4 7 0 用の高電源電圧 (V I L) が供給される。また、記憶装置 1 4 0 0 には、制御信号 (C E、W E、R E)、アドレス信号 A D D R、データ信号 W D A T A が外部から入力される。アドレス信号 A D D R は、行デコーダおよび列デコーダに入力され、W D A T A は書き込み回路に入力される。

【0371】

コントロールロジック回路 1 4 6 0 は、外部からの入力信号 (C E、W E、R E) を処理して、行デコーダ、列デコーダの制御信号を生成する。C E は、チップイネーブル信号であり、W E は、書き込みイネーブル信号であり、R E は、読み出しイネーブル信号である。コントロールロジック回路 1 4 6 0 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

【0372】

メモリセルアレイ 1 4 7 0 は、行列状に配置された、複数個のメモリセル M C と、複数の配線を有する。なお、メモリセルアレイ 1 4 7 0 と行回路 1 4 2 0 とを接続している配

10

20

30

40

50

線の数、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。また、メモリセルアレイ1470と列回路1430とを接続している配線数は、メモリセルMCの構成、一行に有するメモリセルMCの数などによって決まる。

【0373】

なお、図15(A)において、周辺回路1411とメモリセルアレイ1470を同一平面上に形成する例について示したが、本実施の形態はこれに限られるものではない。例えば、図15(B)に示すように、周辺回路1411の一部の上に、メモリセルアレイ1470が重なるように設けられてもよい。例えば、メモリセルアレイ1470の下に重なるように、センスアンプを設ける構成にしてもよい。

【0374】

図16(A)乃至図16(H)に上述のメモリセルMCに適用できるメモリセルの構成例について説明する。

【0375】

[DOSRAM]

図16(A)乃至図16(C)に、DRAMのメモリセルの回路構成例を示す。本明細書等において、1OSTランジスタ1容量素子型のメモリセルを用いたDRAMを、DOSRAMと呼ぶ場合がある。図16(A)に示す、メモリセル1471は、トランジスタM1と、容量素子CAと、を有する。なお、トランジスタM1は、ゲート(トップゲートと呼ぶ場合がある。)、及びバックゲートを有する。

【0376】

トランジスタM1の第1端子は、容量素子CAの第1端子と接続され、トランジスタM1の第2端子は、配線BILと接続され、トランジスタM1のゲートは、配線WOLと接続され、トランジスタM1のバックゲートは、配線BGLと接続されている。容量素子CAの第2端子は、配線CALと接続されている。

【0377】

配線BILは、ビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CAの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、及び読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM1のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM1のしきい値電圧を増減することができる。

【0378】

また、メモリセルMCは、メモリセル1471に限定されず、回路構成の変更を行うことができる。例えば、メモリセルMCは、図16(B)に示すメモリセル1472のように、トランジスタM1のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図16(C)に示すメモリセル1473のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM1で構成されたメモリセルとしてもよい。

【0379】

上記実施の形態に示す半導体装置をメモリセル1471等に用いる場合、トランジスタM1としてトランジスタ200を用い、容量素子CAとして容量素子100を用いることができる。トランジスタM1としてOSTランジスタを用いることによって、トランジスタM1のリーク電流を非常に小さくすることができる。つまり、書き込んだデータをトランジスタM1によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1471、メモリセル1472、メモリセル1473に対して多値データ、又はアナログデータを保持することができる。

【0380】

また、DOSRAMにおいて、上記のように、メモリセルアレイ1470の下に重なる

10

20

30

40

50

ように、センスアンプを設ける構成にすると、ビット線を短くすることができる。これにより、ビット線容量が小さくなり、メモリセルの保持容量を低減することができる。

【0381】

【NOSRAM】

図16(D)乃至図16(G)に、2トランジスタ1容量素子のゲインセル型のメモリセルの回路構成例を示す。図16(D)に示す、メモリセル1474は、トランジスタM2と、トランジスタM3と、容量素子CBと、を有する。なお、トランジスタM2は、トップゲート（単にゲートと呼ぶ場合がある。）、及びバックゲートを有する。本明細書等において、トランジスタM2にOSTランジスタを用いたゲインセル型のメモリセルを有する記憶装置を、NOSRAM(Nonvolatile Oxide Semiconductor RAM)と呼ぶ場合がある。

10

【0382】

トランジスタM2の第1端子は、容量素子CBの第1端子と接続され、トランジスタM2の第2端子は、配線WBLと接続され、トランジスタM2のゲートは、配線WOLと接続され、トランジスタM2のバックゲートは、配線BGLと接続されている。容量素子CBの第2端子は、配線CALと接続されている。トランジスタM3の第1端子は、配線RBLと接続され、トランジスタM3の第2端子は、配線SLと接続され、トランジスタM3のゲートは、容量素子CBの第1端子と接続されている。

【0383】

配線WBLは、書き込みビット線として機能し、配線RBLは、読み出しビット線として機能し、配線WOLは、ワード線として機能する。配線CALは、容量素子CBの第2端子に所定の電位を印加するための配線として機能する。データの書き込み時、データ保持の最中、データの読み出し時において、配線CALには、低レベル電位を印加するのが好ましい。配線BGLは、トランジスタM2のバックゲートに電位を印加するための配線として機能する。配線BGLに任意の電位を印加することによって、トランジスタM2のしきい値電圧を増減することができる。

20

【0384】

また、メモリセルMCは、メモリセル1474に限定されず、回路の構成を適宜変更することができる。例えば、メモリセルMCは、図16(E)に示すメモリセル1475のように、トランジスタM2のバックゲートが、配線BGLでなく、配線WOLと接続される構成にしてもよい。また、例えば、メモリセルMCは、図16(F)に示すメモリセル1476のように、シングルゲート構造のトランジスタ、つまりバックゲートを有さないトランジスタM2で構成されたメモリセルとしてもよい。また、例えば、メモリセルMCは、図16(G)に示すメモリセル1477のように、配線WBLと配線RBLを一本の配線BILとしてまとめた構成であってもよい。

30

【0385】

上記実施の形態に示す半導体装置をメモリセル1474等に用いる場合、トランジスタM2としてトランジスタ200を用い、トランジスタM3としてトランジスタ300を用い、容量素子CBとして容量素子100を用いることができる。トランジスタM2としてOSTランジスタを用いることによって、トランジスタM2のリーク電流を非常に小さくすることができる。これにより、書き込んだデータをトランジスタM2によって長時間保持することができるため、メモリセルのリフレッシュの頻度を少なくすることができる。または、メモリセルのリフレッシュ動作を不要にすることができる。また、リーク電流が非常に小さいため、メモリセル1474に多値データ、又はアナログデータを保持することができる。メモリセル1475乃至メモリセル1477も同様である。

40

【0386】

なお、トランジスタM3は、チャネル形成領域にシリコンを有するトランジスタ（以下、Siトランジスタと呼ぶ場合がある）であってもよい。Siトランジスタの導電型は、nチャネル型としてもよいし、pチャネル型としてもよい。Siトランジスタは、OSTランジスタよりも電界効果移動度が高くなる場合がある。よって、読み出しトランジスタ

50

として機能するトランジスタM3として、Siトランジスタを用いてもよい。また、トランジスタM3にSiトランジスタを用いることで、トランジスタM3の上に積層してトランジスタM2を設けることができるので、メモリセルの占有面積を低減し、記憶装置の高集積化を図ることができる。

【0387】

また、トランジスタM3はOSトランジスタであってもよい。トランジスタM2およびトランジスタM3にOSトランジスタを用いた場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0388】

また、図16(H)に3トランジスタ1容量素子のゲインセル型のメモリセルの一例を示す。図16(H)に示すメモリセル1478は、トランジスタM4乃至トランジスタM6、および容量素子CCを有する。容量素子CCは適宜設けられる。メモリセル1478は、配線BIL、配線RWL、配線WWL、配線BGL、および配線GNDLに電氣的に接続されている。配線GNDLは低レベル電位を与える配線である。なお、メモリセル1478を、配線BILに代えて、配線RBL、配線WBLに電氣的に接続してもよい。

【0389】

トランジスタM4は、バックゲートを有するOSトランジスタであり、バックゲートは配線BGLに電氣的に接続されている。なお、トランジスタM4のバックゲートとゲートとを互いに電氣的に接続してもよい。あるいは、トランジスタM4はバックゲートを有さなくてもよい。

【0390】

なお、トランジスタM5、トランジスタM6はそれぞれ、nチャネル型Siトランジスタまたはpチャネル型Siトランジスタでもよい。或いは、トランジスタM4乃至トランジスタM6がOSトランジスタでもよい。この場合、メモリセルアレイ1470をn型トランジスタのみを用いて回路を構成することができる。

【0391】

上記実施の形態に示す半導体装置をメモリセル1478に用いる場合、トランジスタM4としてトランジスタ200を用い、トランジスタM5、トランジスタM6としてトランジスタ300を用い、容量素子CCとして容量素子100を用いることができる。トランジスタM4としてOSトランジスタを用いることによって、トランジスタM4のリーク電流を非常に小さくすることができる。

【0392】

なお、本実施の形態に示す、周辺回路1411、メモリセルアレイ1470等の構成は、上記に限定されるものではない。これらの回路、および当該回路に接続される配線、回路素子等の、配置または機能は、必要に応じて、変更、削除、または追加してもよい。

【0393】

本実施の形態に示す構成は、他の実施の形態、実施例などに示す構成と適宜組み合わせて用いることができる。

【0394】

(実施の形態4)

本実施の形態では、図17(A)および図17(B)を用いて、本発明の半導体装置が実装されたチップ1200の一例を示す。チップ1200には、複数の回路(システム)が実装されている。このように、複数の回路(システム)を一つのチップに集積する技術を、システムオンチップ(System on Chip: SoC)と呼ぶ場合がある。

【0395】

図17(A)に示すように、チップ1200は、CPU(Central Processing Unit)1211、GPU(Graphics Processing Unit)1212、一または複数のアナログ演算部1213、一または複数のメモリコントローラ1214、一または複数のインターフェース1215、一または複数のネットワーク回路1216等を有する。

10

20

30

40

50

## 【0396】

チップ1200には、バンプ（図示しない）が設けられ、図17（B）に示すように、プリント基板（Printed Circuit Board：PCB）1201の第1の面と接続する。また、PCB1201の第1の面の裏面には、複数のバンプ1202が設けられており、マザーボード1203と接続する。

## 【0397】

マザーボード1203には、DRAM1221、フラッシュメモリ1222等の記憶装置が設けられていてもよい。例えば、DRAM1221に先の実施の形態に示すDOSRAMを用いることができる。また、例えば、フラッシュメモリ1222に先の実施の形態に示すNOSRAMを用いることができる。

10

## 【0398】

CPU1211は、複数のCPUコアを有することが好ましい。また、GPU1212は、複数のGPUコアを有することが好ましい。また、CPU1211、およびGPU1212は、それぞれ一時的にデータを格納するメモリを有していてもよい。または、CPU1211、およびGPU1212に共通のメモリが、チップ1200に設けられていてもよい。該メモリには、前述したNOSRAMや、DOSRAMを用いることができる。また、GPU1212は、多数のデータの並列計算に適しており、画像処理や積和演算に用いることができる。GPU1212に、本発明の酸化物半導体を用いた画像処理回路や、積和演算回路を設けることで、画像処理、および積和演算を低消費電力で実行することが可能になる。

20

## 【0399】

また、CPU1211、およびGPU1212が同一チップに設けられていることで、CPU1211およびGPU1212間の配線を短くすることができ、CPU1211からGPU1212へのデータ転送、CPU1211、およびGPU1212が有するメモリ間のデータ転送、およびGPU1212での演算後の、GPU1212からCPU1211への演算結果の転送を高速に行うことができる。

## 【0400】

アナログ演算部1213はA/D（アナログ／デジタル）変換回路、およびD/A（デジタル／アナログ）変換回路の一、または両方を有する。また、アナログ演算部1213に上記積和演算回路を設けてもよい。

30

## 【0401】

メモリコントローラ1214は、DRAM1221のコントローラとして機能する回路、およびフラッシュメモリ1222のインターフェースとして機能する回路を有する。

## 【0402】

インターフェース1215は、表示装置、スピーカー、マイクロフォン、カメラ、コントローラなどの外部接続機器とのインターフェース回路を有する。コントローラとは、マウス、キーボード、ゲーム用コントローラなどを含む。このようなインターフェースとして、USB（Universal Serial Bus）、HDMI（登録商標）（High-Definition Multimedia Interface）などを用いることができる。

40

## 【0403】

ネットワーク回路1216は、LAN（Local Area Network）などのネットワーク用の回路を有する。また、ネットワークセキュリティ用の回路を有してもよい。

## 【0404】

チップ1200には、上記回路（システム）を同一の製造プロセスで形成することが可能である。そのため、チップ1200に必要な回路の数が増えても、製造プロセスを増やす必要が無く、チップ1200を低コストで作製することができる。

## 【0405】

GPU1212を有するチップ1200が設けられたPCB1201、DRAM122

50

1、およびフラッシュメモリ1222が設けられたマザーボード1203は、GPUモジュール1204と呼ぶことができる。

【0406】

GPUモジュール1204は、SoC技術を用いたチップ1200を有しているため、そのサイズを小さくすることができる。また、画像処理に優れていることから、スマートフォン、タブレット端末、ラップトップPC、携帯型（持ち出し可能な）ゲーム機などの携帯型電子機器に用いることが好適である。また、GPU1212を用いた積和演算回路により、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができるため、チップ1200をAIチップ、またはGPUモジュール1204をAIシステムモジュールとして用いることができる。

10

【0407】

本実施の形態に示す構成は、他の実施の形態、実施例などに示す構成と適宜組み合わせて用いることができる。

【0408】

（実施の形態5）

本実施の形態では、先の実施の形態に示す半導体装置を用いた記憶装置の応用例について説明する。先の実施の形態に示す半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルカメラ（ビデオカメラも含む）、録画再生装置、ナビゲーションシステムなど）の記憶装置に適用できる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、デスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。または、先の実施の形態に示す半導体装置は、メモリカード（例えば、SDカード）、USBメモリ、SSD（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に適用される。図18（A）乃至図18（E）にリムーバブル記憶装置の幾つかの構成例を模式的に示す。例えば、先の実施の形態に示す半導体装置は、パッケージングされたメモリチップに加工され、様々なストレージ装置、リムーバブルメモリに用いられる。

20

【0409】

図18（A）はUSBメモリの模式図である。USBメモリ1100は、筐体1101、キャップ1102、USBコネクタ1103および基板1104を有する。基板1104は、筐体1101に収納されている。例えば、基板1104には、メモリチップ1105、コントローラチップ1106が取り付けられている。メモリチップ1105などに先の実施の形態に示す半導体装置を組み込むことができる。

30

【0410】

図18（B）はSDカードの外観の模式図であり、図18（C）は、SDカードの内部構造の模式図である。SDカード1110は、筐体1111、コネクタ1112および基板1113を有する。基板1113は筐体1111に収納されている。例えば、基板1113には、メモリチップ1114、コントローラチップ1115が取り付けられている。基板1113の裏面側にもメモリチップ1114を設けることで、SDカード1110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板1113に設けてもよい。これによって、ホスト装置とSDカード1110間の無線通信によって、メモリチップ1114のデータの読み出し、書き込みが可能となる。メモリチップ1114などに先の実施の形態に示す半導体装置を組み込むことができる。

40

【0411】

図18（D）はSSDの外観の模式図であり、図18（E）は、SSDの内部構造の模式図である。SSD1150は、筐体1151、コネクタ1152および基板1153を有する。基板1153は筐体1151に収納されている。例えば、基板1153には、メモリチップ1154、メモリチップ1155、コントローラチップ1156が取り付けら

50

れている。メモリチップ 1155 はコントローラチップ 1156 のワークメモリであり、例えば D O S R A M チップを用いればよい。基板 1153 の裏面側にもメモリチップ 1154 を設けることで、S S D 1150 の容量を増やすことができる。メモリチップ 1154 などに先の実施の形態に示す半導体装置を組み込むことができる。

#### 【0412】

本実施の形態は、他の実施の形態、実施例などに記載した構成と適宜組み合わせて実施することが可能である。

#### 【0413】

##### (実施の形態 6)

本発明の一態様に係る半導体装置は、C P U や G P U などのプロセッサ、またはチップに用いることができる。図 19 に、本発明の一態様に係る C P U や G P U などのプロセッサ、またはチップを備えた電子機器の具体例を示す。

#### 【0414】

##### <電子機器・システム>

本発明の一態様に係る G P U またはチップは、様々な電子機器に搭載することができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型またはノート型の情報端末用などのモニタ、デジタルサイネージ (D i g i t a l S i g n a g e : 電子看板)、パチンコ機などの大型ゲーム機、などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、電子ブックリーダー、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様に係る G P U またはチップを電子機器に設けることにより、電子機器に人工知能を搭載することができる。

#### 【0415】

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

#### 【0416】

本発明の一態様の電子機器は、センサ (力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの) を有していてもよい。

#### 【0417】

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報 (静止画、動画、テキスト画像など) を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア (プログラム) を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。図 19 (A) 乃至図 19 (H) に、電子機器の例を示す。

#### 【0418】

##### [情報端末]

図 19 (A) には、情報端末の一種である携帯電話 (スマートフォン) が図示されている。情報端末 5100 は、筐体 5101 と、表示部 5102 と、を有しており、入力用インターフェースとして、タッチパネルが表示部 5102 に備えられ、ボタンが筐体 5101 に備えられている。

#### 【0419】

情報端末 5100 は、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、会話を認識してその会話内容を表示部 5102 に表示するアプリケーション、表示部 5102 に備えるタッチパネルに対してユーザが入力した文字、図形などを認識して、表示部 5102 に表示するアプリケーション、指紋や声紋などの生体認証を行うアプリケーションなどが挙げられる。

## 【0420】

図19(B)には、ノート型情報端末5200が図示されている。ノート型情報端末5200は、情報端末の本体5201と、表示部5202と、キーボード5203と、を有する。

## 【0421】

ノート型情報端末5200は、先述した情報端末5100と同様に、本発明の一態様のチップを適用することで、人工知能を利用したアプリケーションを実行することができる。人工知能を利用したアプリケーションとしては、例えば、設計支援ソフトウェア、文章添削ソフトウェア、献立自動生成ソフトウェアなどが挙げられる。また、ノート型情報端末5200を用いることで、新規の人工知能の開発を行うことができる。

10

## 【0422】

なお、上述では、電子機器としてスマートフォン、およびノート型情報端末を例として、それぞれ図19(A)、図19(B)に図示したが、スマートフォン、およびノート型情報端末以外の情報端末を適用することができる。スマートフォン、およびノート型情報端末以外の情報端末としては、例えば、PDA(Personal Digital Assistant)、デスクトップ型情報端末、ワークステーションなどが挙げられる。

## 【0423】

## [ゲーム機]

図19(C)は、ゲーム機の一例である携帯ゲーム機5300を示している。携帯ゲーム機5300は、筐体5301、筐体5302、筐体5303、表示部5304、接続部5305、操作キー5306等を有する。筐体5302、および筐体5303は、筐体5301から取り外すことが可能である。筐体5301に設けられている接続部5305を別の筐体(図示せず)に取り付けることで、表示部5304に出力される映像を、別の映像機器(図示せず)に出力することができる。このとき、筐体5302、および筐体5303は、それぞれ操作部として機能することができる。これにより、複数のプレイヤーが同時にゲームを行うことができる。筐体5301、筐体5302、および筐体5303の基板に設けられているチップなどに先の実施の形態に示すチップを組み込むことができる。

20

## 【0424】

また、図19(D)は、ゲーム機の一例である据え置き型ゲーム機5400を示している。据え置き型ゲーム機5400には、無線または有線でコントローラ5402が接続されている。

30

## 【0425】

携帯ゲーム機5300、据え置き型ゲーム機5400などのゲーム機に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のゲーム機を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

## 【0426】

更に、携帯ゲーム機5300に本発明の一態様のGPUまたはチップを適用することによって、人工知能を有する携帯ゲーム機5300を実現することができる。

## 【0427】

本来、ゲームの進行、ゲーム上に登場する生物の言動、ゲーム上で発生する現象などの表現は、そのゲームが有するプログラムによって定められているが、携帯ゲーム機5300に人工知能を適用することにより、ゲームのプログラムに限定されない表現が可能になる。例えば、プレイヤーが問いかける内容、ゲームの進行状況、ゲーム中のイベントが発生するタイミング、ゲーム上に登場する人物の言動、等をゲームのプログラムに限定されずに変化させて表現することが可能となる。

40

## 【0428】

また、携帯ゲーム機5300で複数のプレイヤーが必要なゲームを行う場合、人工知能によって擬人的にゲームプレイヤーを構成することができるため、対戦相手を人工知能によるゲームプレイヤーとすることによって、1人でもゲームを行うことができる。

50

## 【0429】

図19(C)、図19(D)では、ゲーム機の一例として携帯ゲーム機、および据え置き型ゲーム機を図示しているが、本発明の一態様のGPUまたはチップを適用するゲーム機はこれに限定されない。本発明の一態様のGPUまたはチップを適用するゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

## 【0430】

## [大型コンピュータ]

本発明の一態様のGPUまたはチップは、大型コンピュータに適用することができる。

## 【0431】

図19(E)は、大型コンピュータの一例である、スーパーコンピュータ5500を示す図である。図19(F)は、スーパーコンピュータ5500が有するラックマウント型の計算機5502を示す図である。

## 【0432】

スーパーコンピュータ5500は、ラック5501と、複数のラックマウント型の計算機5502と、を有する。なお、複数の計算機5502は、ラック5501に格納されている。また、計算機5502には、複数の基板5504が設けられ、当該基板上に上記実施の形態で説明したGPUまたはチップを搭載することができる。

## 【0433】

スーパーコンピュータ5500は、主に科学技術計算に利用される大型コンピュータである。科学技術計算では、膨大な演算を高速に処理する必要があるため、消費電力が高く、チップの発熱が大きい。スーパーコンピュータ5500に本発明の一態様のGPUまたはチップを適用することによって、低消費電力のスーパーコンピュータを実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。

## 【0434】

図19(E)、図19(F)では、大型コンピュータの一例としてスーパーコンピュータを図示しているが、本発明の一態様のGPUまたはチップを適用する大型コンピュータはこれに限定されない。本発明の一態様のGPUまたはチップを適用する大型コンピュータとしては、例えば、サービスを提供するコンピュータ（サーバー）、大型汎用コンピュータ（メインフレーム）などが挙げられる。

## 【0435】

## [移動体]

本発明の一態様のGPUまたはチップは、移動体である自動車、および自動車の運転席周辺に適用することができる。

## 【0436】

図19(G)は、移動体の一例である自動車の室内におけるフロントガラス周辺を示す図である。図19(G)では、ダッシュボードに取り付けられた表示パネル5701、表示パネル5702、表示パネル5703の他、ピラーに取り付けられた表示パネル5704を図示している。

## 【0437】

表示パネル5701乃至表示パネル5703は、スピードメーターやタコメーター、走行距離、燃料計、ギア状態、エアコンの設定などを表示することで、様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル5701乃至表示パネル5703は、照明装置として用いることも可能である。

## 【0438】

表示パネル5704には、自動車の外側に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像装置からの画像を表示することによって、死角

10

20

30

40

50

を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル 5704 は、照明装置として用いることもできる。

#### 【0439】

本発明の一態様の GPU またはチップは人工知能の構成要素として適用できるため、例えば、当該チップを自動車の自動運転システムに用いることができる。また、当該チップを道路案内、危険予測などを行うシステムに用いることができる。表示パネル 5701 乃至表示パネル 5704 には、道路案内、危険予測などの情報を表示する構成としてもよい。

#### 【0440】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のチップを適用して、人工知能を利用したシステムを付与することができる。

#### 【0441】

##### 〔電化製品〕

図 19（H）は、電化製品の一例である電気冷凍冷蔵庫 5800 を示している。電気冷凍冷蔵庫 5800 は、筐体 5801、冷蔵室用扉 5802、冷凍室用扉 5803 等を有する。

#### 【0442】

電気冷凍冷蔵庫 5800 に本発明の一態様のチップを適用することによって、人工知能を有する電気冷凍冷蔵庫 5800 を実現することができる。人工知能を利用することによって電気冷凍冷蔵庫 5800 は、電気冷凍冷蔵庫 5800 に保存されている食材、その食材の消費期限などを基に献立を自動生成する機能や、電気冷凍冷蔵庫 5800 に保存されている食材に合わせた温度に自動的に調節する機能などを有することができる。

#### 【0443】

電化製品の一例として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、IH 調理器、ウォーターサーバ、エアーコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

#### 【0444】

本実施の形態で説明した電子機器、その電子機器の機能、人工知能の応用例、その効果などは、他の電子機器の記載と適宜組み合わせることができる。

#### 【0445】

本実施の形態は、他の実施の形態、実施例などに記載した構成と適宜組み合わせて実施することが可能である。

#### 【実施例 1】

#### 【0446】

本実施例では、絶縁膜中の水素濃度を評価した。具体的には、絶縁膜を成膜したサンプル（サンプル 1A 乃至サンプル 4A）を作製し、SIMS を用いて、当該絶縁膜中の水素濃度を測定した。

#### 【0447】

はじめに、サンプル 1A 乃至サンプル 4A の作製方法について説明する。

#### 【0448】

サンプル 1A の作製方法について説明する。シリコンを含む基板上に、CVD 法により、酸化窒化シリコン膜を 500 nm の膜厚で成膜した。以上の工程により、サンプル 1A を得た。

#### 【0449】

次に、サンプル 2A の作製方法について説明する。シリコンを含む基板上に、スパッタリング法により、酸化シリコン膜を 300 nm の膜厚で成膜した。以上の工程により、サ

10

20

30

40

50

ンプル 2 A を得た。

【0450】

次に、サンプル 3 A の作製方法について説明する。シリコンを含む基板の表面を、塩化水素（HCl）雰囲気中で熱処理し、基板上に 100 nm の酸化シリコン膜を形成した。次に、当該酸化シリコン膜上に、CVD 法により、窒化シリコン膜を 500 nm の膜厚で成膜した。以上の工程により、サンプル 3 A を得た。

【0451】

次に、サンプル 4 A の作製方法について説明する。シリコンを含む基板の表面を、塩化水素（HCl）雰囲気中で熱処理し、基板上に 100 nm の酸化シリコン膜を形成した。次に、当該酸化シリコン膜上に、スパッタリング法により、窒化シリコン膜を 50 nm の膜厚で成膜し、当該窒化シリコン膜上に、スパッタリング法により、窒化シリコン膜を 50 nm の膜厚で成膜した。以上の工程により、サンプル 4 A を得た。

【0452】

作製したサンプル 1 A 乃至サンプル 4 A に対して、SIMS 分析装置を用いて、水素濃度の評価を行った。なお、分析はサンプルの表面側より行っている。SIMS 分析の結果を図 20 (A)、図 20 (B)、および図 21 に示す。

【0453】

図 20 (A) は、サンプル 1 A の SIMS 分析の結果であり、CVD 法により成膜した酸化窒化シリコン膜（SiON）の、深さ方向の水素濃度プロファイルである。また、図 20 (B) は、サンプル 2 A の SIMS 分析の結果であり、スパッタリング法により成膜した酸化シリコン膜（SiO<sub>x</sub>）の、深さ方向の水素濃度プロファイルである。図 20 (A)、図 20 (B) では、横軸は、サンプルの膜面に垂直な方向の深さ [nm] であり、縦軸は、膜中の水素濃度 [atoms/cm<sup>3</sup>] である。なお、本明細書にて SIMS における深さとは、酸化シリコン膜のエッチングレートから概算した値であり、実際の深さとはずれが生じるため、あくまで目安とする。また、図 20 (A)、図 20 (B) では、酸化窒化シリコン膜中および酸化シリコン膜中の水素濃度を定量している。

【0454】

図 20 (A) から、深さ（横軸）が 50 nm から 250 nm の範囲における、CVD 法により成膜した酸化窒化シリコン膜中の平均の水素濃度は、約  $7 \times 10^{20} \text{ atoms/cm}^3$  であった。また、図 20 (B) から、深さ（横軸）が 50 nm から 250 nm の範囲における、スパッタリング法により成膜した酸化シリコン膜中の平均の水素濃度は、約  $6 \times 10^{19} \text{ atoms/cm}^3$  であった。つまり、スパッタリング法により成膜した酸化シリコン膜中の水素濃度は、CVD 法により成膜した酸化窒化シリコン膜中の水素濃度よりも低いことが分かった。したがって、酸化シリコン膜をスパッタリング法により成膜することで、当該酸化シリコン膜中の水素濃度を低くすることができる。

【0455】

図 21 は、サンプル 3 A およびサンプル 4 A の SIMS 分析の結果であり、CVD 法またはスパッタリング法により成膜した窒化シリコン膜（SiN<sub>x</sub>）の、深さ方向の水素濃度プロファイルである。図 21 では、横軸は、サンプルの膜面に垂直な方向の深さ [nm] であり、縦軸は、膜中の水素濃度 [atoms/cm<sup>3</sup>] である。また、図 21 では、サンプル 3 A およびサンプル 4 A の酸化シリコン上面の位置が揃うように、水素濃度プロファイルを図示している。また、図 21 では、窒化シリコン膜中の水素濃度を定量している。

【0456】

図 21 から、深さ（横軸）が 40 nm から 60 nm の範囲における、CVD 法により成膜した窒化シリコン膜中の平均の水素濃度は、約  $8 \times 10^{21} \text{ atoms/cm}^3$  であった。また、深さ（横軸）が 40 nm から 60 nm の範囲における、スパッタリング法により成膜した窒化シリコン膜中の平均の水素濃度は、約  $8 \times 10^{19} \text{ atoms/cm}^3$  であった。つまり、スパッタリング法により成膜した窒化シリコン膜中の水素濃度は、CVD 法により成膜した窒化シリコン膜中の水素濃度よりも低いことが分かった。したがって、窒

化シリコン膜をスパッタリング法により成膜することで、当該窒化シリコン膜中の水素濃度を低くすることができる。

【0457】

本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態および実施例と適宜組み合わせる実施することができる。

【実施例2】

【0458】

本実施例では、絶縁膜による水素の透過性を評価した。具体的には、重水素を含む絶縁膜と、定量層となる絶縁膜との間に、水素の透過性を評価する絶縁膜を設けたサンプル（サンプル2B乃至サンプル7B）、および当該絶縁膜を設けないサンプル（サンプル1B）を作製し、SIMSを用いて、定量層となる絶縁膜中の重水素の濃度を測定した。

10

【0459】

はじめに、サンプル1B乃至サンプル7Bの作製方法について説明する。

【0460】

サンプル1Bの作製方法について説明する。シリコンを含む基板の表面を、塩化水素（HCl）雰囲気中で熱処理し、基板上に100nmの酸化シリコン膜を形成した。次に、当該酸化シリコン膜上に、CVD法により、第1の酸化窒化シリコン膜を100nmの膜厚で形成した。なお、第1の酸化窒化シリコン膜は、シラン（SiH<sub>4</sub>）ガス、一酸化二窒素（N<sub>2</sub>O）ガス、および重水素（D<sub>2</sub>）を5%含むアルゴンガスを用いて成膜することで、当該膜中に、天然存在比以上の割合で重水素を含有させることができる。

20

【0461】

次に、第1の酸化窒化シリコン膜上に、CVD法により、第2の酸化窒化シリコン膜を100nmの膜厚で形成した。なお、第2の酸化窒化シリコン膜は、シラン（SiH<sub>4</sub>）ガス、および一酸化二窒素（N<sub>2</sub>O）ガスを用いて成膜することで、重水素は、当該膜中に、おおよそ天然存在比で混入している。以上の工程により、サンプル1Bを得た。

【0462】

次に、サンプル2Bの作製方法について説明する。サンプル1Bと同様に、シリコンを含む基板上に、酸化シリコン膜、第1の酸化窒化シリコン膜を形成した。次に、第1の酸化窒化シリコン膜上に、ALD法により、酸化アルミニウム膜を10nmの膜厚で形成した。次に、酸化アルミニウム膜上に、サンプル1Bと同様の方法で、第2の酸化窒化シリコン膜を100nmの膜厚で形成した。以上の工程により、サンプル2Bを得た。

30

【0463】

次に、サンプル3Bの作製方法について説明する。サンプル2Bと同様に、シリコンを含む基板上に、酸化シリコン膜、第1の酸化窒化シリコン膜、酸化アルミニウム膜、および第2の酸化窒化シリコン膜を形成した。次に、窒素雰囲気にて400℃の温度で4時間の加熱処理を行った。以上の工程により、サンプル3Bを得た。

【0464】

次に、サンプル4Bの作製方法について説明する。サンプル1Bと同様に、シリコンを含む基板上に、酸化シリコン膜、第1の酸化窒化シリコン膜を形成した。次に、第1の酸化窒化シリコン膜上に、スパッタリング法により、窒化シリコン膜を10nmの膜厚で形成した。次に、当該窒化シリコン膜上に、サンプル1Bと同様の方法で、第2の酸化窒化シリコン膜を100nmの膜厚で形成した。以上の工程により、サンプル4Bを得た。

40

【0465】

次に、サンプル5Bの作製方法について説明する。サンプル4Bと同様に、シリコンを含む基板上に、酸化シリコン膜、第1の酸化窒化シリコン膜、窒化シリコン膜、および第2の酸化窒化シリコン膜を形成した。次に、窒素雰囲気にて400℃の温度で4時間の加熱処理を行った。以上の工程により、サンプル5Bを得た。

【0466】

次に、サンプル6Bの作製方法について説明する。サンプル1Bと同様に、シリコンを含む基板上に、酸化シリコン膜、第1の酸化窒化シリコン膜を形成した。次に、第1の酸

50

化窒化シリコン膜上に、CVD法により、窒化シリコン膜を10nmの膜厚で形成した。次に、当該窒化シリコン膜上に、サンプル1Bと同様の方法で、第2の酸化窒化シリコン膜を100nmの膜厚で形成した。以上の工程により、サンプル6Bを得た。

【0467】

次に、サンプル7Bの作製方法について説明する。サンプル6Bと同様に、シリコンを含む基板上に、酸化シリコン膜、第1の酸化窒化シリコン膜、窒化シリコン膜、および第2の酸化窒化シリコン膜を形成した。次に、窒素雰囲気にて400℃の温度で4時間の加熱処理を行った。以上の工程により、サンプル7Bを得た。

【0468】

以上により、サンプル1B乃至サンプル7Bを作製した。各サンプルの処理条件についてまとめたものを表1に示す。

【0469】

【表1】

| サンプルNo.           | 1B    | 2B   | 3B | 4B   | 5B | 6B   | 7B |
|-------------------|-------|------|----|------|----|------|----|
| 加熱処理              | 無     | 無    | 有  | 無    | 有  | 無    | 有  |
| 第2の酸化窒化シリコン膜      | 100nm |      |    |      |    |      |    |
| 窒化シリコン膜（CVD法）     |       |      |    |      |    | 10nm |    |
| 窒化シリコン膜（スパッタリング法） |       |      |    | 10nm |    |      |    |
| 酸化アルミニウム膜         |       | 10nm |    |      |    |      |    |
| 第1の酸化窒化シリコン膜      | 100nm |      |    |      |    |      |    |
| 酸化シリコン膜           | 100nm |      |    |      |    |      |    |

【0470】

作製したサンプル1B乃至サンプル7Bに対して、SIMS分析装置を用いて、第2の酸化窒化シリコン膜中の重水素濃度の評価を行った。なお、分析はサンプルの表面側より行っている。SIMS分析の結果を図22(A)、図22(B)、図23(A)、および図23(B)に示す。図22(A)、図22(B)、図23(A)、および図23(B)に示す点線は、水素のバックグラウンドレベル(BG)を示す。図22(A)、図22(B)、図23(A)、および図23(B)では、横軸は、サンプルの膜面に垂直な方向の深さ[nm]であり、縦軸は、膜中の重水素濃度[atoms/cm<sup>3</sup>]である。なお、図22(A)、図22(B)、図23(A)、および図23(B)では、第2の酸化窒化シリコン膜中の重水素濃度を定量している。

【0471】

図22(A)は、サンプル1BのSIMS分析の結果であり、第1の酸化窒化シリコン膜上の第2の酸化窒化シリコン膜の、深さ方向の重水素濃度プロファイルである。

【0472】

図22(A)から、サンプル1Bの、第2の酸化窒化シリコン膜中の重水素濃度は、第2の酸化窒化シリコン膜と第1の酸化窒化シリコン膜との界面に近いほど、高くなっていた。よって、第2の酸化窒化シリコン膜の形成中に基板にかかる温度によって、第1の酸化窒化シリコン膜中に含まれる重水素が、第2の酸化窒化シリコン膜中へ拡散することが分かった。

【0473】

図22(B)は、サンプル2Bおよびサンプル3BのSIMS分析の結果であり、酸化アルミニウム膜(ALD-ALOx)上の第2の酸化窒化シリコン膜の、深さ方向の重水素濃度プロファイルである。図22(B)において、実線はサンプル2Bの重水素濃度プロファイルを表し、破線はサンプル3Bの重水素濃度プロファイルを表している。

【0474】

図 2 2 (B) から、サンプル 2 B の、第 2 の酸化窒化シリコン膜中の重水素濃度は、当該膜の深さ方向において、ほぼ同じであった。サンプル 1 B およびサンプル 2 B の SIMS 分析の結果より、第 1 の酸化窒化シリコン膜と第 2 の酸化窒化シリコン膜との間に酸化アルミニウム膜を設けることで、第 2 の酸化窒化シリコン膜の形成中に基板にかかる温度では、第 1 の酸化窒化シリコン膜中に含まれる重水素が、第 2 の酸化窒化シリコン膜中へ拡散しにくいことが分かった。

【0475】

図 2 3 (A) は、サンプル 4 B およびサンプル 5 B の SIMS 分析の結果であり、スパッタリング法により成膜した窒化シリコン膜 (SP-SiNx) 上の第 2 の酸化窒化シリコン膜の、深さ方向の重水素濃度プロファイルである。図 2 3 (A) において、実線はサンプル 4 B の重水素濃度プロファイルを表し、破線はサンプル 5 B の重水素濃度プロファイルを表している。

【0476】

図 2 3 (A) から、サンプル 5 B の、第 2 の酸化窒化シリコン膜中の重水素濃度は、サンプル 4 B の、第 2 の酸化窒化シリコン膜中の重水素濃度と、同程度であった。よって、第 1 の酸化窒化シリコン膜と第 2 の酸化窒化シリコン膜との間に、スパッタリング法により成膜した窒化シリコン膜を設けることで、加熱処理を行っても、第 1 の酸化窒化シリコン膜中に含まれる重水素が、第 2 の酸化窒化シリコン膜中へ拡散しにくいことが分かった。つまり、スパッタリング法により成膜した窒化シリコン膜は、水素透過性が低いことが分かる。

【0477】

図 2 3 (B) は、サンプル 6 B およびサンプル 7 B の SIMS 分析の結果であり、CVD 法により成膜した窒化シリコン膜 (CVD-SiNx) 上の第 2 の酸化窒化シリコン膜の、深さ方向の重水素濃度プロファイルである。図 2 3 (B) において、実線はサンプル 6 B の重水素濃度プロファイルを表し、破線はサンプル 7 B の重水素濃度プロファイルを表している。

【0478】

図 2 3 (B) から、サンプル 7 B の、第 2 の酸化窒化シリコン膜中の重水素濃度は、サンプル 6 B の、第 2 の酸化窒化シリコン膜中の重水素濃度と、同程度であった。よって、第 1 の酸化窒化シリコン膜と第 2 の酸化窒化シリコン膜との間に、CVD 法により成膜した窒化シリコン膜を設けることで、加熱処理を行っても、第 1 の酸化窒化シリコン膜中に含まれる重水素が、第 2 の酸化窒化シリコン膜中へ拡散しにくいことが分かった。つまり、CVD 法により成膜した窒化シリコン膜は、水素透過性が低いことが分かる。

【0479】

また、図 2 2 (A)、図 2 2 (B) から、サンプル 3 B の、第 2 の酸化窒化シリコン膜中の重水素濃度は、サンプル 1 B の、第 2 の酸化窒化シリコン膜中の重水素濃度よりも、高かった。また、サンプル 2 B 乃至サンプル 7 B の SIMS 分析の結果より、窒化シリコン膜の水素透過性は、酸化アルミニウム膜よりも低いことが分かる。

【0480】

本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態および実施例と適宜組み合わせて実施することができる。

【実施例 3】

【0481】

本実施例では、絶縁膜に含まれる過剰酸素を評価した。具体的には、絶縁膜を成膜したサンプル (サンプル 1 C 乃至サンプル 4 C) を作製し、TDS 分析を用いて、サンプルから放出される酸素分子の量を算出した。

【0482】

はじめに、サンプル 1 C 乃至サンプル 4 C の作製方法について説明する。

【0483】

サンプル 1 C の作製方法について説明する。シリコンを含む基板の表面を、塩化水素 (

10

20

30

40

50

H C l) 雰囲気中で熱処理し、基板上に100nmの酸化シリコン膜を形成した。次に、当該酸化シリコン膜上に、C V D法により、酸化窒化シリコン膜を100nmの膜厚で形成した。以上の工程により、サンプル1 Cを得た。

【0484】

次に、サンプル2 Cの作製方法について説明する。シリコンを含む基板の表面を、塩化水素(H C l) 雰囲気中で熱処理し、基板上に100nmの第1の酸化シリコン膜を形成した。次に、第1の酸化シリコン膜上に、スパッタリング法により、第2の酸化シリコン膜を100nmの膜厚で形成した。以上の工程により、サンプル2 Cを得た。

【0485】

次に、サンプル3 Cの作製方法について説明する。サンプル1 Cと同様に、シリコンを含む基板上に、酸化シリコン膜を形成した。次に、当該酸化シリコン膜上に、A L D法により、第1の酸化アルミニウム膜を5nmの膜厚で形成した。次に、第1の酸化アルミニウム膜上に、C V D法により、酸化窒化シリコン膜を60nmの膜厚で形成した。次に、当該酸化窒化シリコン膜上に、スパッタリング法により、第2の酸化アルミニウム膜を40nmの膜厚で形成した。次に、ウェットエッチング法により、第2の酸化アルミニウム膜を除去した。以上の工程により、サンプル3 Cを得た。

【0486】

次に、サンプル4 Cの作製方法について説明する。サンプル2 Cと同様に、シリコンを含む基板上に、第1の酸化シリコン膜を形成し、サンプル3 Cと同様の方法で、第1の酸化シリコン膜上に、第1の酸化アルミニウム膜を形成した。次に、第1の酸化アルミニウム膜上に、スパッタリング法により、第2の酸化シリコン膜を60nmの膜厚で形成した。次に、サンプル3 Cと同様の手法で、第2の酸化シリコン膜上に、第2の酸化アルミニウム膜を形成した後、第2の酸化アルミニウム膜を除去した。以上の工程により、サンプル4 Cを得た。

【0487】

以上により、サンプル1 C乃至サンプル4 Cを作製した。各サンプルの処理条件についてまとめたものを表2に示す。

【0488】

【表2】

| サンプルNo.       | 1C    | 2C    | 3C           | 4C   |
|---------------|-------|-------|--------------|------|
| 第2の酸化アルミニウム膜  |       |       | 40nm形成した後、除去 |      |
| 第2の酸化シリコン膜    |       | 100nm |              | 60nm |
| 酸化窒化シリコン膜     | 100nm |       | 60nm         |      |
| 第1の酸化アルミニウム膜  |       |       | 5nm          |      |
| (第1の) 酸化シリコン膜 | 100nm |       |              |      |

【0489】

作製したサンプル1 C乃至サンプル4 Cに対して、T D S分析を行った。T D S分析では、一分間に30℃の速さで、基板温度を50℃から600℃まで上昇させて、質量電荷比( $m/z$ )が32であるガスの脱離量(放出量ともいう。)の測定を行った。なお、質量電荷比( $m/z$ )が32であるガスは、主に、酸素分子である。T D S分析の結果を図24(A)、図24(B)、図25(A)、および図25(B)に示す。

【0490】

図24(A)は、サンプル1 Cの、 $m/z=32$ におけるT D Sスペクトルであり、図24(B)は、サンプル2 Cの、 $m/z=32$ におけるT D Sスペクトルである。図24(A)、図24(B)では、横軸は、基板温度[℃]であり、縦軸は、検出強度[a.u.]である。

【0491】

図 2 4 (A) から、サンプル 1 C では、測定した温度の範囲において、ピークは観測されなかった。また、図 2 4 (B) から、サンプル 2 C では、測定した温度の範囲において、ピークが観測された。したがって、第 2 の酸化シリコン膜では、当該膜中に含まれている酸素の一部が、加熱によって、酸素分子として脱離するといえる。

【0492】

なお、加熱によって脱離する酸素分子の総量は、TDS 分析の結果を示す曲線における積分値に相当する。基板温度が 50℃から 550℃までの範囲における酸素分子の脱離量は、サンプル 2 C では、 $1.1 \times 10^{15} \text{ molecules/cm}^2$  であった。

【0493】

以上から、スパッタリング法により成膜した酸化シリコン膜は、過剰酸素を有することが分かった。

【0494】

図 2 5 (A) は、サンプル 3 C の、 $m/z = 32$  における TDS スペクトルであり、図 2 5 (B) は、サンプル 4 C の、 $m/z = 32$  における TDS スペクトルである。図 2 5 (A)、図 2 5 (B) では、横軸は、基板温度 [℃] であり、縦軸は、検出強度 [a. u.] である。

【0495】

図 2 5 (A)、図 2 5 (B) から、サンプル 3 C およびサンプル 4 C とともに、測定した温度の範囲において、ピークが観測された。したがって、酸化窒化シリコン膜、および第 2 の酸化シリコン膜では、当該膜中に含まれている酸素の一部が、加熱によって、酸素分子として脱離するといえる。

【0496】

また、上記の方法で算出した、基板温度が 50℃から 600℃までの範囲における酸素分子の脱離量は、サンプル 3 C では、 $2.3 \times 10^{15} \text{ molecules/cm}^2$  であり、サンプル 4 C では、 $2.7 \times 10^{15} \text{ molecules/cm}^2$  であった。

【0497】

以上から、酸化窒化シリコン膜または酸化シリコン膜上に、スパッタリング法により、酸化アルミニウム膜を成膜することで、酸化窒化シリコン膜または酸化シリコン膜に過剰酸素領域を形成することができることが分かった。

【0498】

本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態および実施例と適宜組み合わせる実施することができる。

【実施例 4】

【0499】

本実施例では、先の実施の形態に示すトランジスタを作製し、データ保持時間および動作周波数の見積もりと、信頼性の評価を行った。データ保持時間および動作周波数の見積もりは、当該トランジスタに容量素子を設けた DOSRAM を想定して行った。

【0500】

本実施例では、図 2 (A) 乃至図 2 (C) に示す、トランジスタ 200 と同様の構成を有するトランジスタを  $2.0 \text{ 個}/\mu\text{m}^2$  の密度で配置したサンプル D を作製し、サンプル D の電気特性を測定し、その電気特性からデータ保持時間および動作周波数の見積もりと、信頼性の評価を行った。

【0501】

まず、サンプル D の構成について説明する。図 2 (A) 乃至図 2 (C) に示すように、サンプル D は、基板 (図示せず) の上に配置された絶縁体 214 と、絶縁体 214 の上に配置された絶縁体 216 と、絶縁体 216 に埋め込まれるように配置された導電体 205 と、絶縁体 216 および導電体 205 の上に配置された絶縁体 222 と、絶縁体 222 の上に配置された絶縁体 224 と、絶縁体 224 の上に配置された酸化物 230a と、酸化物 230a の上に配置された酸化物 230b と、酸化物 230b の上に離間して配置された導電体 242a および導電体 242b と、導電体 242a、導電体 242b、および絶

10

20

30

40

50

縁体 2 2 4 の上に配置された絶縁体 2 5 4 と、絶縁体 2 5 4 の上に配置された絶縁体 2 8 0 と、酸化物 2 3 0 b の上に配置された酸化物 2 3 0 c と、酸化物 2 3 0 c の上に配置された絶縁体 2 5 0 と、絶縁体 2 5 0 の上に配置された導電体 2 6 0 a および導電体 2 6 0 b と、絶縁体 2 8 0 および導電体 2 6 0 の上に配置された絶縁体 2 7 4 と、を有する。

【0502】

絶縁体 2 1 4 として膜厚 4 0 n m の酸化アルミニウムを用いた。また、絶縁体 2 1 6 として酸化窒化シリコンを用いた。また、導電体 2 0 5 として、窒化タンタル、窒化チタン、タングステン、窒化チタン、タングステンの順に積層した導電膜を用いた。

【0503】

絶縁体 2 2 2 として、A L D 法を用いて成膜した、膜厚 2 0 n m の酸化ハフニウムを用いた。絶縁体 2 2 4 として、膜厚 3 0 n m の酸化窒化シリコンを用いた。

【0504】

酸化物 2 3 0 a として、D C スパッタリング法を用いて成膜した、膜厚が 5 n m の I n - G a - Z n 酸化物を用いた。なお、酸化物 2 3 0 a の成膜には、I n : G a : Z n = 1 : 3 : 4 [原子数比] の酸化物ターゲットを用い、成膜ガスとして酸素ガス 4 5 s c c m を用い、成膜圧力を 0 . 7 P a とし、成膜電力を 5 0 0 W とし、基板温度を 2 0 0 ° C とし、ターゲットと基板との間隔を 6 0 m m とした。

【0505】

酸化物 2 3 0 b として、D C スパッタリング法を用いて成膜した、膜厚が 1 5 n m の I n - G a - Z n 酸化物を用いた。なお、酸化物 2 3 0 b の成膜には、I n : G a : Z n = 4 : 2 : 4 . 1 [原子数比] の酸化物ターゲットを用い、成膜ガスとして酸素ガス 4 5 s c c m を用い、成膜圧力を 0 . 7 P a とし、成膜電力を 5 0 0 W とし、基板温度を 2 0 0 ° C とし、ターゲットと基板との間隔を 6 0 m m とした。

【0506】

導電体 2 4 2 a および導電体 2 4 2 b は、膜厚 2 5 n m の窒化タンタルを用いた。また、絶縁体 2 5 4 は、スパッタリング法を用いて成膜した膜厚 5 n m の酸化アルミニウムと、その上に A L D 法を用いて成膜した膜厚 3 n m の酸化アルミニウムの積層膜とした。

【0507】

絶縁体 2 8 0 は、第 1 の層と第 1 の層上の第 2 の層の積層膜とした。絶縁体 2 8 0 の第 1 の層は、R F スパッタリング法を用いて成膜した、膜厚が 6 0 n m の酸化シリコンを用いた。絶縁体 2 8 0 の第 1 の層の成膜には、S i O <sub>2</sub> ターゲットを用い、成膜ガスとして、酸素ガス 5 0 s c c m を用い、成膜圧力を 0 . 7 P a とし、成膜電力を 1 5 0 0 W とし、基板温度を 1 7 0 ° C とし、ターゲットと基板との間隔を 6 0 m m とした。絶縁体 2 8 0 の第 2 の層は、P E C V D 法を用いて成膜した酸化窒化シリコンを用いた。

【0508】

酸化物 2 3 0 c は、第 1 の層と第 1 の層上の第 2 の層の積層膜とした。酸化物 2 3 0 c の第 1 の層として、D C スパッタリング法を用いて成膜した、膜厚が 3 n m の I n - G a - Z n 酸化物を用いた。なお、酸化物 2 3 0 c の第 1 の層の成膜には、I n : G a : Z n = 4 : 2 : 4 . 1 [原子数比] の酸化物ターゲットを用い、成膜ガスとして、酸素ガス 4 5 s c c m を用い、成膜圧力を 0 . 7 P a とし、成膜電力を 5 0 0 W とし、基板温度を 2 0 0 ° C とし、ターゲットと基板との間隔を 6 0 m m とした。

【0509】

酸化物 2 3 0 c の第 2 の層として、D C スパッタリング法を用いて成膜した、膜厚が 3 n m の I n - G a - Z n 酸化物を用いた。なお、酸化物 2 3 0 c の第 2 の層の成膜には、I n : G a : Z n = 1 : 3 : 4 [原子数比] の酸化物ターゲットを用い、成膜ガスとして酸素ガス 4 5 s c c m を用い、成膜圧力を 0 . 7 P a とし、成膜電力を 5 0 0 W とし、基板温度を 2 0 0 ° C とし、ターゲットと基板との間隔を 6 0 m m とした。

【0510】

絶縁体 2 5 0 として、膜厚 6 n m の酸化窒化シリコンを用いた。また、導電体 2 6 0 a として、膜厚 5 n m の窒化チタンを用いた。また、導電体 2 6 0 b として、タングステン

10

20

30

40

50

を用いた。

【0511】

絶縁体274として、RFスパッタリング法を用いて成膜した、膜厚が40nmの酸化アルミニウムを用いた。絶縁体274には、 $Al_2O_3$ ターゲットを用い、成膜ガスとして、アルゴンガス25sccm、酸素ガス25sccmを用い、成膜圧力を0.4Paとし、成膜電力を2500Wとし、基板温度を250℃とし、ターゲットと基板との間隔を60mmとした。

【0512】

以上のような構成を有するサンプルDは、チャネル長60nm、チャネル幅60nmを狙って設計した。なお、サンプルDは、トランジスタ200と同様に、上記構成に加えて、さらに、導電体240、絶縁体241、絶縁体281等を有する。また、サンプルDは、作製後に、窒素雰囲気、温度400℃、4時間の熱処理を行った。

【0513】

次に、サンプルDのトランジスタに容量素子（保持容量3.5fF）を設けたDOSRAMを想定して、データ保持時間および動作周波数の見積もりを行った。DOSRAMのメモリセルとしては、図16（A）に示す回路を想定した。ここで、サンプルDは図16（A）に示すトランジスタM1に相当する。

【0514】

DOSRAMのデータ保持時間の見積もり方法について説明する。DOSRAMのデータ保持は、書き込み時に容量素子に与えられた電荷が維持されることによって行われる。しかしながら、データ書き込み時に容量素子に与えられた電荷は、容量素子にかかる電圧の変動に伴って変動し、これが許容値を超えると、データの読み出しができなくなる。以下、DOSRAMの容量素子にかかる電圧がデータ書き込み後から変動する量の許容値を変動許容電圧という。つまり、データ保持時間とは、DOSRAMが有する容量素子にかかる電圧の変動量が変動許容電圧に達するまでに要する時間である。

【0515】

このように、データ保持期間中に容量素子から放電された電荷は、DOSRAMのトランジスタのリーク電流として放出されると、近似することができる。この場合、容量素子から放電された電荷量は、オフ状態のトランジスタからリークした電荷量と等しくなる。よって、トランジスタのカットオフ電流 $I_{cut}$ とデータ保持時間 $t_R$ の積は、容量素子の保持容量 $C_S$ と変動許容電圧 $\Delta V$ の積に等しくなる。これにより、データ保持時間 $t_R$ を式（1）で表すことができる。

【0516】

【数1】

$$t_R = \frac{C_S \times \Delta V}{I_{cut}} \quad (1)$$

【0517】

ここで、トランジスタのカットオフ電流 $I_{cut}$ とは、トランジスタのトップゲート電位 $V_G = 0V$ におけるドレイン電流 $I_D$ を指す。

【0518】

トランジスタのオフ電流が $V_G = 0V$ に達するまで、サブスレッショルドスイング値 $S_{value}$ に従って、 $I_D$ が単調減少すると仮定すると、トランジスタのカットオフ電流 $I_{cut}$ は、シフト電圧 $V_{sh}$ 、およびサブスレッショルドスイング値 $S_{value}$ を用いて、以下に示す式（2）で表すことができる。

【0519】

【数2】

10

20

30

40

50

$$I_{\text{cut}} = 1 \times 10^{\left(-12 - \frac{V_{\text{sh}}}{S_{\text{value}}}\right)} \quad (2)$$

#### 【0520】

ここで、シフト電圧  $V_{\text{sh}}$  は、トランジスタの  $I_{\text{D}}-V_{\text{G}}$  カーブにおいて、カーブ上の傾きが最大である点における接線が、 $I_{\text{D}} = 1 \text{ pA}$  の直線と交差する  $V_{\text{G}}$  で定義される。また、サブスレッショルドスイング値  $S_{\text{value}}$  は、ドレイン電圧一定にてドレイン電流を 1 桁変化させるサブスレッショルド領域でのトップゲート電位の変化量を指す。

10

#### 【0521】

本実施例では、データ保持時間を見積もるにあたって、サンプル D の 3 素子において、 $I_{\text{D}}-V_{\text{G}}$  測定を行った。 $I_{\text{D}}-V_{\text{G}}$  測定は、電源電圧を  $3.3 \text{ V}$  とし、トランジスタのドレイン電位  $V_{\text{D}}$  を  $+1.2 \text{ V}$  とし、ソース電位  $V_{\text{S}}$  を  $0 \text{ V}$  とし、トップゲート電位  $V_{\text{G}}$  を  $-1.0 \text{ V}$  から  $+3.3 \text{ V}$  まで掃引することで行った。ボトムゲート電位  $V_{\text{BG}}$  は  $-10.6 \text{ V}$  で行った。測定温度は、 $-40^\circ\text{C}$ 、 $27^\circ\text{C}$ 、 $85^\circ\text{C}$  の 3 水準で行った。具体的には、測定対象となるトランジスタが形成された 5 インチ角基板を上記各温度に設定したサーモチャック上に固定した状態でトランジスタの  $I_{\text{D}}-V_{\text{G}}$  測定を実施した。なお、ボトムゲート電位  $V_{\text{BG}} = -10.6 \text{ V}$  は、 $85^\circ\text{C}$  の測定において、サンプル D のトランジスタの保持時間が 1 時間以上になるように見積もったものである。また、 $I_{\text{D}}-V_{\text{G}}$  測定には、

20

#### 【0522】

得られた  $I_{\text{D}}-V_{\text{G}}$  カーブから、トランジスタのシフト電圧  $V_{\text{sh}}$  およびサブスレッショルドスイング値  $S_{\text{value}}$  を算出した。さらに、 $I_{\text{D}}-V_{\text{G}}$  カーブから得られた  $V_{\text{sh}}$  および  $S_{\text{value}}$  から、式 (2) を用いた外挿によって  $I_{\text{cut}}$  を見積もった。

#### 【0523】

また、本実施例では、容量素子の保持容量  $C_{\text{S}}$  を  $3.5 \text{ fF}$  とし、変動許容電圧  $\Delta V$  を  $0.2 \text{ V}$  とした。よって、式 (1) に  $I_{\text{cut}}$ 、 $C_{\text{S}}$ 、 $\Delta V$  の値を代入することで、保持時間  $t_{\text{R}}$  を見積もることができる。

#### 【0524】

次に、DOSRAM の動作周波数の見積り方法について説明する。DOSRAM の動作周波数は、DOSRAM のデータ書き込みサイクル時間の逆数とする。DOSRAM のデータ書き込みサイクル時間は、DOSRAM が有する容量素子の充電時間などによって設定されるパラメータである。本実施例では、DOSRAM のデータ書き込みサイクル時間 (DOSRAM の動作周波数の逆数) の 40% に相当する時間を、DOSRAM が有する容量素子の充電時間とする設定とした。

30

#### 【0525】

このように、DOSRAM の動作周波数は、DOSRAM が有する容量素子の充電時間に依存する。したがって、DOSRAM の動作周波数を見積るにあたって、まず DOSRAM が有する容量素子の充電時間を事前に知る必要がある。本実施例では、DOSRAM が有する容量素子 (保持容量  $3.5 \text{ fF}$ ) に  $0.52 \text{ V}$  以上の電圧 (以下、この電圧を書き込み判定電圧  $V_{\text{CS}}$  という場合がある。) がかった状態を、当該容量素子が「充電された状態」と定義した。したがって、本実施例では、DOSRAM のデータ書き込み動作を開始してから、当該容量素子にかかる電圧が書き込み判定電圧  $V_{\text{CS}} = 0.52 \text{ V}$  に達するまでの時間が、DOSRAM が有する容量素子の充電時間に相当する。

40

#### 【0526】

DOSRAM が有する容量素子の充電時間は、DOSRAM データ書き込み時における、DOSRAM が有するトランジスタの  $I_{\text{D}}$  の大きさに依存する。ここで、DOSRAM が有する容量素子の充電モデルについて、図 26 (A) を用いて説明する。図 26 (A) は、図 16 (A) と同様に、容量素子  $C_{\text{S}}$  にトランジスタ  $\text{Tr}1$  を介してデータを書き込

50

む場合を想定している。Dはドレインを表し、Gはゲートを表し、Sはソースを表し、B Gはバックゲートを表している。トランジスタTr 1のソースの電位（容量素子C sに印加される電圧）をV sとする。トランジスタTr 1をオンにすることで、電流I<sub>D</sub>が流れ、容量素子C sが充電される。

【0527】

DOSRAMの充電が開始されてV sが書き込み判定電圧V<sub>CS</sub>に達した時に充電完了とする。充電開始から充電完了までの時間を充電時間t<sub>w</sub>とする（図26（B）参照）。DOSRAMが有する保持容量C<sub>s</sub> [F]の容量素子に充電される電荷をQ [C]、充電時間をt<sub>w</sub> [s]、充電によって容量素子にかかる電位をV<sub>CS</sub> (=V s) [V]、DOSRAMが有するトランジスタのドレイン電流をI<sub>D</sub> [A]とした場合、各パラメータの間には以下の式（3）の関係が成り立つ。

10

【0528】

【数3】

$$Q = \int_0^{t_w} I_D dt = C_s \times V_{CS} \quad (3)$$

【0529】

20

式（3）を変形することで、DOSRAMが有する容量素子の充電時間t<sub>w</sub>を以下の式（4）で表すことができる（図26（C）参照）。

【0530】

【数4】

$$t_w = \int_0^{V_{CS}} \frac{C_s}{I_D} dV_s \quad (4)$$

30

【0531】

DOSRAMの動作周波数fと充電時間t<sub>w</sub>の関係は式（5）で表すことができる。

【0532】

【数5】

$$f = \frac{A}{t_w} \quad (5)$$

【0533】

40

式（5）においてAは係数である。DOSRAMにおいて、1回の動作時間のうち、書き込みに要する時間は4割と想定されることから、本実施例では係数Aを0.4とする。

【0534】

本実施例では、動作周波数を見積もるにあたって、サンプルDの3素子において、I<sub>D</sub> - V<sub>S</sub>測定を行った。I<sub>D</sub> - V<sub>S</sub>測定は、電源電圧を3.3Vとし、トランジスタのトップゲート電位V<sub>G</sub>を+2.97Vとし、ドレイン電位V<sub>d</sub>を+1.08Vとし、ソース電位V<sub>S</sub>を0Vから+1.2Vまで掃引することで行った。ボトムゲート電位V<sub>BG</sub>は-10.6Vで行った。その他、測定温度などの条件は、上記I<sub>D</sub> - V<sub>G</sub>測定と同様にした。なお、I<sub>D</sub> - V<sub>S</sub>測定には、キーサイトテクノロジー製半導体パラメータアナライザーを用いた。

50

## 【0535】

得られた  $I_D - V_S$  カーブにおける、書き込み判定電圧  $V_{CS} = +0.52V$  までの積分値と、容量素子の保持容量  $C_S = 3.5 fF$  から、式(4)を用いて充電時間  $t_W$  を算出することができる。

## 【0536】

式(5)に、係数  $A$ 、および充電時間  $t_W$  を代入することで、動作周波数  $f$  を見積もることができる。

## 【0537】

以上のようにして、 $-40^\circ C$ 、 $27^\circ C$ 、 $85^\circ C$  の3水準で測定したサンプルDの3素子について、データ保持時間  $t_R$  と、動作周波数  $f$  を見積もった結果を図27に示す。図27において、横軸はデータ保持時間  $t_R [s]$  を示し、縦軸は動作周波数  $f [MHz]$  を示す。

10

## 【0538】

図27に示すように、サンプルDは、最もデータ保持時間が短くなる  $85^\circ C$  測定においても、データ保持時間が1時間以上であった。さらに、サンプルDは、最も動作周波数が小さくなる  $-40^\circ C$  測定においても、動作周波数が  $200 MHz$  以上であった。このように、サンプルDのトランジスタを有するDOSRAMは、良好なデータ保持特性および動作周波数特性を有する。

## 【0539】

次に、サンプルDの信頼性の評価を行った。信頼性の評価は、+GBT (Gate Bias Temperature) ストレス試験により行った。+GBT ストレス試験では、基板を加熱しながら、トランジスタのソース電極として機能する導電体242a、ドレイン電極として機能する導電体242b、および第2のゲート(ボトムゲート)電極として機能する導電体205は同電位とし、第1のゲート(トップゲート)電極として機能する導電体260には、導電体242a、導電体242b、および導電体205より高い電位を一定時間印加する。

20

## 【0540】

本実施例に係る+GBT ストレス試験では、設定温度を  $150^\circ C$  とし、ドレイン電位  $V_D$ 、ソース電位  $V_S$ 、およびボトムゲート電位  $V_{BG}$  を  $0V$  とし、トップゲート電位  $V_G$  を  $+2.75V$  とし、サンプルDにストレスをかけた。

30

## 【0541】

+GBT ストレス試験中に一定時間ごとに  $I_D - V_G$  測定を行った。 $I_D - V_G$  測定は、トランジスタのドレイン電位  $V_D$  を  $+1.2V$  にし、ソース電位  $V_S$  を  $0V$  にし、ボトムゲート電位  $V_{BG}$  を  $0V$  にし、ゲート電位  $V_G$  を  $-3.3V$  から  $+3.3V$  まで掃引することで行った。なお、 $I_D - V_G$  測定には、キーサイトテクノロジー製半導体パラメータアナライザーを用いた。また、+GBT ストレス試験では、トランジスタの電気特性の変動量の指標として、測定開始時からのシフト電圧  $V_{sh}$  の変化量を表す  $\Delta V_{sh}$  を用いた。

## 【0542】

サンプルDの+GBT ストレス試験の結果を図28に示す。図28において、横軸はストレス時間 (stress time)  $[hr]$  を示し、縦軸は  $\Delta V_{sh} [mV]$  を示す。

40

## 【0543】

図28に示すように、サンプルDは、上記ストレスがかかった状態で200時間経過しても、シフト電圧の変化量  $\Delta V_{sh}$  の絶対値が  $100 mV$  以下であった。なお、+GBT ストレス試験では、ストレス時間に対する  $\Delta V_{sh}$  の温度加速性が確認されている。具体的には、設定温度を  $150^\circ C$  としたときの、 $\Delta V_{sh}$  がある値になるまでのストレス時間は、設定温度を  $125^\circ C$  としたときの、 $\Delta V_{sh}$  が当該値になるまでのストレス時間の約13分の1倍から約10分の1倍となる。言い換えると、設定温度を  $125^\circ C$  から  $150^\circ C$  に上昇させると、ストレス時間に対する  $\Delta V_{sh}$  は、約10倍から約13倍に加速される。よって、ストレス時間に対する  $\Delta V_{sh}$  の温度加速性を踏まえると、サンプルDは、設定温度を  $125^\circ C$  とした状態で、2000時間から2500時間の間、 $\Delta V_{sh}$  の絶対

50

値が100mV以下であると推定される。

【0544】

次に、サンプルDと同様の構造を有するが、作製後の熱処理を、窒素雰囲気、温度400℃、8時間とした、サンプルEを作製し、サンプルEの信頼性の評価を行った。信頼性の評価は、サンプルDと同様に、+GBTストレス試験により行った。

【0545】

サンプルEの+GBTストレス試験は、複数の条件で行った。トップゲート電位 $V_G$ を+2.75Vとする条件では、設定温度を150℃、175℃、197℃の3条件で+GBT試験を行った。また、トップゲート電位 $V_G$ を+3.63Vとする条件では、設定温度を150℃、175℃の2条件で+GBT試験を行った。なお、全ての条件において、サンプルDと同様に、ドレイン電位 $V_D$ 、ソース電位 $V_S$ 、およびボトムゲート電位 $V_{BG}$ 、を0Vとした。また、すべての条件において、サンプルEの2素子について、+GBTストレス試験を行った。

10

【0546】

また、サンプルDの測定と同様の方法で、+GBTストレス試験中に一定時間ごとに $I_D - V_G$ 測定を行った。

【0547】

トップゲート電位 $V_G$ を+2.75V、設定温度を150℃とする条件における、サンプルEの+GBTストレス試験の結果を図29に示す。図29において、横軸はストレス時間(stress time) [hr]を示し、縦軸は $\Delta V_{sh}$  [mV]を示す。

20

【0548】

図29に示すように、サンプルEは、上記ストレスがかかった状態で336時間が経過しても、シフト電圧の変化量 $\Delta V_{sh}$ の絶対値が100mV以下であった。

【0549】

他のストレス条件で測定した、サンプルEの+GBTストレス試験の結果も、図29に示すようなストレス時間- $\Delta V_{sh}$ のプロットで表示することができる。ストレス時間- $\Delta V_{sh}$ のプロットから、 $\Delta V_{sh}$ の絶対値が100mVになるまでの時間を算出することができる。

【0550】

各種ストレス条件における、サンプルEの+GBTストレス試験の結果から算出された、 $\Delta V_{sh}$ の絶対値が100mVになるまでの時間をプロットした結果を図30に示す。図30において、横軸は $1000/T$  [1/K]を示し、縦軸は $\Delta V_{sh}$ の絶対値が100mVになるまでの時間(time) [hr]を示す。ここで、TはサンプルEの+GBTストレス試験における設定温度を指す。

30

【0551】

トップゲート電位 $V_G = +2.75V$ の条件のプロットと、トップゲート電位 $V_G = +3.63V$ の条件のプロットについて、それぞれ近似曲線をとることができる。図30において、トップゲート電位 $V_G = +2.75V$ の条件の近似曲線は点線で、トップゲート電位 $V_G = +3.63V$ の条件の近似曲線は実線で示す。図30に示すように、両方の条件とも、近似曲線が、概略直線状になり、近似曲線の傾きがほぼ一定値になる。

40

【0552】

よって、両方の近似曲線から、設定温度を125℃にした条件における、サンプルEの+GBTストレス試験における、 $\Delta V_{sh}$ の絶対値が100mVになるまでの時間を算出することができる。当該時間は、トップゲート電位 $V_G = +2.75V$ の条件では、7377時間となり、トップゲート電位 $V_G = +3.63V$ の条件では、8331時間となった。

【0553】

以上より、本発明の一態様に係るトランジスタを有するDOSRAMは、良好なデータ保持特性および動作周波数特性を有することが示された。さらに、本発明の一態様に係るトランジスタは、良好な信頼性を有することが示された。

50

## 【0554】

本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態および実施例と適宜組み合わせる実施することができる。

## 【実施例5】

## 【0555】

本実施例では、先の実施の形態に示すトランジスタを作製し、走査透過型電子顕微鏡（STEM：Scanning Transmission Electron Microscope）を用いて観察を行い、電気特性の測定を行った結果について説明する。

## 【0556】

本実施例では、図2（A）乃至図2（C）に示す、トランジスタ200と同様の構成を有するトランジスタを2.0個/ $\mu\text{m}^2$ の密度で配置したサンプル1F乃至サンプル4Fを作製した。

## 【0557】

まず、サンプル1F乃至サンプル4Fの構成について説明する。図2（A）乃至図2（C）に示すように、サンプル1F乃至サンプル4Fは、基板（図示せず）の上に配置された絶縁体214と、絶縁体214の上に配置された絶縁体216と、絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216および導電体205の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230aと、酸化物230aの上に配置された酸化物230bと、酸化物230bの上に離間して配置された導電体242aおよび導電体242bと、導電体242a、導電体242b、および絶縁体224の上に配置された絶縁体254と、絶縁体254の上に配置された絶縁体280と、酸化物230bの上に配置された酸化物230cと、酸化物230cの上に配置された絶縁体250と、絶縁体250の上に配置された導電体260aおよび導電体260bと、絶縁体280および導電体260の上に配置された絶縁体274と、を有する。

## 【0558】

絶縁体214は、窒化シリコンと、その上に成膜した酸化アルミニウムの積層構造とした。窒化シリコンは、RFスパッタリング法を用いて、膜厚20nmで成膜した。酸化アルミニウムは、RFスパッタリング法を用いて、膜厚40nmで成膜した。

## 【0559】

また、絶縁体216として酸化窒化シリコンを用いた。また、導電体205として、窒化タンタル、窒化チタン、タングステン、窒化チタン、タングステンの順に積層した導電膜を用いた。

## 【0560】

絶縁体222として、ALD法を用いて成膜した、膜厚20nmの酸化ハフニウムを用いた。絶縁体224として、膜厚28nmの酸化窒化シリコンを用いた。

## 【0561】

酸化物230aとして、DCスパッタリング法を用いて成膜した、膜厚が5nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230aの成膜には、In：Ga：Zn＝1：3：4〔原子数比〕の酸化物ターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。

## 【0562】

酸化物230bとして、DCスパッタリング法を用いて成膜した、膜厚が15nmのIn-Ga-Zn酸化物を用いた。なお、酸化物230bの成膜には、In：Ga：Zn＝4：2：4.1〔原子数比〕の酸化物ターゲットを用い、成膜ガスとして酸素ガス45sccmを用い、成膜圧力を0.7Paとし、成膜電力を500Wとし、基板温度を200℃とし、ターゲットと基板との間隔を60mmとした。

## 【0563】

導電体242aおよび導電体242bは、膜厚25nmの窒化タンタルを用いた。また

、絶縁体 254 は、スパッタリング法を用いて成膜した膜厚 5 nm の酸化アルミニウムと、その上に ALD 法を用いて成膜した膜厚 3 nm の酸化アルミニウムの積層膜とした。

【0564】

絶縁体 280 は、第 1 の層と第 1 の層上の第 2 の層の積層膜とした。絶縁体 280 の第 1 の層は、RF スパッタリング法を用いて成膜した、膜厚が 60 nm の酸化シリコンを用いた。絶縁体 280 の第 1 の層の成膜には、SiO<sub>2</sub> ターゲットを用い、成膜ガスとして、酸素ガス 50 sccm を用い、成膜圧力を 0.7 Pa とし、成膜電力を 1500 W とし、基板温度を 170℃ とし、ターゲットと基板との間隔を 60 mm とした。絶縁体 280 の第 2 の層は、PECVD 法を用いて成膜した酸化窒化シリコンを用いた。

【0565】

サンプル 1 F 乃至サンプル 4 F の作製工程においても、図 7 (A) 乃至図 7 (C) に示すように、絶縁体 280、および絶縁体 254 に酸化物 230 b に達する開口を形成し、チャンネルエッチを行って導電体 242 a および導電体 242 b を形成した。チャンネルエッチ後、サンプル 2 F 乃至サンプル 4 F には、窒素雰囲気中で 1 時間の熱処理を行い、連続して酸素雰囲気中で 1 時間の熱処理を行った。当該熱処理の温度は、サンプル 2 F は 300℃、サンプル 3 F は 350℃、サンプル 4 F は 400℃ とした。

【0566】

酸化物 230 c は、第 1 の層と第 1 の層上の第 2 の層の積層膜とした。酸化物 230 c の第 1 の層として、DC スパッタリング法を用いて成膜した、膜厚が 3 nm の In-Ga-Zn 酸化物を用いた。なお、酸化物 230 c の第 1 の層の成膜には、In:Ga:Zn = 4:2:4.1 [原子数比] の酸化物ターゲットを用い、成膜ガスとして、酸素ガス 45 sccm を用い、成膜圧力を 0.7 Pa とし、成膜電力を 500 W とし、基板温度を 200℃ とし、ターゲットと基板との間隔を 60 mm とした。

【0567】

酸化物 230 c の第 2 の層として、DC スパッタリング法を用いて成膜した、膜厚が 3 nm の In-Ga-Zn 酸化物を用いた。なお、酸化物 230 c の第 2 の層の成膜には、In:Ga:Zn = 1:3:4 [原子数比] の酸化物ターゲットを用い、成膜ガスとして酸素ガス 45 sccm を用い、成膜圧力を 0.7 Pa とし、成膜電力を 500 W とし、基板温度を 200℃ とし、ターゲットと基板との間隔を 60 mm とした。

【0568】

絶縁体 250 として、膜厚 6 nm の酸化窒化シリコンを用いた。また、導電体 260 a として、膜厚 5 nm の窒化チタンを用いた。また、導電体 260 b として、タングステンをを用いた。

【0569】

絶縁体 274 は、第 1 の層と第 1 の層上の第 2 の層の積層膜とした。絶縁体 274 の第 1 の層として、RF スパッタリング法を用いて成膜した、膜厚が 40 nm の酸化アルミニウムを用いた。絶縁体 274 の第 1 の層の成膜には、Al<sub>2</sub>O<sub>3</sub> ターゲットを用い、成膜ガスとして、アルゴンガス 25 sccm、酸素ガス 25 sccm を用い、成膜圧力を 0.4 Pa とし、成膜電力を 2500 W とし、基板温度を 250℃ とし、ターゲットと基板との間隔を 60 mm とした。絶縁体 274 の第 2 の層として、RF スパッタリング法を用いて成膜した、膜厚が 20 nm の窒化シリコンを用いた。

【0570】

以上のような構成を有するサンプル 1 F 乃至サンプル 4 F は、チャンネル長 60 nm、チャンネル幅 60 nm を狙って設計した。なお、サンプル 1 F 乃至サンプル 4 F は、トランジスタ 200 と同様に、上記構成に加えて、さらに、導電体 240、絶縁体 241、絶縁体 281 等を有する。また、サンプル 1 F 乃至サンプル 4 F は、作製後に、窒素雰囲気中で、温度 400℃、4 時間の熱処理を行った。

【0571】

作製したサンプル 1 F 乃至サンプル 4 F について、日立ハイテクノロジーズ製「HD-2700」を用いて、加速電圧を 200 kV とし、断面 STEM 像の撮影と、エネルギー

10

20

30

40

50

一分散型X線分光法（EDX：Energy Dispersive X-ray spectroscopy）による分析を行った。図31（A）、図31（B）、図32（A）、図32（B）、図33（A）乃至図33（D）、および図34（A）乃至図34（D）に、撮影した断面STEM像およびEDX分析のマッピング像を示す。

【0572】

図31（A）、（B）および図32（A）、（B）は、チャンネル長方向の位相コントラスト像（TE像）である。また、図33（A）、（C）および図34（A）、（C）は、チャンネル長方向のZコントラスト像（ZC像）である。また、図33（B）、（D）および図34（B）、（D）は、上記ZC像に対応する、EDX分析のIn-L線のマッピング像である。サンプル1Fを撮影したものは、図31（A）および図33（A）、（B）である。また、サンプル2Fを撮影したものは、図31（B）および図33（C）、（D）である。また、サンプル3Fを撮影したものは、図32（A）および図34（A）、（B）である。また、サンプル4Fを撮影したものは、図32（B）および図34（C）、（D）である。

【0573】

図31（A）、（B）および図32（A）、（B）に示すように、サンプル1F乃至サンプル4Fにおいて、導電体242aもしくは導電体242bの側面、または、導電体242aもしくは導電体242bと酸化物230bの界面に酸化膜が形成される。図31（A）、（B）および図32（A）、（B）に示す、サンプル1F乃至サンプル4Fの酸化膜の膜厚D1乃至膜厚D3を測定した。ここで、膜厚D1は、導電体242aのチャンネル側の側面の酸化膜の膜厚である。膜厚D2は、導電体242bの端部からの距離が10nmのポイントにおける、導電体242bと酸化物230bの界面の酸化膜の膜厚である。膜厚D3は、導電体242bの端部からの距離が50nmのポイントにおける、導電体242bと酸化物230bの界面の酸化膜の膜厚である。膜厚D1乃至膜厚D3を測定した結果を表3に示す。

【0574】

【表3】

| サンプル | 膜厚D1  | 膜厚D2  | 膜厚D3  | 領域290のIn欠損 | 電界効果移動度                 |
|------|-------|-------|-------|------------|-------------------------|
| 1F   | 1.9nm | 2.0nm | 1.6nm | 無し         | 15.0cm <sup>2</sup> /Vs |
| 2F   | 1.9nm | 2.2nm | 1.6nm | 無し         | 11.6cm <sup>2</sup> /Vs |
| 3F   | 2.5nm | 2.6nm | 2.0nm | 有り         | 7.5cm <sup>2</sup> /Vs  |
| 4F   | 3.6nm | 4.3nm | 2.0nm | 有り         | 5.4cm <sup>2</sup> /Vs  |

【0575】

表3に示すように、チャンネルエッチ後の熱処理の温度が高いサンプルほど、膜厚D1乃至膜厚D3が大きくなる傾向を示す。特に、チャンネル形成領域に近い膜厚D1および膜厚D2はこの傾向が顕著である。一方、サンプル1Fおよびサンプル2Fは、膜厚D1および膜厚D2が2.5nm未満である。さらに、サンプル1Fは、膜厚D1および膜厚D2が2.1nm未満である。

【0576】

また、図33（A）、（C）および図34（A）、（C）に示すように、サンプル1Fおよびサンプル2Fでは顕著な異常が見られないのに、サンプル3Fおよびサンプル4Fでは、導電体242bの端部近傍の、酸化物230bの領域290において、周辺より暗い領域が観察される。Zコントラスト像では、原子番号の大きい原子ほど明るく観察される。よって、サンプル3Fおよびサンプル4Fの領域290では、酸化物230bを構成する原子で最も原子番号が大きいインジウム原子が欠損している可能性が示唆される。

【0577】

さらに、図33（B）、（D）および図34（B）、（D）に示すように、サンプル1

Fおよびサンプル2 Fでは顕著な異常が見られないのに、サンプル3 Fおよびサンプル4 Fでは、領域290において、インジウム原子を示す輝点が減少している様子が観察される。よって、チャンネルエッチ後の熱処理の温度が高いサンプル3 Fおよびサンプル4 Fでは、領域290において、インジウム原子が欠損していることが推測される。

【0578】

次に、サンプル1 F乃至サンプル4 Fについて、キーサイトテクノロジー製半導体パラメータアナライザを用いて、 $I_d-V_g$ 特性（ドレイン電流－ゲート電圧特性）を測定した。 $I_d-V_g$ 特性の測定は、ドレイン電圧（ $V_d$ ）を0.1 Vまたは1.2 Vとし、バックゲート電圧（ $V_{bg}$ ）を0 Vとし、ゲート電圧を－4.0 Vから4.0 Vまで0.1 Vステップで掃引させた。

【0579】

図35（A）にサンプル1 F、図35（B）にサンプル2 F、図35（C）にサンプル3 F、図35（D）にサンプル4 F、の $I_d-V_g$ 特性の測定結果を示す。それぞれの図は、横軸にゲート電圧 $V_g$  [V]、第1の縦軸にドレイン電流 $I_d$  [A]、第2の縦軸に $V_d=1.2$  Vにおける電界効果移動度 $\mu_{FE}$  [ $cm^2/Vs$ ]をとる。また、 $V_d=0.1$  Vのドレイン電流を細い実線で示し、 $V_d=1.2$  Vのドレイン電流を太い実線で示し、 $V_d=1.2$  Vの電界効果移動度を太い点線で示している。

【0580】

上記表3に、サンプル1 F乃至サンプル4 Fの電界効果移動度を示す。表3に示すように、膜厚D1乃至膜厚D3が小さく、領域290におけるインジウム原子の欠損が見られない、サンプル1 Fおよびサンプル2 Fは、電界効果移動度が $10 cm^2/Vs$ 以上の良好な電気特性を示す。このように、膜厚D1乃至膜厚D3は、2.5 nm以下にすることが好ましく、2.1 nm以下にすることがより好ましい。また、領域290に、インジウム原子が欠損した領域が形成されないことが好ましい。このような構造にすることで、ソース電極とドレイン電極の間に余計な電気抵抗が形成されなくなるので、トランジスタ200のオン電流、および電界効果移動度を良好にすることができる。

【0581】

本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態および実施例と適宜組み合わせる実施することができる。

【符号の説明】

【0582】

10：絶縁体、10a：絶縁体、10b：絶縁体、20：絶縁体、20a：絶縁体、20b：絶縁体、30：酸化物、40：導電体、42：導電体、100：容量素子、110：導電体、112：導電体、120：導電体、130：絶縁体、140：絶縁体、150：絶縁体、200：トランジスタ、200A：トランジスタ、205：導電体、210：絶縁体、212：絶縁体、214：絶縁体、216：絶縁体、218：導電体、222：絶縁体、224：絶縁体、230：酸化物、230a：酸化物、230A：酸化膜、230b：酸化物、230B：酸化膜、230c：酸化物、230c1：酸化物、230c2：酸化物、230C：酸化膜、240：導電体、240a：導電体、240b：導電体、241：絶縁体、241a：絶縁体、241b：絶縁体、242：導電体、242a：導電体、242A：導電膜、242b：導電体、242B：導電層、250：絶縁体、250A：絶縁膜、254：絶縁体、254A：絶縁膜、260：導電体、260a：導電体、260A：導電膜、260b：導電体、260B：導電膜、274：絶縁体、280：絶縁体、280a：絶縁体、280b：絶縁体、281：絶縁体、290：領域、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、400：トランジスタ、405：導電体、430c：酸化物、431a：酸化物、431b：酸化物、432a：酸化物、432b：酸化物、440：導電体、440a：導電体、440b：導電体、442：導電体

10

20

30

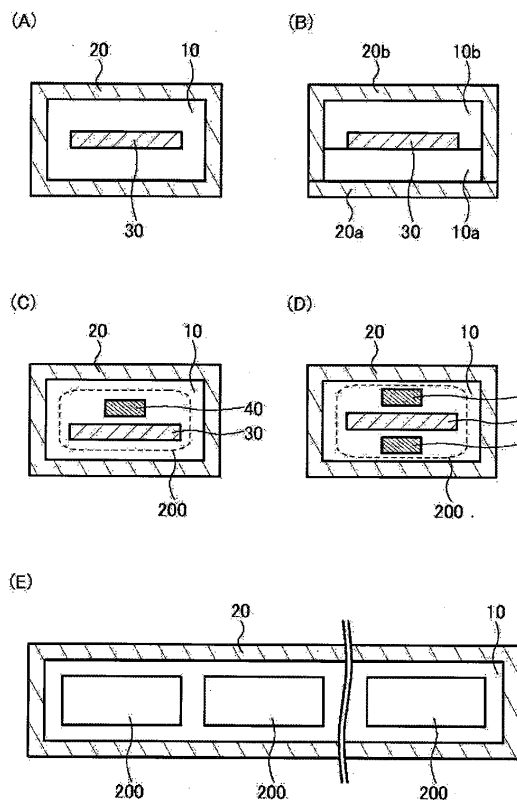
40

50

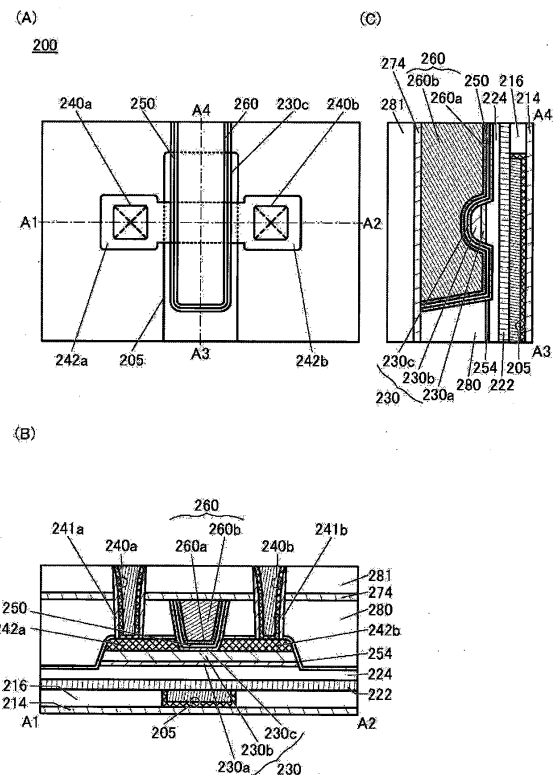
、442a：導電体、442b：導電体、450：絶縁体、460：導電体、460a：導電体、460b：導電体、1001：配線、1002：配線、1003：配線、1004：配線、1005：配線、1006：配線、1007：配線、1008：配線、1009：配線、1010：配線、1100：USBメモリ、1101：筐体、1102：キャップ、1103：USBコネクタ、1104：基板、1105：メモリチップ、1106：コントローラチップ、1110：SDカード、1111：筐体、1112：コネクタ、1113：基板、1114：メモリチップ、1115：コントローラチップ、1150：SSD、1151：筐体、1152：コネクタ、1153：基板、1154：メモリチップ、1155：メモリチップ、1156：コントローラチップ、1200：チップ、1201：PCB、1202：パンプ、1203：マザーボード、1204：GPUモジュール、1211：CPU、1212：GPU、1213：アナログ演算部、1214：メモリコントローラ、1215：インターフェース、1216：ネットワーク回路、1221：DRAM、1222：フラッシュメモリ、1400：記憶装置、1411：周辺回路、1420：行回路、1430：列回路、1440：出力回路、1460：コントロールロジック回路、1470：メモリセルアレイ、1471：メモリセル、1472：メモリセル、1473：メモリセル、1474：メモリセル、1475：メモリセル、1476：メモリセル、1477：メモリセル、1478：メモリセル、5100：情報端末、5101：筐体、5102：表示部、5200：ノート型情報端末、5201：本体、5202：表示部、5203：キーボード、5300：携帯ゲーム機、5301：筐体、5302：筐体、5303：筐体、5304：表示部、5305：接続部、5306：操作キー、5400：据え置き型ゲーム機、5402：コントローラ、5500：スーパーコンピュータ、5501：ラック、5502：計算機、5504：基板、5701：表示パネル、5702：表示パネル、5703：表示パネル、5704：表示パネル、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵室用扉、5803：冷凍室用扉

【図面】

【図1】



【図2】



10

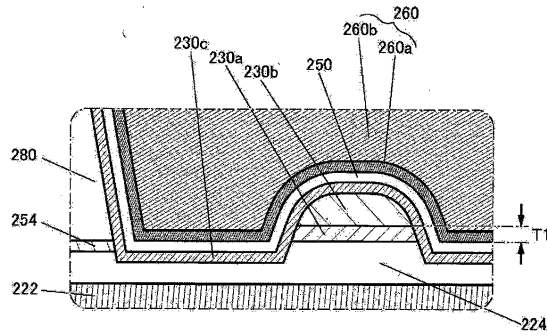
20

30

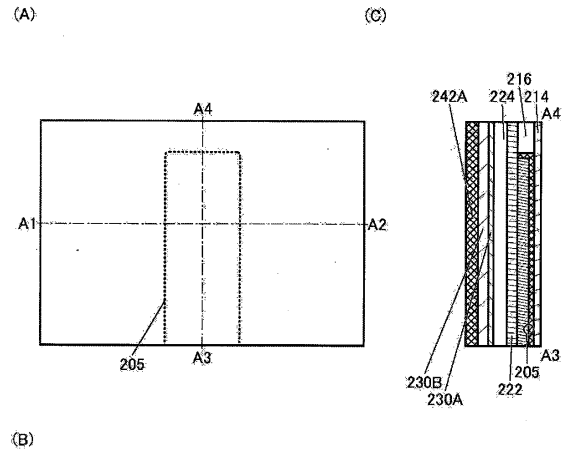
40

50

【図 3】

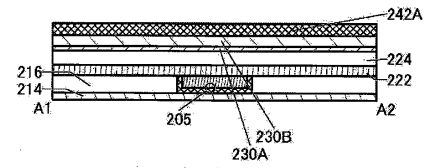


【図 4】



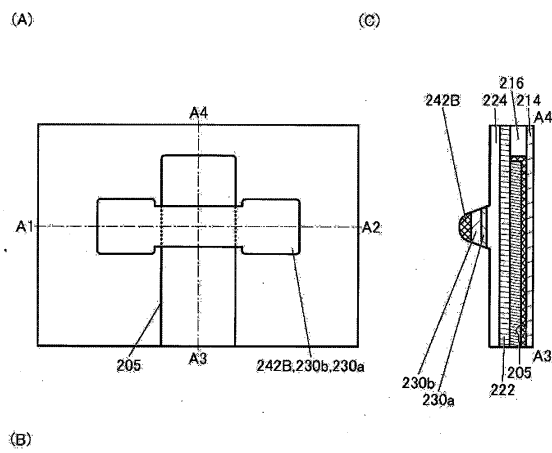
10

(B)

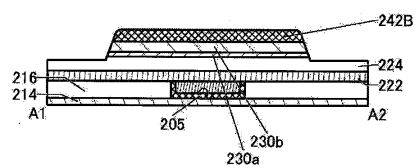


20

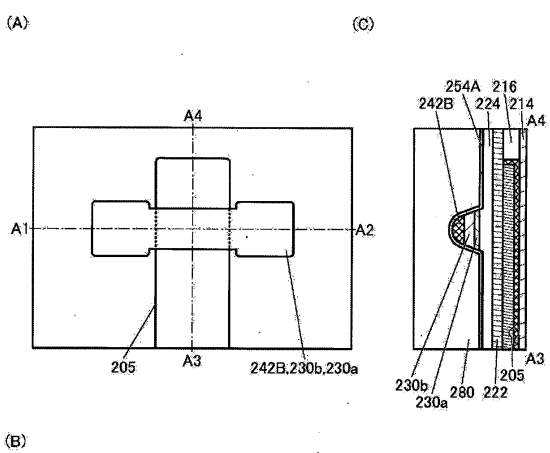
【図 5】



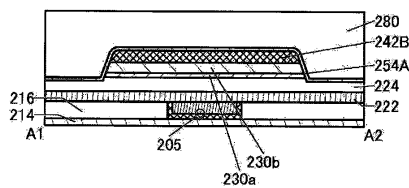
(B)



【図 6】



(B)

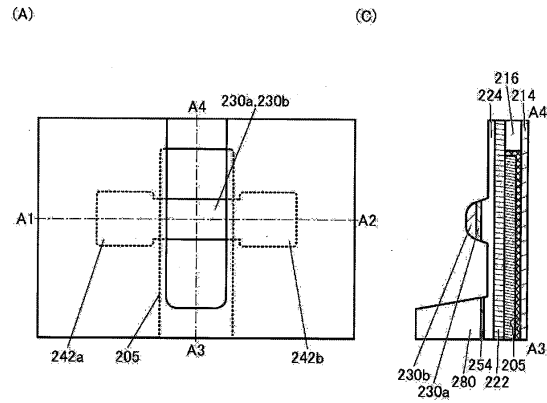


30

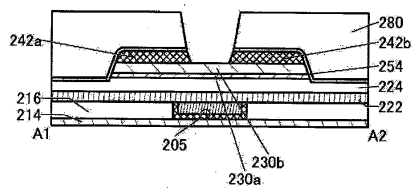
40

50

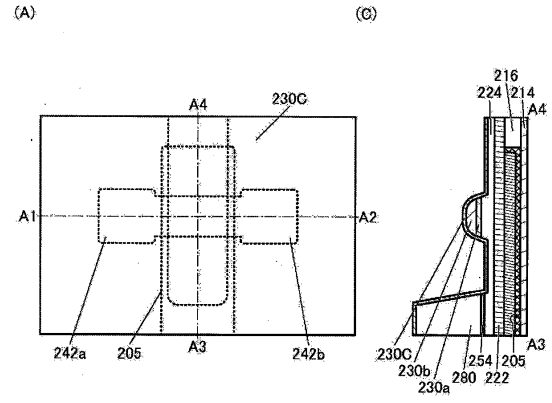
【図 7】



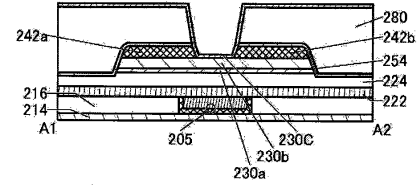
(B)



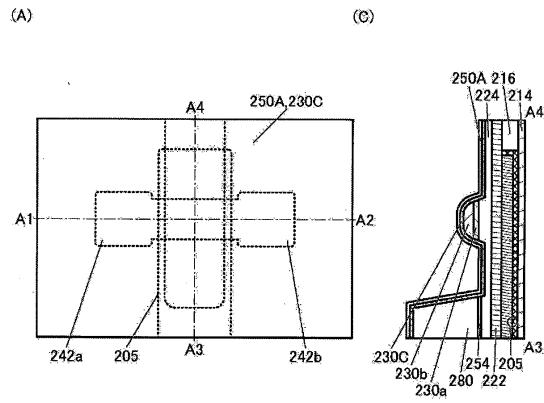
【図 8】



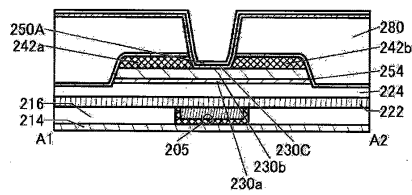
(B)



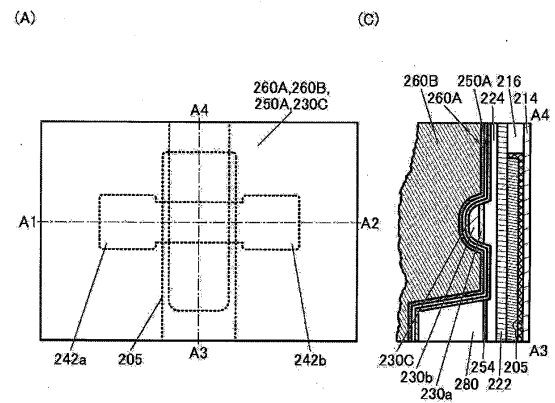
【図 9】



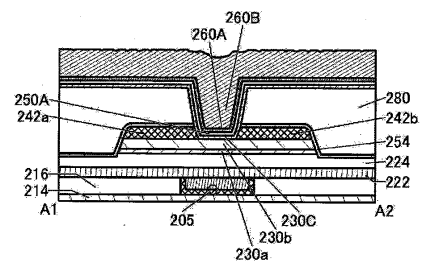
(B)



【図 10】



(B)



10

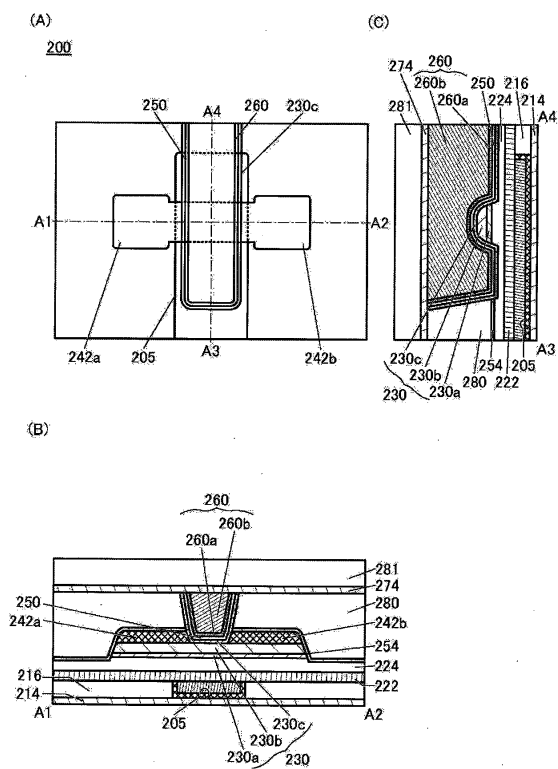
20

30

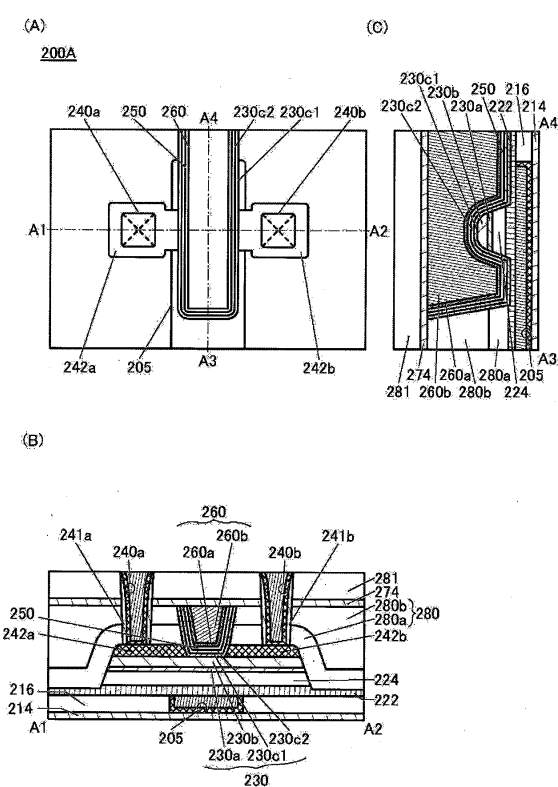
40

50

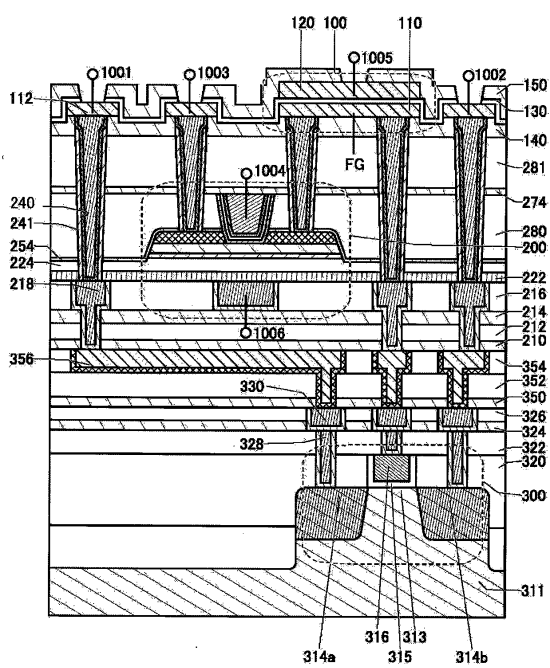
【図 1 1】



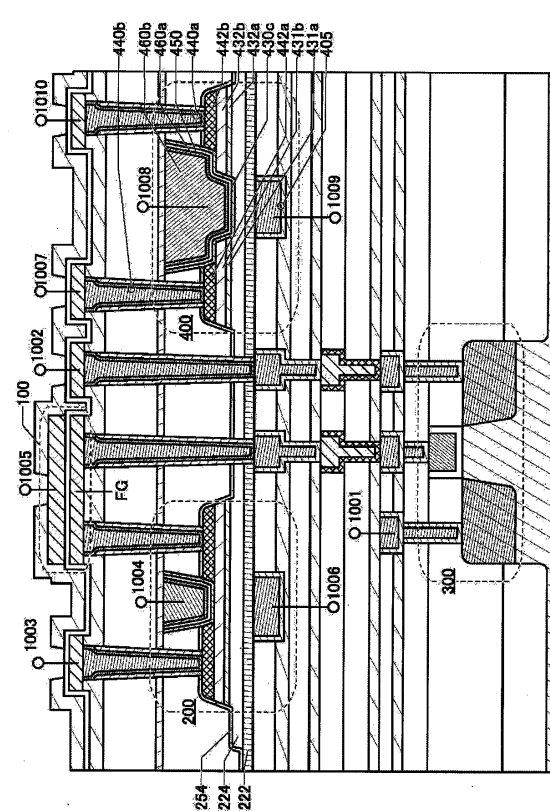
【図 12】



【図 13】

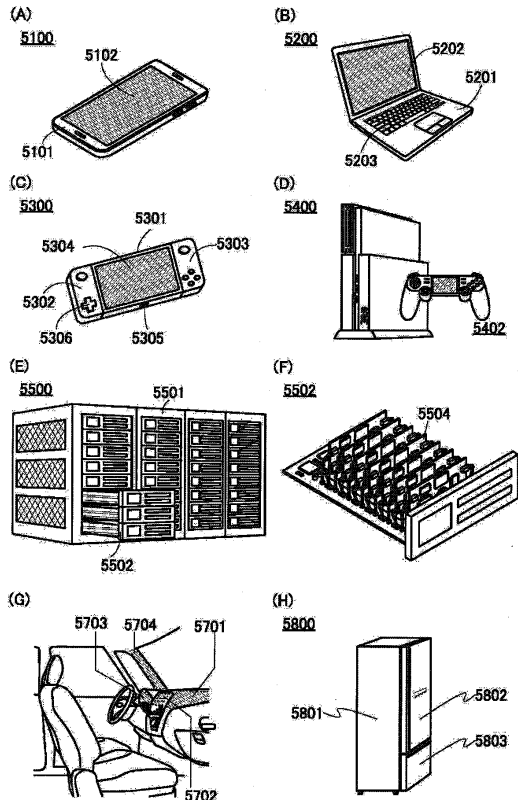


【図 14】

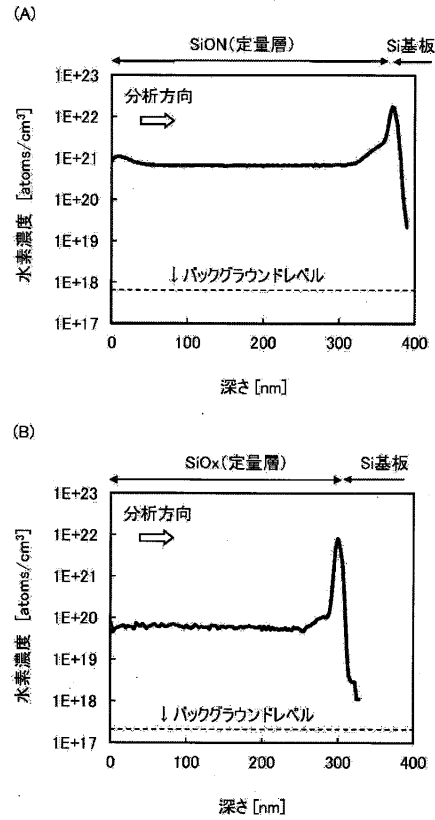




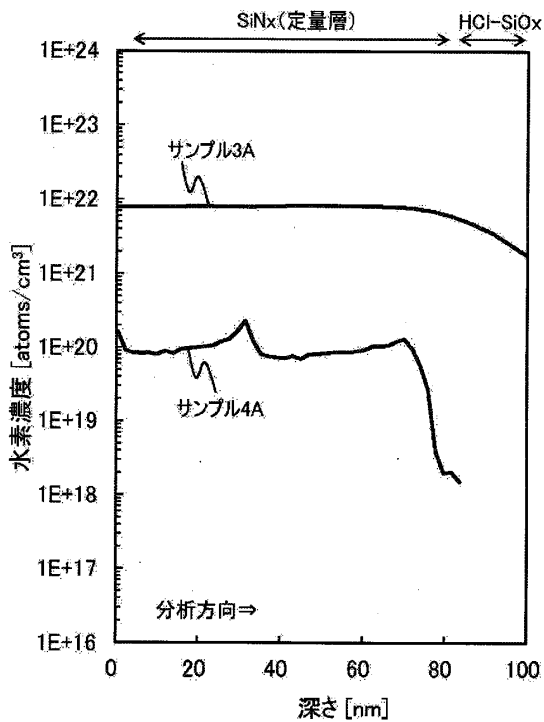
【図 19】



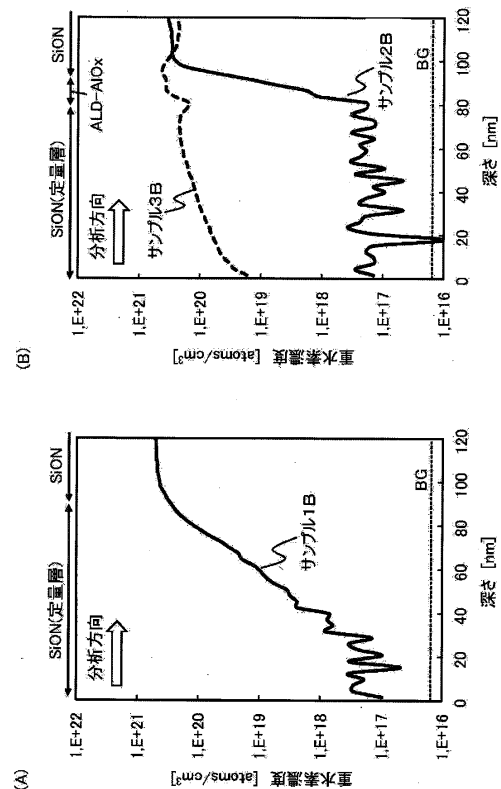
【図 20】



【図 21】



【図 22】



10

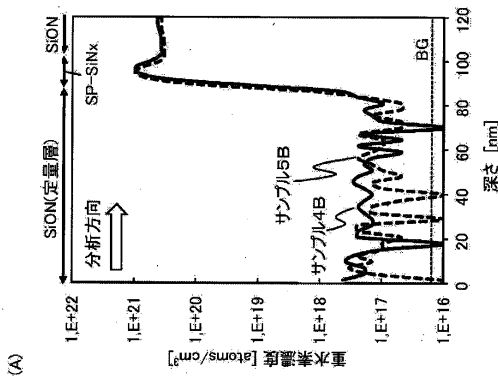
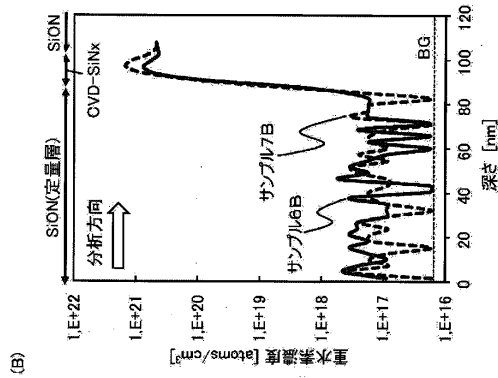
20

30

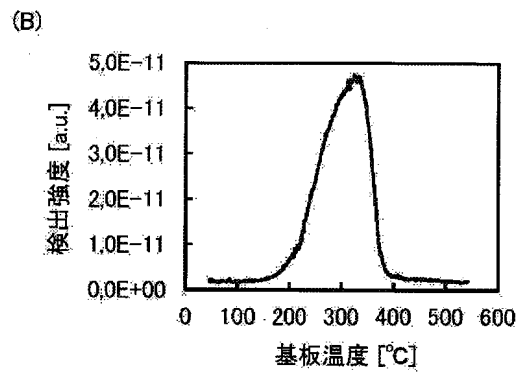
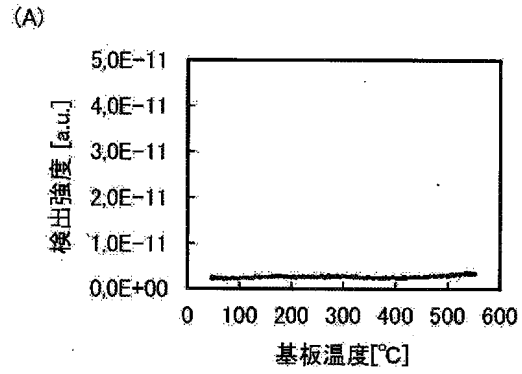
40

50

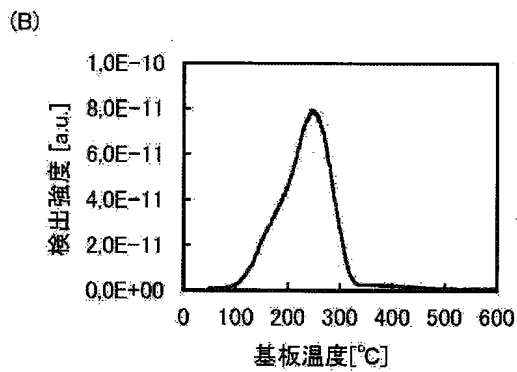
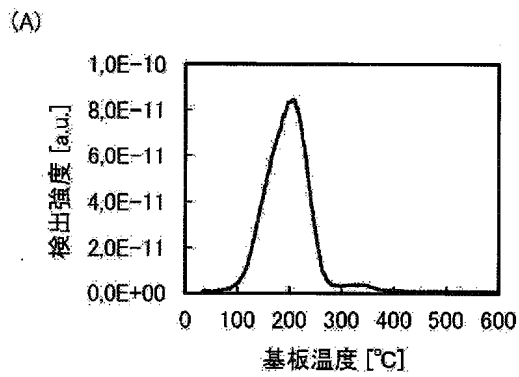
【図 2 3】



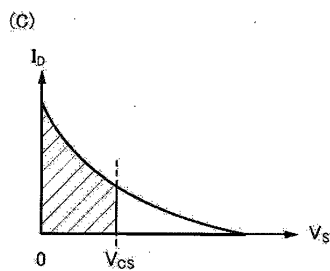
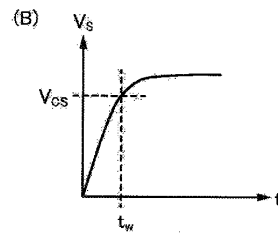
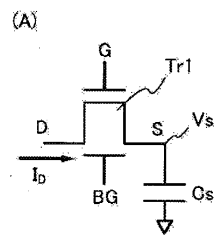
【図 2 4】



【図 2 5】



【図 2 6】



10

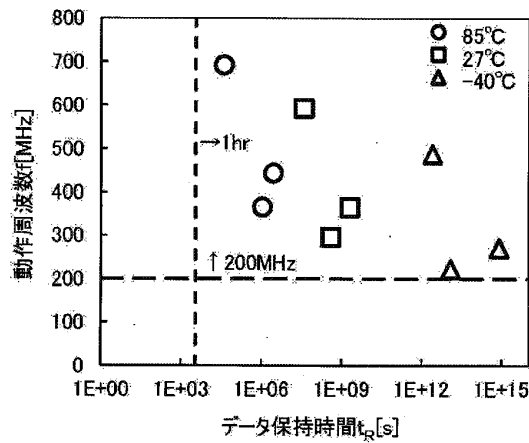
20

30

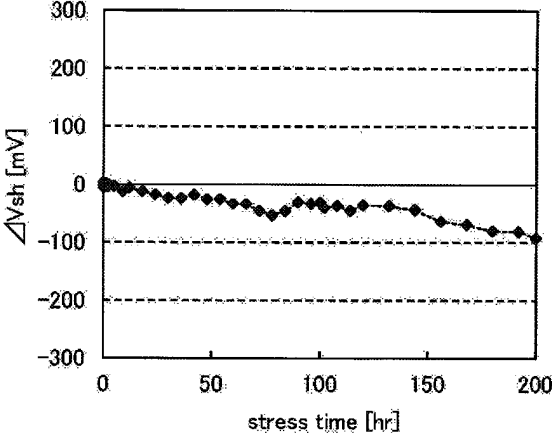
40

50

【図 2 7】

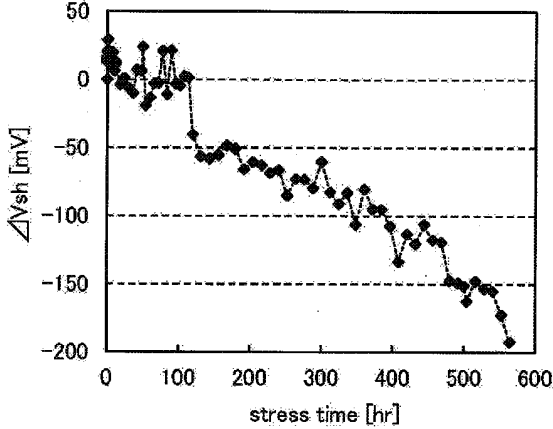


【図 2 8】

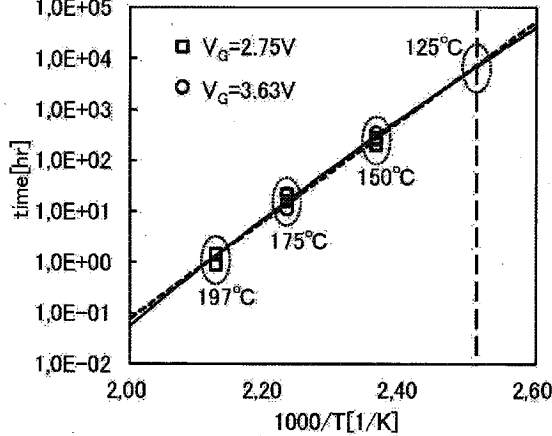


10

【図 2 9】



【図 3 0】



20

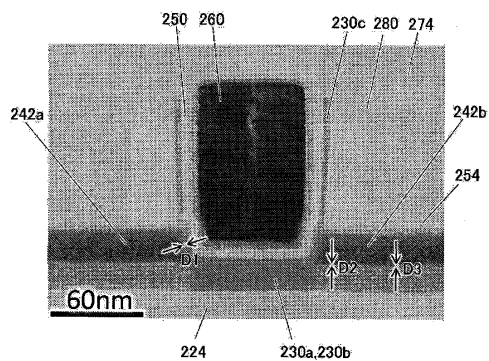
30

40

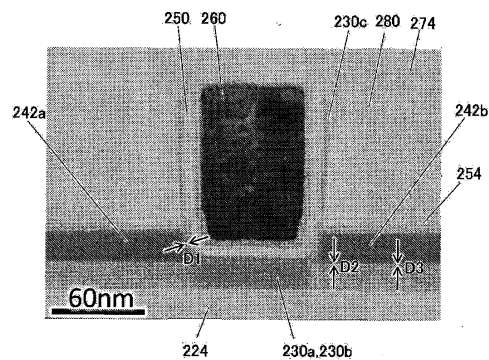
50

【図 3 1】

(A)

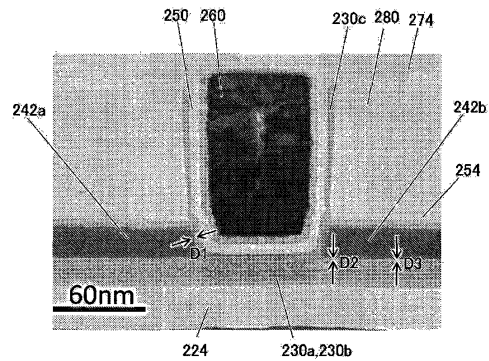


(B)

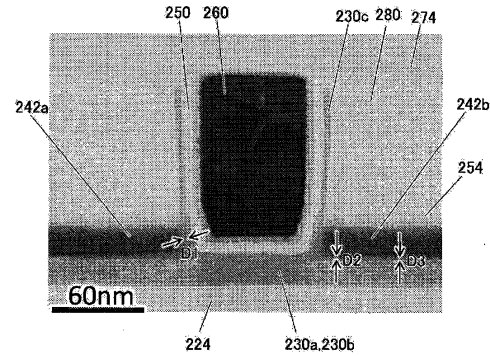


【図 3 2】

(A)

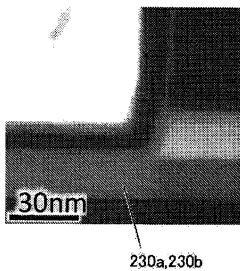


(B)

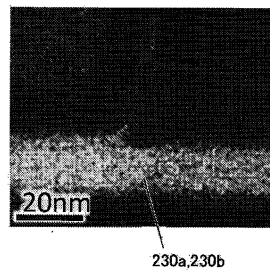


【図 3 3】

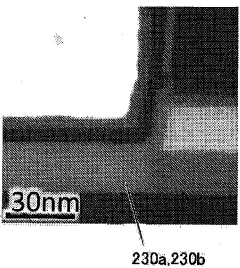
(A)



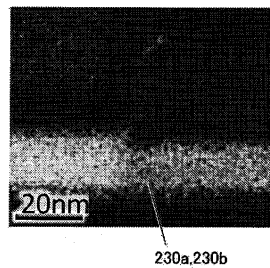
(B)



(C)

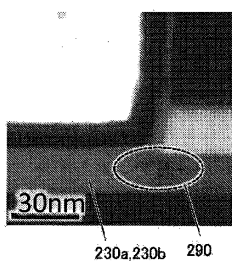


(D)

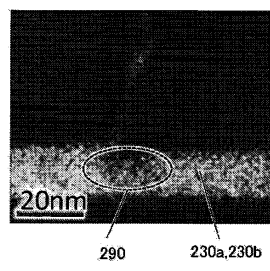


【図 3 4】

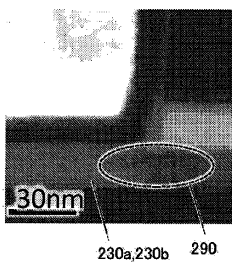
(A)



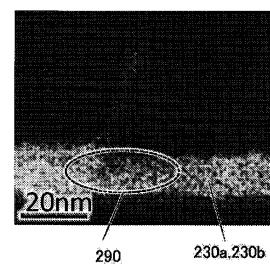
(B)



(C)



(D)



10

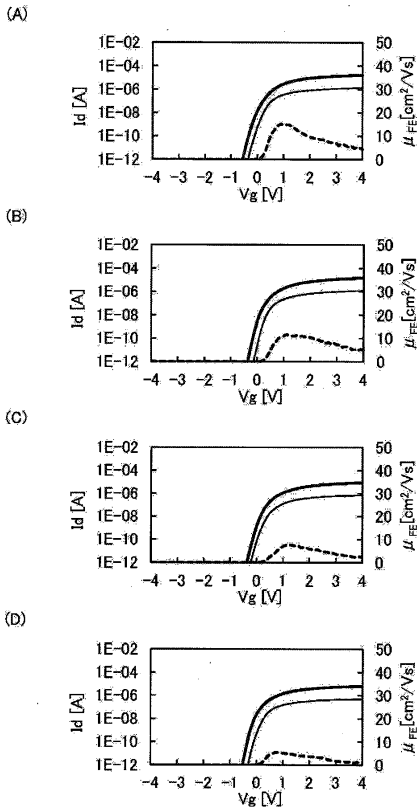
20

30

40

50

【図 35】



10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

F I

H 1 0 B 99/00 (2023.01)

H 1 0 B 12/00 8 0 1

H 1 0 B 12/00 (2023.01)

H 1 0 B 12/00 6 2 1 Z

H 0 1 L 29/788 (2006.01)

H 1 0 B 12/00 6 7 1 C

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/78 3 7 1

(32)優先日 平成30年8月6日(2018.8.6)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2018-150514(P2018-150514)

(32)優先日 平成30年8月9日(2018.8.9)

(33)優先権主張国・地域又は機関

日本国(JP)

(72)発明者 木村 肇

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 島田 大吾

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 脇水 佳弘

(56)参考文献 特開 2 0 1 7 - 1 4 6 9 6 8 ( J P , A )

中国特許出願公開第 1 0 7 5 0 7 8 4 1 ( C N , A )

特開 2 0 1 7 - 1 2 0 9 0 4 ( J P , A )

特開 2 0 1 4 - 1 1 2 6 5 9 ( J P , A )

(58)調査した分野 (Int.Cl., D B名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 9 / 7 8 6

H 1 0 B 9 9 / 0 0

H 1 0 B 1 2 / 0 0