



(12) 发明专利

(10) 授权公告号 CN 115004125 B

(45) 授权公告日 2024. 08. 02

(21) 申请号 202180010890.2

(22) 申请日 2021.06.21

(65) 同一申请的已公布的文献号
申请公布号 CN 115004125 A

(43) 申请公布日 2022.09.02

(30) 优先权数据
2020-134007 2020.08.06 JP

(85) PCT国际申请进入国家阶段日
2022.07.25

(86) PCT国际申请的申请数据
PCT/JP2021/023386 2021.06.21

(87) PCT国际申请的公布数据
W02022/030119 JA 2022.02.10

(73) 专利权人 富士电机株式会社

地址 日本神奈川县

(72) 发明人 赤羽正志

(74) 专利代理机构 上海专利商标事务所有限公司 31100

专利代理师 胡秋瑾 宋俊寅

(51) Int.Cl.
G05F 3/16 (2006.01)
H02M 1/08 (2006.01)

(56) 对比文件
CN 103733491 A, 2014.04.16
CN 110036557 A, 2019.07.19

审查员 冯珊珊

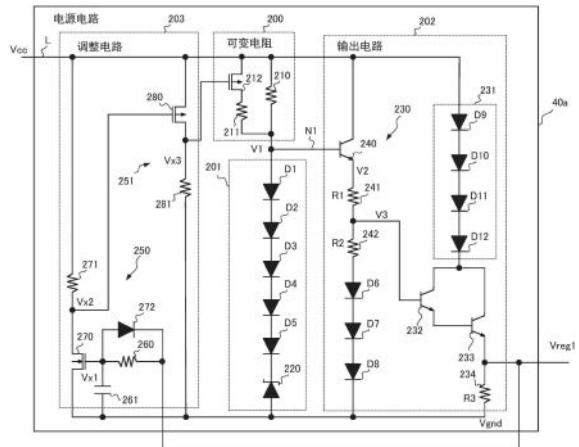
权利要求书2页 说明书16页 附图12页

(54) 发明名称

电源电路、开关控制电路

(57) 摘要

根据输入电压来生成目标电平的输出电压的电源电路包括:可变电阻,该可变电阻设置在施加有所述输入电压的布线与规定节点之间;电压生成电路,该电压生成电路基于来自所述可变电阻的电流将规定电平的电压施加到所述规定节点;输出电路,该输出电路在所述规定电平的电压被施加到所述规定节点时,输出所述目标电平的输出电压;以及调整电路,该调整电路调整所述可变电阻的电阻值,从而当从开始生成所述输出电压之后经过规定期间时,使所述可变电阻的电阻值变大。



1. 一种电源电路,是根据输入电压生成目标电平的输出电压的电源电路,其特征在于,包括:

可变电阻,该可变电阻设置在施加有所述输入电压的布线与规定节点之间;

电压生成电路,该电压生成电路基于来自所述可变电阻的电流将规定电平的电压施加到所述规定节点;

输出电路,该输出电路在所述规定电平的电压被施加到所述规定节点时,输出所述目标电平的输出电压;以及

调整电路,该调整电路调整所述可变电阻的电阻值,从而当从开始生成所述输出电压起经过规定期间之后,增大所述可变电阻的电阻值,

所述调整电路调整所述可变电阻的电阻值,从而在停止生成所述输出电压时使得所述可变电阻的电阻值变小。

2. 如权利要求1所述的电源电路,其特征在于,

所述规定期间比从开始生成所述输出电压到变为所述目标电平的期间要长。

3. 如权利要求1所述的电源电路,其特征在于,

所述可变电阻包含:

第一电阻,该第一电阻设置在所述布线和所述规定节点之间;以及

开关,该开关与所述第一电阻并联设置,

所述调整电路当开始生成所述输出电压时导通所述开关,当从开始生成所述输出电压起经过所述规定期间之后,关断所述开关。

4. 如权利要求3所述的电源电路,其特征在于,

所述可变电阻还包含:

第二电阻,该第二电阻与所述开关串联连接,并且该第二电阻的电阻值小于所述第一电阻的电阻值。

5. 如权利要求4所述的电源电路,其特征在于,

所述调整电路包含:

检测电路,该检测电路检测从开始生成所述输出电压起是否经过了所述规定期间;以及

控制电路,该控制电路基于所述检测电路的检测结果来控制所述开关的状态。

6. 如权利要求5所述的电源电路,其特征在于,

所述检测电路包含:

电流镜电路,该电流镜电路根据所提供的所述输出电压,生成规定电流;

电容器,该电容器提供所述规定电流;

第一晶体管,该第一晶体管基于所述电容器的充电电压和规定的阈值电压,来检测从开始生成所述输出电压起是否经过了所述规定期间;以及

第一二极管,该第一二极管设置在施加有所述输出电压的节点与所述电容器之间。

7. 如权利要求5所述的电源电路,其特征在于,

所述检测电路包含:

积分电路,该积分电路包含第三电阻和电容器,对所述输出电压进行积分;

第一晶体管,该第一晶体管基于所述电容器的充电电压和规定的阈值电压,来检测从

开始生成所述输出电压起是否经过了所述规定期间;以及

第一二极管,该第一二极管设置在施加有所述输出电压的节点与所述电容器之间。

8.如权利要求1所述的电源电路,其特征在于,

所述电压生成电路包含齐纳二极管、以及与所述齐纳二极管串联连接的多个第二二极管。

9.如权利要求1所述的电源电路,其特征在于,

所述输出电路包含以达林顿方式连接的多个第二晶体管,该多个第二晶体管基于所述规定电平的电压生成所述输出电压。

10.一种开关控制电路,该开关控制电路对电源侧的第一开关元件和与所述第一开关元件一起对负载进行驱动的接地侧的第二开关元件的开关进行控制,该开关控制电路的特征在于,包括:

信号输出电路,该信号输出电路基于输入信号来输出用于导通所述第一开关元件的置位信号和用于关断所述第一开关元件的复位信号;

电平移位电路,该电平移位电路对所述置位信号和所述复位信号各自的电平进行移位;

驱动电路,该驱动电路基于来自所述电平移位电路的输出来驱动所述第一开关元件;以及

电源电路,该电源电路根据输入电压生成目标电平的输出电压,提供所述输出电压来作为所述信号输出电路的电源电压,

所述电源电路包含:

可变电阻,该可变电阻设置在施加有所述输入电压的布线与规定节点之间;

电压生成电路,该电压生成电路基于来自所述可变电阻的电流将规定电平的电压施加到所述规定节点;

输出电路,该输出电路在所述规定电平的电压被施加到所述规定节点时,输出所述目标电平的输出电压;以及

调整电路,该调整电路调整所述可变电阻的电阻值,从而当从开始生成所述输出电压起经过规定期间之后,增大所述可变电阻的电阻值,

所述调整电路调整所述可变电阻的电阻值,从而在停止生成所述输出电压时使得所述可变电阻的电阻值变小。

电源电路、开关控制电路

技术领域

[0001] 本发明涉及电源电路及开关控制电路。

背景技术

[0002] 集成电路中有时设置了一种电源电路,其基于从外部提供的电源电压 V_{cc} ,生成用于使集成电路内部的电路动作的电源电压 V_{reg} 。(例如,专利文献1)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本专利特开2006—159472号公报

发明内容

[0006] 发明所要解决的技术问题

[0007] 另外,为了缩短电源电路的启动时间,一般需要增大从电源电压 V_{cc} 流向电源电路的电流,所述启动时间即为从向电源电路提供电源电压 V_{cc} 到电源电压 V_{reg} 变为目标电平为止的期间。然而,当从电源电压 V_{cc} 到电源电路的电流变大时,电源电压 V_{reg} 的电平容易受到电源电压 V_{cc} 的变动的的影响。

[0008] 本发明是鉴于上述现有问题而完成的,其目的在于提供一种启动时间短且能生成稳定的电源电压的电源电路。

[0009] 用于解决技术问题的技术手段

[0010] 用于解决上述问题的本发明的第一方式是根据输入电压来生成目标电平的输出电压的电源电路,包括:可变电阻,该可变电阻设置在施加有所述输入电压的布线与规定节点之间;电压生成电路,该电压生成电路基于来自所述可变电阻的电流将规定电平的电压施加到所述规定节点;输出电路,该输出电路在所述规定电平的电压被施加到所述规定节点时,输出所述目标电平的输出电压;以及调整电路,该调整电路调整所述可变电阻的电阻值,从而当从开始生成所述输出电压起经过规定期间时,增大所述可变电阻的电阻值。

[0011] 另外,本发明的第二方式是一种开关控制电路,该开关控制电路对电源侧的第一开关元件和与所述第一开关元件一起对负载进行驱动的接地侧的第二开关元件的开关进行控制,包括:信号输出电路,该信号输出电路基于输入信号来输出用于导通所述第一开关元件的置位信号和用于关断所述第一开关元件的复位信号;电平移位电路,该电平移位电路对所述置位信号和所述复位信号各自的电平进行移位;驱动电路,该驱动电路基于来自所述电平移位电路的输出来驱动所述第一开关元件;以及电源电路,该电源电路根据输入电压生成目标电平的输出电压,提供所述输出电压作为所述信号输出电路的电源电压,所述电源电路包含:可变电阻,该可变电阻设置在施加有所述输入电压的布线与规定节点之间;电压生成电路,该电压生成电路基于来自所述可变电阻的电流将规定电平的电压施加到所述规定节点;输出电路,该输出电路在所述规定电平的电压被施加到所述规定节点时,输出所述目标电平的输出电压;以及调整电路,该调整电路调整所述可变电阻的电阻值,从

而当从开始生成所述输出电压起经过规定期间时,增大所述可变电阻的电阻值。

[0012] 发明效果

[0013] 根据本发明,能够提供一种启动时间短且能生成稳定的电源电压的电源电路。

附图说明

[0014] 图1是示出功率模块10的一个示例的图。

[0015] 图2是示出信号输出电路42的一个示例的图。

[0016] 图3是示出驱动电路45的一个示例的图。

[0017] 图4是用于说明开关控制IC20的动作用的图。

[0018] 图5是示出形成有开关控制IC20的半导体基板的一个示例的图。

[0019] 图6是示出电源电路40a的一个示例的图。

[0020] 图7是示出电源电路40a的动作用的一个示例的图。

[0021] 图8是用于说明电源电路40a的启动时间的图。

[0022] 图9是用于说明电源电路40a的线路电压调整的图。

[0023] 图10是示出电源电路40b的一个示例的图。

[0024] 图11是示出电源电路40c的一个示例的图。

[0025] 图12是示出电源电路40a、40c的动作用的一个示例的图。

具体实施方式

[0026] 相关申请的相互参照

[0027] 该申请基于2020年8月6日提交的日本专利申请2020-134007要求优先权,并援引其内容。

[0028] 根据本说明书及附图的记载,至少明确了以下事项。

[0029] =====本实施方式=====

[0030] 图1是示出本发明的一个实施方式即功率模块10的结构图。功率模块10是用于基于来自微机(未图示)的指示来驱动负载11的半导体装置,构成为包含开关控制IC(Integrated Circuit:集成电路)20、半桥电路21、以及电容器22。

[0031] 开关控制IC20是基于来自微机(未图示)的输入信号Sin来控制半桥电路21的动作用的高耐压电压集成电路(HVIC:高电压IC)。稍后将详细描述开关控制IC20,开关控制IC20具有端子VCC、IN、GND、B、S、H0、L0。

[0032] 半桥电路21例如是用于对作为负载11的空调机的电动机线圈进行驱动的电作用,并且包含IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极晶体管)30和IGBT31。

[0033] IGBT30是高侧开关元件,栅极电极连接到端子H0,发射极电极连接到端子S。此外,规定的电压Vdc(例如,“400V”)被施加到IGBT30的集电极电极。

[0034] IGBT31是低侧开关元件,栅极电极连接到端子L0,集电极电极连接到端子S。此外,IGBT31的发射极电极接地。

[0035] 另外,在本实施方式中,使用IGBT作为开关元件,但是例如也可使用MOS晶体管或双极晶体管。此外,IGBT30相当于“电源侧的第一开关元件”,IGBT31相当于“接地侧的第二开关元件”。

[0036] 电容器22的一端连接到端子B,另一端连接到端子S。电容器22通过将来自后述的电荷泵电路41的自举电压 V_b 施加至端子B从而被充电。其结果是,在电容器22的两端生成自举电压 V_b 。另外,自举电压 V_b 是用于导通高侧IGBT30的电压。

[0037] 例如,当端子S的电压 V_s 为“0V”时,当IGBT30的栅极电极的电压变得高于IGBT30的阈值电压时,IGBT30导通。然而,当IGBT30导通时,端子S的电压 V_s 接近电压 V_{dc} (例如,“400V”),因此,为了使IGBT30继续导通,需要以与IGBT30的发射极电极连接的端子S的电压 V_s 为基准来驱动IGBT30。

[0038] 在本实施方式中,以端子S的电压 V_s 为基准,在端子B处生成比电压 V_s 高了自举电压 V_b 的电压。因此,详细内容将在后面阐述,但开关控制IC20通过使用自举电压 V_b 从而能导通IGBT30。

[0039] <<<开关控制IC20的结构>>>

[0040] 开关控制IC20构成为包含电源电路40、电荷泵电路41、信号输出电路42、电平移位电路43和驱动电路44、45。

[0041] 电源电路40基于施加到端子VCC的电源电压 V_{cc} (例如,“20V”)生成在开关控制IC20的内部使用的电源电压 V_{reg} 。另外,详细内容将在后面阐述,但本实施方式的电源电路40构成为即使当IGBT31导通时也能生成稳定的电源电压 V_{reg} 。

[0042] 电荷泵电路41例如基于电源电压 V_{cc} 生成用于对电容器22进行充电的自举电压 V_b 。

[0043] 信号输出电路42基于经由端子IN输入的逻辑电平的输入信号 S_{in} ,输出用于控制IGBT30、31的开关的信号。具体地说,信号输出电路42基于输入信号 S_{in} 输出用于导通高侧IGBT30的置位脉冲信号 S_1 、用于关断IGBT30的复位脉冲信号 S_2 和用于控制低侧IGBT31的开关的控制信号 S_0 。

[0044] 如图2所示,信号输出电路42包含输入检测电路50、滤波电路51和脉冲生成电路52。另外,输入检测电路50、滤波电路51和脉冲生成电路52以接地电压 V_{gnd} 为基准,基于电源电路40的电源电压 V_{reg} 来进行动作。因此,输入检测电路50、滤波电路51和脉冲生成电路52各自的接地用节点连接到被接地的端子GND。

[0045] 输入检测电路50检测输入信号 S_{in} 的电平,输出逻辑电平与输入信号 S_{in} 的逻辑电平相同的信号 S_a 。具体地说,若输入信号 S_{in} 成为高电平(以下设为“H”电平),则输入检测电路50输出“H”电平的信号 S_a ,若输入信号 S_{in} 成为低电平(以下设为“L”电平),则输入检测电路50输出“L”电平的信号 S_a 。另外,输入检测电路50例如构成为包含比较器(未图示)。

[0046] 滤波电路51是用于去除信号 S_a 的高频噪声的低通滤波器,并且构成为包含例如运算放大器(未图示)等。本实施方式的滤波电路51将去除了噪声的信号 S_a 作为控制信号 S_0 进行输出。

[0047] 脉冲生成电路52基于控制信号 S_0 的变化点输出置位脉冲信号 S_1 和复位脉冲信号 S_2 。具体地说,若控制信号 S_0 从“L”电平变为“H”电平,则脉冲生成电路52输出“H”电平的置位脉冲信号 S_1 ,若控制信号 S_0 从“H”电平变为“L”电平,则脉冲生成电路52输出“H”电平的复位脉冲信号 S_2 。另外,本实施方式的置位脉冲信号 S_1 和复位脉冲信号 S_2 分别为幅度电平从0V变化到电源电压 V_{reg} 的电平(例如,5V)的脉冲信号。

[0048] 电平移位电路43是将置位脉冲信号 S_1 和复位脉冲信号 S_2 各自的电平移位至能使

驱动电路45的逻辑电路(后述)进行动作的电平为止的电路。具体而言,电平移位电路43使置位脉冲信号S1的电平移位,并以振幅电平例如成为高侧基准电位的电压 V_s 为基准,输出几十V的置位脉冲信号S3。此外,电平移位电路43使复位脉冲信号S2的电平移位,并以电压 V_s 为基准输出振幅电平例如为几十V的复位脉冲信号S4。

[0049] 驱动电路44是基于控制信号S0来驱动低侧IGBT31的电路。具体地说,驱动电路44基于“L”电平的控制信号S0,经由端子L0向IGBT31的栅极电极输出“H”电平的驱动信号Vdr1。其结果是,IGBT31导通。另一方面,驱动电路44基于“H”电平的控制信号S0,经由端子L0向IGBT31的栅极电极输出“L”电平的驱动信号Vdr1。其结果是,IGBT31关断。另外,驱动电路44基于电源电压Vcc进行动作。

[0050] 驱动电路45基于置位脉冲信号S3导通高侧IGBT30,基于复位脉冲信号S4关断IGBT30。图3是示出驱动电路45的一个示例的图。驱动电路45构成为包含逻辑电路60和反相器61、62。

[0051] 当输入置位脉冲信号S1时,逻辑电路60输出“H”电平的信号,当输入复位脉冲信号S2时,逻辑电路60输出“L”电平的信号。另外,逻辑电路60例如构成为包含未图示的MOS晶体管、锁存电路。

[0052] 反相器61是将逻辑电路60的信号的逻辑电平反转并输出的电路,并且构成为包含NMOS晶体管70、PMOS晶体管71。

[0053] 反相器62是用于反转反相器61的信号的逻辑电平并将其作为驱动信号Vdr2进行输出的电路,并且构成为包含NMOS晶体管72、PMOS晶体管73。

[0054] 因此,当输入置位脉冲信号S1时,驱动电路45经由端子H0向IGBT30的栅极电极输出“H”电平的驱动信号Vdr2。另一方面,当输入复位脉冲信号S2时,驱动电路45经由端子H0向IGBT30的栅极电极输出“L”电平的驱动信号Vdr2。

[0055] 这里,驱动信号Vdr2是逻辑电平以端子S的电压 V_s 作为基准发生变化的信号。因此,IGBT30基于“H”电平的驱动信号Vdr2导通,并且基于“L”电平的驱动信号Vdr2关断。另外,驱动电路45相当于“驱动电路”,置位脉冲信号S1相当于“置位信号”,复位脉冲信号S2相当于“复位信号”。

[0056] <<<开关控制IC20的动作>>>

[0057] 图4是用于说明开关控制IC20的运动的图。另外,在本实施方式的信号输出电路42中的信号的延迟时间被设计为足够短。

[0058] 首先,当输入信号Sin在时刻 t_0 变为“L”电平时,图2的输入检测电路50也输出“L”电平的信号Sa。然后,滤波电路51去除信号Sa的噪声(未图示),并输出逻辑电平与信号Sa相同的控制信号S0。

[0059] 此外,当控制信号S0变为“L”电平时,脉冲生成电路52输出“H”电平的复位脉冲信号S2。其结果是,从电平移位电路43输出经电平移位后的“H”电平的复位脉冲信号S4。

[0060] 然后,低侧驱动电路44基于“L”电平的控制信号S0将驱动信号Vdr1设为“H”电平,高侧驱动电路45基于“H”电平的复位脉冲信号S4将驱动信号Vdr2设为“L”电平。

[0061] 其结果是,IGBT30关断,IGBT31导通,因此电压 V_s 从电压Vdc(例如,“400V”)降低到电压Vgnd(这里,“0V”)。另外,如上所述,用于向负载11供电的布线连接在端子S和负载11之间。此外,负载11例如是具有较大电感值的电动机线圈。因此,当IGBT31导通时,在电压 V_s 处

产生振铃,并且电压 V_s 变为比电压 V_{gnd} 更小的负电压。

[0062] 此外,当输入信号 S_{in} 在时刻 t_1 变为“H”电平时,输入检测电路50也输出“H”电平的信号 S_a 。然后,滤波电路51去除信号 S_a 的噪声(未图示),并输出逻辑电平与信号 S_a 相同的控制信号 S_0 。

[0063] 此外,当控制信号 S_0 变为“H”电平时,脉冲生成电路52输出“H”电平的复位脉冲信号 S_1 。其结果是,从电平移位电路43输出经电平移位后的“H”电平的置位脉冲信号 S_3 。

[0064] 然后,低侧驱动电路44基于“H”电平的驱动信号 S_0 将驱动信号 V_{dr1} 设为“L”电平,高侧驱动电路45基于“H”电平的置位脉冲信号 S_3 将驱动信号 V_{dr2} 设为“H”电平。

[0065] 其结果是,IGBT30导通,IGBT31关断,因此电压 V_s 从电压 V_{gnd} (这里,“0V”)上升到电压 V_{dv} (例如,“400V”)。如上所述,由于负载11通过布线连接到端子S,因此当IGBT30导通时,在电压 V_s 处产生振铃,并且电压 V_s 变为比电压 V_{dc} 更大的电压。另外,在时刻 t_2 之后,重复从时刻 t_0 到时刻 t_1 的动作。

[0066] <<<关于半导体基板100>>>

[0067] 如上所述,在本实施方式中,当IGBT31导通时,电压 V_s 从电压 V_{gnd} 下降成为负电压(“ V_s ”<“0V”)。然后,当电压 V_s 变为负电压时,“漏电流”从GND端子经由形成有开关控制IC20的半导体基板流向端子S。

[0068] 图5是用于说明形成有开关控制IC20的半导体基板100的图。另外,为了方便起见,图5仅图示了说明开关控制IC20的电路、端子中的“漏电流”所需的部分结构。具体而言,在图5中图示了端子GND、S和高侧驱动电路45的NMOS晶体管70。

[0069] 半导体基板100是例如由硅形成的p型基板,并且在表面侧形成端子GND、S、NMOS晶体管70的栅极电极110、源极电极111、漏极电极112和基板电极113。

[0070] 这里,端子GND、S以及NMOS晶体管70的各电极由例如多晶硅等导电材料或金属电极而形成。

[0071] 此外,在图3和图5中,为了方便起见,对NMOS晶体管70的电极标注了不同的标号,但是NMOS晶体管70的栅极电极110相当于“栅极电极 G_x ”,源极电极111相当于“源极电极 S_x ”,漏极电极112相当于“漏极电极 D_x ”,基板电极113相当于“基板电极 B_x ”。

[0072] 在半导体基板100的内部,形成有由半导体基板100形成的半导体区域120、p型阱区域140、n型阱区域130、p+型接触区域150、160、161、n+型源极区域170和n+型漏极区域171。另外,下面,当记载为n+型或p+型时,这意味着掺杂浓度高于n型或p型。

[0073] 阱区域130和接触区域150形成于半导体区域120内的表面侧。然后,端子GND形成于接触区域150的表面上。

[0074] 阱区域130是包含例如磷等n型杂质的区域,并且p型阱区域140形成在阱区域130内的表面侧。

[0075] 阱区域140是包含p型杂质的区域,并且在阱区域140内的表面侧形成有接触区域160、161、源极区域170和漏极区域171。

[0076] 端子S形成在接触区域160,NMOS晶体管70的基板电极113(“ B_x ”)形成在接触区域161。

[0077] 此外,源极电极111(“ S_x ”)形成在源极区域170,漏极电极112(“ D_x ”)形成在漏极区域171。栅极电极110(“ G_x ”)形成在源极区域170和漏极区域171之间的阱区域140的表面侧。

[0078] 并且,在本实施方式中,端子GND(相当于第一端子)经由接触区域150电连接到半导体区域120,端子S(相当于第二端子)经由接触区域160电连接到阱区域140,并且基板电极113(“Bx”)也经由接触区域161电连接到阱区域140。

[0079] 在这样的半导体基板100中,二极管190作为寄生二极管形成在p型半导体区域120与n型阱区域130之间。此外,二极管191作为寄生二极管形成在p型阱区域140与n+型源极区域170之间。

[0080] 因此,例如,当IGBT31导通时,当电压Vs从电压Vgnd(“0V”)下降变为负电压时,连接到端子S的NMOS晶体管70的源极电极111(“Sx”)也变为负电压。其结果是,二极管190、191导通,并且“漏电流”通过图5的点划线所示的路径从端子GND流向端子S。

[0081] 当这样的“漏电流”从端子GND流向端子S时,例如如图1所示,流向连接到端子GND并且使用电压Vgnd作为接地电压的信号输出电路42的电流也增加。其结果是,电源电压Vreg大幅下降,信号输出电路42有时不能正常地工作。

[0082] 另外,当由开关控制IC20的外部提供电源电压Vcc时,优选电源电路40在短时间内启动,并且无论电源电压Vcc如何变动都输出稳定的电源电压Vreg。因此,在本实施方式中,对即使在电压Vs变为负电压时、或电源电压Vcc发生变动时也稳定地输出电源电压Vreg且启动时间较短的电源电路40进行说明。

[0083] 另外,本实施方式的半导体区域120相当于“第一区域”,阱区域130相当于“第二区域”。此外,阱区域140相当于“第三区域”,源极区域170相当于“第四区域”。此外,此处,虽然以NMOS晶体管70为例说明了“漏电流”的路径,但是驱动电路45的其它元件(例如,NMOS晶体管72)也同样地产生“漏电流”。

[0084] <<<电源电路40a的一个示例>>>

[0085] 图6是示出作为电源电路40的结构的一个实施方式的电源电路40a的图。电源电路40a为基于电源电压Vcc来产生经温度补偿后的电源电压Vreg1(例如,“5V”)的电路。电源电路40a构成为包含可变电阻200、电压生成电路201、输出电路202以及调整电路203。另外,本实施方式的电源电压Vcc相当于“输入电压”,电源电压Vreg1相当于“输出电压”。

[0086] ==可变电阻200==

[0087] 可变电阻200是为了使电源电路40a启动而设定启动电流的值的电阻,设置在施加有电源电压Vcc的布线L和输出电路202的输入节点N1之间。可变电阻200是基于来自调整电路203的输出而使得电阻值发生变化的电路,构成为包含电阻210、211和PMOS晶体管212。

[0088] 电阻210的一端连接到布线L,另一端连接到输入节点N1。而且,串联连接的电阻211和PMOS晶体管212并联地连接到电阻210。因此,当PMOS晶体管212关断时,可变电阻200的电阻值变大,当PMOS晶体管212导通时,可变电阻200的电阻值变小。

[0089] 在本实施方式中,当PMOS晶体管212关断时,将可变电阻200的电阻值(即,电阻210的值)设为电阻值Ra,并且当PMOS晶体管212导通时,将可变电阻200的电阻值(即,电阻210和211的合成电阻的值)设为电阻值Rb。另外,此处,将PMOS晶体管212的导通电阻设得比电阻211的电阻值足够小,并且将电阻211的电阻值设得比电阻210的电阻值足够小。因此,本实施方式中,电阻值Ra变为电阻210的值,电阻值Rb几乎成为电阻211的电阻值。

[0090] 另外,输入节点N1相当于“规定节点”,电阻210相当于“第一电阻”,电阻211相当于“第二电阻”,PMOS晶体管212相当于“开关”。

[0091] ==电压生成电路201==

[0092] 当提供有来自可变电阻200的电流时,电压生成电路201是将规定电平的电压V1施加到输入节点N1的电路,构成为包含5个二极管D1~D5以及齐纳二极管220。另外,此处,二极管D1~D5相当于“第2二极管”。

[0093] 可变电阻200、二极管D1~D5和齐纳二极管220分别串联连接。因此,当电源电压Vcc被施加到布线L上并且电流从可变电阻200流动时,输入节点N1的电压V1由下式(1)表示。

$$[0094] \quad V1 = Vz + 5 \times Vf \cdots (1)$$

[0095] 另外,这里,“Vz”是齐纳二极管220的击穿电压,“Vf”是二极管D1~D5的正向电压。

[0096] ==输出电路202==

[0097] 输出电路202是用于基于输入节点N1的电压V1输出电源电压Vreg1的电路,并且构成为包含偏置电压生成电路230、耐压电路231、NPN晶体管232、233和电阻234。

[0098] 偏置电压生成电路230是用于基于输入节点N1的电压V1生成偏置电压V3的电路,并且构成为包含NPN晶体管240、电阻241、242和三个二极管D6~D8。

[0099] 在NPN晶体管240中,电压V1被施加到基极电极,二极管D6~D8经由电阻241、242连接到发射极电极。因此,从NPN晶体管240的发射极电极输出由下式(2)表示的电压V2。

$$[0100] \quad V2 = V1 - Vbe = Vz + 5 \times Vf - Vbe \cdots (2)$$

[0101] 另外,此处,“Vbe”是NPN晶体管240的基极-发射极间电压。此外,在偏置电压生成电路230中,三个二极管D6~D8的正向电压“ $3 \times Vf$ ”与电压V2的电压差被由电阻241、242所构成的分压电路分压。因此,来自连接有电阻241、242的节点的偏置电压V3由下式(3)表示。

$$[0102] \quad V3 = 3 \times Vf + (V2 - 3 \times Vf) \times (R2 / (R1 + R2))$$

$$[0103] \quad = 3 \times Vf + (Vz + 2 \times Vf - Vbe) \times (R2 / (R1 + R2)) \cdots (3)$$

[0104] 另外,此处,“R1”是电阻241的电阻值,“R2”是电阻242的电阻值。

[0105] 耐压电路231是用于保护NPN晶体管232、233免受过电压影响的电路,并且包含串联连接的四个二极管D9~D12。

[0106] NPN晶体管232的发射极电极连接到NPN晶体管233的基极电极,并且NPN晶体管232的集电极电极连接到NPN晶体管233的集电极电极。因此,本实施方式的NPN晶体管232和233以达林顿方式连接,因而能驱动更大的负载。另外,此处,NPN晶体管232、233分别相当于“第二晶体管”。

[0107] 此外,如上所述,由于电压V3被施加到第一级的NPN晶体管232的基极电极,所以从NPN晶体管233的发射极电极输出下式(4)所示的电源电压Vreg1。

$$[0108] \quad Vreg1 = V3 - 2 \times Vbe$$

$$[0109] \quad = (3 \times Vf + (Vz + 2 \times Vf - Vbe) \times (R2 / (R1 + R2))) - 2 \times Vbe \cdots (4)$$

[0110] 电阻234是用于固定地产生电源电压Vreg1的元件。具体地说,当没有设置电阻234时,当电源电路40a的负载的状态变为空载时,流过NPN晶体管232、233的电流变为零。因此,停止电源电压Vreg1的生成。

[0111] 于是,在这种情况下,当电流流过电源电路40a的负载时,直到电源电路40a生成电源电压Vreg1为止需要时间。

[0112] 在本实施方式中,即使电源电路40a的负载的状态为空载,电流也继续流过电阻

234。因此,电源电路40a能够与电源电路40a的负载状态无关而固定地生成规定的电源电压Vreg1。

[0113] 此外,齐纳二极管220的击穿电压“Vz”的温度系数为正,二极管D1~D12的正向电压“Vf”的温度系数为负。此外,基极-发射极间电压“Vbe”的温度系数为负。

[0114] 此外,在本实施方式中,对于电阻241、242,使用温度系数相同且相同种类的电阻(例如多晶硅)。因此,式(4)中的“ $R2/(R1+R2)$ ”项的温度系数几乎可以忽略不计。

[0115] 而且,在本实施方式中,例如,基于式(4)调整二极管D1~D12的数量,使得电源电压Vreg1被温度补偿。由此,电源电压Vreg1的电平变为恒定,而与温度无关。此外,在本实施方式中,通过改变电阻241、242的电阻比,可以将电源电压Vreg1设置为期望的电平。

[0116] 如此,由于电源电路40a包含以达林顿方式连接的NPN晶体管232、233,因此输出电流容量较高。此外,电源电路40a可以输出经温度补偿后的规定电平的电源电压Vreg1(例如,“5V”)。

[0117] ==调整电路203==

[0118] 调整电路203是基于电源电压Vreg1来调整可变电阻200的电阻值的电路。具体地,当停止生成电源电压Vreg1时,调整电路203减小可变电阻200的电阻值。另一方面,当从开始生成电源电压Vreg1起经过规定期间T时,调整电路203增大可变电阻200的电阻值。

[0119] 调整电路203构成为包含检测电路250和控制电路251。检测电路250是检测从开始生成电源电压Vreg1起是否经过了规定期间T的电路,构成为包含电阻260、271、电容器261、NMOS晶体管270和二极管272。另外,在本实施方式中,电阻260相当于“第三电阻”,NMOS晶体管270相当于“第1晶体管”,二极管272相当于“第一二极管”。

[0120] 电阻260和电容器261构成对电源电压Vreg1进行积分的积分电路。NMOS晶体管270的栅极电极与连接有电阻260和电容器261的节点相连接。另外,NMOS晶体管270和电阻271构成反相器。因此,在电容器261的充电电压Vx1小于NMOS晶体管270的阈值电压Vth的情况下,作为反相器的输出的电压Vx2变为“H”电平。另一方面,当充电电压Vx1变得大于NMOS晶体管270的阈值电压Vth时,电压Vx2变为“L”电平。

[0121] 例如,当停止生成电源电压Vreg1并且电源电压Vreg1降低时,二极管272对电容器261进行放电。另外,对于二极管272的动作将在后文中详细说明。

[0122] 控制电路251是基于电压Vx2来控制可变电阻200中的PMOS晶体管212的导通/关断的电路。控制电路251构成为包括构成反相器的PMOS晶体管280和电阻281。因此,控制电路251例如停止生成电源电压Vreg1,当电压Vx2为“H”电平时,将作为反相器的输出的电压Vx3设为“L”电平。其结果是,PMOS晶体管212导通,可变电阻200的电阻值变为电阻210、211的合成电阻值。

[0123] 另一方面,控制电路251在从开始生成电源电压Vreg1起经过规定期间T,且电压Vx2变为“L”电平时,将电压Vx3设为“H”电平。其结果是,PMOS晶体管212关断,可变电阻200的电阻值变为较大的电阻值Ra(>Rb)。

[0124] 然而,在本实施方式的规定期间T中,例如,选择电阻260和电容器261的值,以使得从开始生成电源电压Vreg1到电源电压Vreg1的电平变为目标电平(例如,5V)为止的期间变长。因此,在本实施方式中,在电源电压Vreg1变为目标电平之前,能够可靠地增大电源电路40a的启动电流。

[0125] <<<电源电路40a的动作的一个示例>>>

[0126] 图7是用于说明提供电源电压 V_{cc} 且电源电路40a启动时的动作的图。首先,在时刻 t_{10} ,当提供开关控制IC20的外部电源电压 V_{cc} 时,布线L的电源电压 V_{cc} 的电平上升,并开始生成电源电压 V_{reg1} 。另外,在本实施方式中,“开始生成电源电压 V_{reg1} 的定时”是指例如向布线L施加用于使电源电路40a动作的电源电压 V_{cc} 的定时(这里是时刻 t_{10})。

[0127] 时刻 t_{10} 以后,电源电压 V_{reg1} 的电平逐渐上升,但电容器261的充电电压 V_{x1} 低于NMOS晶体管270的阈值电压 V_{th} ,因此NMOS晶体管270关断。在该状态下,当电源电压 V_{cc} 的电平上升时,连接有NMOS晶体管270和电阻271的节点的电压 V_{x2} 也逐渐上升。

[0128] 并且,例如在时刻 t_{11} ,如果电源电压 V_{cc} 的电平成为目标电平(例如20V),则电压 V_{x2} 也变为“H”电平。此时,控制电路251的PMOS晶体管280关断,电压 V_{x3} 为“L”电平。因此,当可变电阻200的PMOS晶体管212能够随着电源电压 V_{cc} 的上升而动作时,PMOS晶体管212导通,可变电阻200的电阻值变为较小的电阻值 R_b 。

[0129] 而且,由于从可变电阻200经由输入节点N1向以达林顿方式连接的NPN晶体管232、233提供较大的电流,因此,电源电压 V_{reg1} 急剧上升。其结果,例如,在时刻 t_{12} ,电源电压 V_{reg1} 的电平变为目标电平(例如5V)。

[0130] 此外,在本实施方式中,例如,将开始生成电源电压 V_{reg1} 到电源电压 V_{reg1} 的电平变为目标电平为止的期间(时刻 $t_{10} \sim t_{12}$ 为止的期间)设为电源电路40a的“启动时间”。此外,在电源电路40a的启动时间中,将从布线L经由可变电阻200流向输入节点N1的电流设为“启动电流”。

[0131] 当从时刻 t_{10} 起经过了预定期间 T 而变为时刻 t_{13} 时,电压 V_{x1} 的电平变为NMOS晶体管270的阈值电压 V_{th} ,因此,NMOS晶体管270导通。其结果是,检测电路250的电压 V_{x2} 变为“L”电平,控制电路251将电压 V_{x3} 设为“H”电平。而且,当PMOS晶体管212关断时,可变电阻200的电阻值变为较大的电阻值 $R_a (> R_b)$ 。因此,虽然将在后面详细说明,但与电阻值 R_b 的情况相比,电源电路40a的线路调节将得以提高。

[0132] 然后,当在时刻 t_{14} 停止提供电源电压 V_{cc} 时,电源电压 V_{reg1} 的电平也急剧下降,最终也停止生成电源电压 V_{reg1} 。其结果是,电源电压 V_{reg1} 的电平也急剧下降。这里,二极管272的阴极电极与作为电源电路40a的输出节点的NPN晶体管233的发射极电极相连接,阳极电极与电容器261相连接。因此,二极管272随着电源电压 V_{reg1} 的下降而导通,并对电容器261进行放电。

[0133] 当电容器261被放电时,充电电压 V_{x1} 下降到低于阈值电压 V_{th} 的电压(例如,几乎0V),因此,NMOS晶体管270被关断。其结果是,连接有NMOS晶体管270和电阻271的节点经由电阻271被上拉到电源电压 V_{cc} ,因此,PMOS晶体管280关断。

[0134] 另外,在该状态下,例如当重新开始提供电源电压 V_{cc} 时,电压 V_{x2} 变为“H”电平,电压 V_{x3} 变为“L”,因此,可变电阻200的PMOS晶体管212导通。因此,在图7中,在作为停止提供电源电压 V_{cc} 的定时的时刻 t_{14} ,调整电路203能够将可变电阻200的电阻值设为较小的电阻 R_b 。因此,在本实施方式中,当提供电源电压 V_{cc} 时,能够增大电源电路40a的启动电流。

[0135] <<<关于启动时间>>>

[0136] 图8是用于说明可变电阻200的电阻值与启动时间的关系的图。如上所述,在本实施方式中,电源电路40a启动时的可变电阻200的电阻值是较小的电阻值 R_b ,因此,电源电压

Vreg1的波形是图8的实线所示的波形。

[0137] 假设电源电路40a启动时的可变电阻200的电阻值是较大的电阻值Ra (>Rb)的情况下,启动电流的值变小。其结果是,在图6的电源电路40a中,经由可变电阻200、输入节点N1、NPN晶体管240和电阻241从布线L向以达灵顿方式连接的NPN晶体管232提供的电流也变小。并且,在这种情况下,如图8的单点划线所示的波形那样,电源电压Vreg1的启动时间变长。在本实施方式中,电源电路40a启动时的可变电阻200的电阻值是较小的电阻值Rb,因此,能够缩短电源电路40a的启动时间。

[0138] <<<关于线路调节>>>

[0139] 图9是示出可变电阻200的电阻值与电源电路40a的线路调节之间的关系的图。如上述式(1)~(4)中说明的那样,电源电压Vreg1受到被施加到输出电路202的输入节点N1的电压V1的影响。输入节点N1的电压V1的理论式是式(1)所示的 $V1 = Vz + 5 \times Vf$,但实际的二极管D1~D5以及齐纳二极管220包含寄生电阻。因此,可变电阻200的电阻值变得越小,则实际电压V1越受到二极管D1等寄生电阻的影响。

[0140] 具体而言,如图9的单点划线所示,在可变电阻200的电阻值是较小的电阻值Rb的情况下,随着电源电压Vcc的上升,电源电压Vreg1也大幅上升。另一方面,在可变电阻200的电阻值是较大的电阻值Ra (>Rb)的情况下,二极管D1等寄生电阻的影响变小。其结果是,如图9的实线所示,即使电源电压Vcc上升,电源电压Vreg1也几乎变为恒定($V1 = Vz + 5 \times Vf$)。

[0141] 在本实施方式中,将电阻值Ra设定得比二极管D1等寄生电阻的值足够大,以使得能忽略二极管D1等寄生电阻的影响。因此,例如,如图7的时刻t13所示,当电源电路40a启动,并且可变电阻200的电阻值变为较大的电阻值Ra时,电源电路40a能够减小电源电压Vreg1的变动(即,线路调节)。

[0142] <<<电源电路40b的一个示例>>>

[0143] 图10是示出作为电源电路40的结构另一实施方式的电源电路40b的图。与电源电路40a同样地,电源电路40b是基于电源电压Vcc生成经温度补偿后的电源电压Vreg2(例如,“5V”)的电路。电源电路40b构成为包含可变电阻500、电压生成电路501、输出电路502以及调整电路503。另外,在图6和图10中,带有相同标号的元件是相同的。

[0144] ==可变电阻500==

[0145] 可变电阻500是为了使电源电路40b启动而设定启动电流的值的电阻,设置在施加有电源电压Vcc的布线L与输出电路502的输入节点N1之间。可变电阻500是基于来自调整电路503的输出而使电阻值发生变化的电路,构成为包含电阻510~512和PMOS晶体管513。

[0146] 电阻510、511串联连接,并设置在布线L与输入节点N2之间。而且,串联连接的电阻512和PMOS晶体管513并联地连接到电阻510、511。因此,当PMOS晶体管513关断时,可变电阻500的电阻值变大,当PMOS晶体管513导通时,可变电阻500的电阻值变小。

[0147] 另外,本实施方式中,PMOS晶体管513关断时,将可变电阻500的电阻值设为电阻值Rc,当PMOS晶体管513导通时,将可变电阻500的电阻值设为电阻值Rd。另外,此处,将PMOS晶体管513的导通电阻设得比电阻512的电阻值足够小,并且将电阻512的电阻值设得比电阻510、511的合成电阻的电阻值足够小。因此,本实施方式中,电阻值Rc变为电阻510、511的合成电阻的电阻值的值,电阻值Rd几乎成为电阻512的电阻值。

[0148] 另外,输入节点N2相当于“规定节点”,电阻510、511的合成电阻相当于“第一电

阻”,电阻512相当于“第二电阻”,PMOS晶体管513相当于“开关”。

[0149] ==电压生成电路501==

[0150] 电压生成电路501是与可变电阻500一起生成规定电平的电压V10、V11从而使输出电路502动作的电路。电压生成电路501构成为包含4个二极管D1~D4以及齐纳二极管220。另外,虽然将在后面详细说明,但可变电阻500的PMOS晶体管513在电源电路40b启动并且电源电压Vreg2变为目标电平(例如,5V)之后的定时关断。因此,此处主要说明PMOS晶体管513关断、可变电阻500是电阻510、511的合成电阻的状态。

[0151] 可变电阻500的电阻510、511、二极管D1~D4和齐纳二极管220分别串联连接。因此,当电源电压Vcc被施加到布线L的状态下,流过电阻510、511的电流I由下式(5)表示。

$$[0152] \quad I = (V_{cc} - (V_z + 4 \times V_f)) / (R_{10} + R_{11}) \dots (5)$$

[0153] 另外,这里,“R10”是电阻510的电阻值,“R11”是电阻511的电阻值。因此,连接电阻510、511的节点的电压V10由式(6)表示。

$$[0154] \quad V_{10} = V_{cc} - R_{10} \times I \dots (6)$$

[0155] 此外,连接电阻511和二极管D1的输入节点N2的电压V11由式(7)表示。

$$[0156] \quad V_{11} = V_z + 4 \times V_f \dots (7)$$

[0157] 然而,虽然本实施方式的电压生成电路501包含四个二极管D1~D4,但是当使二极管的个数增加时,电压V11的电平会超过电源Vcc的电平。因此,在电压生成电路501中,需要调整二极管的个数,使得电压V11的电平变得小于电压Vcc的电平。

[0158] ==输出电路502==

[0159] 输出电路502是用于基于输入节点N2的电压V11输出电源电压Vreg2的电路,并且构成为包含偏置电压生成电路520、耐压电路521、NPN晶体管232、233和电阻234。

[0160] 偏置电压生成电路520是生成规定电平的电压V12、V14的电路,构成为包含NPN晶体管530、531、电阻241、242以及三个二极管D6~D8。

[0161] NPN晶体管530中,其基极电极上施加有电压V10,其发射极电极与NPN晶体管531连接。因此,NPN晶体管530作为发射极跟随器进行动作。因此,从NPN晶体管530的发射极电极输出由下式(8)表示的电压V12。另外,以下,将NPN晶体管530、531的基极-发射极间电压设为“Vbe”。

$$[0162] \quad V_{12} = V_{10} - V_{be} \dots (8)$$

[0163] 另外,在NPN晶体管531中,电压V11被施加到基极电极,二极管D6~D8经由电阻241、242连接到发射极电极。因此,NPN晶体管531作为发射极跟随器进行动作。因此,从NPN晶体管531的发射极电极输出由下式(9)表示的电压V13。

$$[0164] \quad V_{13} = V_{11} - V_{be} = V_z + 4 \times V_f - V_{be} \dots (9)$$

[0165] 此外,在偏置电压生成电路520中,三个二极管D6~D8的正向电压“3×Vf”与电压V13的电压差被由电阻241、242所构成的分压电路分压。因此,来自连接有电阻241、242的节点的偏置电压V14由下式(10)表示。

$$[0166] \quad V_{14} = 3 \times V_f + (V_{13} - 3 \times V_f) \times (R_2 / (R_1 + R_2))$$

$$[0167] \quad = 3 \times V_f + (V_z + V_f - V_{be}) \times (R_2 / (R_1 + R_2)) \dots (10)$$

[0168] 另外,虽然电压生成电路501的二极管的个数为四个,但是当二极管的个数减少时,电压V10、V11的电压下降,因此,其结果是,NPN晶体管530的集电极-发射极间的电压

Vce1和NPN晶体管531的集电极-发射极间的电压Vce2变大。

[0169] 另外,电压生成电路501的二极管的个数(x个)必须满足以下条件,以使得电压Vce1、Vce2不超过各自的耐压。

$$[0170] \quad V_{cc} \leq V_{z+x} \times V_f + (V_{ce1m} + V_{ce2m}) - V_{be} \cdot \cdot \cdot (11)$$

[0171] 这里,式(11)中的电压Vce1m、Vce2m分别是表示电压Vce1、Vce2的耐压的电压值。

[0172] 耐压电路521是用于保护NPN晶体管232、233免受过电压影响的电路,并且包含NPN晶体管540和串联连接的两个二极管D9、D10。在NPN晶体管540中,电压V12被施加到基极电极,并且二极管D9、10连接到发射极电极。因此,NPN晶体管540作为发射极跟随器进行动作。

[0173] 以达林顿方式连接的NPN晶体管232、233和电阻234的结构与图6相同,因此,可以驱动较大的负载。此外,如上所述,由于电压V14被施加到第一级的NPN晶体管232的基极电极,所以从NPN晶体管233的发射极电极输出下式(12)所示的电源电压Vreg2。

$$[0174] \quad V_{reg2} = V_{14} - 2 \times V_{be} = (3 \times V_f + (V_z + V_f - V_{be}) \times (R_2 / (R_1 + R_2))) - 2 \times V_{be} \cdot \cdot \cdot (12)$$

[0175] 另外,由于电阻234是用于稳定地生成电源电压Vreg2的元件,所以与电源电路40a同样地,电源电路40b能够与负载状态无关而固定地生成规定的电源电压Vreg2。

[0176] 在本实施方式中,例如,基于式(12)调整二极管D1~D4、D6~D8的个数,使得电源电压Vreg2被温度补偿。由此,电源电压Vreg2的电平变得恒定,而与温度无关。此外,例如,通过变更电阻241、242的电阻比,能够将电源电压Vreg2设为期望的电平。

[0177] 如此,由于电源电路40b与电源电路40a同样地包含以达林顿方式连接的NPN晶体管232、233,因此输出电流容量较高,并且能够输出经温度补偿后的规定电平的电源电压Vreg2(例如,“5V”)。

[0178] 此外,当将NPN晶体管530的发射极-集电极间的耐压设为电压Vce3m,将NPN晶体管233的发射极-集电极间的耐压设为电压Vce4m,并且将包含在耐压电路521中的二极管的个数设为y个时,在本实施方式中需要满足以下条件。

$$[0179] \quad V_{cc} \leq V_f \times y + V_{ce3m} + V_{ce4m} + V_{reg2} \cdot \cdot \cdot (13)$$

[0180] 如此,在本实施方式中,例如,通过调整耐压电路521的二极管的个数,从而即使当电源Vcc的电平较高时,也能适当地保护以达林顿方式连接的NPN晶体管232、233。

[0181] ==调整电路503==

[0182] 调整电路503是基于电源电压Vreg2来调整可变电阻500的电阻值的电路。具体地,当停止生成电源电压Vreg2时,调整电路503减小可变电阻500的电阻值。另一方面,当从开始生成电源电压Vreg2起经过规定期间T时,调整电路503增大可变电阻500的电阻值。

[0183] 调整电路503是使用对电容器261充电的电流镜电路(后述)以取代图6的调整电路203的电阻260的电路,构成为包含检测电路550和控制电路251。

[0184] 检测电路550是检测从开始生成电源电压Vreg2起是否经过了规定期间T的电路,构成为包含PMOS晶体管600、601、电阻271、602、电容器261、NMOS晶体管270和二极管272。另外,当对调整电路203与调整电路503进行比较时,PMOS晶体管600、601和电阻602以外的结构相同。因此,这里将以PMOS晶体管600、601和电阻602为中心进行说明。

[0185] PMOS晶体管600、601和电阻602构成基于电源电压Vreg2进行动作的“电流镜电路”。因此,当电源电压Vreg2上升并且例如变为目标电平时,PMOS晶体管601输出规定电流。

另外,在本实施方式中,调整PMOS晶体管600和601的尺寸比,以使得PMOS晶体管601的电流变得小于PMOS晶体管600的电流。

[0186] 另外,在电容器261被充电、充电电压 V_{x1} 变得高于NMOS晶体管270的阈值电压为止的规定期间T中,设定来自PMOS晶体管601的电流值,以使其比电源电压 V_{reg2} 的启动时间长。因此,在本实施方式中,在电源电压 V_{reg2} 变为目标电平之前,能够可靠地增大电源电路40b的启动电流。

[0187] 另外,调整电路503与调整电路203同样地,在电源电路40b启动时,将可变电阻500的电阻值设为较小的电阻值 R_c ,当从开始生成电源电压 V_{reg2} 起经过预定期间T时,将可变电阻500的电阻值设为较大的电阻值 R_d 。因此,与电源电路40a同样地,电源电路40b也能够提高线路调节。

[0188] <<<电源电路40c的一个示例>>>

[0189] 图11是示出作为电源电路40的另一个实施方式的电源电路40c的一个示例的图。此处,在电源电路40c中,其输出电流容量小于电源电路40a的输出电流容量。电源电路40c构成为包含NMOS晶体管800、电流源801。

[0190] 由于NMOS晶体管800和电流源801构成源极跟随器,因此从NMOS晶体管800的源极电极输出与施加到NMOS晶体管800的栅极电极的偏置电压 V_{bias} 相对应的电源电压 V_{reg3} 。

[0191] <<<IGBT31导通时的波形的一个示例>>>

[0192] 图12是表示在开关控制IC20中使用了电源电路40a或电源电路40c时的比较结果的图。

[0193] <<使用电源电路40a的情况>>

[0194] 首先,说明开关控制IC20使用电源电路40a的情况下的电源电压 V_{reg1} 的变化。

[0195] 当开关控制IC20进行动作并且例如低侧IGBT31在时刻 t_a 导通时,如上所述,电压 V_s 变为负电压。其结果是,由于“漏电流”从图1的端子GND流向端子S,因此流过信号输出电路42的电流增加。其中,如上所述,电源电路40a包含以达林顿方式连接的NPN晶体管232、233。因此,电源电路40a能够在生成目标电平的电源电压 V_{reg1} 的同时输出较大的电流。

[0196] 其结果是,如图12的实线所示,电源电路40a能够防止电源电压 V_{reg1} 大幅下降,因此能够稳定开关控制IC20的动作。

[0197] <<使用电源电路40c的情况>>

[0198] 接着,说明开关控制IC20使用电源电路40c时的电源电压 V_{reg3} 的变化。这里,使用电源电路40c的开关控制IC20进行动作,并且低侧IGBT31在上述的时刻 t_a 的定时导通。

[0199] 若IGBT31导通,则由于“漏电流”从端子GND流向端子S,因此流过信号输出电路42的电流增加。

[0200] 与电源电路40a相比较,电源电路40c的输出稳定性较差。因此,当流过信号输出电路42的电流增加时,如图12中的点划线所示,电源电路40c的电源电压 V_{reg3} 大幅降低。然后,根据电源电压 V_{reg3} 的电平,信号输出电路42误动作,例如在错误的定时输出置位脉冲信号S1。

[0201] 因此,在电压 V_s 变为负电压并且“漏电流”通过半导体区域120流向端子S的开关控制IC20中,优选使用输出稳定性优异的电源电路40a。然后,开关控制IC20可以通过使用电源电路40a来稳定开关控制IC20的动作。

[0202] 另外,此处说明了在开关控制IC20中使用了电源电路40a的情况,但电源电路40b也包含了以达林顿方式连接的多个晶体管。因此,即使是使用了电源电路40b的情况,也能够稳定开关控制IC20的动作。

[0203] ===总结===

[0204] 以上,对本实施方式的功率模块10进行了说明。电源电路40a的可变电阻200的电阻值在启动时变为较小的电阻值Rb,之后,变为较大的电阻值Ra。因此,通过使用电源电路40a,能够在缩短启动时间的同时,生成稳定的电源电压Vreg1。

[0205] 此外,调整电路203在输出电压Vreg1的电平变为目标电平之后的定时,增大可变电阻200的电阻值。因此,在本实施方式中,在输出电压Vreg1变为目标电平之前,可变电阻200不会变大,因此能够更可靠地缩短启动时间。

[0206] 另外,当停止生成输出电压Vreg1时,调整电路203减小可变电阻200的电阻值。因此,在停止生成输出电压Vreg1之后,在生成输出电压Vreg1时,能够缩短启动时间。

[0207] 另外,可变电阻200例如可以由电阻210和并联连接到电阻210的PMOS晶体管212构成。即使是这样的结构,也能够缩短启动时间,并且提高线路调节。

[0208] 另外,假设可变电阻200不使用电阻211的情况,在启动电源电路40a时,电源电压Vcc基本上被施加到输入节点N1,因此电源电压Vreg1有时会变得高于目标电平。在本实施方式中,在启动电源电路40a时,电源电压Vcc能够经由可变电阻200的电阻211而被施加到输入节点N1。因此,在启动电源电路40a时,能够防止电源电压Vreg1的过冲。

[0209] 例如,调整电路203能构成为包含检测电路250和控制电路251,该检测电路250检测从开始生成输出电压Vreg1起是否经过了规定期间T,该控制电路251基于检测电路250的检测结果来控制PMOS晶体管212。

[0210] 另外,例如,作为对规定期间T进行计时的电路,能够使用积分电路。但是,在延长规定期间T的情况下,需要增大积分电路的电阻等。检测电路550用来自电流镜电路的较小的电流对用于计时规定期间T的电容器261进行充电,因此在开关控制IC20中,能够减小检测电路550所占的面积。

[0211] 另外,作为计时规定期间T的电路,能够使用检测电路250的积分电路。

[0212] 另外,电压生成电路201构成为包含齐纳二极管220和二极管D1~D5,因此能够进行电源电压Vreg1的温度补偿。

[0213] 此外,输出电路202构成为包含以达灵顿方式连接的两级NPN晶体管232和233,因此可以增大电流驱动能力。

[0214] 此外,在本实施方式中,虽然将以达林顿方式连接的两级晶体管中的每一个设为NPN晶体管232、233,但是例如也可以使用PNP晶体管。另外,电源电路40a例如即使包含以达林顿方式连接三级以上的晶体管的结构,也能够获得与本实施方式相同的效果。

[0215] 另外,取代输出电路202、502,即使使用一般的源极跟随器电路或发射极跟随器电路,也能够缩短启动时间,并且提高线路调节。

[0216] 此外,在电源电路40b中,可以使用调整电路203来取代调整电路503,在电源电路40a中,也可以使用调整电路503来取代调整电路203。

[0217] 上述实施方式是为了便于理解本发明,而不是为了限定地解释本发明。另外,本发明可以在不脱离其主旨的情况下进行变更或改进,并且本发明当然包含其等同发明。

- [0218] 标号说明
- [0219] 10 功率模块
- [0220] 20 开关控制IC
- [0221] 21 半桥电路
- [0222] 22、261 电容器
- [0223] 30、31 IGBT
- [0224] 40、40a ~ 40c 电源电路
- [0225] 41 电荷泵电路
- [0226] 42 信号输出电路
- [0227] 43 电平移位电路
- [0228] 44、45 驱动电路
- [0229] 50 输入检测电路
- [0230] 51 滤波器电路
- [0231] 52 脉冲生成电路
- [0232] 60 逻辑电路
- [0233] 61、62 反相器
- [0234] 70、72、270、800 NMOS晶体管
- [0235] 71、73、212、280、513、600、601 PMOS晶体管
- [0236] 100 半导体基板
- [0237] 110 栅极电极
- [0238] 111 源极电极
- [0239] 112 漏极电极
- [0240] 113 基板电极
- [0241] 120 半导体区域
- [0242] 130、140 阱区域
- [0243] 150、160、161 接触区域
- [0244] 170 源极区域
- [0245] 171 漏极区域
- [0246] 190、191、272、D1 ~ D12 二极管
- [0247] 200、500 可变电阻
- [0248] 201、501 电压生成电路
- [0249] 202、502 输出电路
- [0250] 203、503 调整电路
- [0251] 210、211、234、241、242、260、271、281、510 ~ 512、602、621、701 电阻
- [0252] 220 齐纳二极管
- [0253] 232、233、240、530、531、540 NPN晶体管
- [0254] 231、521 耐压电路
- [0255] 250、550 检测电路
- [0256] 251、551 控制电路

- [0257] 801 电流源
- [0258] L 布线
- [0259] N1、N2 输入节点。

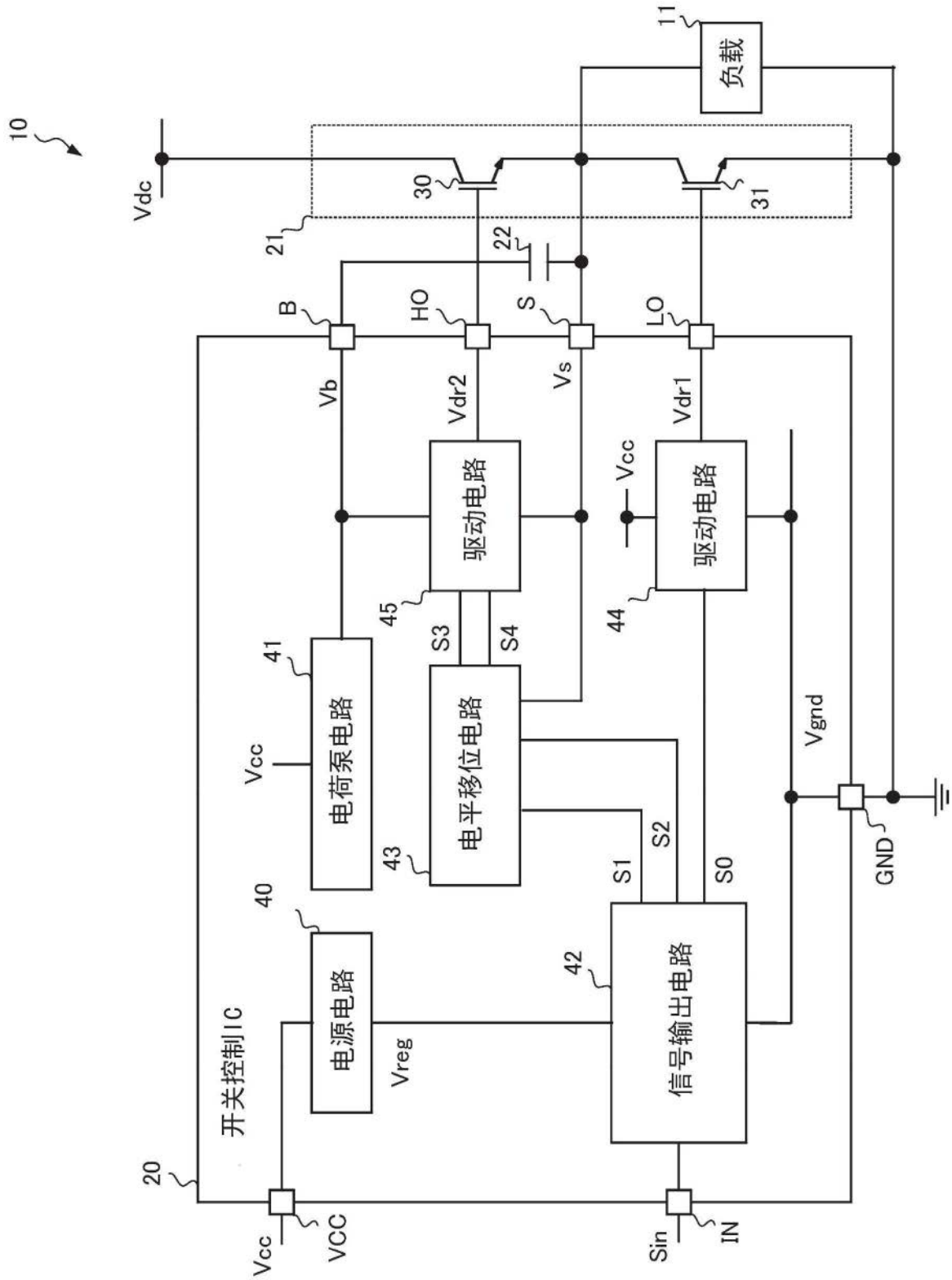


图1

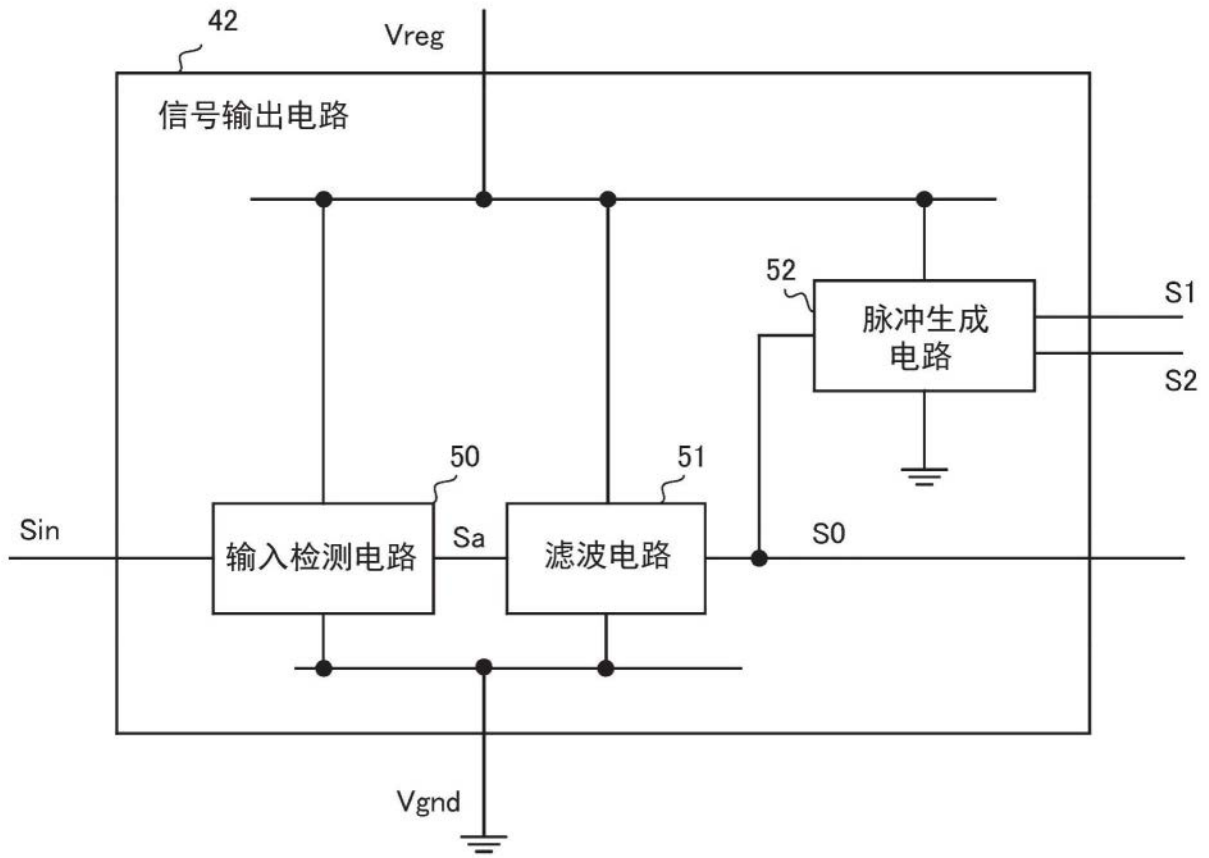


图2

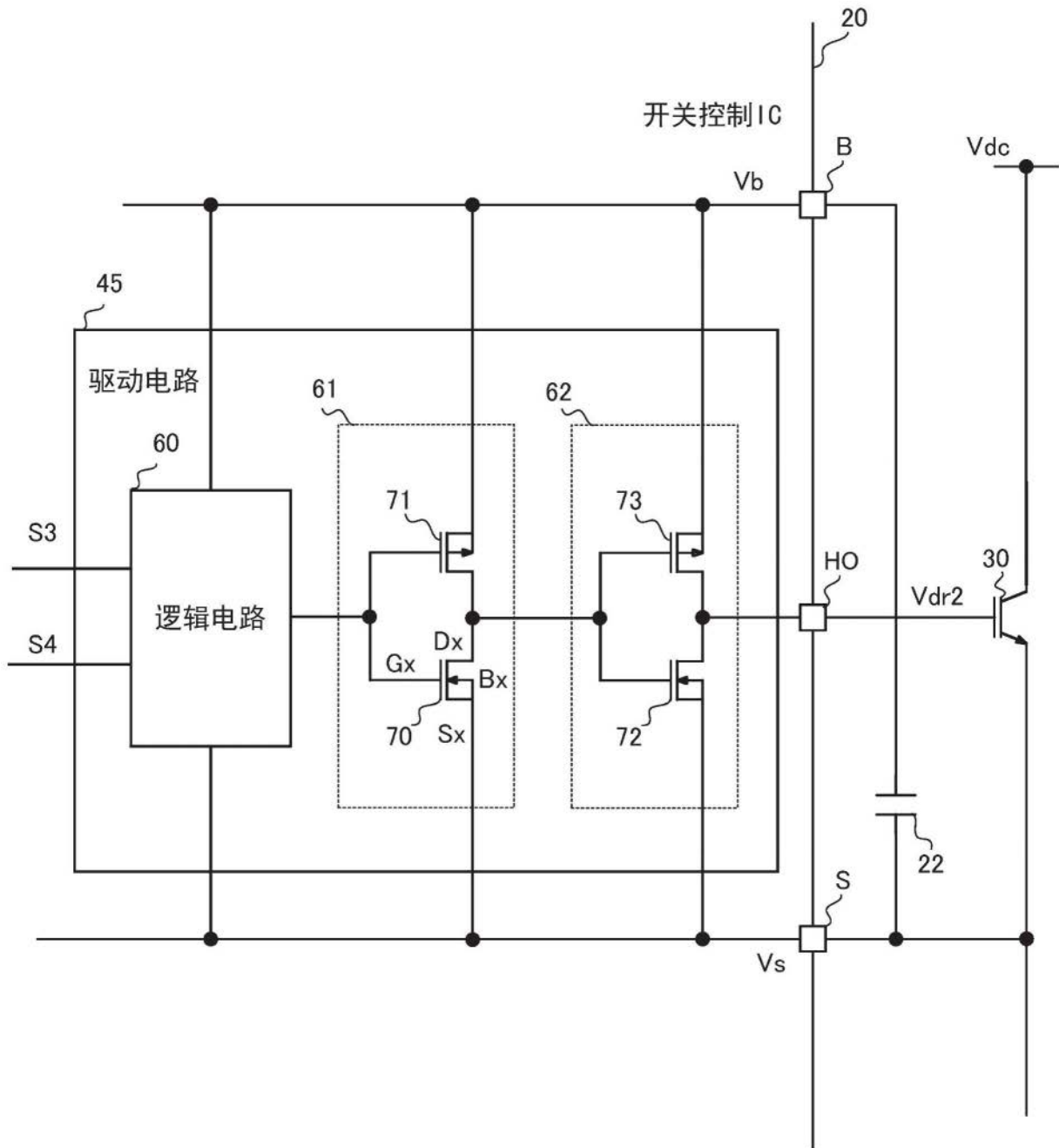


图3

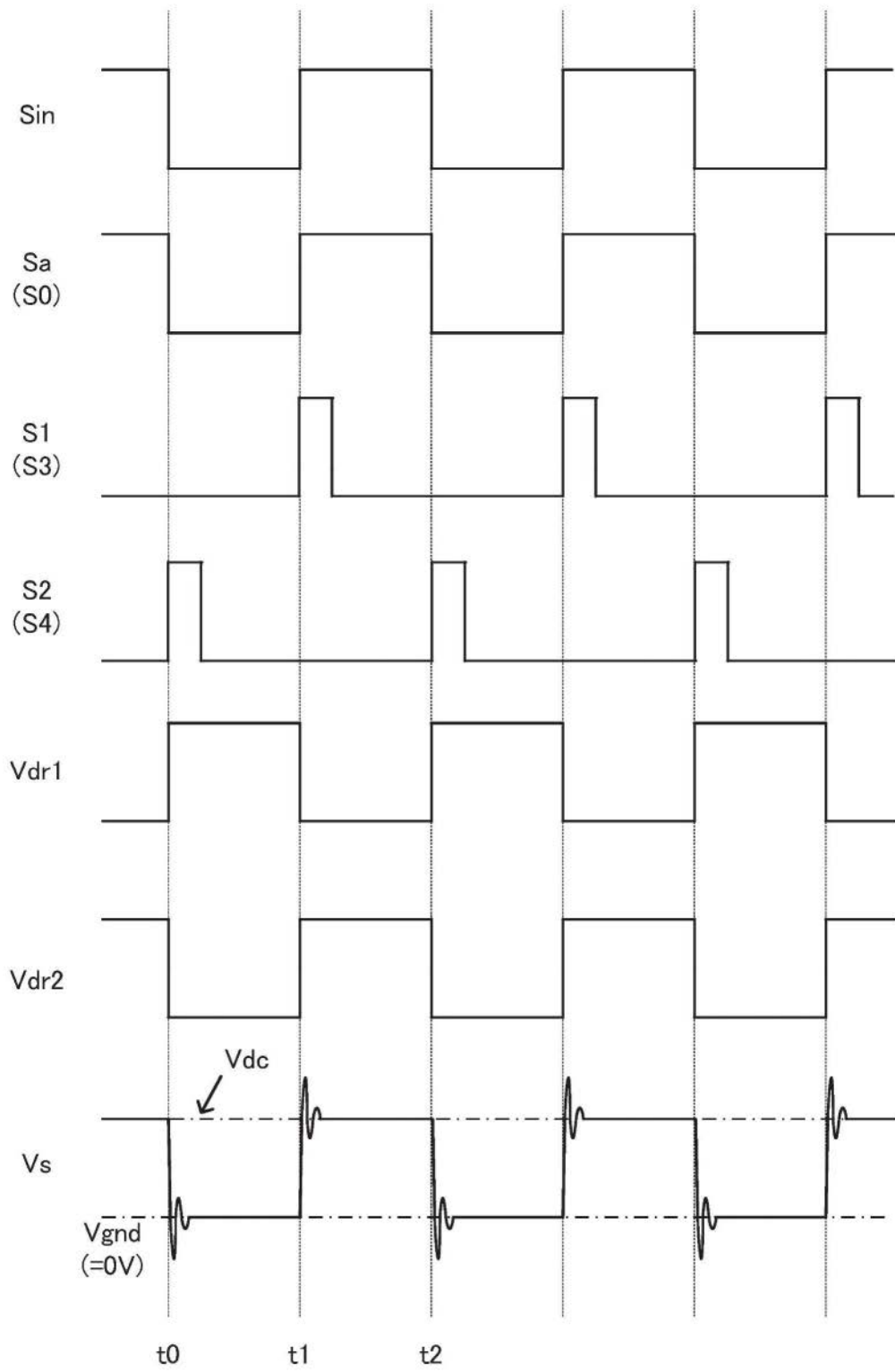


图4

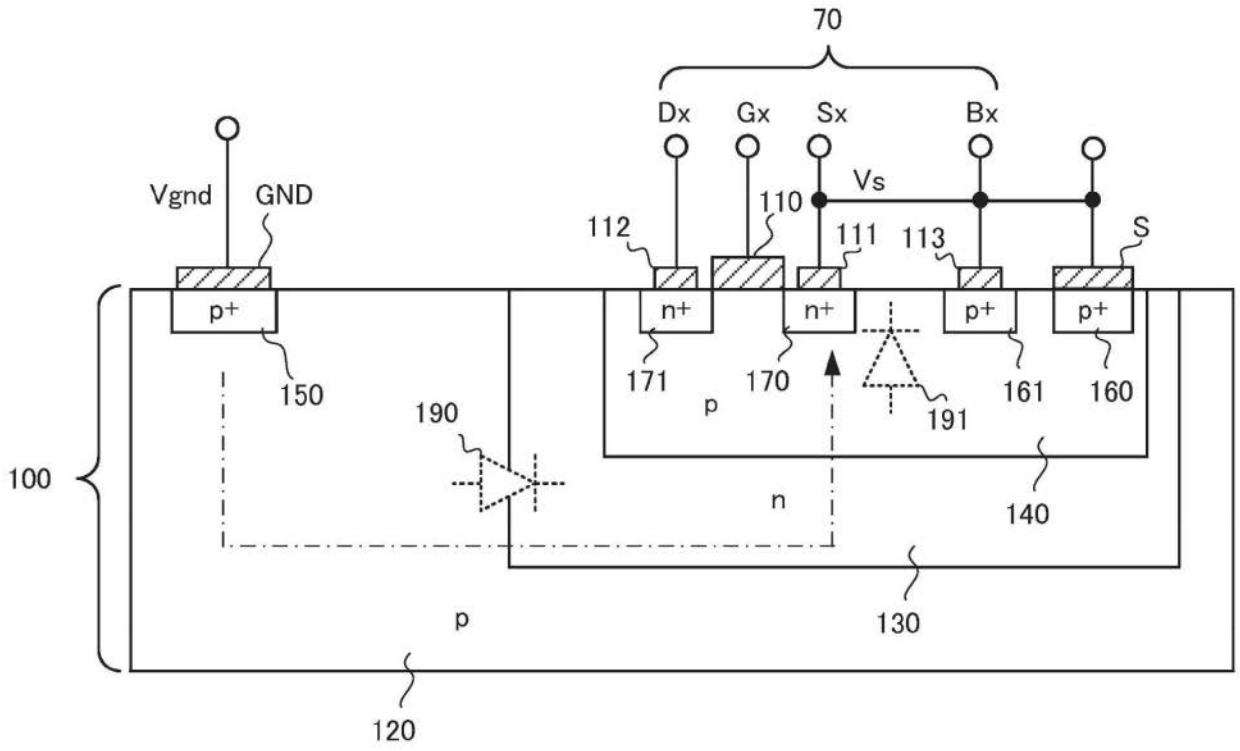


图5

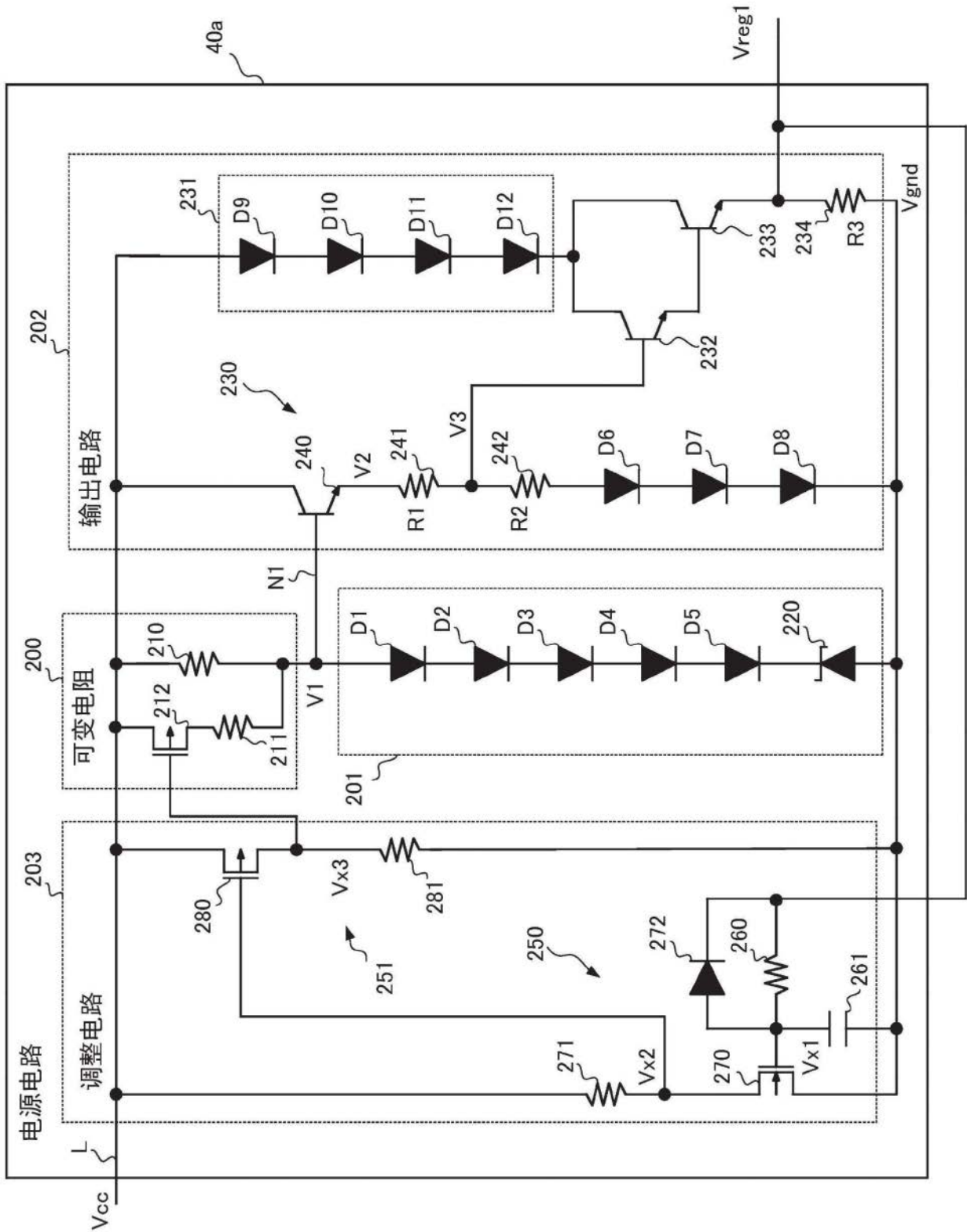


图6

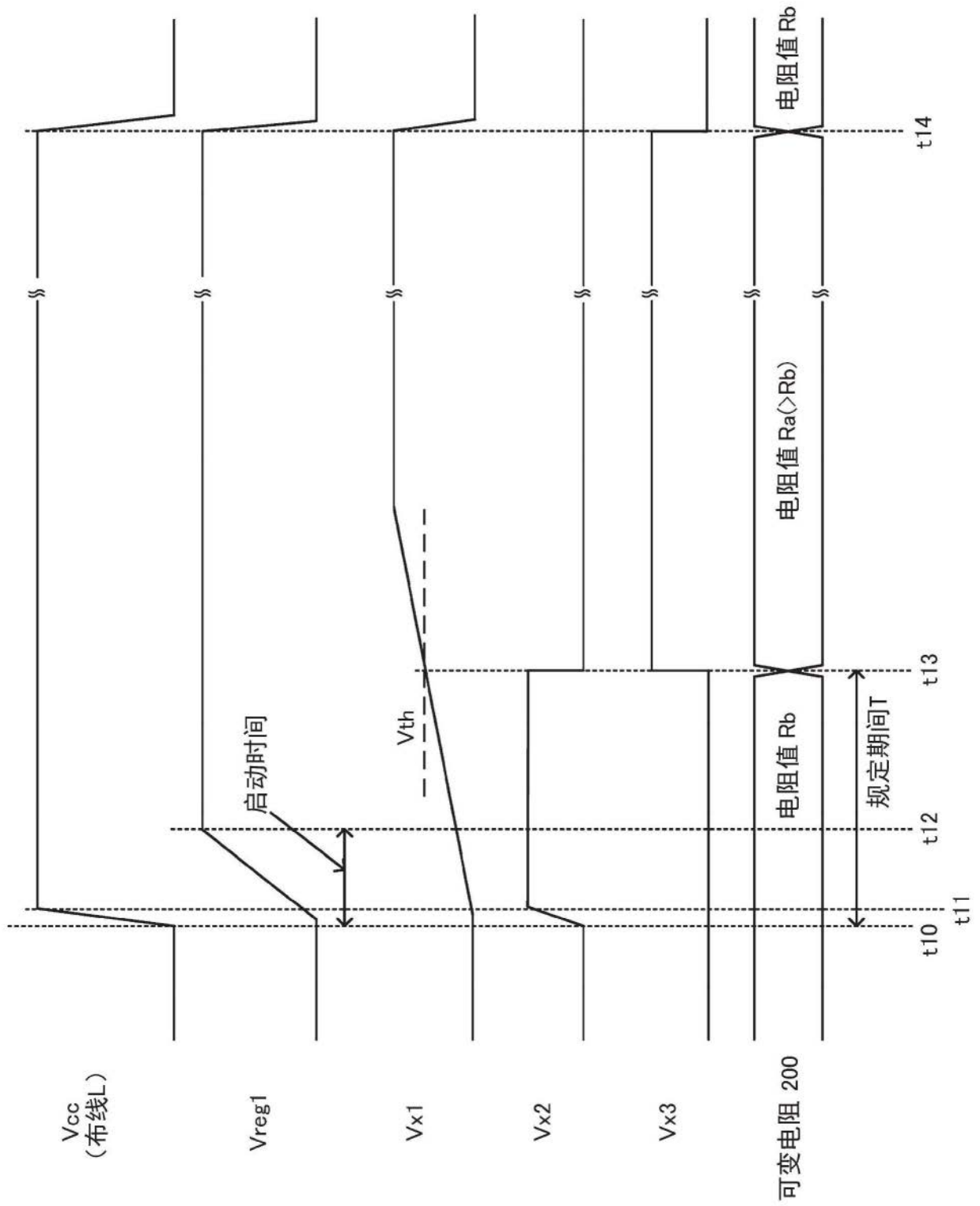


图7

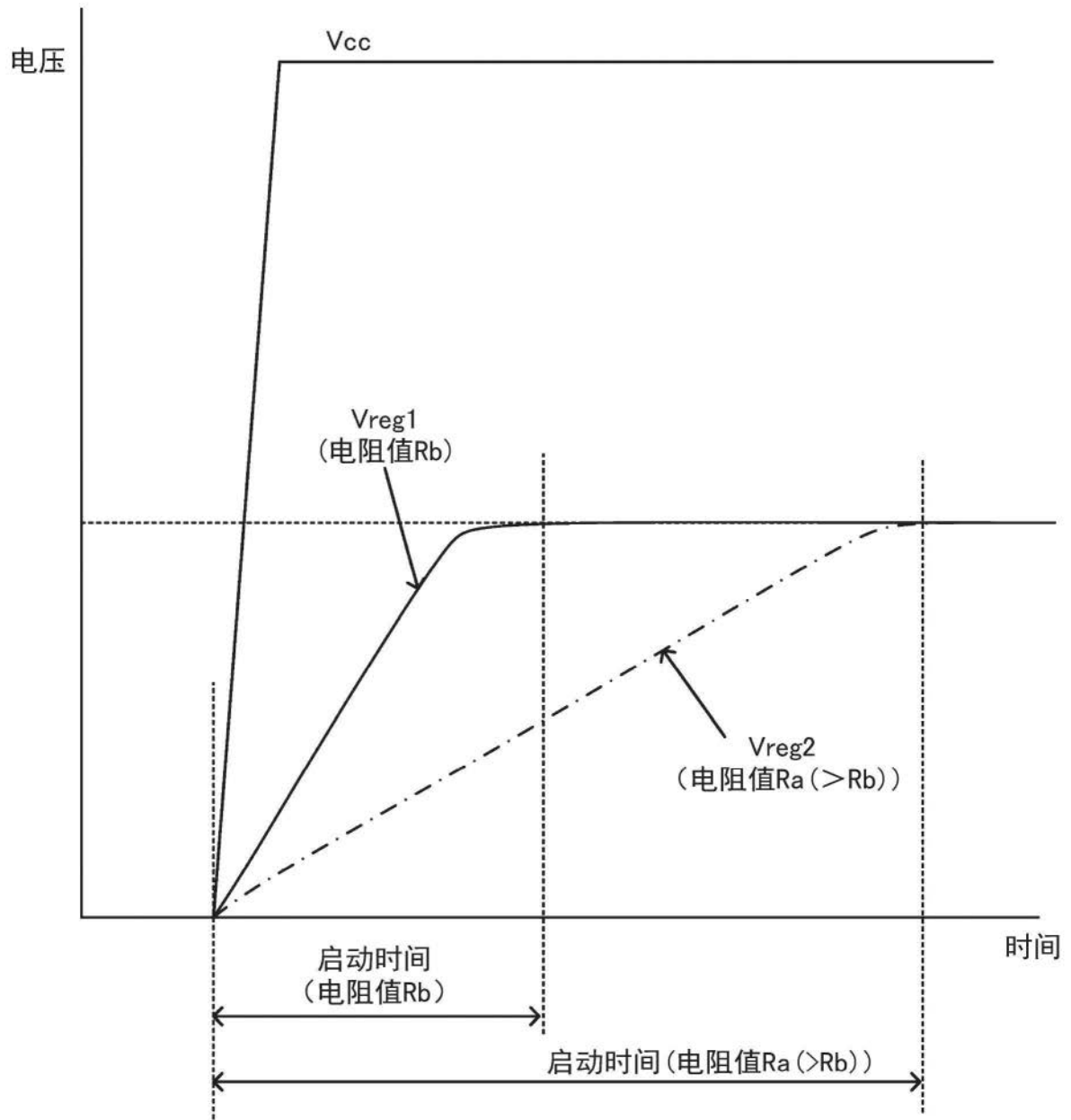


图8

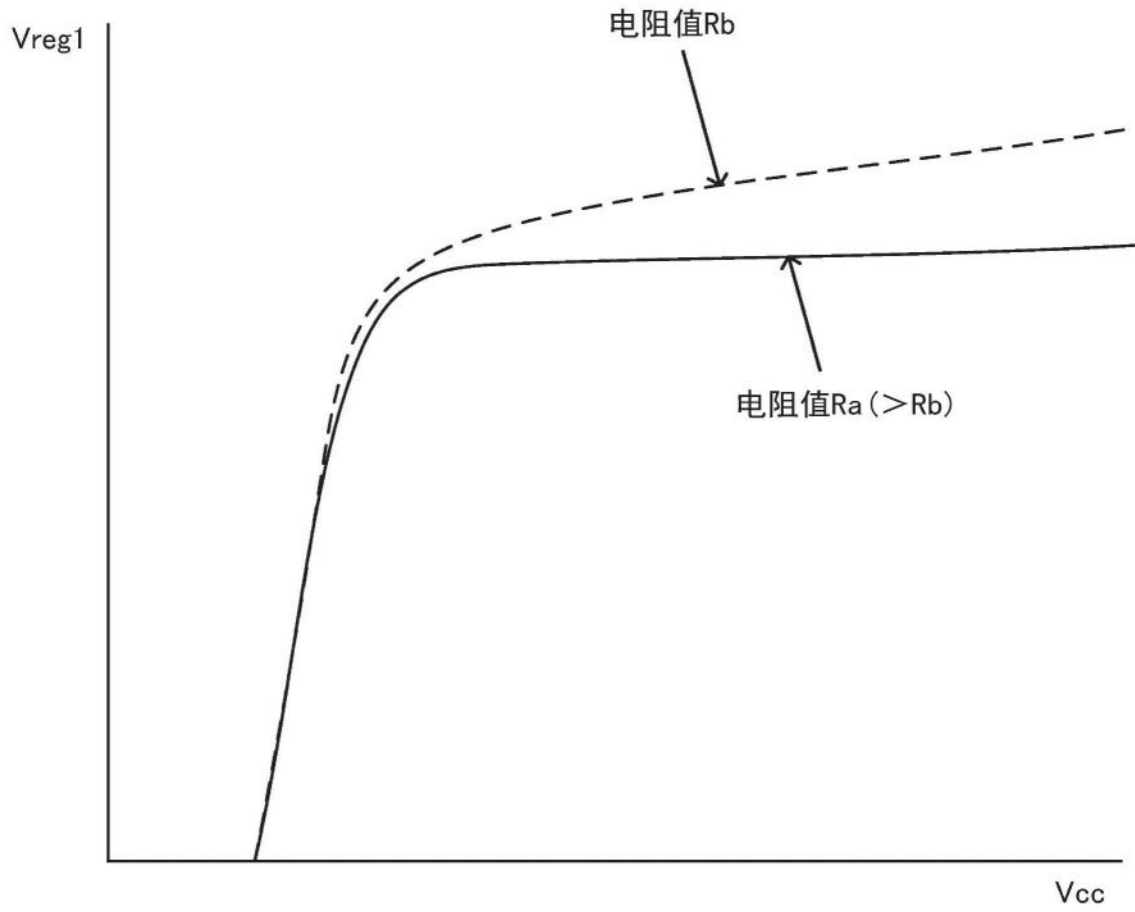


图9

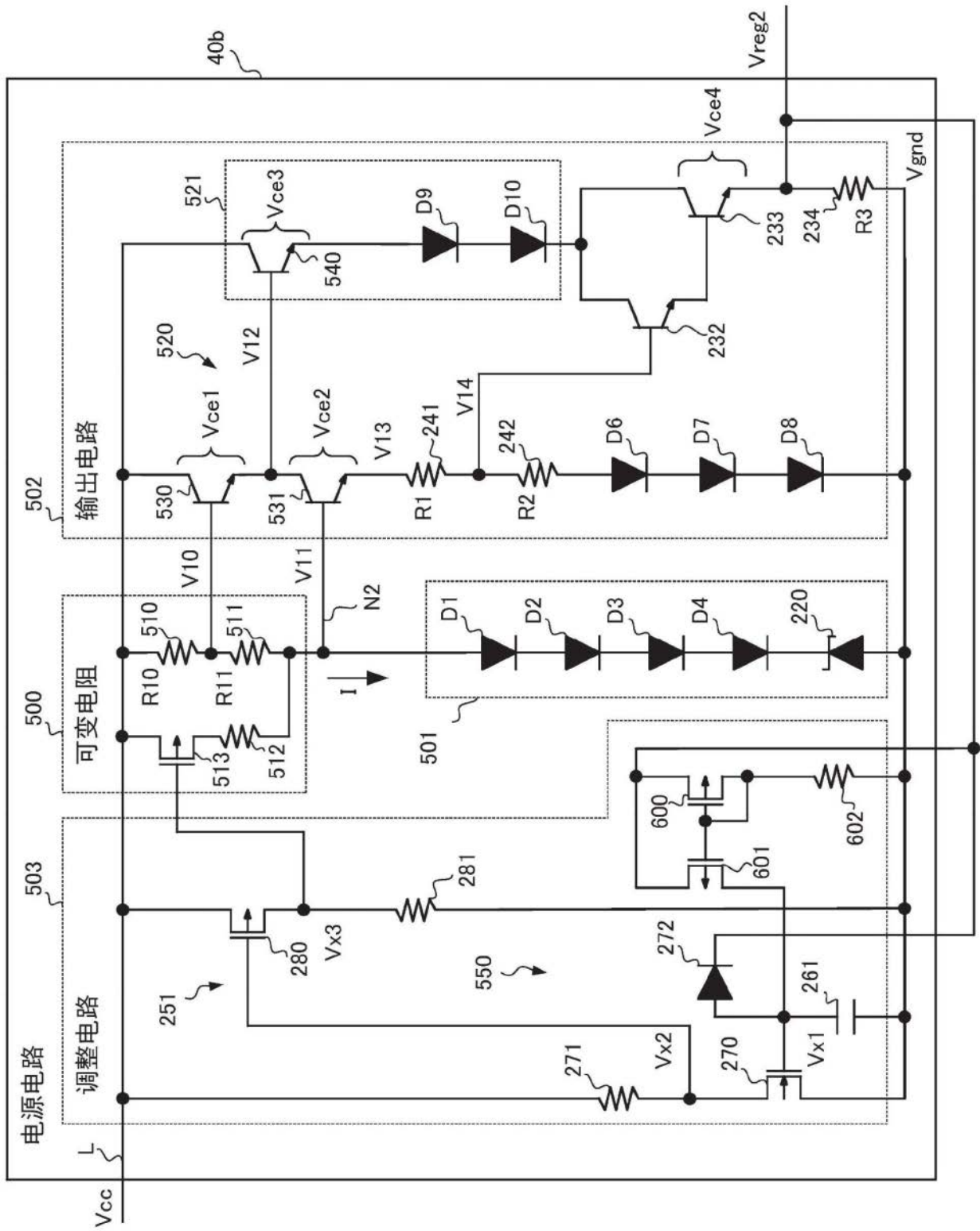


图10

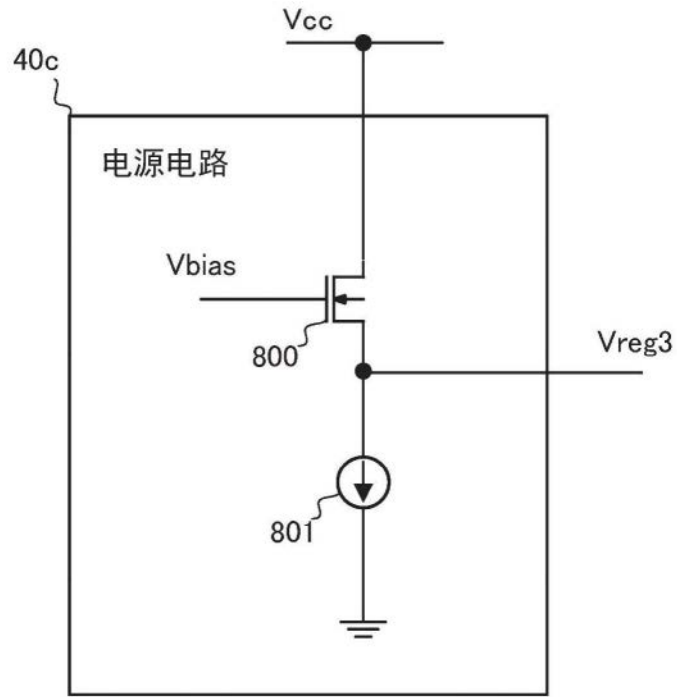


图11

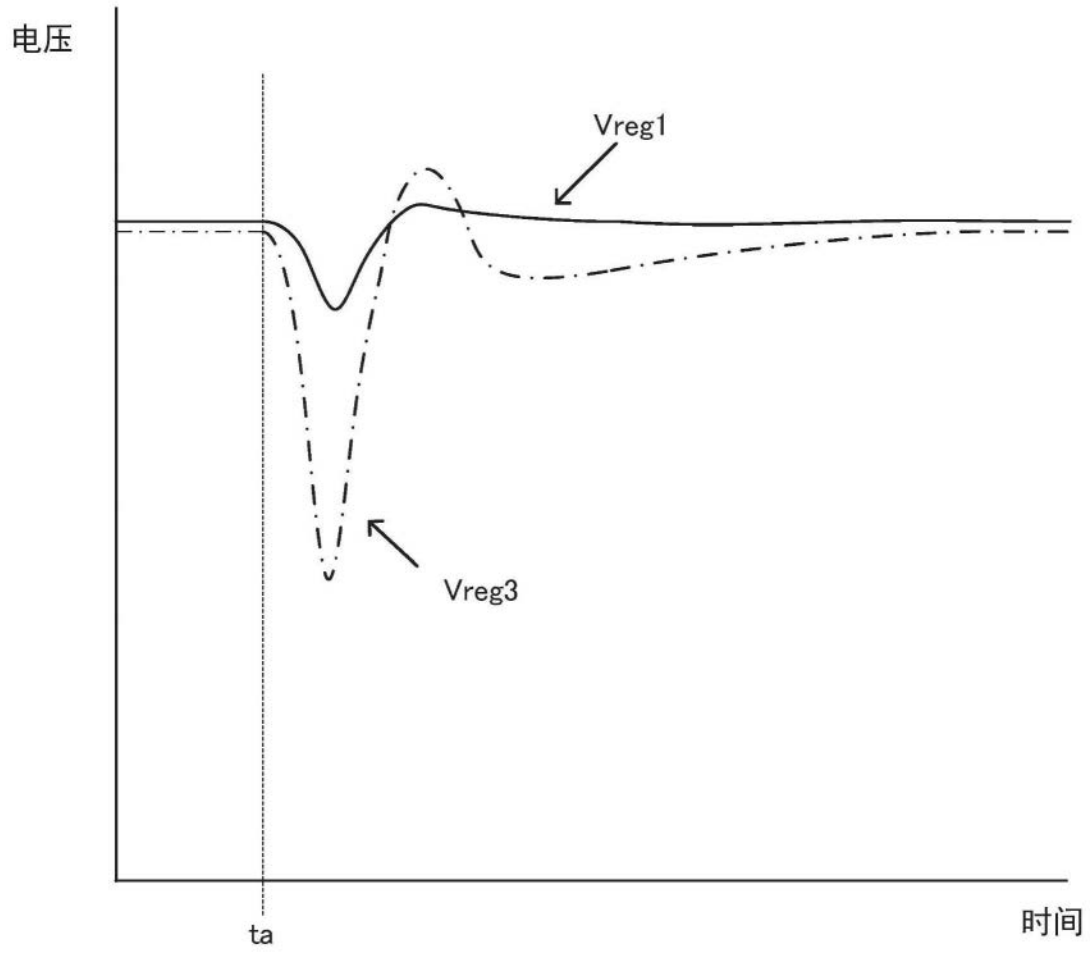


图12