

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480021901.3

[51] Int. Cl.

H01L 31/0328 (2006.01)

H01L 31/0336 (2006.01)

H01L 21/336 (2006.01)

H01L 21/8238 (2006.01)

[45] 授权公告日 2008 年 10 月 22 日

[11] 授权公告号 CN 100428497C

[22] 申请日 2004.8.4

[21] 申请号 200480021901.3

[30] 优先权

[32] 2003.8.4 [33] US [31] 10/604,607

[86] 国际申请 PCT/US2004/025152 2004.8.4

[87] 国际公布 WO2005/017964 英 2005.2.24

[85] 进入国家阶段日期 2006.1.27

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 陈华杰 杜里赛蒂·奇达姆巴拉奥

奥莱格·G·格鲁斯晨科夫

安·L·斯迪根 海宁·S·杨

[56] 参考文献

US5155571A 1992.10.13

US2001/0003364A1 2001.6.14

审查员 闫立刚

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 屠长存

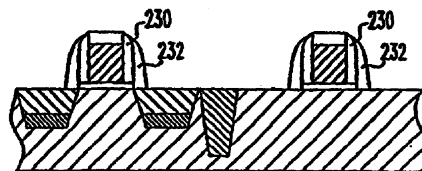
权利要求书 5 页 说明书 12 页 附图 5 页

[54] 发明名称

应变半导体 CMOS 晶体管的制造结构和方法

[57] 摘要

本发明提供了一种集成电路的 p - 型场效应晶体管 (PFET) (10) 和 n - 型场效应晶体管 (NFET) (12)。经由仅设置在 PFET(10) 而不是 NFET(12) 的源极和漏极区 (111) 中的晶格错配半导体层例如硅锗, 将第一应变施加到 PFET(10) 而不是 NFET(12) 的沟道区 (20) 中。本发明提供了一种 PFET(10) 和 NFET(12) 的制造方法。在这些区域中蚀刻沟槽, 从而变成 PFET 的源极和漏极区 (111), 使晶格错配的硅锗层 (121) 外延生长在其中, 以便将应变施加到与其相邻的 PFET 的沟道区。使一层硅 (14) 生长在硅锗层 (121) 之上, 由这层硅形成硅化物 (68), 从而提供了低电阻的源极和漏极区 (111)。



1、一种具有互补金属氧化物半导体晶体管的集成电路，所述晶体管包括 p-型场效应晶体管和 n-型场效应晶体管，其中经由设置在所述 p-型场效应晶体管而不是 n-型场效应晶体管的源极和漏极区中的半导体层，将第一应变施加到所述 p-型场效应晶体管而不是 n-型场效应晶体管的沟道区中，所述半导体层与设置在所述 p-型场效应晶体管和所述 n-型场效应晶体管的所述沟道区中的单晶半导体晶格错配。

2、如权利要求 1 所述的集成电路，其特征在于，所述 p-型场效应晶体管和所述 n-型场效应晶体管的沟道区设置在第一半导体的单晶区中，所述晶格错配的半导体包括一层设置在所述第一半导体的所述单晶区之上的第二半导体。

3、如权利要求 2 所述的集成电路，其特征在于，所述第一半导体的所述单晶区具有由所述 p-型场效应晶体管的栅极叠层的栅极电介质层面限定的主表面，所述第二半导体的所述层具有设置在所述主表面之下的顶部表面。

4、如权利要求 3 所述的集成电路，其特征在于，还包括设置在所述第二半导体的所述层之上的所述第一半导体的单晶层。

5、如权利要求 1 所述的集成电路，其特征在于，所述第一半导体包括选自由以下物质构成的组中的半导体：硅、硅锗和碳化硅，所述第二半导体包括不同于所述第一半导体的另一半导体，所述另一半导体选自由以下物质构成的组：硅、硅锗和碳化硅。

6、如权利要求 1 所述的集成电路，其特征在于，所述第一半导体包括硅，所述第二半导体包括硅锗。

7、如权利要求 1 所述的集成电路，其特征在于，所述第一半导体包括按照第一分子式 $\text{Si}_{x1}\text{Ge}_{y1}$ 的硅锗，其中 $x1$ 和 $y1$ 是百分比， $x1 + y1 = 100\%$ ， $y1$ 至少是 1% ，所述第二半导体包括按照第二分子式 $\text{Si}_{x2}\text{Ge}_{y2}$ 的硅锗，其中 $x2$ 和 $y2$ 是百分比， $x2 + y2 = 100\%$ ， $y2$ 至少是 1% ， $x1$ 不等于 $x2$ ， $y1$ 不等于 $y2$ 。

8、如权利要求 1 所述的集成电路，其特征在于，所述第一应变是压缩应变。

9、如权利要求 6 所述的集成电路，其特征在于，所述第二半导体包括具有至少 1% 锗含量的硅锗。

10、如权利要求 4 所述的集成电路，其特征在于，所述 p-型场效应晶体管和所述 n-型场效应晶体管的每一个还包括接触所述 p-型场效应晶体管和所述 n-型场效应晶体管之栅导体、源极区和漏极区的硅化物层。

11、如权利要求 10 所述的集成电路，其特征在于，所述硅化物包括钴的硅化物。

12、一种具有互补金属氧化物半导体晶体管的集成电路，所述晶体管包括 p-型场效应晶体管和 n-型场效应晶体管，每个晶体管具有设置在基片的单晶硅区中的沟道区，其中经由设置在所述 p-型场效应晶体管而不是 n-型场效应晶体管的源极和漏极区中的包括硅锗的埋入式晶格错配半导体层，将第一应变施加到所述 p-型场效应晶体管而不是 n-型场效应晶体管的沟道区中，所述硅锗具有按照分子式 Si_xGe_y 的比例，其中 x 和 y 是百分比，每个至少为 1%， $x + y = 100\%$ 。

13、一种 p-型场效应晶体管和 n-型场效应晶体管的制造方法，所述 p-型场效应晶体管和所述 n-型场效应晶体管均具有沟道区，所述 p-型场效应晶体管的所述沟道区具有第一应变，所述 n-型场效应晶体管的所述沟道区没有所述第一应变，所述方法包括：

在第一半导体的单晶区的主表面之上形成 p-型场效应晶体管栅极叠层和 n-型场效应晶体管栅极叠层，所述 p-型场效应晶体管栅极叠层和所述 n-型场效应晶体管栅极叠层的每一个都包括栅极电介质、在所述栅极电介质上形成的栅导体、在所述栅导体之上形成的帽层，和在所述栅导体的侧壁上形成的第一间隔件；

使所述 p-型场效应晶体管栅极叠层的侧面的所述单晶区凹陷，同时避免所述 n-型场效应晶体管栅极叠层的侧面的所述单晶区的所述主表面凹陷；

使一层第二半导体生长在通过所述凹陷暴露的所述单晶区的区域中，同时避免所述层生长在所述 n-型场效应晶体管栅极叠层之侧面的所述单晶区上，所述第二半导体与所述第一半导体晶格错配，从而将所述第一应变施加到所述 p-型场效应晶体管的所述沟道区中；以及

在所述 p-型场效应晶体管栅极叠层的所述侧面制造源极区和漏极区，从而形成所述 p-型场效应晶体管，在所述 n-型场效应晶体管栅极叠层的所述侧面制造源极区和漏极区，从而形成所述 n-型场效应晶体管。

14、如权利要求 13 所述的方法，其特征在于，还包括使所述第二半导体层凹陷到所述单晶区的所述主表面之下。

15、如权利要求 14 所述的方法，其特征在于，还包括使一层所述第一半导体在所述凹陷的第二半导体层之上生长。

16、如权利要求 15 所述的方法，其特征在于，还包括在所述 p-型场效应晶体管和所述 n-型场效应晶体管的所述源极区和漏极区之上形成自对准硅化物。

17、如权利要求 16 所述的方法，其特征在于，还包括在所述 p-型场效应晶体管和所述 n-型场效应晶体管的所述栅导体的多晶硅部分之上形成自对准硅化物。

18、如权利要求 17 所述的方法，其特征在于，所述硅化物包括钴的硅化物。

19、如权利要求 15 所述的方法，其特征在于，所述第一半导体包括硅，所述第二半导体包括硅锗，所述硅锗具有至少 1% 的锗含量。

20、如权利要求 19 所述的方法，其特征在于，所述晶格错配的第二半导体将压缩应变施加到所述 p-型场效应晶体管的所述沟道区中。

21、如权利要求 13 所述的方法，其特征在于，形成所述源极区和漏极区的所述步骤还包括：从所述 p-型场效应晶体管栅极叠层和所述 n-型场效应晶体管栅极叠层上除去所述第一间隔件，并在所述 p-型场效应晶体管栅极叠层和所述 n-型场效应晶体管栅极叠层的侧壁上

形成第二间隔件。

22、如权利要求 21 所述的方法，其特征在于，所述第二间隔件比所述第一间隔件厚。

23、如权利要求 21 所述的方法，其特征在于，还包括在所述 p-型场效应晶体管和所述 n-型场效应晶体管的源极和漏极区内实施晕圈植入。

24、如权利要求 21 所述的方法，其特征在于，还包括在所述 p-型场效应晶体管和所述 n-型场效应晶体管的源极和漏极区内实施延伸植入。

25、如权利要求 22 所述的方法，其特征在于，还包括形成侧向接触所述第二间隔件的第三间隔件，以及在所述 p-型场效应晶体管栅极叠层和所述 n-型场效应晶体管栅极叠层的侧面实施源极和漏极的植入。

26、如权利要求 13 所述的方法，其特征在于，利用图案化嵌段掩模，避免所述 n-型场效应晶体管栅极叠层的所述侧面的所述单晶区凹陷。

27、如权利要求 13 所述的方法，其特征在于，通过将第一涂层施加到所述 n-型场效应晶体管栅极叠层的所述侧面的所述单晶区，避免所述第二半导体层在所述 n-型场效应晶体管栅极叠层的所述侧面的所述单晶区上生长。

28、如权利要求 27 所述的方法，其特征在于，所述涂层共形地形成在所述 p-型场效应晶体管栅极叠层和所述 n-型场效应晶体管栅极叠层之上以及形成在所述单晶区的暴露表面之上。

29、如权利要求 28 所述的方法，其特征在于，还包括终止所述 p-型场效应晶体管叠层的所述侧面的所述单晶区的所述凹陷，并在通过所述凹陷暴露的所述单晶区的所述区域上形成第二涂层，然后继续进行所述凹陷，从而使所述第二半导体不在由所述第二涂层保护的区域中生长。

30、如权利要求 29 所述的方法，其特征在于，还包括在所述第

二半导体的所述层上生成一层所述第一半导体。

31、如权利要求 30 所述的方法，其特征在于，所述第一半导体包括硅，所述第二半导体包括硅锗，所述硅锗具有至少 1% 的锗含量。

32、如权利要求 29 所述的方法，其特征在于，所述第二半导体将所述第一应变作为压缩应变来施加。

应变半导体 CMOS 晶体管的制造结构和方法

技术领域

本发明涉及半导体集成电路的制造，更具体地说，是涉及一种具有晶格错配的源极和漏极区的应变半导体互补金属氧化物半导体（CMOS）晶体管的制造装置和方法。

背景技术

理论和经验研究已经证实，当将应变施加到晶体管的传导沟道中时，晶体管的载流子迁移率就大大增加。在 p-型场效应晶体管中，公知的是，将压缩纵向应变施加到传导沟道中，以增大 PFET 的驱动电流。然而，如果将此相同应变施加到 NFET 的传导沟道中，其性能则下降。

已经有人提议，将拉伸纵向应变施加到 NFET 的传导沟道中，将压缩纵向应变施加到 PFET 的传导沟道中。这些建议都集中在掩蔽工艺上，所述工艺包括掩蔽芯片的 PFET 或 NFET 部分，和改变用于浅沟槽分离区的材料以施加应变。这些建议还包括集中于调整间隔件中存在的固有应力的掩蔽工艺。

硅锗是用于形成应变硅晶体管沟道的所需晶格错配的半导体。当第一半导体在第二半导体的单晶上生长时，就产生了应变，此时这两个半导体是彼此晶格错配的。硅和硅锗是彼此晶格错配的，从而二者之一在另一个上的生长就产生能够拉伸或压缩的应变。

硅锗外延生长在硅上，具有与硅晶体结构对准的晶体结构。然而，由于硅锗通常具有比硅大的晶体结构，因此外延生长的硅锗变得在内部被压缩。

在采用应变硅的其它建议中，硅锗形成整个单晶层基片。在这种情况下，硅锗层被称作松弛层，因为通过在硅锗层内形成位错而使应

变释放。当单晶硅层在松弛的 SiGe 晶体区上外延生长时，就在外延生长的硅晶体中产生拉伸应变。这导致电子的迁移率提高，从而能够改善 NFET 的性能。

然而，这些技术要求 SiGe 松弛，因此要求 SiGe 层非常厚，即 0.5-1.0 μm 。由于这个原因，空穴迁移率的提高难以获得，SiGe 层要求锗的百分比较大，这导致 SiGe 晶体中的过度位错，从而产生问题。而且，受限于加工成本。

其它技术例如分级 Ge 浓度和化学机械抛光法可用来提高膜的质量。然而，这些技术苦恼于高成本和高缺陷密度。

据此，期望在不使用厚 SiGe 晶体区的前提下于 PFET 沟道区中产生应变。期望利用相当薄的外延生长 SiGe，在器件的沟道区中产生所需的应变。

还期望通过使 SiGe 外延层生长在 PFET 的源极和漏极区中，而产生可增大 PFET 沟道区中的孔迁移率的压缩应变。

还期望提供一种用于在 PFET 沟道区中施加所需应变而不在 NFET 沟道区中产生相同应变的工艺。

发明内容

按照本发明的一个方面，提供一种集成电路的 p-型场效应晶体管 (PFET) 和 n-型场效应晶体管 (NFET)。经由晶格错配的半导体层 (例如设置在仅仅 PFET 而不是 NFET 的源极和漏极区中的硅锗) 将第一应变施加到 PFET 而不是 NFET 的沟道区中。提供一种 PFET 和 NFET 的制造工艺。在该区域中蚀刻沟槽，从而变成 PFET 的源极和漏极区，并且使晶格错配的硅锗层在其中外延生长，以便将应变施加到与其相邻的 PFET 的沟道区中。

在本发明的一个方面，硅层生长在硅锗层之上，并且用此硅层形成硅化物 (salicide)，从而提供低电阻的源极和漏极区。同时，硅化物在 PFET 和 NFET 栅导体中形成。

根据本发明的一个方面，提供了一种 p-型场效应晶体管 (PFET)

和 n-型场效应晶体管 (NFET) 的制造方法, 所述 p-型场效应晶体管和所述 n-型场效应晶体管均具有沟道区, 所述 p-型场效应晶体管的所述沟道区具有第一应变, 所述 n-型场效应晶体管的所述沟道区没有所述第一应变, 所述方法包括: 在第一半导体的单晶区的主表面之上形成 p-型场效应晶体管栅极叠层和 n-型场效应晶体管栅极叠层, 所述 p-型场效应晶体管栅极叠层和所述 n-型场效应晶体管栅极叠层的每一个都包括栅极电介质、在所述栅极电介质上形成的栅导体、在所述栅导体之上形成的帽层, 和在所述栅导体的侧壁上形成的第一间隔件; 使所述 p-型场效应晶体管栅极叠层的侧面的所述单晶区凹陷, 同时避免所述 n-型场效应晶体管栅极叠层的侧面的所述单晶区的所述主表面凹陷; 使一层第二半导体生长在通过所述凹陷暴露的所述单晶区的区域中, 同时避免所述层生长在所述 n-型场效应晶体管栅极叠层之侧面的所述单晶区上, 所述第二半导体与所述第一半导体晶格错配, 从而将所述第一应变施加到所述 p-型场效应晶体管的所述沟道区中; 以及在所述 p-型场效应晶体管栅极叠层的所述侧面制造源极区和漏极区, 从而形成所述 p-型场效应晶体管, 在所述 n-型场效应晶体管栅极叠层的所述侧面制造源极区和漏极区, 从而形成所述 n-型场效应晶体管。

根据本发明的另一方面, 提供了一种具有互补金属氧化物半导体 (CMOS) 晶体管的集成电路, 所述晶体管包括 p-型场效应晶体管 (PFET) 和 n-型场效应晶体管 (NFET), 每个晶体管具有设置在基片的单晶硅区中的沟道区, 其中经由设置在所述 p-型场效应晶体管而不是 n-型场效应晶体管的源极和漏极区中的包括硅锗的埋入式晶格错配半导体层, 将第一应变施加到所述 p-型场效应晶体管而不是 n-型场效应晶体管的沟道区中, 所述硅锗具有按照分子式 Si_xGe_y 的比例, 其中 x 和 y 是百分比, 每个至少为 1%, $x + y = 100\%$ 。

附图说明

图 1 示出按照本发明一个实施例的 PFET 和 NFET。

图 2 示出按照本发明一个实施例的 PFET 的应变外形。

图 3-9 示出按照本发明一个实施例的 PFET 和 NFET 的若干制造阶段。

图 10-15 示出按照本发明另一个实施例的 PFET 和 NFET 的若干制造阶段。

图 16-18 示出按照本发明又一个实施例的 PFET 和 NFET 的若干制造阶段。

具体实施方式

图 1 示出按照本发明一个实施例的 p-型场效应晶体管 (PFET) 和 n-型场效应晶体管 (NFET)。如图 1 所示, PFET10 和 NFET12 是在基片 16 的单晶半导体区 14 中制造的, 用一般由氧化物形成的沟槽分离区 17 分开。基片 16 可以是体(bulk)基片或者优选是绝缘体上半导体或绝缘体上硅 (SOI) 基片, 其中在绝缘层 18 之上形成相当薄的半导体层。当在这样的 SOI 基片上形成场效应晶体管 (FET) 时, 经常获得比别的方式更快的开关操作, 因为晶体管的沟道区与体基片之间的结电容消除了。基片优选是体单晶硅基片, 更优选是在绝缘层之上具有单晶硅区的硅 SOI 基片。正如在此实施例以及随后的实施例中所述, 可参考在基片的单晶硅区内制造晶体管, 这与其它类型的半导体例如 III-V 化合物半导体 (例如锗砷化物 (GeAs)) 相反。

如图 1 所示, PFET10 包括设置在栅导体的多晶硅部分 26 下面的沟道区 20。多晶硅部分 26 优选重掺杂到约 10^{19}cm^{-3} 的浓度。为了使在操作中导通 PFET 时所存在的 p-型传导沟道的功函数匹配, 多晶硅部分 26 优选包括 p-型掺杂剂。栅导体优选还包括设置在多晶硅部分 26 之上的低电阻部分 28。低电阻部分 28 具有比多晶硅部分 26 低得多的电阻, 并优选包括金属、硅化物, 或两者都包括。在一个优选实施例中, 低电阻部分 28 包括硅化物例如钴硅化物 (CoSi_2)。

一对硅化物突起的源极-漏极区 11 设置在栅导体 26 两侧上的单晶半导体区中。每个突起的源极-漏极区 11 通过一对间隔件 29, 30 从栅导体 26 偏移。间隔件 29, 30 优选用氮化硅形成, 尽管间隔件 30

也可用二氧化硅或氮化硅与二氧化硅层的组合(例如氧氮化硅)形成。

经由设置在 PFET 的源极 - 漏极区 11 下面的第二半导体埋设单晶层 21, 将第一应变施加到沟道区 20 中。第二半导体 21 优选是结合有硅和一个或多个其它族 IV 元素例如碳 (C) 或锗 (Ge) 的晶格错配半导体。第二半导体层 21 最优选是硅锗。优选是硅的第一半导体层 22 设置在第二半导体层 21 之上。优选地, 优选是硅化物的低电阻接触层 24 设置在第一半导体层 22 之上。该低电阻层优选是硅化物, 更优选是钴的硅化物, 即 CoSi_2 。

PFET10 的沟道区两侧上晶格错配第二半导体的存在, 导致在沟道区 20 中产生应变。优选地, 应变是压缩的。这样的压缩应变在 50Mpa (百万帕) 至几个 Gpa (千兆帕) 的范围内。应变对沟道区 20 内的电荷载流子的迁移率产生积极作用, 从而能够达到没有这样的应变施加到其上的 PFET 沟道区时的迁移率的数倍。

当第一半导体优选地是硅时, 晶格错配的第二半导体优选是不同的半导体例如硅锗或碳化硅, 更优选是硅锗 (Si_xGe_y), 其中 x 和 y 是百分比, 在这里 $x + y = 100\%$ 。 x 与 y 之间的变化范围相当大, 图示的 y 在 1% - 99% 的范围内变化, 而在这样的情况下, x 相应地在 99% 与 1% 之间变化。

或者是, 基片 14 的单晶区实质上可包括按照第一分子式 $\text{Si}_{x1}\text{Ge}_{y1}$ 的比例的硅锗, 其中 $x1$ 和 $y1$ 是百分比, 在这里 $x1 + y1 = 100\%$, 第二半导体层实质上包括按照第二分子式 $\text{Si}_{x2}\text{Ge}_{y2}$ 的不同比例的硅锗, 其中 $x2$ 和 $y2$ 是百分比, 在这里 $x2 + y2 = 100\%$, $x1$ 不等于 $x2$, $y1$ 不等于 $y2$ 。

还是如图 1 所示, NFET 12 配置在晶片的单晶区 14 中。NFET 12 包括设置在栅导体的重掺杂 n-型多晶硅部分 42 之下的沟道区 40, 而多晶硅部分 42 又设置在 NFET12 的低电阻部分 44 之下。低电阻部分 44 与 PFET 10 的低电阻部分 28 类似, 可包括金属、硅化物, 或二者都包括, 最优选的是包括钴的硅化物 (CoSi_2)。

NFET 12 也包括一对低电阻、突起的源极 - 漏极接触区 46, 每

个区优选地包括低电阻材料例如硅化物，最优选的是钴的硅化物 (CoSi_2)。优选地，每个突起的源极-漏极接触区 46 通过一对间隔件 47, 48 与栅导体部分 42, 44 分开。间隔件 47 优选地包括氮化硅，间隔件 48 优选地包括氮化硅、二氧化硅或氮化硅和二氧化硅的组合。

NFET 12 没有第一应变施加到其沟道区 40 中，即，施加到 PFET 10 的沟道区 20 中的那种应变类型和大小的应变。这是由于如下原因。首先，NFET 12 具有 n-型传导沟道，该沟道具有电子作为主载流子。当所有其它事项相等时，NFET 12 比 PFET 10 具有更快的开关速度，因为 PFET 具有 p-型传导沟道，该沟道具有空穴而不是电子作为主载流子。空穴比电子具有更小的迁移率，结果导致 NFET 12 中的开关速度更快。由此，PFET 10 的开关速度必需增大，以便至少与 NFET 12 匹配。

其次，并没有相同类型和大小的应变施加到 PFET 10 和 NFET 12 上，因为其对 NFET 12 没有相同的作用。施加到 NFET 12 的沟道区 40 中的高幅度压缩应变（例如 50MPa 至几个 GPa），实际上使其中的电子迁移率减小，从而导致开关速度更慢，而不是按所需的更快开关速度。

图 2 示出了基片的单晶区 114 内的 PFET 110 的应变外形。PFET 110 具有如上所述的 PFET 10 的结构，其在栅导体的每侧上具有沟道区 120 和升高的源极-漏极区，示出了其中一个升高的源极-漏极区 111。升高的源极-漏极区 111 包括设置在硅层 122 之上的硅化物层 124，而硅层 122 又设置在相当薄的晶格错配的第二半导体层 121 例如硅锗之上。薄层 121 又设置在基片的单晶区 114 之内。

在图 2 中，基片 114 内的曲线表示相同大小和类型（即压缩的或拉伸的）的应变存在的部位。由此，线 126 表示施加到沟道区 120 中的相等应变的部位。范围在 50MPa 与 2GPa 之间的压缩应变优选地施加在 PFET 110 的沟道区 120 的这样部位。更优选地，在 100MPa 与 1GPa 之间的压缩应变施加到沟道区 120 中。最优选地，范围在 200MPa 与 600MPa 之间的压缩应变施加到其上，因此 400 MPa 是所需的应变

目标。在源极-漏极区 111 中,应变的大小和方向与沟道区 120 中的应变是非常不同的。在掩埋式 SiGe 层 121 中,应变在 1-5 GPa 的范围内,而 2.5 GPa 是所获得的特定几何形状和尺寸的 PFET 的大概量,以便将所需应变施加到沟道区 120 中。另一方面,覆盖 SiGe 层的硅层 122 具有施加到其上的拉伸应变。源极-漏极区 111 中应变的具体数量不是如此重要。将所需大小和方向的应变施加到 PFET 的沟道区 120 中才是实际目的。通过实施按照本发明实施例的处理方法,而将这样的应变施加到 PFET 上,而不是 NFET 上。

图 3 表示出按照本发明一个实施例的 CMOS 制造工艺的第一阶段。作为按照该实施例处理的结果,形成 p-型场效应晶体管 (PFET) 和 n-型场效应晶体管 (NFET)。在 PFET 中,利用晶格错配的半导体层将第一应变施加到沟道区中。另一方面,在 NFET 的沟道区中,没有施加第一应变,因为晶格错配的半导体层不在其近端。以这样的方式,PFET 的载流子迁移率增大,同时仍然保持 NFET 中所需的性能。

图 3 表示出按照本发明一个实施例形成 PFET 和 NFET 的处理阶段。如图 3 所示,所形成的 PFET 栅极叠层 25 和 NFET 栅极叠层 45 覆盖基片的单晶区。单晶区 14 实质上包括第一半导体材料例如硅。PFET 栅极叠层 25 包括覆盖单晶区 14 的栅极电介质 13、在栅导体层 26 的侧壁上形成的一对间隔件 29、和绝缘帽 50。NFET 栅极叠层 45 包括覆盖单晶区 14 的栅极电介质 13、在栅导体层 42 的侧壁上形成的一对间隔件 47、和绝缘帽 52,还优选地通过沉积四乙基原硅酸盐 (TEOS) 的前体的氧化物来形成。

在此处理阶段,栅导体层 26, 42 优选仅包括重掺杂半导体,最优选是重掺杂多晶硅。优选地,已经用所需类型和浓度的掺杂剂在此阶段制备了各自 PFET 栅极叠层和 NFET 栅极叠层的栅导体 26, 42, 从而提供了所需的功能。例如,PFET 栅极叠层可配有 p⁺ 掺杂栅导体层 26, 而 NFET 栅极叠层可设有 n⁺ 掺杂栅导体层 42。间隔件 29 优选地由沉积的氮化物形成,绝缘帽 50, 52 优选地通过沉积四乙基原硅酸

盐 (TEOS) 的前体的氧化物来形成。

其次, 如图 4 所示, 将涂层 56 施加到基片的单晶区 14 的主表面 54 上。涂层 56 是通过沉积可去除材料按需施加的, 可去除材料能够限制硅在选择性沉积工艺中的沉积。优选地, 材料是氮化硅, 并且材料优选地是通过沉积施加的。其次, 如图 5 所示, 将掩蔽材料 58 施加到基片上并进行构图, 以覆盖 NFET 栅极叠层 45 两侧上的单晶区 14 的区域, 但不覆盖 PFET 栅极叠层 25 两侧上的单晶区 14 的区域。在一个实施例中, 掩蔽材料优选是光刻胶。或者是, 掩蔽材料是随后能够完全去除的几种公知抗蚀材料中的任一种, 例如抗反射涂料 (ARC)、旋涂玻璃 (spin-on-glass)、TEOS 前体的氧化物、或多种掺杂玻璃诸如硼硅酸盐玻璃 (BSG)、砷掺杂玻璃 (ASG)、磷硅酸盐玻璃 (PSG) 或硼磷硅酸盐玻璃 (BPSG), 这些材料能够沉积并随后去除。

其后, 优选地通过各向异性垂直蚀刻工艺例如活性离子蚀刻 (RIE), 在 PFET 栅极叠层 25 的两侧上蚀刻单晶区 14。在这样的蚀刻过程中, PFET 栅极叠层 25 提供了掩模, 从而避免 PFET 栅极叠层 25 之下的区域比蚀刻。NFET 栅极叠层 45 的两侧上的单晶区 14 的区域没有被蚀刻, 因为它们被掩蔽层 58 和涂层 56 保护起来。作为是蚀刻的结果, 在 PFET 栅极叠层 25 的两侧上的单晶区 14 中形成沟槽 60。蚀刻沟槽 60 之后, 诸如通过定时各向异性蚀刻去除掩蔽层 58。这也具有去除单晶硅在沟槽 60 之内的部分的效果, 沟槽 60 由于 RIE 蚀刻而被损坏。

其后, 如图 6 所示, 第二半导体层 62 在沟槽 60 内的单晶区 14 的第一半导体上外延生长。外延生长过程优选地通过选择性沉积来实施, 以便仅有非常少或者根本没有第二半导体沉积在表面上, 这与已生长在沟槽 60 内的单晶半导体上的不同。第二半导体, 作为一个与另一半导体的单晶区接触生长的层, 是能够产生应变的晶格错配半导体。

其次, 如图 7 所示, 利用仍然就地保护 NFET 中所形成的区域的涂层 56, 外延生长的第二半导体层 62 被凹陷到基片 14 的单晶区的主

表面之下的所需层面 64。此凹陷步骤优选地通过定时各向异性活性离子蚀刻来实施。或者是，凹陷步骤通过有选择地对硅进行各向同性蚀刻来实施，以便针对暴露的硅锗的蚀刻进行得更快，而蚀刻下面的硅单晶区比较慢。

其次，如图 8 所示，单晶硅的第二层 66 在硅锗凹陷层 62 之上外延生长。第二层 66 优选地以选择性外延沉积的方式来生长，以便除了沿沟槽 60 侧壁的硅锗层 62 的暴露区域和单晶硅的暴露区域上之外，仅有比较少或根本没有硅被沉积。由此，作为选择性外延沉积的结果，仅有比较少或根本没有硅沉积在涂层 56 和 PFET 栅极叠层 25 上。

其次，如图 9 所示，将涂层 56 从 NFET 栅极叠层 45 的两侧上的单晶区 14 上除去。其次，在 PFET 栅极叠层 25 和 NFET 栅极叠层 45 的两侧上形成优选包括氧化物材料的第二对间隔件 30。间隔件 30 优选地通过共形地沉积氧化物材料（例如来自 TEOS 前体）、随后通过各向异性垂直蚀刻（例如 RIE）来形成。优选地有选择地对硅进行蚀刻，以免使硅 66 的顶层过度凹陷。作为此蚀刻步骤的结果，从 PFET 栅极叠层 25 和 NFET 栅极叠层 45 上去除绝缘帽 50，从而暴露出下面的多晶硅部分 26 和 42。

其后，如图 9 所示，在 NFET 栅极叠层 45 两侧上的暴露半导体层 66 和暴露单晶区上形成硅化物 68。同时，分别在 PFET 栅极叠层和 NFET 栅极叠层的暴露多晶硅部分 26，42 上形成硅化物。硅化物优选是钴的硅化物（ CoSi_2 ），其通过在所处理的基片上沉积一层钴，而优选地以自对准的方式（即“salicide”）来形成。然后，实施退火，以便使钴和与其接触的硅发生反应，从而形成硅化物 68。然后从所处理基片的剩余区域（即间隔件 29，30 和沟槽分离器 17）上除去未反应的钴。

图 10 - 14 表示出按照另一方法实施例制造具有应变沟道区 PFET 和 NFET 的芯片的各个阶段。图 10 表示出形成 PFET 栅极叠层 125 和 NFET 栅极叠层 145 之后的处理阶段。这些栅极叠层具有参照图 3 如上所述的相同结构。例如，PFET 栅极叠层具有覆盖栅极电介

质 113、氮化物侧壁间隔件 129 和氧化物绝缘帽 150 的栅导体 126。NFET 栅极叠层 145 具有相同的结构。沟槽分离器 117 位于上面设置有 PFET 栅极叠层 125 和 NFET 栅极叠层 145 的基片单晶区 114 的区域之间。

图 10 表示出与图 5 所示类似的处理阶段。已经在 PFET 栅极叠层 125 和 NFET 栅极叠层 145 之上沉积了共形掩蔽层 156。共形掩蔽层 156 优选包括氧化物例如二氧化硅。层 156 从围绕 PFET 栅极叠层 125 的单晶区 114 的区域上去除。这可通过成批掩蔽围绕 NFET 栅极叠层 145 的单晶区 114、其后利用各向异性蚀刻（例如 RIE）垂直蚀刻单晶区的层 156 和下面层 169，以与参照图 5 如上所述的相同方式来进行。在此蚀刻过程中，区域 160 没有蚀刻得象它们在如上所述实施例中的那样深。而是，区域 160 仅部分进行蚀刻。随后，此蚀刻限定硅顶层的形成层面。

其次，沉积第二共形掩蔽层 170，以形成如图所示的结构。此层 170 优选是作为共形掩蔽层 170 的氮化硅，其能够终止使晶格错配半导体选择性生长的后序步骤。其次，如图 11 所示，实施各向异性垂直蚀刻工艺例如 RIE，以便从沟槽 160 的底部除去掩蔽层 170。在此工艺过程中，间隔件 172 保留在沟槽 160 的侧壁和栅极叠层 125，145 上。在蚀刻过程中，从围绕 NFET 栅极叠层 145 的单晶区 114 的区域中所有水平表面（例如绝缘帽 150 上以及的第一掩蔽层 156 上）除去掩蔽层 170。

在此蚀刻之后，如通过有选择地对掩蔽层 170 的材料进行各向异性垂直 RIE，而使沟槽 160 进一步凹陷，从而导致如图 12 所示结构的生成。例如，如果掩蔽层 170 包括氮化硅，那么就有选择地对氮化硅进行蚀刻。或者是，通过有选择地对氮化硅进行各向同性蚀刻来实施此步骤。

其次，如图 13 所示，晶格错配半导体有选择地在沟槽 160 中生长。晶格错配半导体优选是硅锗。通过此工艺，硅锗层 176 在沟槽 160 的底部和侧壁上外延生长，高达间隔件 172 的层面水平但没有沉积在

其它地方。

其后，如图 14 所示，如通过有选择地对沟槽 160 中的硅和硅锗材料进行各向同性湿剥离处理，而除去掩蔽层 170 和间隔件 172。结果，沿沟槽侧壁 174 的单晶区 114 暴露。

其次，实施一个步骤，以便使沟槽 160 中硅外延层 178 有选择地在硅锗层 176 之上生长。这导致如图 15 所示结构的生成，其与以上图 8 中所示的类似，只是氧化物掩蔽层 156 保留在 NFET 栅极叠层 145 之上，代替图 8 中的氮化物掩蔽层 56。

其后，利用 RIE 蚀刻除去氧化物掩蔽材料 156。通过此蚀刻，除去氧化物绝缘帽 150，而就地剩下氮化物侧壁间隔件 129。然后优选地利用硅化钴使前述沟槽 160 和多晶硅栅导体层 126 和 142 的顶部之上的源极和漏极区域硅化，如上参照图 9 所述。

图 16-18 表示出如上参照图 9 所述方案的变型实施例。此变型实施例从诸如图 8 或图 15 所示的处理阶段进行。如图 16 所示，在此实施例中，将氧化物掩蔽层 156 和间隔件 29（或 129）从多晶硅栅导体 26，42（或 126，142）中去除，而在它们的位置提供新的间隔件。这样做的目的是避免由于间隔件的特征变化（例如几个种类的结合）而导致器件参数漂移，间隔件的特征变化是由于硅锗和硅外延生长过程的热预算（budget）增大导致的。

如图 17 所示，第一间隔件 230 在多晶硅栅导体 226，242 上形成。这优选地通过共形地沉积氮化硅、其后进行垂直蚀刻（如利用 RIE）来实施。然后，在 PFET 的源极和漏极区内（即，在单晶区 114 到 PFET 栅极叠层的间隔件 230 侧面的区域内）实施延伸和晕圈(halo)植入。延伸和晕圈植入也在 NFET 的源极和漏极区内（即在单晶区 114 到 NFET 栅极叠层的间隔件 230 侧面的区域内）实施。在每种情况中，延伸和晕圈植入仅用第一间隔件 230 实施，以便植入到更接近 PFET 和 NFET 晶体管的沟道区的区域中。

其后，在间隔件 230 上形成第二间隔件 232，然后在 PFET 栅极叠层的侧面上实施源极和漏极的植入，从而形成 PFET 源极和漏极区；

在 NFET 栅极叠层的侧面实施源极和漏极的植入，从而形成 NFET 源极和漏极区。以这种方式，源极和漏极植入区与晶体管的沟道区间隔一段所需的距离。

其后，以诸如如上所述的方式，分别在 PFET 栅极叠层和 NFET 栅极叠层的源极和漏极区中和多晶硅部分 226 和 242 之上形成硅化物。

前面有制造集成电路的 PFET 和 NFET 的所述方式，从而经由设置在 PFET 的源极和漏极区中的晶格错配半导体层，将第一应变施加到 PFET 的沟道区中。第一应变不施加到 NFET 的沟道区中，因为晶格错配的半导体层仅设置在 PFET 的源极和漏极区中，而不设置在 NFET 的源极和漏极区中。

已经描述了 PFET 和 NFET 的制造工艺，其中晶格错配的半导体仅设置在 PFET 的源极和漏极区中，而不设置在 NFET 的源极和漏极区中。此工艺，采用在 NFET 区域之上形成的掩蔽层，依赖于在这些区域中蚀刻沟槽，以变成 PFET 的源极和漏极区，并使硅锗层在其中外延生长，然后使硅层在该外延生长的硅锗层之上生长。

虽然以上参照本发明的优选实施例对本发明进行了描述，但是本领域的技术人员应该理解，在不脱离仅由所附权利要求书限定的本发明范围和精髓的前提下，能够作出许多修改和增进。

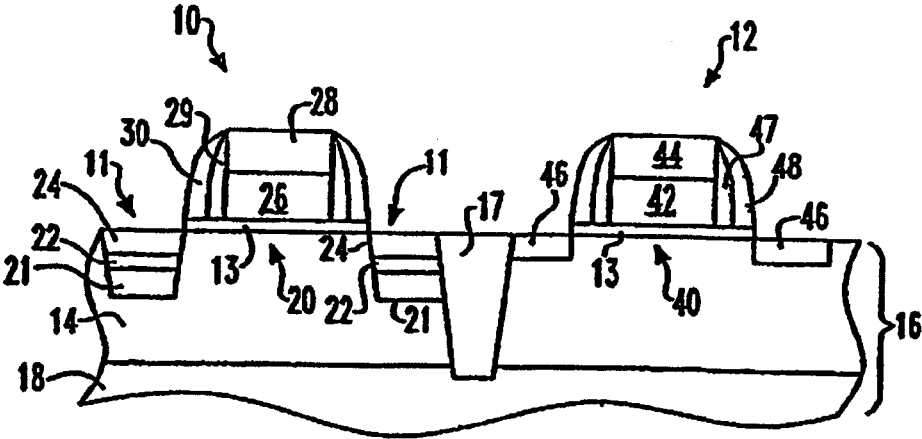


图 1

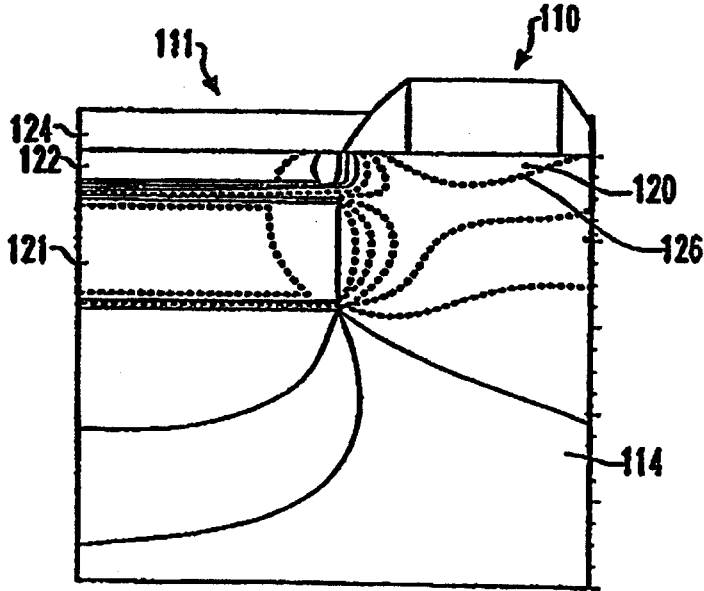


图 2

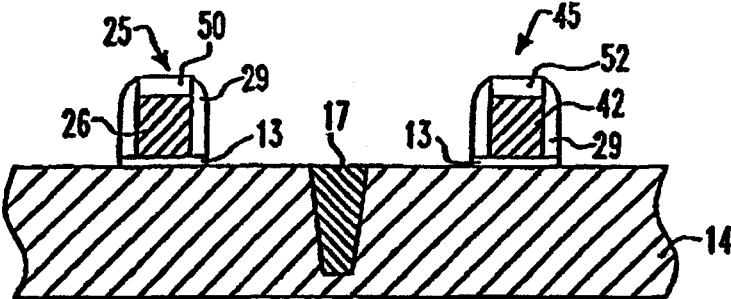


图 3

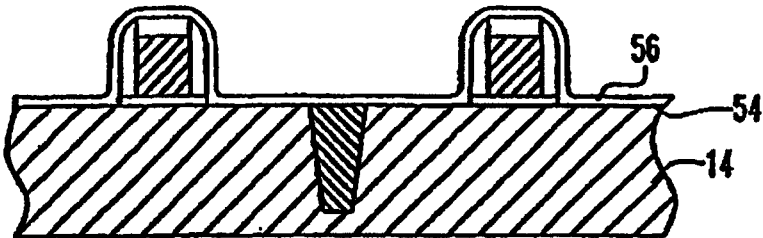


图 4

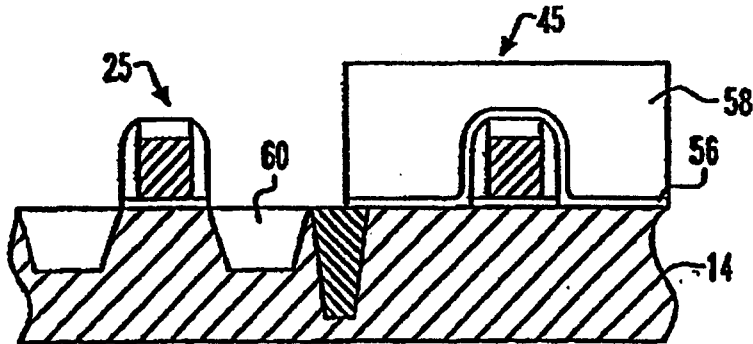


图 5

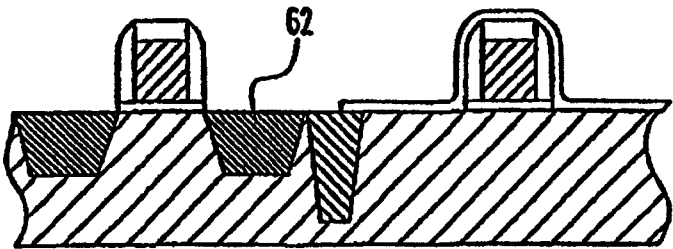


图 6

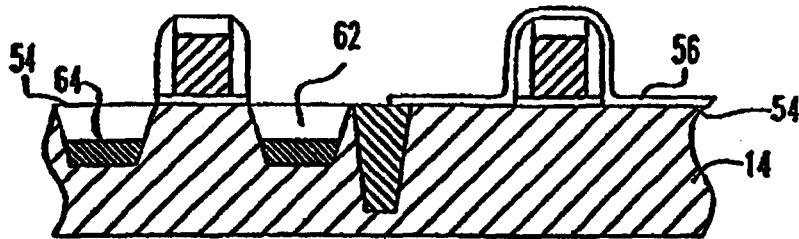


图 7

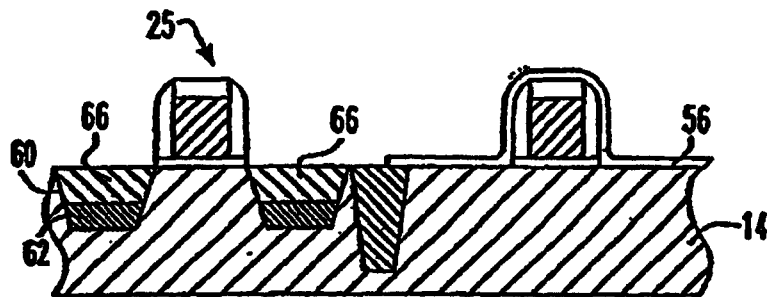


图 8

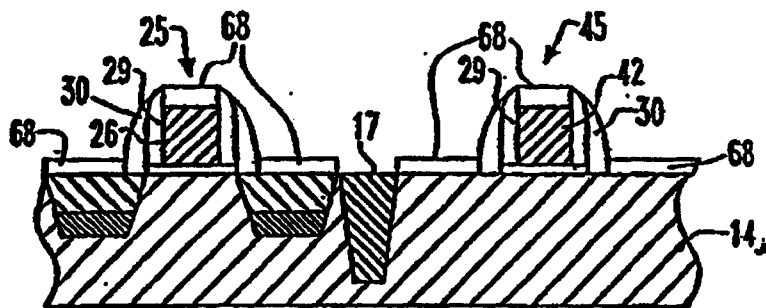


图 9

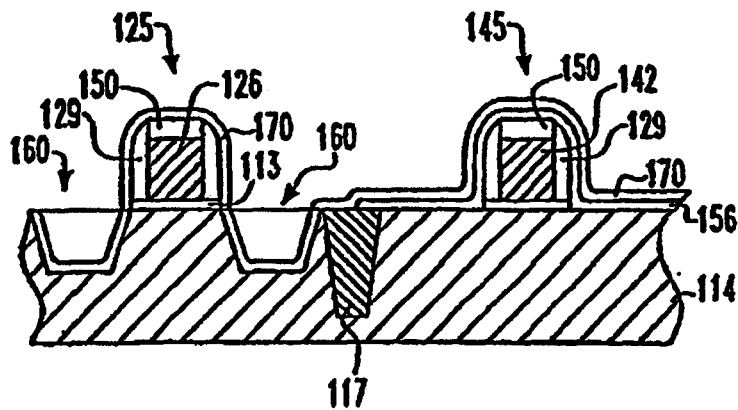


图 10

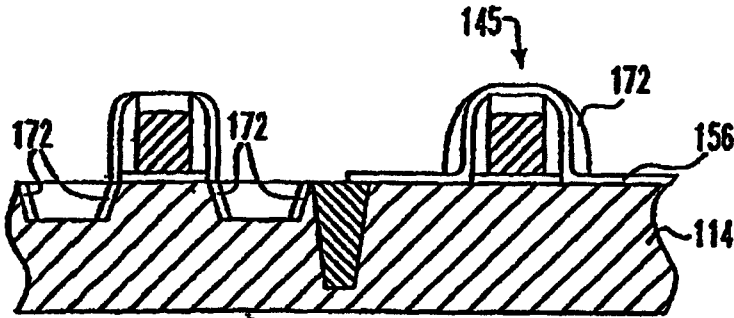


图 11

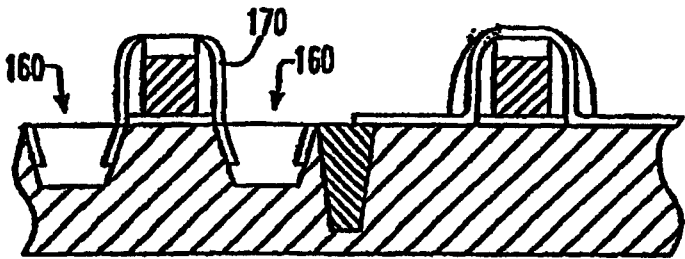


图 12

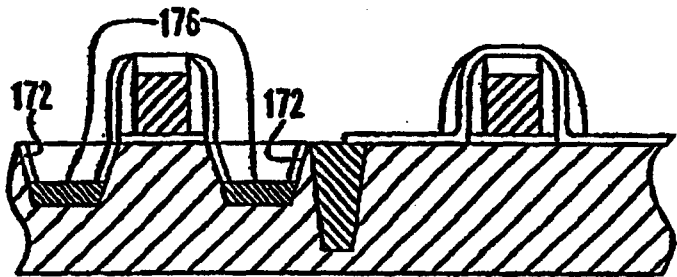


图 13

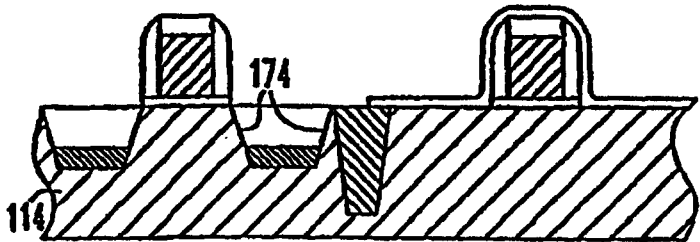


图 14

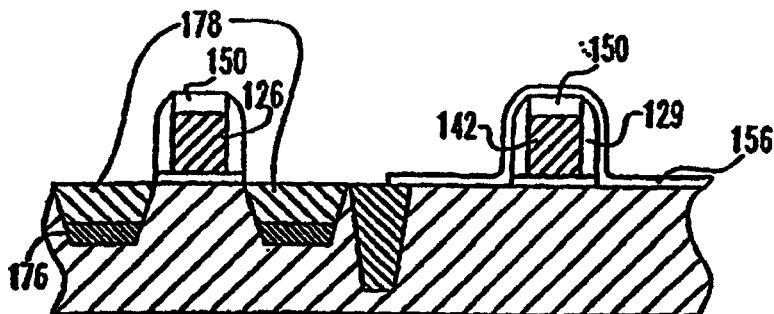


图 15

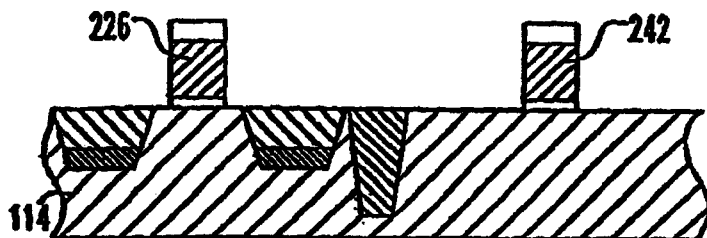


图 16

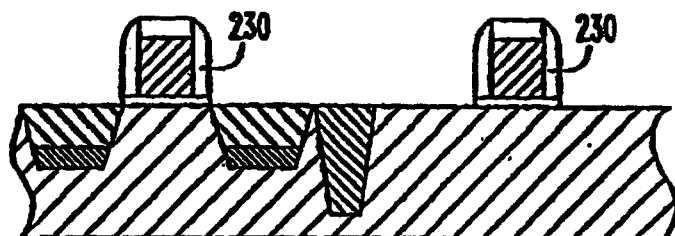


图 17

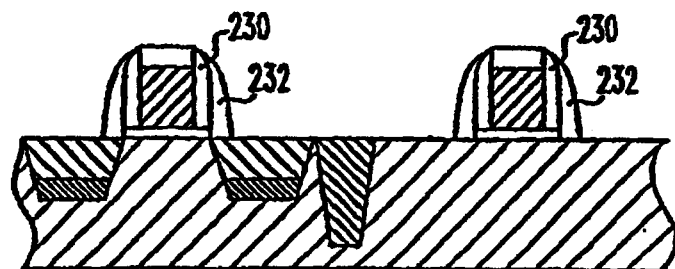


图 18