

公告本

296511

74062

申請日期	84 年 10 月 24 日
案 號	P4111 > 5
類 別	H03L 2/07

A4
C4

✓

Int. C (以上各欄由本局填註)

296511

發明專利說明書

一、發明 名稱	中 文	時鐘信號產生電路
	英 文	
二、發明 創作人	姓 名	(1) 栗田公三郎
	國 籍	(1) 日本 (1) 日本國東京都青梅市新町八三九-三〇六
	住、居所	
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 金井務

裝

訂

線

296511

724062

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1994 年 11 月 11 日 06-301691

☒無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[發明背景]

此發明係關於時鐘信號產生電路，主要是與利用形成內藏於互補式金氧半導體(Complementary metal oxide semiconductor; CMOS)積體電路並與由外部供應的時刻(timing)信號同步的時鐘信號的有效技術有關。

本專利發明者等人在特開平2-230821號公報中提出了：藉由設置對應著由外部端點所供應的時刻信號的頻率而改變構成鎖向位環(phase lock loop; PLL)的電壓控制型發振器(voltage control oscillator; VCO)的振盪頻率範圍的補償手段，而在大頻率範圍內能夠安定的動作的時鐘信號產生裝置。

[發明概要]

在上述的時鐘信號產生裝置中，VCO係由射極偶合型的多重振動器(multivibrator)，雙極性(bipolar)型電晶體(transistor)及金氧半導體場效應電晶體(metal-oxide-semiconductor-field-effect-transistor; MOSFET)的組合所構成，並使用利用時刻信號的設定(set)／復原(reset)的積分電路的頻率／電流變換手段來做為補償手段。因此，需要將雙極性型電晶體及MOSFET形成於同一半導體基板上，而使製造程序(process)變得複雜。再者，因為補償手段及VCO分別係會因元件特性的處理程序的不同而有所不同，所以本專利發明者等人發現了在現實上其動作範圍係受到限致。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

此發明的目的係在於提供：以簡單的構成且對應於半導體積體電路的外部所供應的時刻信號在大的頻率範圍內能夠安定的動作的時鐘信號產生電路。本發明的前述及其它的其的及新加的特徵可由本說明書的前述及附加圖面所得知。

本專利發明中的代表者的概要簡單說明為如下所述。即是，將從半導體積體電路的外部端點所供應的時刻信號及形成於半導體積體電路內部的時鐘信號輸入到相位比較器；並將比相位比較器的輸出信號經由低通濾波器而轉換成平滑的信號；並使用授受上述時刻信號的電流控制遲延電路的遲延信號及上述時刻信號而由補償電路將其轉換為對應於頻率的電流信號；將由上述低通濾波器所形成的電壓信號轉換成電流信號並與上述補償電路的電流信號合成，而控制使用由與上述電流控制遲延電路具有相同構成的電流控制遲延電路所構成的環型振盪器的振盪頻率，並由此環型振盪器的振盪信號而形成上述的時鐘信號及半導體積體電路內部所必需的同步時鐘信號。

〔作用〕

在上述的手段中，因為使用了設於PLL環的環型振盪器，及，與控制其動作範圍的補償電路具有相同構成的電流控制電路，所以電路的整合性會變好，使製造過程的不同的影響會被大幅的減輕，而能夠使用如CMOS電路等的簡單的構造的電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

[圖面之簡單說明]

第 1 圖係顯示本發明的時鐘信號產生電路的一實施例的方塊 (block) 圖。

第 2 圖係顯示構成圖 1 的 V C O 的環型振盪器的一實施例的電路圖。

第 3 圖係圖 2 的環型振盪器的電流－頻率特性圖。

第 4 圖係顯示圖 1 的補償電路的一實施例的具體的電路圖。

第 5 圖係顯示包含圖 1 的 V C O 的電壓－電流變換電路的一實施例的電路圖。

第 6 A 圖係用以說明圖 5 的電壓－電流變換電路的動作的 V B－I V 特性的圖。

第 6 B 圖係用以說明圖 5 的電壓－電流變換電路的動作的 I C－I V 特性的圖。

第 7 圖係用以說明圖 4 的補償電路的動作的波形圖。

第 8 A 圖係用以說明圖 4 的補償電路的特性。

第 8 B 圖係用以說明使用圖 4 的補償電路的 P L L 的特性圖。

第 9 圖係顯示本發明的時鐘信號產生電路中，構成 V C O 的環型振盪器的另一實施例的電路圖。

第 1 0 圖係顯示對應於圖 9 的環型振盪器的補償電路的一實施例的具體的電路圖。

第 1 1 圖係用以說明圖 1 0 的補償電路的動作的波形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

圖。

第 1 2 圖係顯示本發明的時鐘信號產生電路的另一實施例的概略電路圖。

第 1 3 圖係顯示本發明的時鐘信號產生電路的另一實施例的方塊圖。

第 1 4 圖係顯示圖 1 3 的電流控制閘極遲延 (gate-delay) 電路的一實施例的電路圖。

第 1 5 A 圖係用以說明圖 1 3 的電流控制閘極遲延電路的動作的 $I_v - t_d$ 特性的圖。

第 1 5 B 圖係用以說明圖 1 3 的電流控制閘極遲延電路的動作的 $f_i n - t_d$ 特性的圖。

第 1 6 A 圖係顯示本發明的時鐘信號產生電路所搭載的情報處理裝置的一實施例的方塊圖。

第 1 6 B 圖係顯示將複數個圖 1 6 A 的情報處理裝置搭載於構裝基板的一實施例的方塊圖。

[適當實施例的說明]

圖 1 顯示本發明的時鐘信號產生電路的一實施例的方塊圖。此圖的各電路方塊區及圖所未示的其它的內部電路係由公知的 C M O S 積體電路製造技術而形成於如單晶矽等的 1 片半導體基板上。

時刻信號 C I N (f i n) 係從半導體積體電路的外部端點所供應的頻率信號並供應到相位比較器 1 1 的一邊的輸入端點 (圖未示) 。由此發明的時鐘信號產生電路所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

形成的同步信號 $CLK(f_v / n)$ 則供應到此相位比較器 11 的另一邊的輸入端點(圖未示)。上述相位比較器 11 則檢出上述時刻信號 $CIN(f_{in})$ 與上述同步信號 $CLK(f_v / N)$ 的相位差並輸出與上述相位差相對應的誤差信號 ERR 。而相位比較器 11 所形成的誤差信號 ERR 則由低通濾波器 LPF 而轉換成平滑了的控制電壓信號 VB 。此控制電壓信號 VB 則由構成 $VCO13$ 的一部份的電壓-電流變換電路而轉換成電流信號 I_v ；而控制環型振盪器電流控制振盪器 22 (以下也稱為環型振盪器) 的振盪頻率。此環型振盪器 22 的輸出信號 $CKV(f_v)$ ，則由分頻電路 14 而做 $1/N$ 分頻並供應到圖所未示的內部電路以做為上述的同步時鐘信號 $CLK(f_v / N)$ ，而且，也輸入到上述相位比較器而為內部的頻率信號。由上述的構成而形成 PLL 電路。

在此實施例中，因為係使用為搭載在由 CMOS 電路所構成的半導體積體電路的時鐘信號產生電路，所以為了容易的以 CMOS 電路來實現上述的 $VCO13$ ，而設置了環型振盪器型電流控制振盪器。但是，因為相對於此環型振盪器 22 的元件特性的製程的變動差值係相對於其設定值有約 30% 的相當大的偏差，所以其自由程序進行 (free-run) 頻率會相對於其設計目標值有較大的變動，而且與後述的通常動作時相較，以極為遲的頻率的時鐘信號可容易的進行開發時的除錯 (debug)，所以設有如下所述的補償電路 15。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

此補償電路 15 的基本的動作係與本專利發明者等人先前在特開平 2 - 230821 號公報所提出的補償電路相同，偵測出時刻信號 $CIN(fin)$ 的頻率而使 $VCO13$ 的動作範圍變更。在此場合，必需要對如上所述的環型振盪器 22 的製程差異進行補償，必需要對使用於補償電路 15 的頻率 - 電流變換電路做特別的處理。

在本專利發明中，利用即使形成於半導體積體電路的元件特性的製程差異很大，但是元件相互間受到同樣的製程差異。其結果為相對的差異會變小；所以使用與環型振盪器 22 及補償電路 15 具有相同構成的遲延電路。

在圖 2 中顯示構成圖 1 的 $VCO13$ 的環型振盪器 22 的一實施例的電路圖。為了以如 CMOS 電路的簡單的構成來做成此實施例的 VCO ，換言之，為了使其能夠搭載於由 CMOS 電路所構成的半導體積體電路中，所以使用以 CMOS 電路所構成的環型振盪器。此環型振盪器係與後述的補償電路 15 中的電流控制遲延電路具有同樣的構成。

進行振盪頻率的控制的控制電流 I_v 係供應到由 N 通道型 MOSFET Q7 及 Q8 所構成的電流反映器 (current mirror) 電路所構成的控制電流電路 21。此 MOSFET Q7 係做為與構成遲延閘極 (gate) 電路 22 的 N 通道型 MOSFET Q10 等的電流反映器的形態。上述 MOSFET Q8 的洩極 (洩極端點) 係連接到二極體形態的 P 通道型 MOSFET Q9，並做

五、發明說明(7)

為與構成此 MOSFET Q9 及遲延閘極電路 222 的 P 通道型 MOSFET Q11 等為電流反映器的形態。由此，上述 N 通道型 MOSFET Q10 等及 P 通道型 MOSFET Q11 等係做為：流出隨著控制電流 I_v 而改變的電流的可變電流源而動作。

遲延閘極電路 222 的代表如例所示的 #1 的電路，在做為上述可變電流源而動作的 N 通道型 MOSFET Q10 及 P 通道型 MOSFET Q11 之間，以串聯的形態連接構成 CMOS 反相 (inverter) 電路的 N 通道型 MOSFET Q12 及 P 通道型 MOSFET Q13。由此，CMOS 反相電路的動作電流係由做為上述可變電流源的 N 通道型 MOSFET Q10 及 P 通道型 MOSFET Q11 所決定。而共通接續的最終段 (#9) 的遲延閘極電路 222 的輸出信號則回饋到上述 MOSFET Q12 及 Q13 的閘極。上述 MOSFET Q12 及 Q13 的洩極 (洩極端點) 係共通的連接，並連接到下一段電路 #2 的同樣的 CMOS 反相電路的輸入端點 (閘極端點)，全體 9 個的遲延閘極電路以環型狀縱列的連接而進行振盪的動作。

上述控制電流 I_v 及遲延閘極電路 222 的遲延時間 t_{pv} 的關係約為反比，可以下式 (1) 表之。此處， a_0 為常數。

$$t_{pv} = 1 / (a_0 \cdot I_v) \dots \dots (1)$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

在上述實施例中，因為係設為如 # 1 ~ # 9 的 9 段的環型振盪器，所以發振頻率 f_v 為 $1 / (18 \cdot t_{pv})$ ，由上式 (1) 可得下次 (2)，即振盪頻率 f_v 與控制電流 I_v 成正比。

$$f_v = (a_0 \cdot I_v) / 18 \dots \dots (2)$$

在圖 3 中顯示上述環型振盪器的電流－頻率特性圖。上述控制電流 I_v 與遲延閘極電路 2 2 2 的遲延時間 t_{pv} 的關係如上所述的約為反比。再者，因為遲延時間與振盪頻率 f_v 的關係也約成反比，結果振盪頻率 f_v 約與控制電流 I_v 成正比，而可由控制電流 I_v 所控制。在同圖中， f_{vc} 為中心頻率而電流 I_{vc} 為與其對應的控制電流。

在圖 4 中顯示圖 1 的補償電路 1 5 的一實施例的具體的電路圖。時刻信號 CIN 由分頻電路 1 5 做 $1 / 2$ 分頻並變換成脈衝寬度的能率 (duty) 為 50 % 的脈衝信號 a 。此脈衝信號 a 並由電流控制遲延電路 1 5 2 所遲延。並將此電流控制遲延電路 1 5 2 所遲延的脈衝信號 b 及上述的脈衝信號 a 一起輸入到邏輯電路 1 5 3。此邏輯電路 1 5 3 係由反及閘 (NAND) 電路 G_1 ， G_2 及反相電路 N_1 ， N_2 所構成，並產生對應於上述遲延電路 1 5 2 的遲延時間的脈衝信號 d ，及，從上述時刻信號 CIN 的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

1 周期減去上述脈衝信號 d 的時間的脈衝信號 e 。

即是，邏輯電路 1 5 3 係：由在時刻信號 C I N 的 1 周期間對應於上述遲延電路 1 5 2 的遲延時間的脈衝信號 d，使電荷泵 (charge pump) 電路 1 5 4 的 P 通道型 M O S F E T Q 1 在開 (O N) 狀態而使電容 (C 1) 1 5 5 由定電流源 I p 而充電 (charge up)，並由對應於剩餘的時間的脈衝信號 e 而使電荷泵電路 1 5 4 的 N 通道型 M O S F E T Q 2 在開狀態而使電容 (C 1) 1 5 5 由定電流源 I d 而放電 (dis charge)。因為時刻信號 C I N 由分頻電路 1 5 1 而做 1 / 2 分頻，所以上述的充電及放電係每時刻信號 C I N 的 2 周期而進行一次。即是，在上述的充電及放電結束時，在下一週期，電容 1 5 5 係保持如前的電荷的狀態。

如上所述的電荷 1 5 5 的電壓信號 f 經過由電阻 R 1 及電容 C 2 所構成的低通濾波器而變平滑。此低通濾波器 1 5 6 的輸出電壓 g 則輸入到電壓 - 電流變換電路 1 5 7 並轉換成電流信號 I M。即是，上述的電壓信號 g 被供應到 N 通道型 M O S F E T Q 3 的閘極 (閘極端點) 並在那裏轉換成來自洩極 (洩極端點) 的電流信號 I M。此電流信號 I M 藉由由 P 通道型 M O S F E T Q 4 及 Q 5 以及 Q 6 所構成的電流反映器電路，一方面通過 M O S F E T Q 5 而輸出做為上述遲延電路 1 5 2 的控制電流 I x，另一方面通過 M O S F E T Q 6 而輸出做為前述 V C O 1 3 的補償電流。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

上述的控制電流 I_x 係被供應到由與前述圖 2 的環型振盪器相同的 N 通道型 MOSFET $Q7'$ 及 $Q8'$ 所構成的電流反映器電路所構成的控制電流電路 221。此 MOSFET $Q7'$ 係與構成遲延閘極電路 222 的 N 通道型 MOSFET $Q10'$ 等為電流反映器的形態。而在上述的 MOSFET $Q8'$ 的洩極(洩極端點)則設有為二極體形態的 P 通道型 MOSFET $Q9'$ 。此 MOSFET $Q9'$ 係與構成遲延閘極電路 222 的 P 通道型 MOSFET $Q11'$ 等為電流反映器的形態。由此, 上述 N 通道型 MOSFET $Q10'$ 等及 P 通道型 MOSFET $Q11'$ 等的動作為依照控制電流 I_x 的大小而使電流流動的可變電流源。

遲延閘極電路 222, 其代表為如例所示的 #1 的電路, 在做為上述的可變電流源的 N 通道型 MOSFET $Q10'$ 及 P 通道型 MOSFET $Q11'$ 之間, 以串聯連接著構成 CMOS 反相電路的 N 通道型 MOSFET $Q12'$ 及 P 通道型 MOSFET $Q13'$, 而 CMOS 反相電路的動作電流的大小則由做為上述可變電流源的 N 通道型 MOSFET $Q10'$ 及 P 通道型 MOSFET $Q11'$ 所決定。上述 MOSFET $Q12'$ 及 $Q13'$ 的閘極(閘極端點)係共通的連接在一起, 並由上述的分頻電路 151 而供應分頻了的脈衝信號 a。上述 MOSFET $Q12'$ 及 $Q13'$ 的洩極(洩極端點)係共通的連接在一起, 並連接到下一段的遲延

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

閘極電路 # 2 的同樣的 C M O S 反相電路的輸入端點。

上述遲延閘極電路 (# 1) 係驅動由如上所述的 P 通道型 M O S F E T 及 N 通道型 M O S F E T 的閘極電容及配線電容所構成的電容性負荷，因為係由上述的動作電流而進行電容性負荷的充電／放電，所以等於是做為遲延電路而動作，且因為上述動作電流會隨控制電流 I_x 而改變，所以可做為電流控制遲延電路而動作。在此實施例中，雖然沒有特別的限制，但遲延閘極電路 2 2 2 係由 # 1 到 # 7 的全部 7 個的遲延閘極電路做縱列的連接而形成上述的遲延脈衝信號 b。

由控制電流 I_x 來控制上述遲延閘極電路 2 2 2 的遲延時間 t_{px} 而使上述時刻信號 C I N 的周期 ($1 / f_{in}$) 與遲延電路的遲延時間 t_1 的比率為一定。並對應著時刻信號 C I N 的周期，即是頻率 f_{in} 而形成補償電流 I_c 。此時的頻率 f_{in} 與補償電流 I_c 的關係為：在頻率 f_{in} 變高的時候周期 ($1 / f_{in}$) 會變短，而使控制電流 I_x 及 I_c 均變大以使遲延閘極電路 2 2 2 的遲延時間 t_{px} 也變小。反之，在頻率變低時周期 ($1 / f_{in}$) 會變長，而使控制電流 I_x 及 I_c 均變小以使遲延閘極電路 2 2 2 的遲延時間 t_{px} 變大。如此，補償電路 1 5 便可進行將輸入信號 C I N 的頻率轉換為電流信號的動作。

上述的補償電流 I_c 係，如以下所說明的，經過電壓－電流變換電路 2 1 而實質的決定了做為 V C O 的環型振

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

盪器 2 2 的中心頻率 f_{vc} 。此時，在補償電路 1 5 中，因為實際上進行頻率－電流轉換動作的遲延閘極電路及決定環型振盪器的振盪頻率的遲延閘極電路具有同樣的構成，所以控制電流 I_x 及 I_v 不會受到元件的製程差異的影響而可經常的保持約為一定的關係。因此，供應到 VCO 1 3 的補償電流與振盪中心頻率 f_{vc} 的關係，及，補償電路 1 5 中的補償電流及時刻信號 C I N 的頻率 f_{in} 的關係，即使在變換常數不同的場合也可保持同樣的相關關係，而能夠保持時刻信號 f_{in} 與振盪中心頻率 f_{vc} 的比例關係。如此，補償電路 1 5 可控制 VCO 1 3 的動作區域的中心頻率 f_{vc} 與從外部端點輸入的時刻信號 C I N 的頻率 f_{in} 為一比例的值。

在由 PLL 電路所構成的時鐘信號產生電路中，輸入的時刻信號 C I N 的頻率 f_{in} 及 VCO 1 3 的振盪輸出 CK V 的頻率的關係在 PLL 為鎖入後（鎖住狀態）一定會成為正比的關係（若將環（loop）的分頻數設為 N 則 $f_{in} = f_v / N$ ）。若將上述的頻率 f_{in} 及振盪輸出 f_v 的比例常數設定為與上述的補償電路 1 5 的頻率 f_{in} 及 VCO 1 3 的振盪中心頻率 f_{vc} 的比例常數相同，則振盪輸出 f_v 及 f_{vc} 會相同。即是，即使從半導體積體電路的外部端點輸入的時刻信號 C I N 的頻率 f_{in} 改變，或是有製程上的差值，VCO 1 3 也永遠會在振盪的動作區域的中心頻率 f_{vc} 的點動作。

圖 5 顯示包含於圖 1 的 VCO 1 3 的電壓－電流變換

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (13)

電路 2 1 的一實施例的電路圖。由 P L L 環的低通濾波器 1 2 所形成的控制電壓 V B 及基準電壓 V R 係分別供應到 N 通道型的差動 M O S F E T Q 1 9 及 Q 1 8 的閘極 (閘極端點) 。而在上述差動 M O S F E T Q 1 8 及 Q 1 9 的共通化了的源極 (source) (源極端點) , 則設置了形成電流 I 2 的 N 通道型 M O S F E T Q 1 6 。在上述補償電路 1 5 中所形成的補償電流 I c 與輸入的二極體形態的 N 通道型 M O S F E T Q 1 5 為電流反映器的形態。因此, 電流 I 2 係與形成為電流反映器形態的 M O S F E T Q 1 5 及 Q 1 6 的尺寸 (size) 比 a 2 成正比, 即是 $I_2 = a_1 \cdot I_c$ 。

在上述差動 M O S F E T Q 1 8 及 Q 1 9 的洩極 (洩極端點) 設置了為電流反映器形態的 P 通道型 M O S F E T Q 2 0 , Q 2 1 。並使一邊的差動 M O S F E T Q 1 8 的洩極電流經過為上述電流反映器形態的 M O S F E T Q 2 0 及 Q 2 1 而使同樣的電流流入另一邊的差動 M O S F E T Q 1 9 的洩極。因此, 在控制電壓 V B 與基準電壓相等時, 流經差動 M O S F E T Q 1 8 及 Q 1 9 的洩極的電流等於 $I_2 / 2$ 而使輸出端點的電流為零。在控制電壓 V B 變高而 M O S F E T Q 1 9 為開的狀態下, 若 M O S F E T Q 1 8 是在關的狀態則 M O S F E T Q 1 9 會有電流 I 2 流入並在其輸入端點形成如 $-I_2$ 的吸入電流。在控制電壓 V B 變低而 M O S F E T 在開的狀態下, 若 M O S F E T Q 1 9 是

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

在關的狀態 MOSFET Q 1 8 會有電流 I_2 流入並經由上述電流反映器電路而在輸出端點形成如 $+I_2$ 的押出電流。

在接受上述補償電流 I_c 的 MOSFET Q 1 5 中設有為電流反映器形態的 N 通道型 MOSFET Q 1 7。在此 MOSFET Q 1 7 的洩極 (洩極端點) 則設有為二極體形態的 P 通道型 MOSFET Q 2 2。並使由上述 MOSFET Q 1 7 所形成的電流 I_1 及上述差動電路的輸出電流的合成電流流入此 MOSFET Q 2 2。由此，從上述 P 通道型 MOSFET Q 2 2 及為電流反映器的 P 通道型 MOSFET Q 2 3 而形成對應於上述電流 $I_1 \pm I_2$ 的輸出電流 I_v 。並依為電流反映器形態的 MOSFET Q 1 5 及 Q 1 7 的尺寸比 a_1 而形成電流 I_1 。即是 $I_1 = a_1 \cdot I_c$ 。

圖 6 A 及圖 6 B 顯示用以說明上述電壓 - 電流變換電路 2 1 的動作的特性圖。圖 6 A 顯示其 $V_B - I_v$ 特性。在圖 6 A 的特性中顯示：若以基準電壓 V_R 為中心而使控制電壓 V_B 在正或負方向變化，則與此相對應的電流 I_2 的分配比也會變化，此差分的電流會與電流 I_1 重疊 (合成) 而形成輸出電流 I_v 。圖 6 B 顯示其 $I_c - I_v$ 特性。並顯示上述電流 I_1 及 I_2 均為與由補償電路所形成的補償電流控制信號 I_C 成正比的變化。電流 I_1 係設定中心控制電流 I_{vc} 而電流 I_2 則對應 PLL 的控制電壓 V_B 而設定其動作範圍的最大值 I_{vmax} 及最小值

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

I v m i n 。

圖 7 顯示用以說明圖 4 的補償電路的動作的波形圖。時刻信號 C I N 被分頻電路 1 5 1 做 $1/2$ 的分頻並形成脈衝寬度為對應於時刻信號 C I N 的 1 周期的脈衝寬度的能率的脈衝信號 a。將此脈衝信號輸入到電流控制遲延電路 1 5 2 而形成遲延脈衝信號 b。此 2 脈衝信號 a 及 b 則經由邏輯電路 1 5 3 而形成：對應於遲延時間 t_1 且為低準位 (low level) 的脈衝信號 d，及，對應於從上述時刻信號 C I N 的 1 周期減去上述遲延時間 t_1 的時間 t_2 且為高準位 (high level) 的脈衝信號 e。脈衝信號 c 則為用以基於上述脈衝信號 a 及 b 而生成上述脈衝信號 d 及 e 的信號。

由上述脈衝信號 d 的低準位，電荷泵 (charge pump) 電路 1 5 4 的 P 通道型 MOSFET Q 1 會成為開狀態使電容 1 5 5 充電 (charge up)；而由上述脈衝信號 e 的高準位，電荷泵電路的 N 通道型 MOSFET Q 2 會成為開狀態使上述電容 1 5 5 放電 (dis charge)。因此，在電容 1 5 5 上形成對應於上述充電動作及放電動作的電壓信號 f。此電壓信號 f 再由低通濾波器 1 5 6 而變平滑而形成控制電壓 g。

因為遲延閘極電路 2 2 2 與使用於環型振盪器 2 2 所使用的遲延閘極電路具有同樣的構成，所以能夠將控制電流 I_x 及遲延閘極電路的遲延時間 p_x 的關係表式為使用與前述式 (1) 同樣常數 a_0 的式 (3)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

$$t_{px} = 1 / (a_0 \cdot I_x) \dots \dots \dots (3)$$

由此，因為遲延時間 t_1 為遲延閘極電路 2 2 2 以 # 1 ~ # 7 的 7 段所構成，所以能夠以如下式 (4) 來表示：

$$t_1 = 7 t_{px} \dots \dots \dots (4)$$

在此時間 t_1 中，由電流 I_p 而進行前置充電 (pre-charge) 動作而注入電荷 Q_p 到電容 1 5 5。因此，電容 1 5 5 的電壓 f 會上昇。然後，在時間 t_2 [$(1 / f_{in}) - t_1$] 中，由電流 I_d 而進行放電而放出電荷 Q_d 使上述電壓 f 下降。上述電荷 Q_p 及 Q_d 可由下式 (5)，(6) 來表示：

$$Q_p = t_1 \cdot I_p \dots \dots \dots (5)$$

$$Q_d = t_2 \cdot I_d = [(1 / f_{in}) - t_1] \cdot I_d \dots \dots \dots (6)$$

低通濾波器 1 5 6 則將上述的電壓 f 平滑而形成控制電壓 g 。此電壓 g 被加到 N 通道型 MOSFET Q_3 的閘極 (閘極端點)，而轉換成控制電流 I_M ，並經由電流反映器電路而形成正比於上述電流 I_M 的控制電流 I_x ，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

而控制上述遲延閘極電路 2 2 2 的遲延時間 t_{px} 。

在此電流 I_x 很大的場合，遲延時間 t_{px} 會由式 (3) 所示的變小，如式 (4) 所示的前置充電時間 t_1 也會變短。如此，因為由式 (5)，電荷 Q_p 會變小，而由式 (6) Q_d 會變大，所以電容 1 5 5 的電壓 f 會變低，其平滑了的控制電壓 g 也會變低使上述電流 I_M 變小。反之，在此電流 I_x 很小的場合，如式 (3) 所示的遲延時間 t_{px} 會變大，如式 (4) 所示的前置充電時間 t_1 也會變長。如此，因為由式 (5)，電荷 Q_p 會變大，而由式 (6) Q_d 會變小，所以電容 1 5 5 的電壓會上昇，其平滑了的控制電壓 g 也會增大使上述電流 I_M 變大。

即是，上述電路構成一負回饋環，當前置充電電荷 Q_p 與放電電荷 Q_d 相等時，此回饋環達到平衡，在式 (5) 及 (6) 中，當 $Q_p = Q_d$ ，則下式 (7) 成立：

$$1 / f_{in} = 7 \cdot t_{px} [1 + (I_p / I_d)] \quad \dots \dots (7)$$

此式代表時刻信號 CIN 的周期 $1 / f_{in}$ 及內藏的遲延閘極電路 2 2 2 的遲延時間 t_{px} 的比率為一定值，而在回饋環內產生控制電壓 I_x 以使式 (7) 成立。因此，由式 (7) 及式 (3)，上述控制電流 I_x 如式 (8) 所示的與時刻信號 CIN 的頻率 f_{in} 成正比。

五、發明說明 (18)

$$I_x = (7 / a_0) - [1 + (I_p / I_d)] \cdot f_{in} \dots \dots (8)$$

再者，由形成與上述控制電流 I_x 成正比的補償電流 I_c ，而使電流 I_c 與 I_x 的關係為 $I_c = a_3 \cdot I_x$ ，則下一式 (9) 可成立，且可知補償電流 I_c 與時刻信號 CIN 的頻率 f_{in} 成正比。

$$I_c = (7 \cdot a_3 / a_0) \cdot [1 + (I_p / I_d)] \cdot f_{in} \dots \dots (9)$$

圖 8 A 及 8 B 顯示用以說明上述補償電路及使用此電路的 PLL 的特性圖。圖 8 A 為補償電路 15 的特性圖，顯示補償電流 I_c 與時刻信號 CIN 的頻率 f_{in} 成正比。圖 8 B 則為 PLL 的特性圖。並由上述補償電路 15 的補償電流 I_c 而決定 VCO 13 的振盪動作區域的中心頻率 f_{vc} 。即是，因為式 (2) 中的控制電流 I_v 為電壓—電流變換電路的電流 $I_1 (= a_1 \cdot I_c)$ ，而能夠以下式來表示。

$$f_{vc} = (7 / 18) \cdot a_1 \cdot a_3 \cdot [1 + (I_p / I_d)] \cdot f_{in} \dots \dots (10)$$

在 PLL 環中，在後所輸入的時刻信號 CIN 的頻率

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

f_{in} 及 VCO 13 的振盪頻率 f_v 的關係，因為環內的分頻電路 14 的分頻比為 N ，所以 $f_v = N \cdot f_{in}$ 。因此，若將此分頻比 N 設為與式 (10) 的比例常數及如下式 (11) 般相同的話，則 f_v 及 f_{vc} 會相等。

$$N = (7 / 18) \cdot a_1 \cdot a_3 \cdot [1 + (I_p / I_d)] \dots \dots (11)$$

在式 (11) 中， a_1 及 a_3 均是由電流反映器電路的 MOSFET 的尺寸比而決定，也能夠由同樣的電流反映器電路的 MOSFET 的尺寸比而設定電流 I_p 及 I_d 。即是，在此實施例的 VCO 中，即使 MOSFET 的特性具有差值，但因其相對的具有高精度，所以實際上其製程差值會互相抵消，而對應著時刻信號 CIN 的頻率而一直能夠在大的頻率範圍內做安定的動作。

圖 9 顯示此發明的時鐘信號產生電路中，構成 VCO 的環型振盪器的另一個實施例的電路圖。在使用如前所述的 CMOS 反相電路的場合，因為此信號振幅受到電源電壓的變動的影響，所以會有振盪頻率易受到電源電壓的變動的問題。此處，在此實施例中，利用下述的差動閘極電路。在同圖的電路元件上所付的電路符號，雖然與前述的實施例中的符號重複，但是是分別具有不同的電路功能。在下一個圖 10 的電路元件中也是同樣的。

控制電流 I_v 係供應到為二極體形態的 N 通道型

五、發明說明 (20)

M O S F E T Q 1。此 M O S F E T Q 1 與，如例所示的形成差動閘極電路 3 0 2 的動作電流的 N 通道型的電流源 M O S F E T Q 2 為電流反映器的形態。此 M O S F E T Q 2 的洩極（洩極端點）則連接到 N 通道型的差動 M O S F E T Q 3 及 Q 4 的共通源極（共通源極端點）。再者，在各差動 M O S F E T Q 3 及 Q 4 的洩極（洩極端點）及電源電壓之間則設有由供應接地電位到閘極（閘極端點）而作為電阻元件的 P 通道型的 M O S F E T Q 5 及 Q 6 以做為負載電阻。

差動閘極電路 3 0 2 則由 # 1 到 # 5 的 5 段電路以環狀連接而構成環型振盪器。即是，與第 1 段的差動閘極電路互補的輸出信號分別供應到下一段電路 # 2 的差動 M O S F E T 的閘極（閘極端點），以下同樣的使與各段互補的輸出信號供應到下一段電路的差動輸入，而構成環型振盪器。在此構成中，來自各差動閘極電路的輸出的互補輸出信號依序傳到下一段電路的差動輸入，並以小的信號振幅而依序傳送。因此，能夠大幅的減小電源電壓的變動的影響。

在此實施例中，第 5 段的差動閘極電路 # 5 的互補的輸出信號係回饋到第 1 段的差動閘極電路 # 1，而且傳到輸出差動電路 3 0 3。在輸出差動電路 3 0 3 中，供應如前所述的互補的輸出信號到差動 M O S F E T Q 8 及 Q 9 的閘極（閘極端點）。然後，在此差動 M O S F E T Q 8 及 Q 9 的共通源極（共通源極端點）及電路的接地

五、發明說明 (21)

電位之間設置 N 通道型 MOSFET Q 7 以做為電流源。在上述差動 MOSFET Q 8 及 Q 9 的洩極 (洩極端點) 則設有由 P 通道型 MOSFET Q 10 及 Q 11 所構成的電流反映器電路以做為主動 (active) 負載電路。由此，形成單端 (single end) 的增幅輸出信號，並經過設於輸出段的 CMOS 反相電路而輸出 CMOS 準位 (level) 的振盪信號 K C V。

圖 10 顯示對應於上述圖 9 的環型振盪器的補償電路的一實施例的具體的電路圖，圖 11 則顯示其動作波形圖。與前述實施例同樣的，時刻信號 C I N 被 $1/2$ 分頻電路所分頻而轉換成脈衝的能率 (duty) 為 50% 的脈衝信號 a。此脈衝信號 a 則由與前述環型振盪器構成相同的電流控制遲延電路的差動閘極電路 302 所遲延。即是，經過如差動閘極電路 302 # 1 ~ # 10 以 10 段縱列連接而成的電流控制遲延電路及差動輸出電路 303 所輸出的脈衝信號 a 的遲延信號 h 與此脈衝信號 a 一起輸入到邏輯電路 313。此邏輯電路 313 係由反及閘電路 G 1 及反相器電路 N 1 所構成，並對應於上述遲延電路的遲延時間 t_3 而成為低準位，只有在從上述時刻信號 C I N 的 2 周期 ($1/f_{in} + 1/f_{in}$) 減去上述遲延時間 (t_3) 的時間 t_4 會產生高準位的脈衝信號 i。

即是，邏輯電路 313 在時刻信號 C I N 的 1 周期間 ($1/f_{in}$) 中，對應於上述遲延電路的遲延時間 t_3 ，使脈衝信號 i 為低準位，並使電荷泵電路 31 的 P 通道

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

型 MOSFET Q 1 為關的狀態，並使電容 C 1 由定電流源 I_p 而充電，而對應於上述 2 周期中剩餘的時間 t₄ 則使脈衝 i 為高準位，並使電荷泵電路 3 1 4 的 N 通道型 MOSFET Q 2 為開的狀態，並使電容 C 1 由定電流源 I_d 而放電。

如上所述的電容 C 1 的電壓信號 j 係供應到 N 通道型 MOSFET Q 3 的閘極（洩極端點）及源極（源極端點）之間，並在此處轉換成來自洩極（洩極端點）的電流信號。此電流信號由以 P 通道型 MOSFET Q 4 及 Q 5 及 Q 6 所構成的電流反映器電路而另一方面經過 MOSFET Q 5 而輸出為上述遲延電路的控制電流 I_x，另一方面則經過 MOSFET Q 6 而輸出為上述 VCO 的補償電流 I_c。

上述的控制電流 I_x 係經由與前述圖 2 所示的環型振盪器同樣的 N 通道型 MOSFET Q 7 及 Q 8 所構成的電流反映器電路而控制差動閘極電路的動作電流。在此實施例中，使用差動閘極電路，在第 1 段的差動閘極電路 # 1 中供應上述的脈衝信號 a 到一方的差動 MOSFET Q 9 的閘極，並對另一方的差動 MOSFET Q 10 的閘極供應由電阻 R 1 及 R 2 所構成的偏壓（bias）電路 3 1 1 的中點電壓。從第 2 段的電路 # 2 到最後一段的電路 # 10 為止，也是與環型振盪器同樣的依序供應互補的輸出信號以做為下一段的差動輸入信號。然後，最後一段電路 # 10 的輸出信號則由輸出差動電路 3 0 3 而轉換成

五、發明說明 (23)

單端的信號並送到上述的邏輯電路 3 1 3。邏輯電路 3 1 3 的反相器電路 N 1 則同時也具有將上述差動輸出電路 3 0 3 的輸出信號轉換成 C M O S 準位的準位變換的功能。

上述的差動閘極電路 (# 1) 係藉由形成於 M O S F E T Q 8 的動作電流而由差動 M O S F E T Q 9 及 Q 1 0 而切換，並使由下一段電路的閘極電容及配線電容所構成的電容性負載放電而進行信號遲延。因為形成於上述 M O S F E T Q 8 的動作電流會對應著流入與其為電流反映器形態的 M O S F E T Q 7 的控制電流 I_x 而變化，所以能夠做為電流控制遲延電路而動作。

藉由控制電流 I_x 來控制上述差動閘極電路 3 0 2 的遲延時間 t_{px} 而使上述時刻信號 C I N 的周期 ($1 / f_{in}$) 與遲延電路的遲延時間 t_3 的比率為一定值。並依時刻信號 C I N 的周期，即是頻率 f_{in} 而形成補償電流 I_c 。此時的頻率 f_{in} 與補償電流 I_c 的關係在頻率 f_{in} 變高時周期 ($1 / f_{in}$) 會變短，而控制電流 I_x 及 I_c 均變大以使差動閘極電路 3 0 2 的遲延時間 t_{px} 變小。反之，在頻率 f_{in} 變低時周期 ($1 / f_{in}$) 會變長，而控制電流 I_x 及 I_c 均變小以使差動閘極電路 3 0 2 的遲延時間 t_{px} 變大。如此的補償電路可執行將輸入信號 C I N 的頻率轉換成電流信號的動作。

上述的補償電流 I_c 係經由如前述圖 5 的電壓 - 電流變換電路而決定實質上作為 V C O 的環型振盪器的中心頻

五、發明說明 (24)

率 f_{vc} 。此時，因為在補償電路中實質的執行頻率－電流變換動作的差動閘極電路及決定環型振盪器的振盪頻率的差動閘極電路有同樣的構成，所以控制電流 I_x 及 I_p 不會受到元件的製程差值的影響而能夠保持一定的關係。

在此實施例中，在電荷泵電路 314 上附加了以下的功能。藉由以控制信號 $S_1 \sim S_4$ 選擇的將充電上述電容 C_1 的定電流 I_p 設定為低準位，以電流 I 為基準，而流入其 3 倍的 I ，7 倍的 I 及 15 倍的 I 而執行電流的切換。即是，在 PLL 環，在鎖入後所輸入的時刻信號 CIN 的頻率 f_{in} 及 $VCO13$ 的振盪頻率 f_v 的關係係：由環內的分頻電路 14 的分頻比的 N 所決定，而在此 N 變更之時，由上述控制信號 $S_1 \sim S_4$ 而對應著上述分頻比 N 而改變電流 I_p 及 I_d 的比，而能夠保持前述式 (11) 的關係。上述控制信號 $S_1 \sim S_4$ 可以是由搭載於本發明的時鐘信號產生電路的半導體積體電路的外部端點所供應。也可以是對應著上述分頻比 N 的改變而在上述半導體積體電路的內部形成上述的控制信號 $S_1 \sim S_4$ 並供應給電荷泵電路 314。

圖 12 顯示本發明的時鐘信號產生電路的其它的一實施例的概略電路圖。在此實施例中，係只能得到對從外部端點輸入的時刻信號而使頻率倍增的時刻信號的電路。即是，並不像 PLL 一般的也能調整相位，而是只能夠使頻率以一定的比率變高的時刻信號的頻率倍增信號。

在此實施例中，係由如前所述的補償電路及環型振盪

五、發明說明 (25)

器的組合所構成。即是，由前述圖 1 的實施例的補償電路所形成的控制電流而控制環型振盪器型電流控制電路，由式 (10) 所示的關係而能夠簡單的得到倍增了的內部頻率信號 f_v 。雖然沒有特別的限制，但是此內部頻率 f_v 係供應到構成內部昇壓電源電路的電荷泵電路，並能夠利用於：相對於外部端點所供應的時鐘信號而以高頻率而得到安定的昇壓電壓的場合。此外，也能夠廣泛的利用於：對外部端點所供應的時鐘信號脈衝，需要倍增了的脈衝的時鐘信號產生電路。

圖 13 顯示此發明的時鐘信號產生電路的另一實施例的方塊圖。在此實施例中，形成與外部端點所供應的時刻信號同頻率且相位同步的同步時鐘信號。即是，相對於從外部端點所供應的時刻信號而形成遲延 1 周期的內部同步信號。基本上，在圖 1 的 PLL 電路中，除了省略了插入於 PLL 環的分頻電路外，也使用了與補償電路 15 相同的電流控制閘極遲延電路 23 以取代環型振盪器 22。

在此實施例中，在時刻信號 CIN 的頻率變化時，由補償電路 15 來設定其基本的遲延時間，並由相位比較器 11 而檢出此遲延時間及時刻信號的誤差信號（相位差） ERR ，並由低通濾波器 12 而轉換成電壓信號 VB 而進行電流控制閘極遲延電路 23 的微調整。由此，能夠使接受外部端點所供應的時刻信號 CIN 的電流控制閘極遲延電路 23 的輸出信號 CLK 為相對於上述時刻信號 CIN 為遲延且正確而同步的同步時鐘信號。在此構成中，也是

五、發明說明 (26)

與前述實施例同樣的，由與使用補償電路 1 5 的控制電流遲延電路及使上述輸入信號 C I N 遲延的電流控制遲延電路 2 3 同樣的電路構成的遲延電路所構成，所以即使輸入信號 C I N 係設定於大的頻率範圍，也能夠隨之而得到正確的同步的同步時鐘信號 C L K。

圖 1 4 顯示上述電流控制電壓閘極遲延電路 2 3 的一實施例的電路圖。基本上，係由與前述圖 2 的環型振盪器同樣的遲延閘極電路 2 2 2 以縱列連接所構成。與圖 2 的環型振盪器不同點只有：最終段的遲延閘極電路 2 2 2 (# 4) 的輸出信號並沒有回饋到第一段的遲延閘極電路 2 2 2 (# 1)。

圖 1 5 A 及圖 1 5 B 顯示用以說明電流控制閘極遲延電路 2 3 的動作的特性圖。圖 1 5 A 顯示遲延時間 t_d 與控制電流的反比 ($1 / I_v$) 的關係。即是，如前所說明的，遲延時間 t_d 與控制電流 I_v 係成反比的關係。圖 1 5 B 則顯示上述補償電路的中間遲延時間 t_{dc} 及對應於相位比較器的相位差 E_{RR} 的最大遲延時間 t_{dmax} 及最小遲延時間 t_{dmin} 。此為與圖 8 B 的特性圖相對應。

在此實施例中，遲延時間 t_{dc} 及時刻信號的周期 ($1 / f_{in}$) 的關係也是與前述的同樣的係由電流反映器電路的 M O S F E T 的尺寸比而決定。即是，在此實施例的遲延電路中也是，即使有 M O S F E T 的特性差值，但因其相對的精度高，所以實質上其製程差值相抵消，而對

五、發明說明 (27)

應時刻信號的頻率能夠在大的頻率範圍內一直實現安定的動作。

如以上的說明，因為能夠實現內部電路的動作點不受輸入的時刻信號 C I N 的頻率 f_{in} 的變化及製程差值的影響的時鐘信號產生電路，所以能夠增大其動作頻率範圍。再者，因為能夠由設置如上所述的補償電路或將遲延電路的遲延變化區域設的較小，所以即使遲延電路的遲延時間 t_d 與時刻信號 C I N 的周期 ($1 / f_{in}$) 不相同，在 2 以上的自然倍數時也能夠防止變為同步的擬似同步。

圖 1 6 A 顯示搭載於本發明的時鐘信號產生電路的情報處理裝置的一實施例的方塊圖。此實施例的情報處理裝置，如同圖的點線所示的，為一半導體積體電路裝置 L S I 晶粒所構成的 R I S C 型處理器 (processor)。

時鐘信號產生電路 C P G 係由如前所述的 P L L 電路的時鐘信號產生電路所構成。I-Cache 為內藏程式的命令隱藏記憶體 (cache memory)；D-Cache 為內藏資料的資料用隱藏記憶體。I U 為整數計算單元 (unit)，F U 為浮動小數點計算單位。

形成於上述的時鐘信號產生電路 C P G 的時鐘信號脈衝係由時鐘信號驅動器 (clock driver) C L D 而分配到晶粒的全面並供應到各內部電路。即是，使從時鐘信號脈衝產生電路 C P G 供應到各內部電路所設的傳達路徑的時鐘信號驅動器的段數相等，而且使其約具有相同的配線長以減少內部時鐘信號脈衝相互的差。再者，使最後一段的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

時鐘信號驅動器的輸出互相吸收：包含互相連接（短路）的時鐘信號驅動器的時鐘信號分配路徑的信號遲延的差值。

在時鐘信號產生電路 C P G 產生為晶粒內部的基準的內部時鐘信號及與從外部輸入的時刻信號 C I N 周期的內部時鐘信號。由此，如圖 1 6 B 所示的，在取得構裝基板 P B 上的複數的半導體積體電路裝置 L S I （晶粒）間的同步時便不需要考慮時鐘信號驅動器的遲延時間。再者，如前所述的，在時鐘信號產生電路 C P G 中，即使有時刻信號 C I N 的頻率變化及製程差值，也能夠安定的動作，並不需要用以搭載 P L L 電路的特別的製程差值管理及增加製造過程。雖然沒有特別的限定，但圖 1 6 B 所示的內部電路 1 0 0 及 2 0 0 係包含圖 1 6 A 所示的命令隱藏記憶體 I - C a c h e ，資料用隱藏記憶體（D - C a c h e ），整數運算單元 I V 及浮動小數點運算單元 F U 等電路。在此實施例的時鐘信號產生電路 C P G 中以高精確度的產生：對應時刻信號 C I N 的大範圍的頻率的內部時鐘信號。針對此點，在平常的動作中，也可以對應著構裝基板等上的信號配線的時鐘信號頻率而分配較低的時鐘信號；而在各半導體積體電路則以超過對應著 P L L 的分頻比的上述信號配線的信號傳達頻率的上限的高頻的內部時鐘信號來動作以進行高速動作。

再者，在開發設計上述時鐘信號產生電路所搭載的各處理器及其周邊電路時，為了簡化電路的偵錯，而以比通

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (29)

常的動作頻率低很多的時鐘信號來動作。此時，只要使上述時刻信號 C I N 的頻率與其對應的設的較低，便能夠不像以往的設置偵錯用的時鐘信號輸入端點，便能夠大幅的降低內部時鐘信號的頻率並能夠簡單的進行連續的 (sequential) 電路動作的確認。

從上述的實施例所得的作用效果如下所述的，即是：

(1) 將從半導體積體電路的外部端點所供應的第 1 的頻率信號及形成於半導體積體電路內部的第 2 的頻率信號輸入到相位比較器，並經由低通濾波器而將此相位比較器的輸出信號轉換成平滑的電壓信號，並使用接受上述第 1 的頻率信號的電流控制遲延電路的遲延信號及上述第 1 的頻率信號由補償電路而轉換為對應於頻率的電流信號，並將由上述低通濾波器所形成的電壓信號轉換成電流信號並與上述補償電路的電流信號合成，並使用由與上述電流控制遲延電路相同構成的電流控制遲延電路而控制所構成的環型振盪器的振盪頻率，並基於此環型振盪器的振盪信號而形成上述第 2 的頻率信號及半導體積體電路內部所必要的時鐘信號。由此構成，因為設置於 P L L 環的環型振盪器及控制其動作範圍的補償電路係使用同樣構成的電流控制遲延電路，所以電路的整合性會變好，並能夠得到使製程差值的影響大幅的減輕而可以使用如 C M O S 電路等的簡單的構造的電路的效果。

(2) 構成上述電流控制遲延電路及環型振盪器的單位的遲延電路係藉由使用：使控制電流流動的第 1 的 P 通

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

道型 MOSFET 及第 1 的 N 通道型 MOSFET，及，由此第 1 的 P 通道型 MOSFET 及第 1 的 N 通道型 MOSFET 而使動作電流流動的第 2 的 P 通道型 MOSFET 及第 2 的 N 通道型 MOSFET 所構成的 CMOS 反相電路而能夠由製造過程較簡單的 CMOS 積體電路來實現。

(3) 構成上述電流控制遲延電路及環型振盪器的單位的遲延電路係藉由使用：使控制電流流動的第 1 導電型的 MOSFET，及，設置於此第 1 的 MOSFET 的共同連接的源極（源極端點）的第 1 導電型的第 2 及第 3 的差動 MOSFET，及，設置於上述第 2 及第 3 的差動 MOSFET 的洩極（洩極端點）而由第 2 導電型的第 1 及第 2 的 MOSFET 所構成以做為負載的差動閘極電路，而能夠降低其電源電壓依存性並實現安定的動作。

(4) 上述的電流控制遲延電路的遲延信號及上述第 1 的頻率信號係對應於其相位差而轉換為電流信號，並由以此電流信號而控制遲延時間而使遲延信號相對於第 1 的頻率信號具有所定的相位差，由此而能夠簡單的得到補償電路及被補償電路所控制的 PLL 電路或遲延線（delay line）型 PLL 的電路整合性。

(5) 藉由控制：使用接受供應自半導體積體電路的外部端點的第 1 的頻率信號的電流控制遲延電路的遲延信號及上述第 1 的頻率信號並對應於頻率而形成控制電流的補償電路，及，由此控制電流而與上述電流控制遲延電路

五、發明說明 (31)

有相同構成的遲延電路的環型振盪器，便能夠以簡單的構成而形成相對於輸入信號使頻率倍增的內部時鐘信號。

(6) 將供應自半導體積體電路的外部端點的頻率信號與其遲延信號輸入到相位比較器，並由低通濾波器而將此相位比較器的輸入信號轉換成平滑了的電壓信號，並由補償電路而使用接受上述頻率信號的第 1 的電流控制遲延電路的遲延信號及上述頻率信號轉換成對應於頻率的電流信號，並將由上述低通濾波器所形成的電壓信號轉換成電流信號而且與上述補償電路的電流信號合成而控制與上述電流控制遲延電路具有相同構成的第 2 的電流控制電路，並由此第 2 的電流控制遲延電路的遲延信號而形成：在半導體積體電路的內部所必需的時鐘信號及輸入於上述相位比較器的遲延信號。在此構成中，因為係使用形成在內部為必要的時鐘信號的第 2 的電流控制遲延電路及與控制其動作範圍的補償電路具有相同構成的電路，所以可使電路的整合性變好，而能夠大幅的減輕製程差值的影響並能夠使用如 C M O S 電路等的簡單的構造。

以上是以實施例而具體的說明了本發明者的發明，但是本專利發明並不僅限於前述的實施例。當然，在不脫離其要旨的範圍內可能有種種的變更。譬如說，在圖 4 的實施例中可以省略低通濾波器 1 5 6。反之，在圖 1 0 的實施例中，在電容 C 1 的下一段也可以設置低通濾波器。在圖 1 0 的實施例中也可以使電荷泵電路的充電電流 I_p 如圖 4 的實施例般的固定化；反之，在實 4 的實施例中也可

五、發明說明 (32)

以使充電電流 I_p 如圖 10 的實施例般的能夠切換。設於補償電路的輸入段的分頻電路如果時刻信號的脈衝寬度的能率為 50 % 的話也可以省略。再者，環型振盪器或電流控制閘極遲延電路的段數以及形成其補償電流的電流控制遲延電路的段數也能夠依照需要而有種種的實施形態。

本發明的時鐘信號產生電路可以被廣泛的利用在對應於來自外部端點的時刻信號的頻率而形成內部時鐘信號的電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：)

時鐘信號產生電路

本發明係：將從半導體積體電路的外部端點所供應的第1頻率信號及形成於半導體積體電路內部的第2頻率信號輸入到相位比較器，並將此相位比較器的輸出信號經由低通濾波器(low pass filter)而轉換為平滑的電壓信號；並使用接受上述第1頻率信號的電流控制遲延電路的遲延信號及上述第1頻率信號而由補償電路將其轉換為對應於頻率的電流信號；將由上述低通濾波器所形成的電壓信號轉換成電流信號並與上述補償電路的電流信號合成，而控制使用由與上述電流控制遲延電路具有相同構成的電流控制遲延電路所構成的環型振盪器(ring oscillator)的振盪頻率，並由此環型振盪器的振盪信號而形成上述第2頻率信號及半導體積體電路的內部所必需的時鐘(clock)信號。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種形成於半導體基板上的半導體積體電路的時鐘信號產生電路，具有：

檢測出供應自上述半導體積體電路的外部端點的時刻信號及形成於上述半導體積體電路內部的頻率信號的相位差，並由上述相位差而輸出所產生的輸出信號的相位比較器，及

將上述相位比較器的輸出信號平滑而轉換成電壓信號的低通濾波器，及

具有用以形成上述時刻信號的遲延信號的第1電流控制遲延電路，並使用上述時刻信號及上述遲延信號而形成對應於上述時刻信號的頻率的第1電流信號的補償電路，及

將由上述低通濾波器所形成的電壓信號轉換成第2電流信號，而且由上述第1電流信號及上述第2電流信號而形成第3電流信號的電壓電流變換電路，及

由上述第3電流信號所控制，並使用與上述第1電流控制遲延電路具有相同電路構成的第2電流控制遲延電路而形成上述時鐘信號的環型振盪器。

2. 如申請專利範圍第1項之時鐘信號產生電路，其中：構成上述第1及第2電流控制遲延電路的複數的遲延閘極電路係包含：使上述第3電流信號流動的第1 P 通道型 MOSFET 及第1 N 通道型 MOSFET，及，在上述第1 P 通道型 MOSFET 及上述第1 N 通道型 MOSFET 之間以直列連接形態而設置並由第2 P 通道

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

型 MOSFET 及第 2 N 通道型 MOSFET 所構成的 CMOS 型反相電路。

3. 如申請專利範圍第 1 項之時鐘信號產生電路，其中：構成上述第 1 及第 2 電流控制遲延電路的遲延閘極電路係包含：使上述第 3 電流信號流動的第 1 導電型的第 1 MOSFET，及，共同的連接到上述第 1 導電型的第 1 MOSFET 的洩極端點並分別具有源極端點的第 1 導電型的第 2 及第 3 MOSFET，及，設置於上述第 1 導電型的第 2 及第 3 MOSFET 的洩極端點並做為負載元件的第 2 導電型的第 1 及第 2 MOSFET 所構成的差動閘極電路。

4. 如申請專利範圍第 2 項之時鐘信號產生電路，其中：更具有：將輸出自上述環型振盪器的上述時鐘信號依所定的分頻比而分頻的分頻電路；並將分頻了的上述時鐘信號供應到形成於上述半導體積體電路的所定的內部電路及上述相位比較器。

5. 一種形成於半導體基板上的半導體積體電路之時鐘信號產生電路，係具有：

檢測出供應自上述半導體積體電路的外部端點的時刻信號及使上述時刻信號遲延而得的第 1 遲延信號間的相位差，並由上述相位差而輸出所產生的輸出信號的相位比較器，及

將上述相位比較器的輸出信號平滑而轉換成電壓信號的低通濾波器，及

六、申請專利範圍

具有用以形成上述時刻信號的第2遲延信號的第1電流控制遲延電路，並使用上述時刻信號及上述第2遲延信號而形成對應於上述時刻信號的頻率的第1信號的補償電路，及

將由上述低通濾波器所形成的電壓信號轉換成第2電流信號，而且由上述第1電流信號及上述第2電流信號而形成第3電流信號的電壓電流變換電路，及

由上述第3電流信號所控制，並使用與上述第1電流控制遲延電路具有相同電路構成的第2電流控制遲延電路而形成上述第1遲延信號的電流閘極電路。

6. 如申請專利範圍第5項之時鐘信號產生電路，其中：上述的第1遲延信號係與上述時刻信號同步並被供應到形成於上述半導體積體電路的所定的內部電路。

(請先閱讀背面之注意事項五)
(為本頁)

裝

訂

線

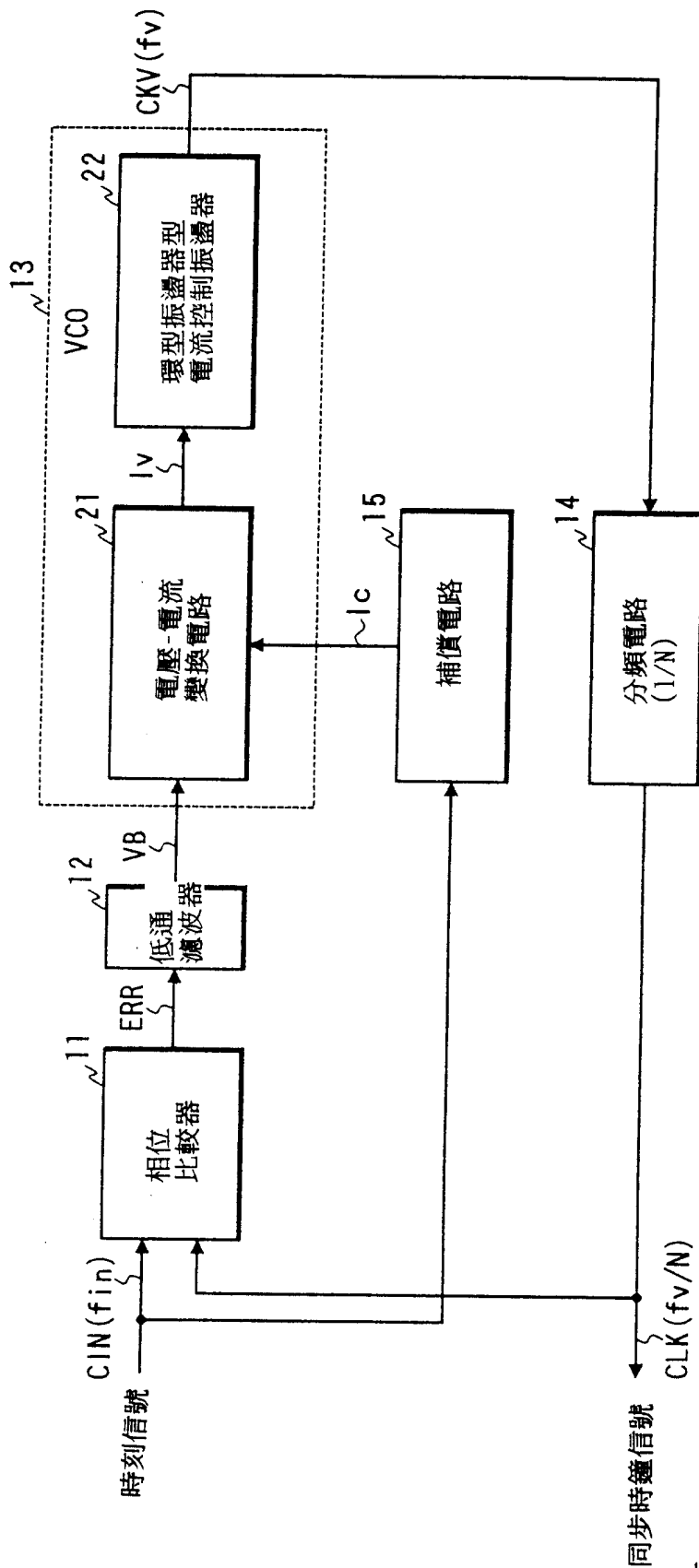
修正
補充

第84112523號新案修正圖

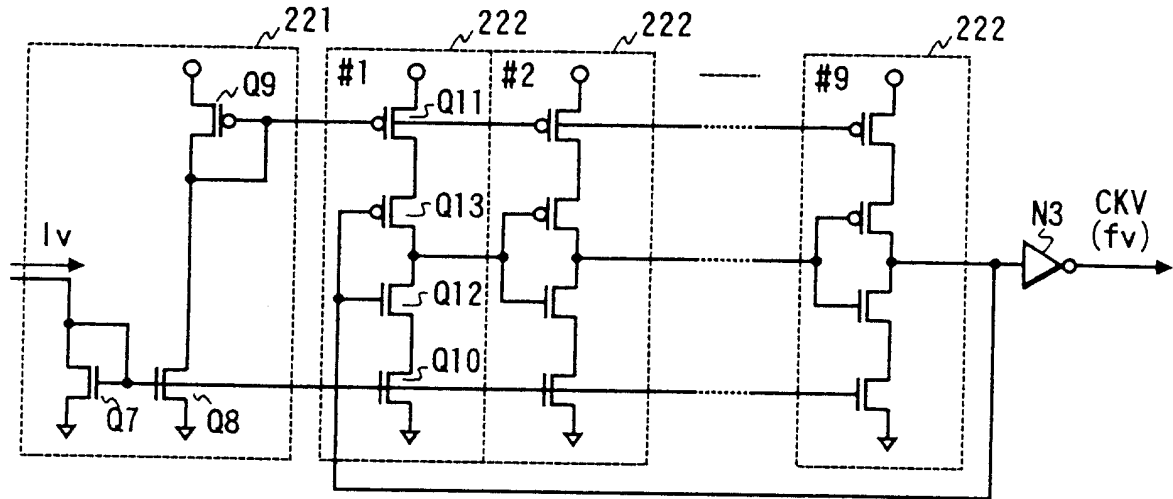
85年5月

724062

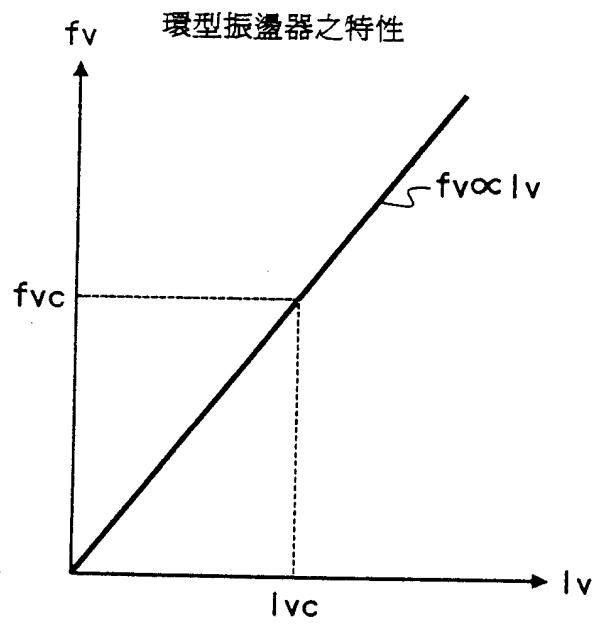
第1圖



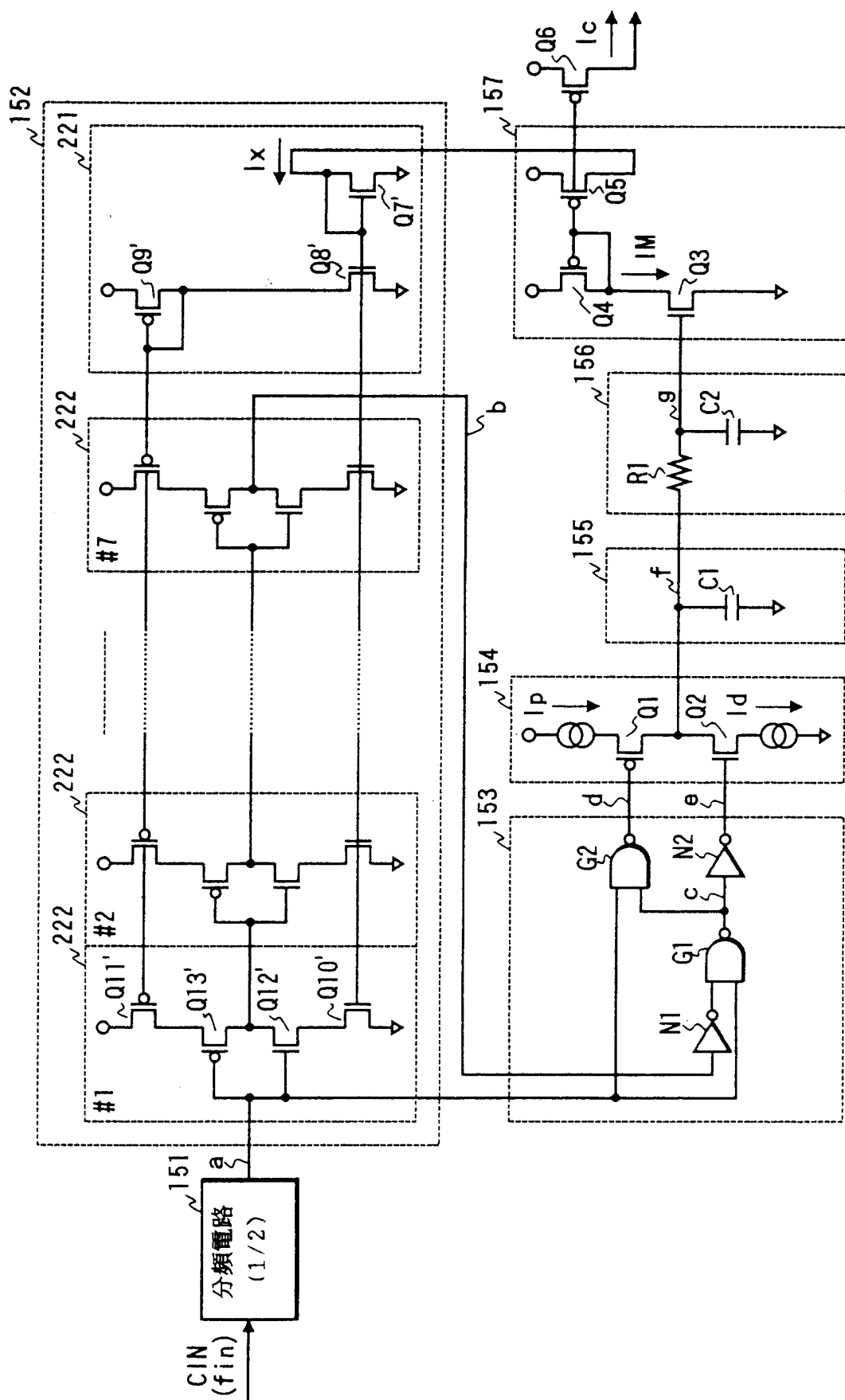
第2圖



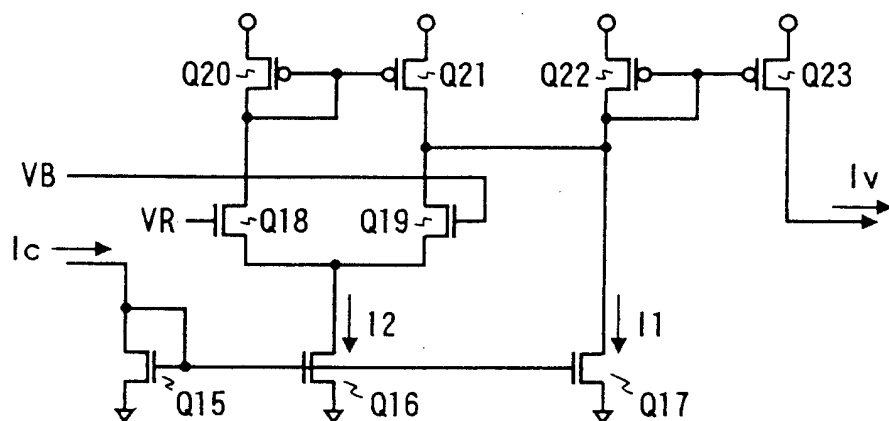
第3圖



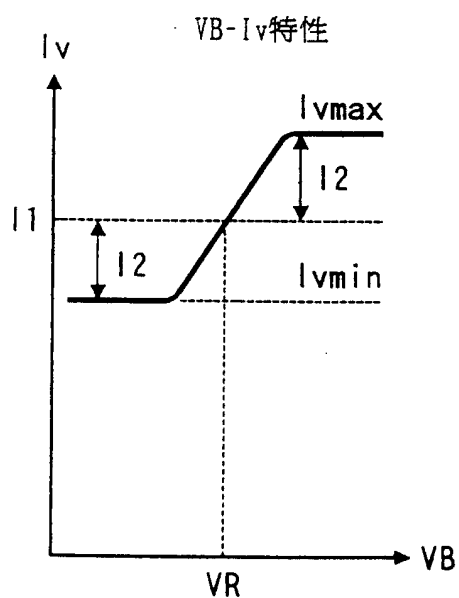
第4圖



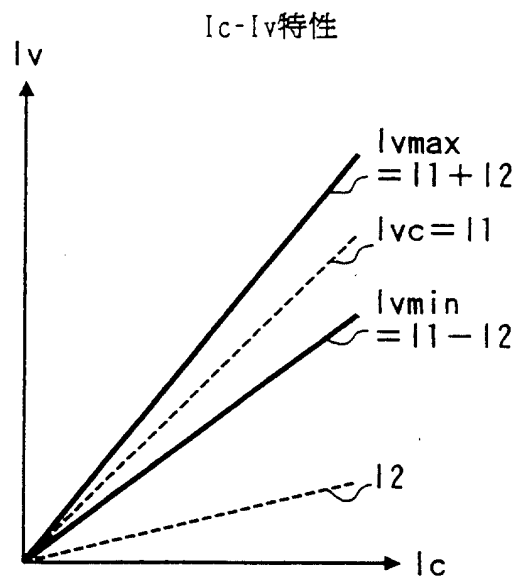
第5圖



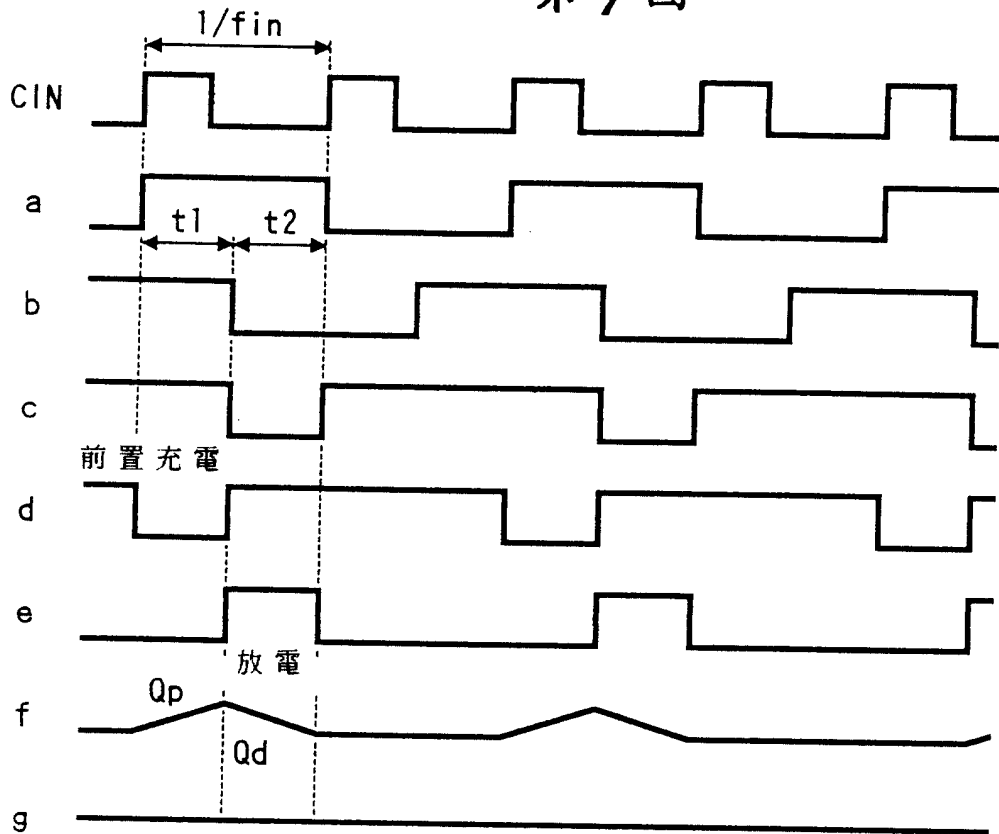
第6A圖



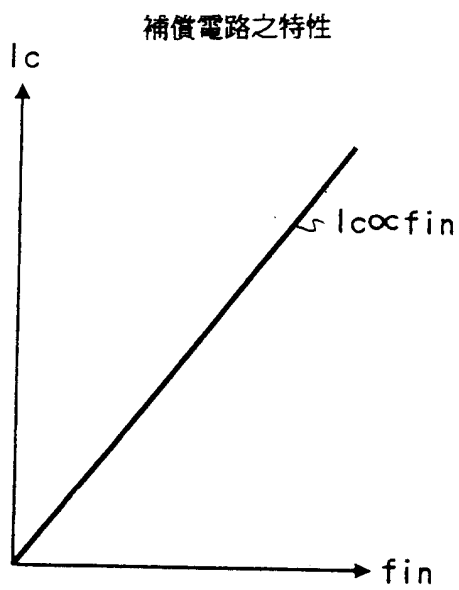
第 6B 圖



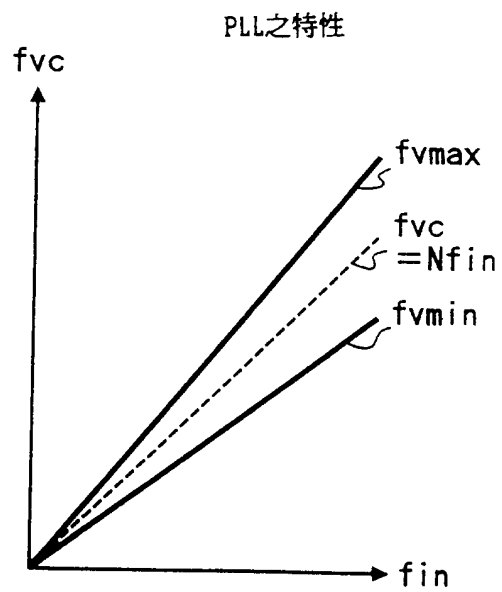
第7圖



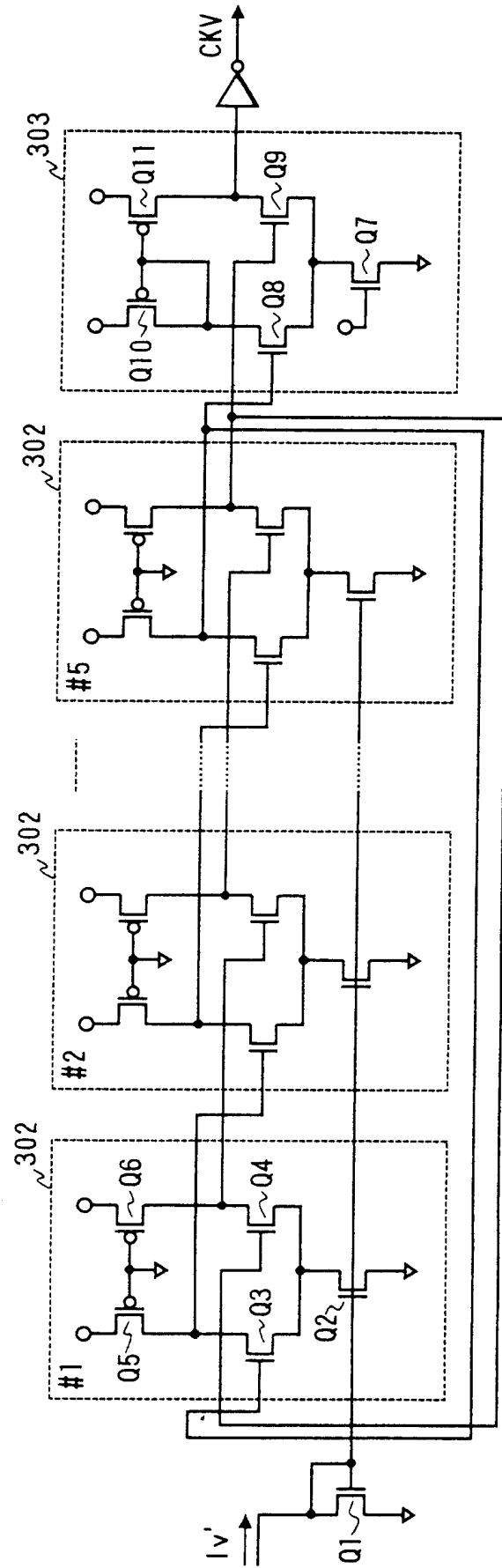
第8A圖



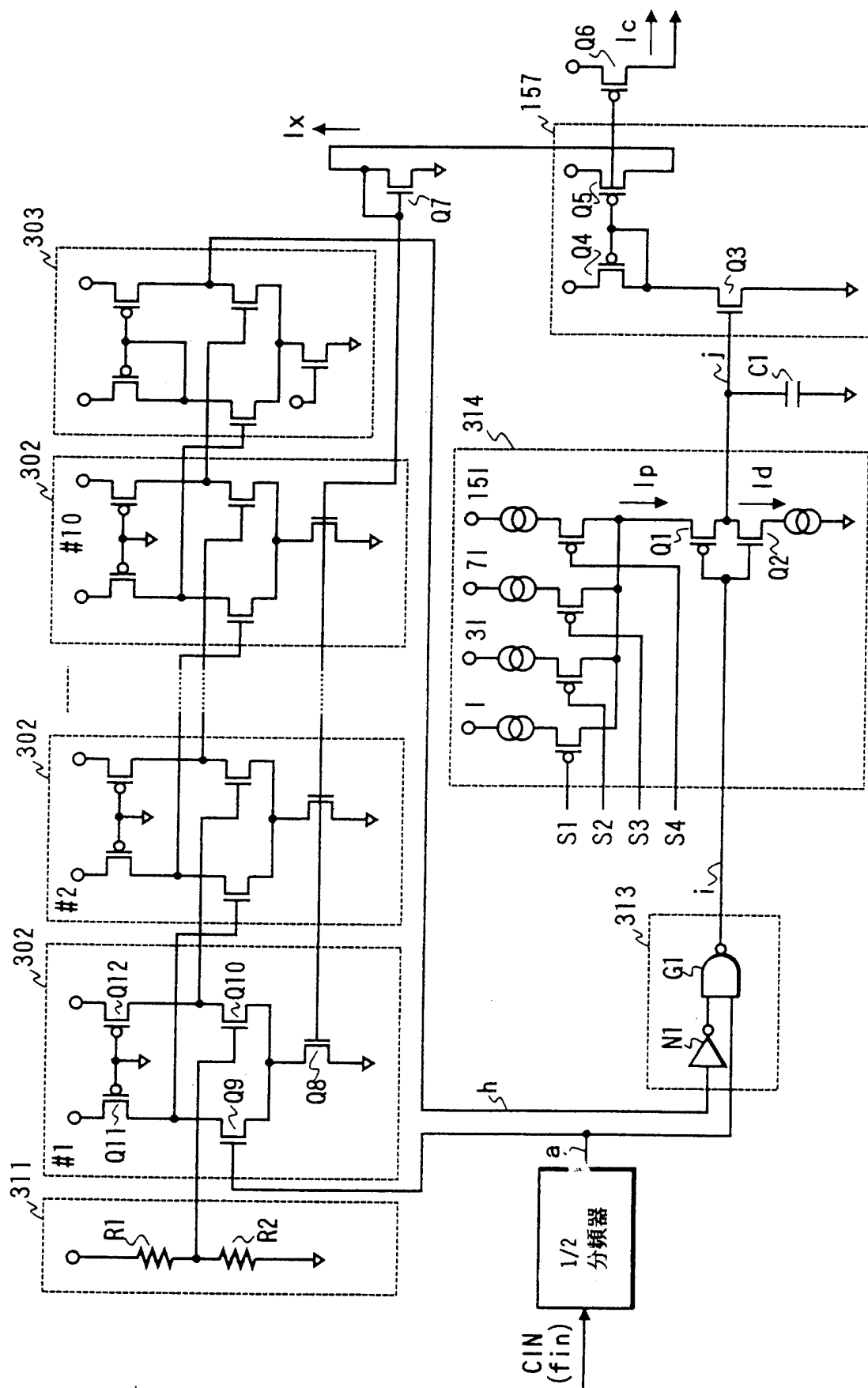
第8B圖



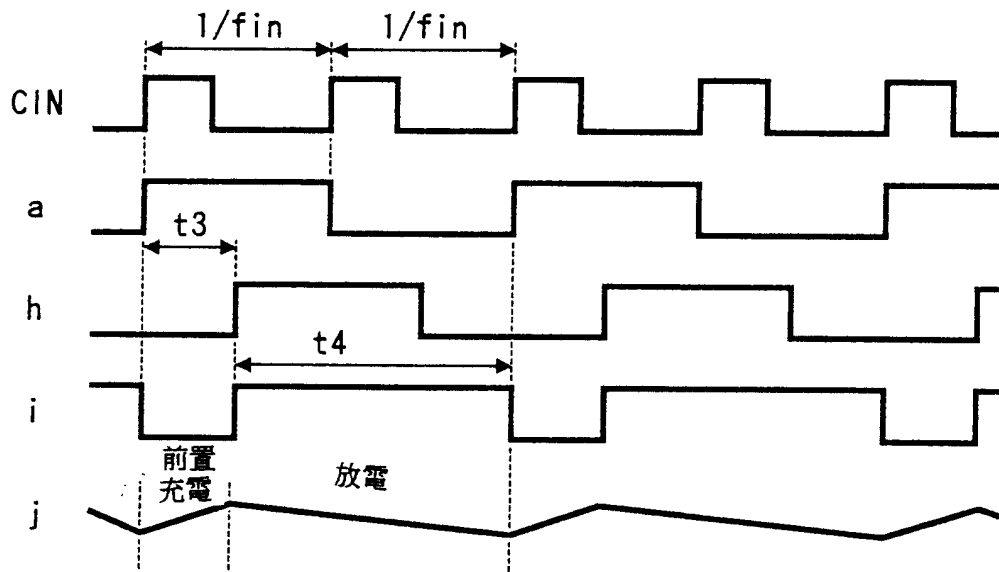
第9圖



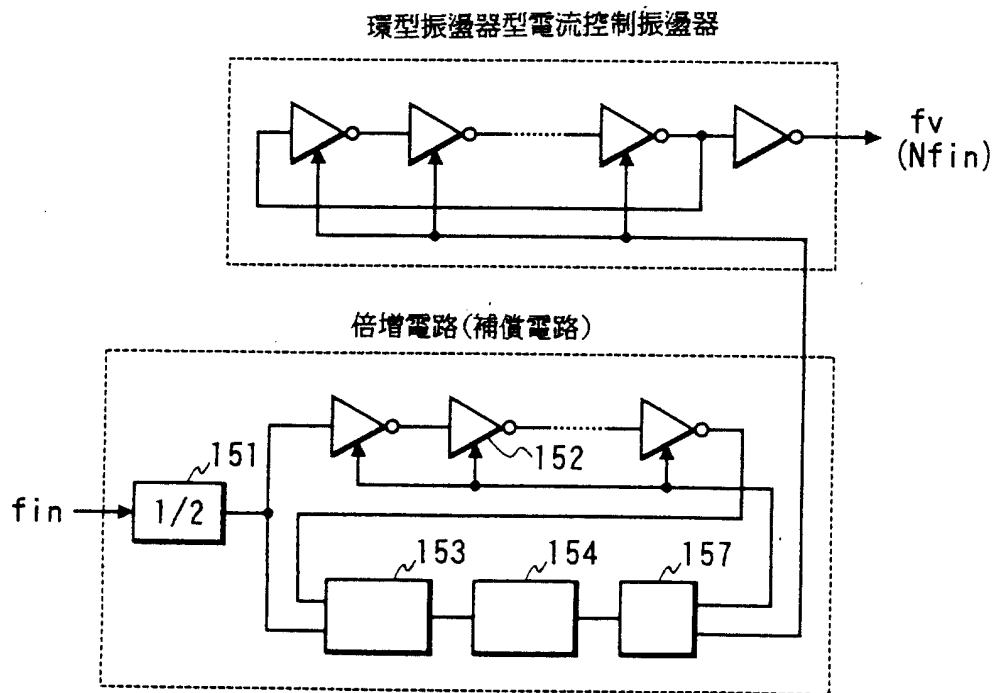
第10圖



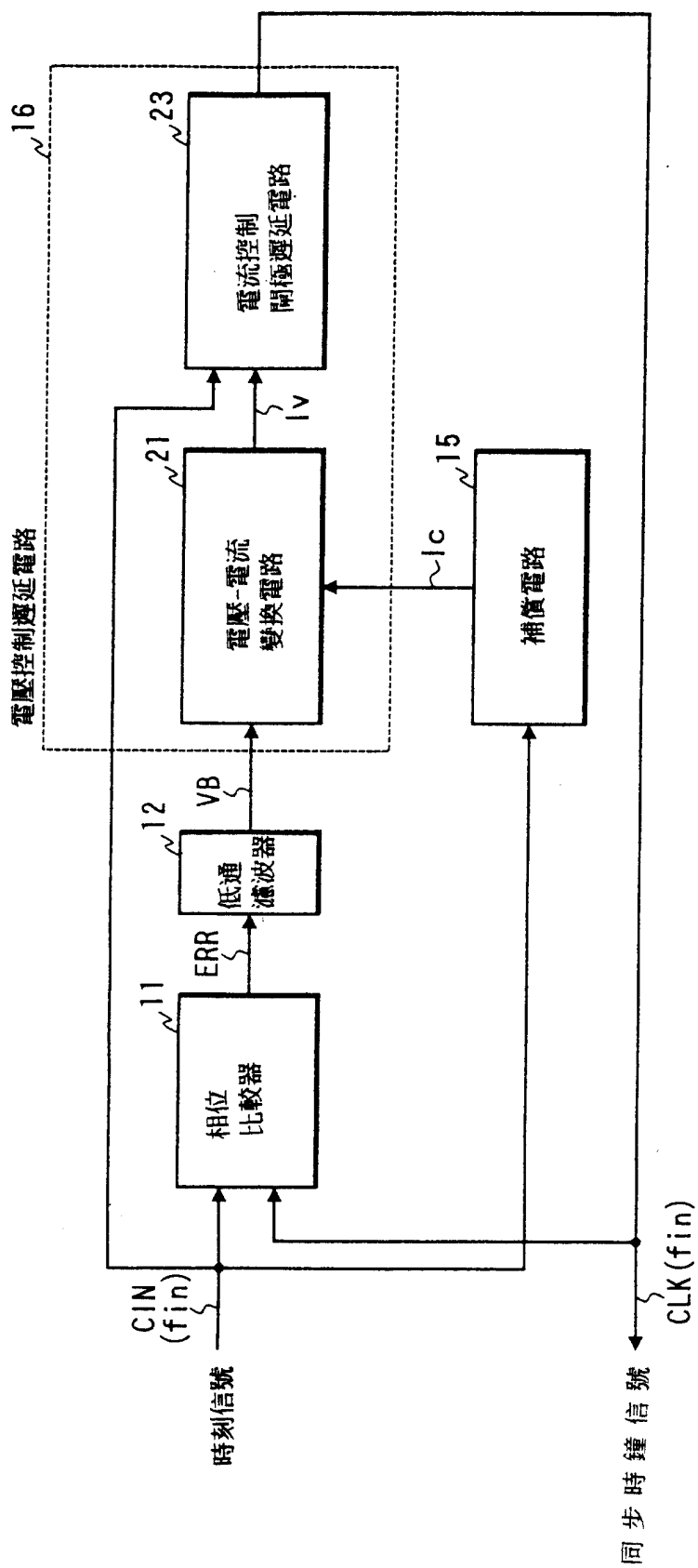
第 11 圖



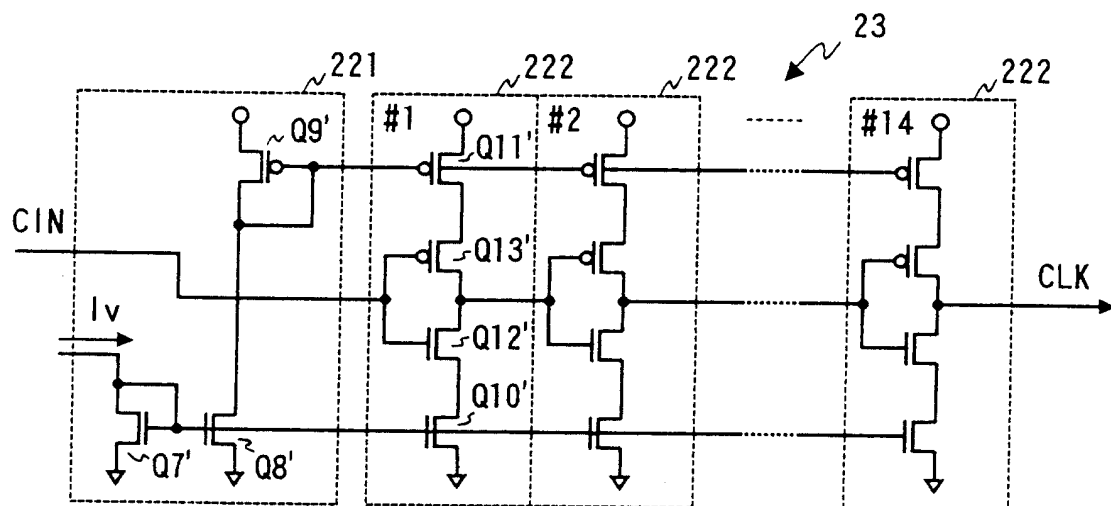
第 12 圖



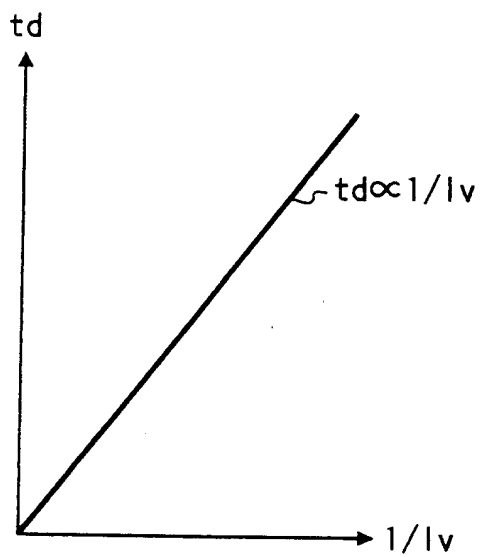
第13圖



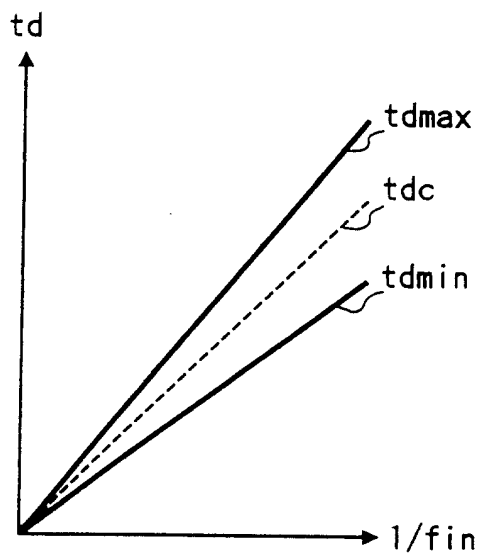
第14圖



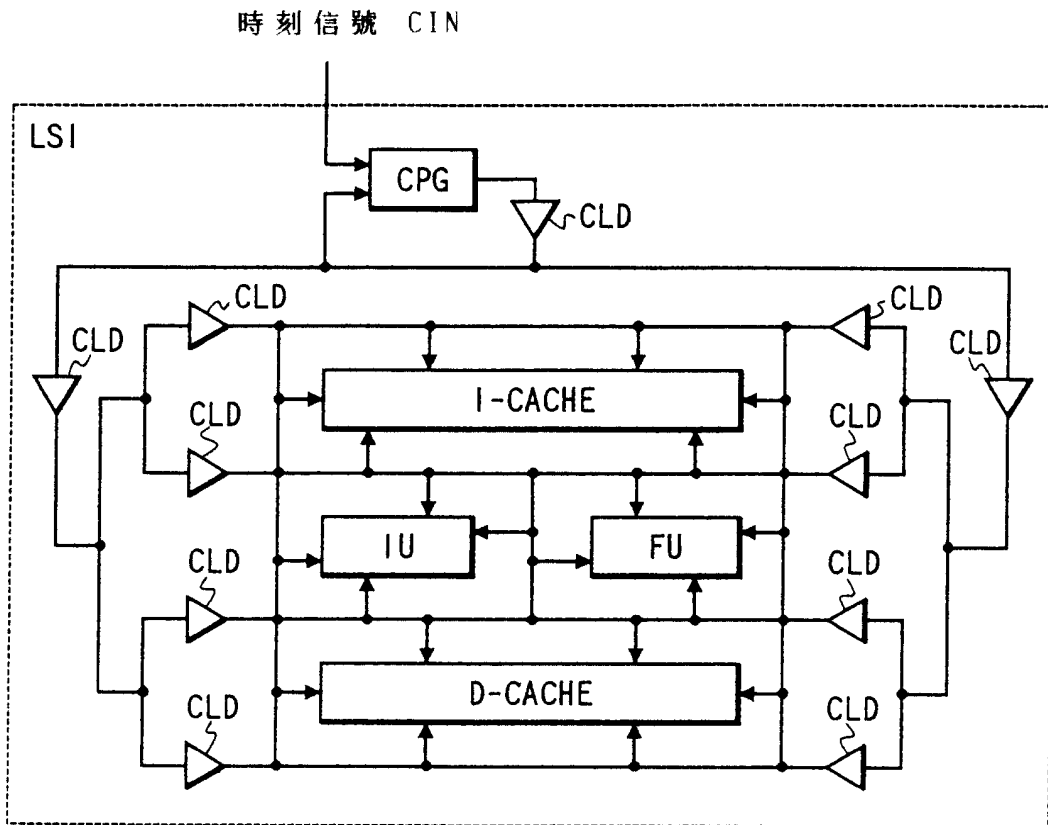
第15A圖



第15B圖



第16A圖



第16B圖

