



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0080979
(43) 공개일자 2011년07월13일

(51) Int. Cl.

H02M 1/34 (2007.01) H02M 1/32 (2007.01)

(21) 출원번호 10-2010-0001442

(22) 출원일자 2010년01월07일

심사청구일자 2010년01월07일

(71) 출원인

부경대학교 산학협력단

부산 남구 용당동 산 100번지 부경대학교내

(72) 발명자

노의철

부산광역시 남구 용호1동 LG메트로시티아파트 12
5동 2003호

김홍근

대구광역시 수성구 지산1동 1269 동서맨션
106-1102

(뒷면에 계속)

(74) 대리인

이철희

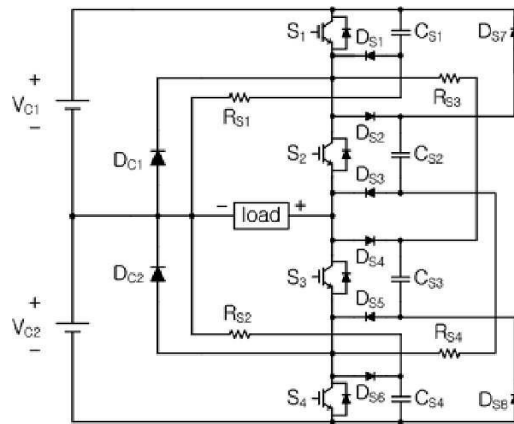
전체 청구항 수 : 총 11 항

(54) 다이오드 클램프형 3-레벨 인버터용 스너버 회로 및 그 과전압 방지방법

(57) 요약

다이오드 클램프형 3-레벨 인버터용 스너버 회로 및 그 과전압 방지방법이 개시된다. 본 발명에 따른 다이오드 클램프형 3-레벨 인버터용 스너버 회로는, 제1 스위칭 소자의 콜렉터에 양극이 연결된 제1 스너버 커패시터; 제1 스너버 커패시터의 음극에 애노드가 연결된 제1 스너버 다이오드; 및 제1 스너버 커패시터의 음극과 제1 스너버 다이오드의 애노드에 일단이 연결되며, 타단이 제1 스너버 저항의 타단이 제1 클램프 다이오드의 애노드, 제2 클램프 다이오드의 캐소드 및 부하의 음의 단자에 연결된 제1 스너버 저항을 포함하는 것을 특징으로 한다.

대표도 - 도5



(72) 발명자

전태원

부산광역시 금정구 구서2동 부영벽산아파트 102동
1703호

유동욱

경남 창원시 가음동 13-6 동방아파트 6-107

정재현

부산광역시 남구 문현동 333-9 대성주택 11동 203
호

특허청구의 범위

청구항 1

다이오드 클램프형 3-레벨 인버터용 스너버 회로에 있어서,

제1 스위칭 소자의 콜렉터에 양극이 연결된 제1 스너버 커패시터;

상기 제1 스너버 커패시터의 음극에 애노드가 연결된 제1 스너버 다이오드; 및

상기 제1 스너버 커패시터의 음극과 상기 제1 스너버 다이오드의 애노드에 일단이 연결되며, 타단이 상기 제1 스너버 저항의 타단이 제1 클램프 다이오드의 애노드, 제2 클램프 다이오드의 캐소드 및 부하의 음의 단자에 연결된 제1 스너버 저항

을 포함하는 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 2

제 1항에 있어서,

제2 스위칭 소자의 콜렉터에 애노드가 연결된 제2 스너버 다이오드;

상기 제2 스너버 다이오드의 캐소드에 양극이 연결된 제2 스너버 커패시터; 및

상기 제2 스너버 다이오드의 캐소드와 상기 제2 스너버 커패시터의 양극에 애노드가 연결되며, 캐소드가 상기 제1 스위치의 콜렉터에 연결된 제3 스너버 다이오드

를 더 포함하는 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 3

제 2항에 있어서,

상기 제2 스너버 커패시터의 음극에 애노드가 연결된 제4 스너버 다이오드;

상기 제2 스너버 커패시터의 음극과 상기 제4 다이오드의 애노드에 일단이 연결되며, 타단이 제3 스위칭 소자의 이미터, 제4 스위칭 소자의 콜렉터 및 상기 제2 클램프 다이오드의 애노드에 연결된 제2 스너버 저항;

을 더 포함하는 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 4

제 3항에 있어서,

상기 제4 스너버 다이오드의 캐소드가 상기 제2 스위칭 소자의 이미터, 상기 부하의 양의 단자 및 상기 제3 스위칭 소자의 콜렉터에 연결된 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 5

제 3항에 있어서,

상기 제3 스위칭 소자의 콜렉터에 애노드가 연결된 제5 스너버 다이오드;

상기 제5 스너버 다이오드의 캐소드에 양극이 연결된 제3 스너버 커패시터; 및

상기 제5 스너버 다이오드의 캐소드와 상기 제3 스너버 커패시터의 양극에 일단이 연결되며, 타단이 상기 제1

스위칭 소자의 이미터, 상기 제2 스위칭 소자의 콜렉터 및 상기 제1 클램프 다이오드의 캐소드에 연결된 제3 스너버 저항

을 더 포함하는 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 6

제 5항에 있어서,

상기 제3 스너버 커패시터의 음극에 애노드가 연결된 제6 스너버 다이오드; 및

상기 제3 스너버 커패시터의 음극 및 상기 제6 스너버 다이오드의 애노드에 캐소드가 연결되며, 애노드가 상기 제4 스위칭 소자의 이미터에 연결된 제7 스너버 다이오드

를 더 포함하는 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 7

제 6항에 있어서,

상기 제6 스너버 다이오드의 캐소드가 상기 제3 스위칭 소자의 이미터, 상기 제4 스위칭 소자의 콜렉터 및 상기 제2 클램프 다이오드의 애노드에 연결된 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 8

제 3항에 있어서,

상기 제4 스위칭 소자의 콜렉터에 애노드가 연결된 제8 스너버 다이오드;

상기 제8 스너버 다이오드의 캐소드에 양극이 연결된 제4 스너버 커패시터;

상기 제8 스너버 다이오드의 캐소드와 상기 제4 스너버 커패시터의 양극에 일단이 연결되며, 타단이 상기 제1 클램프 다이오드의 애노드, 상기 제2 클램프 다이오드의 캐소드 및 상기 부하의 음의 단자에 연결된 제4 스너버 저항

을 더 포함하는 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 9

제 8항에 있어서,

상기 제4 스너버 커패시터의 음극이 상기 제4 스위칭 소자의 이미터에 연결된 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 10

제 3항에 있어서,

상기 제1 스위칭 소자, 상기 제2 스위칭 소자, 상기 제3 스위칭 소자 및 상기 제4 스위칭 소자는 IGBT(Insulated Gate Bipolar Transistor), MOSFET(Metal Oxide Semiconductor Field Effect Transistor), IGCT(Integrated Gate Commutated Thyristor) 중의 적어도 하나를 포함하는 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로.

청구항 11

다이오드 클램프형 3-레벨 인버터용 스너버 회로의 과전압 방지방법에 있어서,

제1 스위칭 소자 및 제2 스위칭 소자를 온 상태로 하며, 제3 스위칭 소자 및 제4 스위칭 소자를 오프 상태로 하여 인버터 출력을 제1 전압으로 하는 단계;

상기 제1 스위칭 소자를 오프하고, 상기 제3 스위칭 소자를 온으로 하여 제1 스너버 커패시터의 전압을 상승시키는 단계;

상승한 상기 제1 스너버 커패시터의 전압이 전원전압 V_{C1} 과 같아질 때까지 방전하는 단계;

상기 제2 스위칭 소자를 오프하고 상기 제4 스위칭 소자를 온하여 부하전류를 감소하면서 제2 스너버 커패시터 및 제3 스너버 커패시터를 충전시키는 단계;

상기 제3 스너버 커패시터에 흐르는 전류가 영전류가 되며, 상기 제3 스위칭 소자 및 상기 제4 스위칭 소자를 통해 흐르는 전류가 상기 부하전류로 되는 단계;

상기 제3 스위칭 소자 및 상기 제4 스위칭 소자를 온으로 하고, 상기 제1 스위칭 소자 및 상기 제2 스위칭 소자를 오프로 하여 상기 인버터의 출력전압을 제2 전압으로 하는 단계; 및

상기 제4 스위칭 소자를 오프하고 상기 제2 스위칭 소자를 온하여 상기 제2 스너버 커패시터에 저장된 에너지를 방전하는 단계

를 포함하는 것을 특징으로 하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로의 과전압 방지방법.

명세서

기술분야

[0001] 본 발명은 다이오드 클램프형 3-레벨 인버터용 스너버 회로 및 그 과전압 방지방법에 관한 것으로서, 보다 상세하게는 모든 스위칭 소자의 턴오프시 발생하는 과전압을 효과적으로 경감시키면서 스너버 동작시 발생하는 스너버 손실을 최소화하며, 스위칭 소자들의 오프 상태에서 전압 불균형의 문제를 개선할 수 있는 다이오드 클램프형 3-레벨 인버터용 과전압 방지 스너버 회로 및 그 과전압 방지방법에 관한 것이다.

배경기술

[0002] 최근 전기설비 및 기기의 대용량화에 대한 요구가 증가함에 따라 고압 대용량을 위한 인버터 및 컨버터에 대한 연구가 계속되고 있다. 이와 같은 전력변환 장치는 스위칭 소자의 보호를 위하여 스너버 회로를 포함하는 것이 일반적이다.

[0003] 고압 대용량을 위한 다양한 전력변환장치 중에서 다이오드 클램프형 3-레벨 인버터는 출력전압 레벨의 수를 증가시켜 2-레벨 인버터와 비교하여 유효 스위칭 주파수가 증가하고, 전력 반도체 소자의 전압 스트레스가 감소하는 이점이 있어, 고압 대용량의 전력변환 시스템에 적극적으로 적용되고 있다.

[0004] 그러나, 일반적인 다이오드 클램프형 3-레벨 인버터는 반도체 소자들이 직렬로 연결되어 있기 때문에 일부 스위칭 소자에 과전압 방지 스너버 회로를 구성하기가 어려운 문제점이 있으며, 스위칭 소자의 오프 상태시 스위칭 소자에 걸리는 전압이 균등하게 분배되지 못하여 이를 위한 추가적인 제어가 요구되는 문제점이 있다.

[0005] 또한, 종래의 다이오드 클램프형 3-레벨 인버터는 스위칭 소자를 보호하기 위하여 스너버 회로를 추가하거나 스위칭 소자의 게이트 신호를 제어하여 턴오프 시간을 제어함으로써 스위칭 소자에 발생하는 과전압을 경감시키는 방법을 사용한다.

[0006] 그런데, 스너버 회로를 추가하는 방법은 다이오드 클램프형 3-레벨 인버터의 구조적인 특성상 모든 스위칭 소자에 스너버 회로의 동작을 적용하기 어려운 문제점이 있으며, 특히 스너버 커패시터에 흐르는 전류가 크기 때문에 스너버 저항에서 발생하는 손실이 큰 문제점이 있다.

[0007] 또한, 스위칭 소자의 게이트 신호를 제어하는 방법은 스위치의 턴오프 시간이 길어지게 되어 스위칭 손실이 추가로 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 실시예는 상기와 같은 문제점을 해결하기 위하여 창안된 것으로서, 모든 스위칭 소자의 턴오프시 발생하는 과전압을 효과적으로 경감시키면서 스너버 동작시 발생하는 스너버 손실을 최소화하며, 스위칭 소자들의 오프 상태에서 전압 불균형의 문제를 개선할 수 있는 다이오드 클램프형 3-레벨 인버터용 과전압 방지 스너버 회로 및 그 과전압 방지방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0009] 전술한 목적을 달성하기 위한 본 발명의 실시예에 따른 다이오드 클램프형 3-레벨 인버터용 스너버 회로는, 제1 스위칭 소자의 콜렉터에 양극이 연결된 제1 스너버 커패시터; 제1 스너버 커패시터의 음극에 애노드가 연결된 제1 스너버 다이오드; 및 제1 스너버 커패시터의 음극과 제1 스너버 다이오드의 애노드에 일단이 연결되며, 타단이 제1 스너버 저항의 타단이 제1 클램프 다이오드의 애노드, 제2 클램프 다이오드의 캐소드 및 부하의 음의 단자에 연결된 제1 스너버 저항을 포함하는 것을 특징으로 한다.

[0010] 바람직하게는, 전술한 스너버 회로는, 제2 스위칭 소자의 콜렉터에 애노드가 연결된 제2 스너버 다이오드; 제2 스너버 다이오드의 캐소드에 양극이 연결된 제2 스너버 커패시터; 및 제2 스너버 다이오드의 캐소드와 제2 스너버 커패시터의 양극에 애노드가 연결되며, 캐소드가 제1 스위치의 콜렉터에 연결된 제3 스너버 다이오드를 더 포함할 수 있다.

[0011] 또한, 전술한 스너버 회로는, 제2 스너버 커패시터의 음극에 애노드가 연결된 제4 스너버 다이오드; 제2 스너버 커패시터의 음극과 제4 다이오드의 애노드에 일단이 연결되며, 타단이 제3 스위칭 소자의 이미터, 제4 스위칭 소자의 콜렉터 및 제2 클램프 다이오드의 애노드에 연결된 제2 스너버 저항을 더 포함할 수도 있다.

[0012] 또한, 제4 스너버 다이오드의 캐소드가 제2 스위칭 소자의 이미터, 부하의 양의 단자 및 제3 스위칭 소자의 콜렉터에 연결되는 것이 바람직하다.

[0013] 또한, 전술한 스너버 회로는, 제3 스위칭 소자의 콜렉터에 애노드가 연결된 제5 스너버 다이오드; 제5 스너버 다이오드의 캐소드에 양극이 연결된 제3 스너버 커패시터; 및 제5 스너버 다이오드의 캐소드와 제3 스너버 커패시터의 양극에 일단이 연결되며, 타단이 제1 스위칭 소자의 이미터, 제2 스위칭 소자의 콜렉터 및 제1 클램프 다이오드의 캐소드에 연결된 제3 스너버 저항을 더 포함할 수도 있다.

[0014] 또한, 전술한 스너버 회로는, 제3 스너버 커패시터의 음극에 애노드가 연결된 제6 스너버 다이오드; 및 제3 스너버 커패시터의 음극 및 제6 스너버 다이오드의 애노드에 캐소드가 연결되며, 애노드가 제4 스위칭 소자의 이미터에 연결된 제7 스너버 다이오드를 더 포함할 수도 있다.

[0015] 또한, 전술한 스너버 회로는, 제6 스너버 다이오드의 캐소드가 제3 스위칭 소자의 이미터, 제4 스위칭 소자의 콜렉터 및 상기 제2 클램프 다이오드의 애노드에 연결되는 것이 바람직하다.

[0016] 또한, 전술한 스너버 회로는, 제4 스위칭 소자의 콜렉터에 애노드가 연결된 제8 스너버 다이오드; 제8 스너버 다이오드의 캐소드에 양극이 연결된 제4 스너버 커패시터; 제8 스너버 다이오드의 캐소드와 제4 스너버 커패시터의 양극에 일단이 연결되며, 타단이 제1 클램프 다이오드의 애노드, 제2 클램프 다이오드의 캐소드 및 부하의 음의 단자에 연결된 제4 스너버 저항을 더 포함할 수 있다.

[0017] 여기서, 제4 스너버 커패시터의 음극이 제4 스위칭 소자의 이미터에 연결되는 것이 바람직하다.

[0018] 바람직하게는, 제1 스위칭 소자, 제2 스위칭 소자, 제3 스위칭 소자 및 제4 스위칭 소자는 IGBT(Insulated Gate Bipolar Transistor), MOSFET(Metal Oxide Semiconductor Field Effect Transistor), IGCT(Integrated Gate Commutated Thyristor) 중의 적어도 하나를 포함한다.

[0019] 한편, 전술한 스너버 회로는, 제1 스위칭 소자 및 제2 스위칭 소자를 온 상태로 하며, 제3 스위칭 소자 및 제4 스위칭 소자를 오프 상태로 하여 인버터 출력을 제1 전압으로 하는 단계; 제1 스위칭 소자를 오프하고, 제3 스위칭 소자를 온으로 하여 제1 스너버 커패시터의 전압을 상승시키는 단계; 상승한 상기 제1 스너버 커패시터의 전압이 전원전압 V_{C1} 과 같아질 때까지 방전하는 단계; 제2 스위칭 소자를 오프하고 제4 스위칭 소자를 온하여 부하전류를 감소하면서 제2 스너버 커패시터 및 제3 스너버 커패시터를 충전시키는 단계; 제3 스너버 커패시터에 흐르는 전류가 영전류가 되며, 제3 스위칭 소자 및 제4 스위칭 소자를 통해 흐르는 전류가 부하전류로 되는 단계; 제3 스위칭 소자 및 제4 스위칭 소자를 온으로 하고, 제1 스위칭 소자 및 제2 스위칭 소자를 오프로 하여 인버터의 출력전압을 제2 전압으로 하는 단계; 및 제4 스위칭 소자를 오프하고 제2 스위칭 소자를 온하여 제2 스너버 커패시터에 저장된 에너지를 방전하는 단계를 포함하는 다이오드 클램프형 3-레벨 인버터용 스너버 회로의 과전압 방지방법을 제공한다.

발명의 효과

[0020] 본 발명의 실시예에 따르면, 다이오드 클램프형 3-레벨 인버터 및 컨버터를 구성하는 모든 스위칭 소자에 과전압 방지 스너버 회로를 구성함으로써, 스위칭 소자의 턴 오프시 발생하는 과전압을 경감시키고 스너버 저항을 통하여 발생하는 손실을 최소화할 수 있게 된다.

[0021] 또한, 스위칭 소자의 턴 오프 시간의 지연 없이 과전압 발생을 경감시킬 수 있기 때문에, 스위칭 소자에서 발생하는 손실도 최소화할 수 있게 된다.

[0022] 아울러, 스위칭 소자에 병렬 연결된 스너버 커패시터가 정상상태에서 일정한 전압을 유지하도록 하여 오프상태인 스위칭 소자들의 전압 불균형 문제를 개선할 수 있게 된다.

도면의 간단한 설명

[0023] 도 1은 스텝-다운 DC-DC 컨버터의 등가 회로를 나타낸 도면이다.

도 2는 과전압 방지 스너버가 추가된 DC-DC 컨버터의 등가 회로를 나타낸 도면이다.

도 3은 다이오드 클램프형 3-레벨 인버터의 출력상태를 나타낸 도면으로서, (a)는 P 상태를 나타내고, (b)는 0 상태를 나타내며, (c)는 N 상태를 나타낸다.

도 4는 도 3의 회로에 스너버 커패시터와 스너버 다이오드를 연결한 도면으로서, (a)는 P 상태를 나타내고, (b)는 0 상태를 나타내며, (c)는 N 상태를 나타낸다.

도 5는 본 발명의 일 실시예에 따른 다이오드 클램프형 3-레벨 IGBT 인버터용 스너버 회로를 나타낸 도면이다.

도 6은 도 5의 스너버 회로의 동작 특성을 모드별로 구별하여 도시한 도면이다.

도 7은 도 6의 모드-1 내지 모드-8의 동작에 해당하는 등가 회로를 나타낸 도면으로서, (a)는 모드-1 내지 모드-3의 동작에 해당하는 등가 회로를 나타내며, (b)는 모드-5 내지 모드-8의 동작에 해당하는 등가 회로를 나타낸다.

도 8은 스너버 회로가 없는 경우와 본 발명의 실시예에 따른 스너버 회로를 포함한 경우에 대하여 각 소자에 걸리는 전압 및 흐르는 전류를 비교하기 위한 실험 구성도의 예를 나타낸 도면이다.

도 9는 도 8의 실험 구성도에 사용된 스위칭 신호의 발생 예를 나타낸 도면이다.

도 10은 스너버가 없는 인버터의 출력 파형을 나타낸 도면으로서, (a)는 출력 전압과 부하 전류 파형을 나타내며, (b)는 S_1 의 전압 및 전류 파형을 나타내고, (c)는 S_2 의 전압 및 전류 파형을 나타낸다.

도 11은 본 발명의 실시예에 따른 스너버 회로를 추가한 인버터의 출력 파형을 나타낸 도면으로서, (a)는 출력 전압과 부하 전류 파형을 나타내며, (b)는 S_1 의 전압 및 전류 파형을 나타내고, (c)는 S_2 의 전압 및 전류 파형을 나타낸다.

도 12는 스위치에 흐르는 실제 전류와 인가되는 전압 파형 및 스너버 커패시터에 흐르는 전류 파형을 나타낸 도

면이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0025] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0026] 도 1은 스텝-다운 DC-DC 컨버터의 등가 회로를 나타낸 도면이다. 여기서, 모든 소자는 이상적이며, 부하전류는 직류로 가정한다. 스위치 S가 온(ON)되면 부하에 걸리는 전압이 $V_d[V]$ 가 된다. 스위치 S가 오프(OFF)되었을 때 부하전류는 환류 다이오드 D_f 를 통하여 흐르고, 부하에 걸리는 전압은 $0[V]$ 가 된다. 그런데, 도 1의 선로 인덕턴스 L_l 이 존재하므로 스위치가 오프되는 순간 스위치 S 양단에 과도한 전압상승을 유발하게 된다. 이 전압상승은 DC-링크단 전압 V_d 와 스위치 S사이를 연결하는 도선의 상태와 부하전류 I_0 의 크기에 따라 영향을 받게 되며 그 크기는 수학적 식 1과 같이 나타낼 수 있다.

수학적 식 1

$$\Delta v_{L_l} = L_l \cdot \frac{di_s}{dt} [V]$$

[0027]

- [0028] 이렇게 발생하는 과도한 전압상승을 억제하여 스위칭 소자를 정격전압 이내에서 안전하게 동작시키기 위하여 스너버 회로를 추가하는데, 도 2는 DC-DC 컨버터에 과전압 방지 스너버를 추가한 도면이다.
- [0029] 여기서, 스너버 커패시터 C_s 의 전압은 전원전압과 동일하며, 스위치 S의 온, 오프 상태와 무관하게 입력 DC-링크 전압 V_d 를 유지한다. 스위칭 소자 S가 오프되는 순간 선로 인덕턴스 L_l 에 저장되어있던 에너지는 스너버 다이오드 D_s 를 통하여 스너버 커패시터 C_s 에 저장되고 선로 인덕턴스 L_l 에 흐르던 전류가 영전류가 되면 스너퍼 커패시터 C_s 의 전압이 전원 전압 V_d 의 전압과 같아질 때까지 스너버 저항 R_s 를 통해 방전하게 된다. 이때, 스너버 커패시터 C_s 의 전압 상승은 수학적 식 1보다 낮은 값을 가지게 되어 스위칭 소자에 발생하는 과전압을 경감시키게 된다.
- [0030] 임의의 한 스위치 S에 과전압 방지 스너버를 적용하기 위해서는 도 2에서 나타낸 바와 같이, 스너버 구성 소자 R_s 와 C_s 의 양단 전압이 입력 DC-링크 전압 V_d 를 유지해야 한다. 다시 말해, 스너버 동작이 완료한 정상상태에서 C_s 에 걸리는 전압은 V_d 와 동일하고, 병렬로 연결된 상태를 유지해야 스위칭 소자의 오프시 발생하는 과전압에 의한 에너지만을 흡수·방전하여 불필요한 손실이 발생하지 않는 동작을 수행할 수 있다.

- [0031] 표 1과 도 3에 다이오드 클램프형 3-레벨 인버터의 스위칭 상태와 그에 따른 출력전압을 나타내었다.

표 1

스위치 상태	S ₁	S ₂	S ₃	S ₄	출력 전압	비고
P	ON	ON	OFF	OFF	V _{C1}	도 3(a)
0	OFF	ON	ON	OFF	0	도 3(b)
N	OFF	OFF	ON	ON	-V _{C2}	도 3(c)

[0032]

[0033]

인버터의 출력전압이 준구형파가 되는 0 → P → 0 → N → 0 의 시퀀스에서 P → 0 → N 을 나타내었고, 부하 전류는 직류로 가정하였다. 굵은 실선은 전류가 흐르는 경로를 나타내며 이상적인 스위칭 동작이 이루어진다면 각 스위칭 소자에 걸리는 전압은 V_{C1}[V]이거나 V_{C2}[V]이다. 즉, 도 3(a)는 출력전압이 V_{C1}[V]인 경우를 나타내며 S₁과 S₂는 온상태이고 S₃와 S₄는 오프상태이다. 또한, 도 3(b)는 출력전압이 0[V]인 경우를 나타내며 S₂와 S₃는 온상태이고 S₁과 S₄는 오프상태이다. 마지막으로, 도 3(c)는 출력전압이 -V_{C2}[V]인 경우를 나타내며 S₃와 S₄가 온 상태이며 S₁과 S₂는 오프상태이다.

[0034]

도 4는 다이오드 클램프형 3-레벨 인버터에 과전압 방지 스너버를 적용할 경우 발생하는 문제점을 파악하기 위해 도 3의 회로에 스너버 커패시터와 스너버 다이오드를 연결한 도면이다. 도 4에서 굵은 실선은 전류의 흐름을 나타낸다. 도 4(a)는 표 1의 P상태를 나타낸 회로이다. S₃과 S₄의 스너버 커패시터의 연결점 E, F, G, H는 각각 스너버 저항을 통하여 입력단 DC-링크 전원 Pd, Od, Od, Nd에 연결되어야 전술한 스위치의 턴 오프시의 에너지만을 충·방전하는 과전압 방지 스너버로서 동작을 수행할 수 있다. 또한, 도 4(b)의 0 상태를 나타낸 회로를 살펴보면 S₁의 스너버 커패시터의 연결점 A, B도 스너버 저항을 통하여 입력단 DC-링크의 Pd, Od에 연결되어야 과전압 방지 스너버로서 동작을 수행할 수 있다는 것을 알 수 있다. 이것은 Pd, Od점에 S₁과 S₃의 스너버 커패시터가 병렬로 연결된다는 것을 뜻하게 되고 이 경우 도 4(c) N상태에서 S₁과 S₃의 스너버 커패시터에는 Pd-Nd간의 전압인 2V_{C1}[V]의 전압이 걸리게 되는 결과를 초래한다. 이렇게 되면 스위치에 2V_{C1}의 과전압이 인가될 뿐 아니라 스너버 커패시터 전압이 2V_{C1}에서 V_{C1}으로 방전함에 따라 과다한 스너버 저항손실이 발생한다. 따라서, 다이오드 클램프형 3-레벨 인버터는 스위칭 소자의 직렬 연결된 구조로 인하여 과전압 방지 스너버를 구성하기 힘든 문제점을 안고 있다.

[0035]

도 5는 본 발명의 일 실시예에 따른 다이오드 클램프형 3-레벨 IGBT 인버터용 스너버 회로를 나타낸 도면이다. 본 발명의 실시예에 따른 스너버 회로에서는 S₂와 S₃의 턴 오프시 발생하는 과전압을 스너버 커패시터 C_s가 흡수한 후 다이오드 D_s에 의해 방전이 차단된다. 그리고 스위치 S₂와 S₃의 턴 온 시에 스너버 커패시터 C_s에 저장된 에너지가 방전 되도록 하였다.

[0036]

도 6은 도 5의 스너버 회로의 동작 특성을 모드별로 구별하여 도시한 도면이다. 여기서, 다이오드와 커패시터, 저항과 같이 스너버에 관련된 소자는 첨자 S를 붙여 표시하였다. 굵은 실선은 전류의 흐름을 나타내며 선로 인덕턴스 L₁의 위치도 함께 표시하였다. 스위치 S₁과 S₄, S₂와 S₃은 스너버 동작 원리가 동일하기 때문에, 스위치 S₁과 S₂의 스너버 동작 특성을 설명하고, 이에 관계된 소자에만 첨자를 붙였다.

[0037]

먼저, S₁의 스너버 동작을 살펴본다.

[0038]

도 6(a)의 모드-1의 경우를 살펴보면, 모드-1에서 S₁과 S₂는 온 상태이며 S₃과 S₄는 오프 상태이다. 부하전류 I₀는 굵은 실선을 따라 흐르며 인버터 출력 전압은 V_{C1}[V]이며 P상태이다.

[0039]

도 6(b)의 모드-2는 모드-1에서 S₁이 오프가 되고 S₃이 온되면 모드-2가 시작된다. 선로 인덕턴스 L₁₁에 저장된 에너지는 스너버 다이오드 D_{S1}을 통하여 C_{S1}에 저장되며, C_{S1}의 전압은 V_{C1}보다 커지게 된다. L₁₁에 흐르는 전류가 영전류가 되면 모드-2가 종료된다.

- [0040] 도 6(c)의 모드-3는 모드-2에서 상승한 C_{S1} 의 전압 V_{Cs1} 이 V_{C1} 과 같아질 때까지 R_{S1} 을 통하여 방전한다. 방전 경로는 $C_{S1} \rightarrow L_{11} \rightarrow V_{C1} \rightarrow L_{12} \rightarrow R_{S1}$ 이다. 모드-3에서 S_1 의 스너버 동작이 종료된다.
- [0041] 도 6(d)의 모드-4는 모드-3이 종료된 후 정상상태를 나타낸다. 부하전류는 굵은 실선을 따라 클램핑 다이오드를 환류하며 흐른다. 인버터의 출력 전압은 0[V]이며 0상태이다.
- [0042] 도 6(e)의 모드-5는 인버터 출력전압을 $-V_{C2}$ [V]로 만들기 위해 S_2 를 오프시키고 S_4 를 온시킨 순간을 나타낸다. L_{14} 에 흐르는 부하전류 I_0 가 감소하면서 L_{14} 에 저장된 에너지는 D_{S2} 와 D_{S3} 를 통하여 C_{S2} 를 충전시키며 또한, R_{S2} 와 D_{S4} 를 통하여 C_{S3} 도 충전시킨다. 대부분의 에너지는 C_{S2} 에 저장된다. D_{S2} 에 흐르는 전류가 0[A]가 되면 D_{S2} 가 오프되며 C_{S2} 는 방전경로가 없기 때문에 높아진 전압을 유지한다. C_{S2} 에 흐르는 전류가 영전류가 되면 모드-5가 종료된다. 또한, C_{S2} 의 상승한 전압은 스너버 다이오드 D_{S2} 와 D_{S3} 에 의해서 부동상태로 되며 S_2 에 걸리는 전압은 V_{Cs3} 와 V_{Rs2} 의 합이 된다.
- [0043] 도 6(f)의 모드-6은 모드-5가 종료된 후에도 스너버 저항 R_{S2} 에 의한 영향으로 C_{S3} 에 흐르는 전류가 존재하게 된다. 이 전류가 영전류가 되고 S_3 , S_4 를 통해 흐르는 전류가 I_0 가 되면 모드-6이 종료된다. S_2 에 걸리는 전압은 V_{C1} 과 V_{C2} 의 합에서 V_{S1} 를 뺀 값이 된다.
- [0044] 도 6(g)의 모드-7은 S_3 과 S_4 는 온 상태이고 S_1 과 S_2 는 오프상태이다. 부하전류는 굵은 실선으로 흐르며 인버터의 출력 전압은 $-V_{C2}$ [V]이고 N상태이다.
- [0045] 도 6(h)의 모드-8은 S_4 를 오프하고 S_2 를 온하면 모드-8이 시작된다. 모드-8은 인버터의 출력전압이 $-V_{C2}$ [V]에서 0[V]가 되는 순간이다. S_2 가 온되는 순간 C_{S2} 의 전압은 V_{C1} 과 같아질 때까지 방전한다. 방전 경로는 $C_{S2} \rightarrow D_{S5} \rightarrow L_{11} \rightarrow V_{C1} \rightarrow L_{12} \rightarrow D_C \rightarrow L_{14} \rightarrow S_2 \rightarrow S_3 \rightarrow R_{S3}$ 이다. 모드-5에서 모드-8까지의 과정으로 S_2 의 스너버 동작이 완료된다.
- [0046] 도 7은 도 6의 모드-1 내지 모드-8의 동작에 해당하는 등가 회로를 나타낸 도면이다. 도 7(a)는 모드-1 내지 모드-3에 해당하며 7(b)는 모드-5 내지 모드-8에 해당한다.
- [0047] 본 발명의 실시예에서는 도 8과 같은 3상 다이오드 정류기와 단상 하프브리지 3-레벨 IGBT 인버터 시스템을 구성하고, 스너버 회로가 없는 경우와 본 발명의 실시예에 따른 스너버 회로를 포함한 경우에 대하여 각 소자에 걸리는 전압 및 흐르는 전류를 측정하여 비교하였다.
- [0048] 도 8의 시스템 파라미터는 표 2와 같다.

표 2

제어용 DSP	TI TMS320F2808
IGBT($S_1 \sim S_4$)	SEMIKRON SKM400 GB 124D
3상 정류기	SANREX DF40BA80
클램프 다이오드(D_C)	IXYS DSEI 2X61-12B
DC-Link 커패시터	6800 [μF]
스너버 다이오드(D_S)	FR 605
스너버 커패시터(C_S)	100 [nF]
스너버 저항(R_S)	20 [Ω]
부하(L)	17.5 [mH]
부하(R)	7 [Ω]

[0049]

[0050] 도 8에서 V_{C1} 과 V_{C2} 는 각각 150[V]이고, IGBT $S_1 \sim S_4$ 의 스위칭 주파수는 480[Hz]로 하였다. 스위칭 신호의 발생

은 도 9와 같은 SPWM방법을 사용하였다. 여기서는 3-레벨 인버터를 구성하는 전력반도체 소자들의 스위칭시 발생하는 과전압 스트레스를 일정 레벨 이하로 제한하는 것이 주목적이기 때문에 피드백-루프 제어나 고조파 성분 제거를 위한 고주파 PWM은 사용하지 않았다.

[0051] 도 10은 스너버가 없는 인버터의 출력 파형을 나타낸 도면이다. 도 10에서 출력 파형의 전류와 전압의 스케일은 각 10[A/div.]과 100[V/div.]이며, 시간축의 스케일은 2[msec/div.]이다. 도 10(b)와 도 10(c)에서 윗부분 파형을 확대하여 나타낸 아래쪽 파형의 시간축 스케일은 500[nsec/div.]이다. 도 10(b)와 도 10(c)에 각 스위치가 오프되어 있는 동안 스위치에 걸리는 전압과 스위치에 흐르는 전류의 파형을 나타내었다. 각 스위치의 턴 오프 시에 발생하는 과전압은 S_1 에서 80[V], S_2 에서 20[V]정도 발생하며, 또한 스위칭의 과도상태에서 스위칭 소자에 걸리는 전압을 균등하게 분배하지 못하는 것을 알 수 있다.

[0052] 도 11은 본 발명의 실시예에 따른 스너버 회로를 추가한 인버터의 출력 파형을 나타낸 도면이며, 전류와 전압 스케일은 도 10과 동일하다. 도 11(b)과 도 11(c)에서 스위치의 턴 오프 시 발생하는 과전압이 스너버가 없을 때 보다 S_1 에서 30[V], S_2 에서 10[V] 감소한 것을 알 수 있다. 특히, 스위치의 오프 상태 시 걸리는 전압이 스위칭에 관계없이 일정하게 유지되고 있는 것을 알 수 있다.

[0053] 도 12는 도 8의 실험 구성의 스위치에 흐르는 실제 전류와 인가되는 전압파형 및 스너버 커패시터에 흐르는 전류 파형을 나타낸 도면이다. 스너버 회로를 연결하게 되면 스위치에 흐르는 전류값을 직접 측정할 수가 없기 때문에 스위치에 연결된 도선의 전류에서 스너버 커패시터로 흐르는 전류를 뺀 값이 스위치에 흐르는 전류라는 점을 이용하여 별도로 표시하였다.

[0054] 본 발명의 실시예에서는 다이오드 클램프형 3-레벨 IGBT 인버터에 적용 가능한 과전압 방지 스너버 회로를 제안하였다. 스텝-다운 DC-DC 컨버터에 적용한 과전압 방지 스너버 회로의 특성을 해석한 후 다이오드 클램프형 3-레벨 인버터에 적용 할 때의 문제점에 대하여 분석하였고, 안쪽 스위칭 소자의 스너버 회로에 다이오드를 추가한 새로운 스너버 회로를 제안하였다.

[0055] 본 발명의 실시예에 따른 스너버 회로는 바깥 스위칭 소자뿐만 아니라 안쪽 스위칭 소자에 발생하는 과전압 또한 효과적으로 경감시킨다. 특히, 스위칭 소자의 직렬 연결된 구조로 인한 스너버 커패시터의 전압을 일정하게 유지할 수 없는 문제를 개선하였는데, 이는 안쪽 스너버 회로에 스너버 다이오드를 추가하여 안쪽 스위칭 소자의 턴 오프 시 스너버 커패시터가 에너지를 흡수한 후 일정 전압을 유지하다가 해당 스위칭 소자의 턴 온 시에 만들어지는 경로를 이용하여 스너버 커패시터의 방전 경로를 제공함으로써 과전압 방지 스너버와 동일한 동작을 하게 만든다.

[0056] 또한, 다이오드 클램프형 3-레벨 IGBT 인버터를 제작하여 본 발명의 실시예에 따른 스너버가 있는 경우와 없는 경우의 스위칭 소자의 전압과 전류를 비교함으로써 제안한 방식의 효용성을 입증하였다. 본 발명의 실시예에 따른 스너버는 대용량 다이오드 클램프형 3-레벨 인버터에 적용 가능하며, 특히 작은 선로 인덕턴스에서 큰 과전압을 발생 시킬 수 있는 대전류용의 인버터 시스템에서 스위칭 소자의 보호회로로 사용할 수 있다. 따라서, 본 발명의 실시예에 따른 스너버 회로는 고압 대용량 다이오드 클램프형 3-레벨 인버터의 스위칭 소자 보호에 크게 기여할 수 있게 된다.

[0057] 이상에서, 본 발명의 실시예를 구성하는 모든 구성 요소들이 하나로 결합하거나 결합하여 동작하는 것으로 설명되었다고 해서, 본 발명이 반드시 이러한 실시예에 한정되는 것은 아니다. 즉, 본 발명의 목적 범위 안에서라면, 그 모든 구성 요소들이 하나 이상으로 선택적으로 결합하여 동작할 수도 있다. 또한, 그 모든 구성 요소들이 각각 하나의 독립적인 하드웨어로 구현될 수 있지만, 각 구성 요소들의 그 일부 또는 전부가 선택적으로 조합되어 하나 또는 복수 개의 하드웨어에서 조합된 일부 또는 전부의 기능을 수행하는 프로그램 모듈을 갖는 컴퓨터 프로그램으로서 구현될 수도 있다. 그 컴퓨터 프로그램을 구성하는 코드들 및 코드 세그먼트들은 본 발명의 기술 분야의 당업자에 의해 용이하게 추론될 수 있을 것이다. 이러한 컴퓨터 프로그램은 컴퓨터가 읽을 수 있는 저장매체(Computer Readable Media)에 저장되어 컴퓨터에 의하여 읽혀지고 실행됨으로써, 본 발명의 실시예를 구현할 수 있다. 컴퓨터 프로그램의 저장매체로서는 자기 기록매체, 광 기록매체, 캐리어 웨이브 매체 등이 포함될 수 있다.

[0058] 또한, 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재할 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과

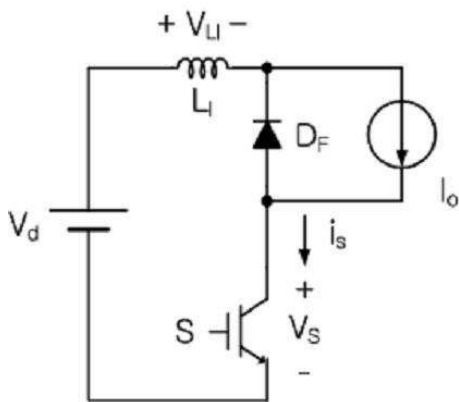
동일한 의미가 있다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0059]

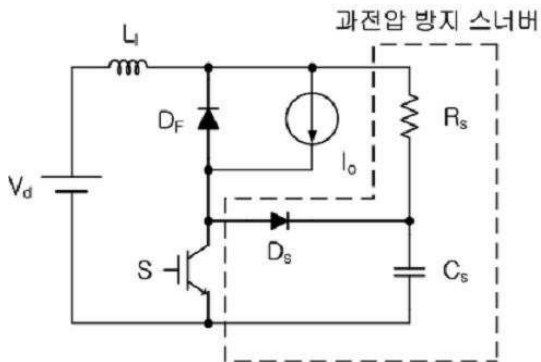
이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

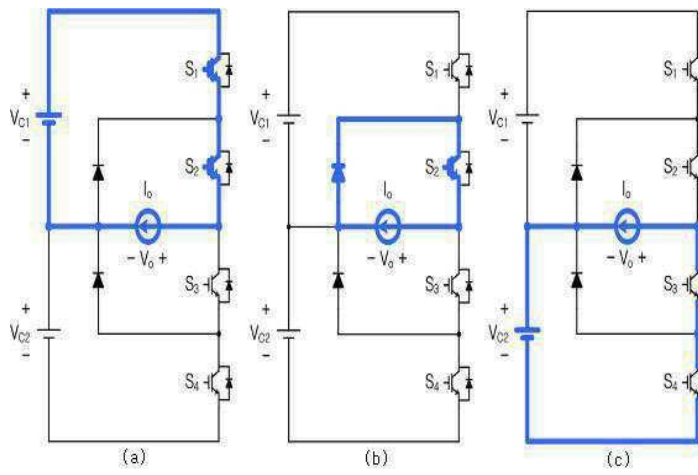
도면1



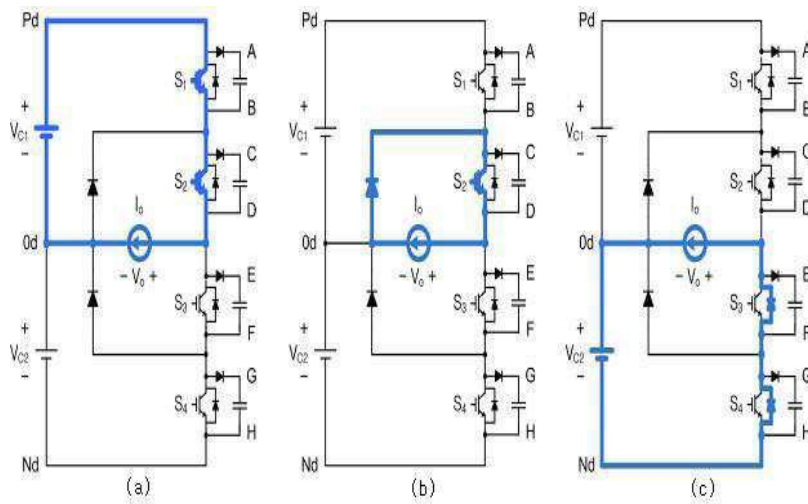
도면2



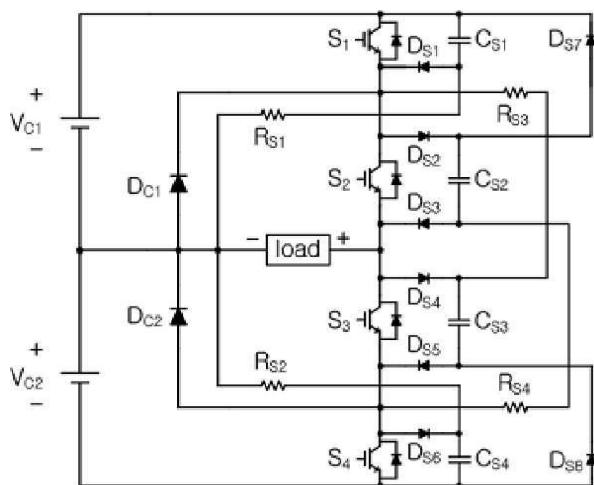
도면3



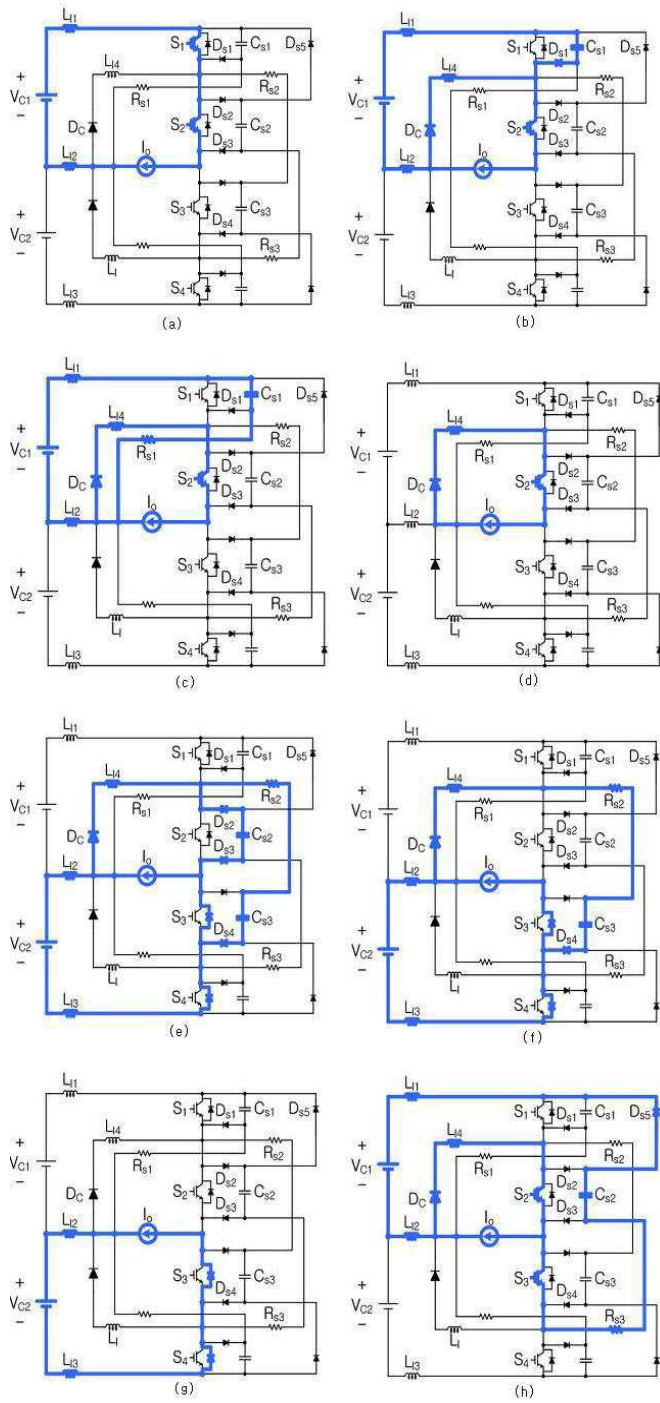
도면4



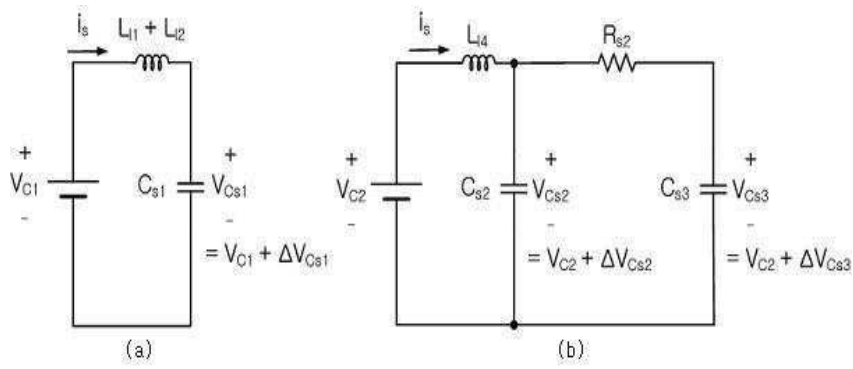
도면5



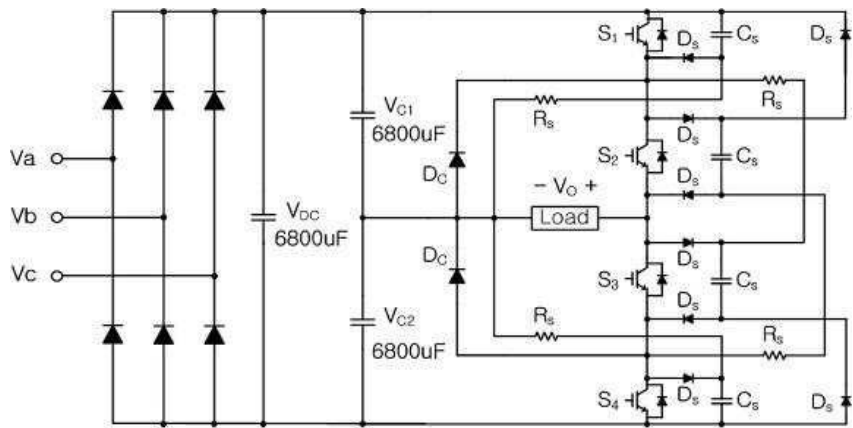
도면6



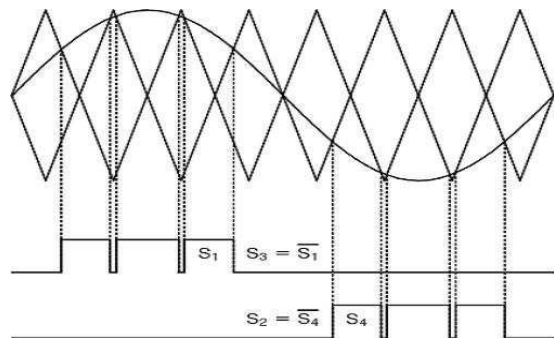
도면7



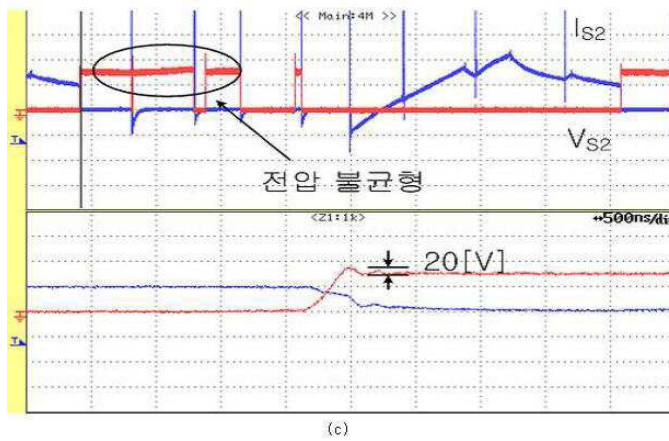
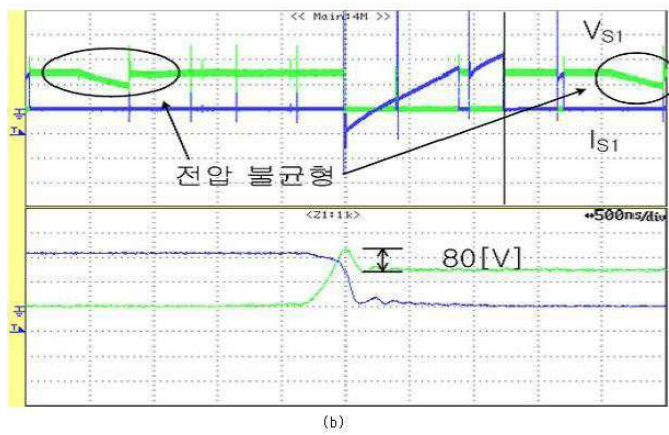
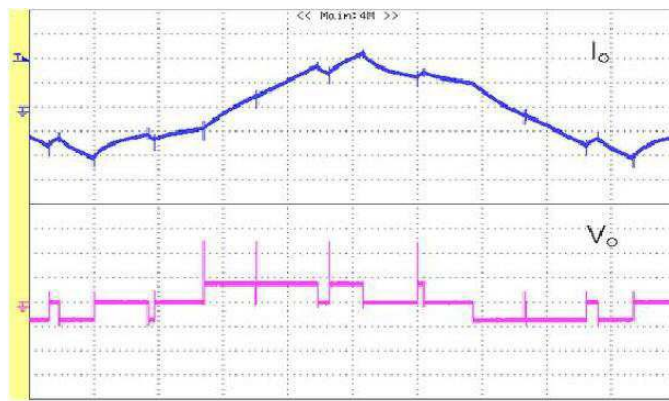
도면8



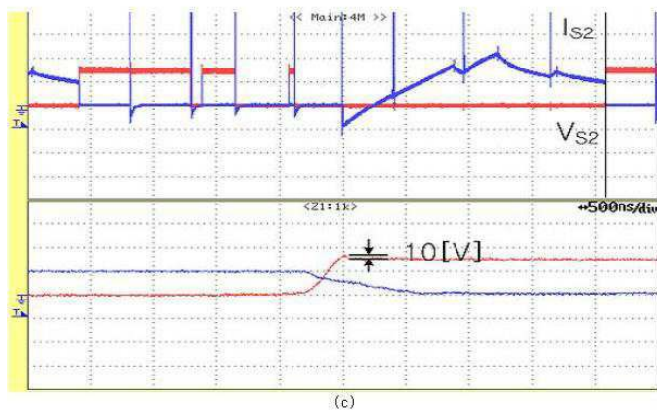
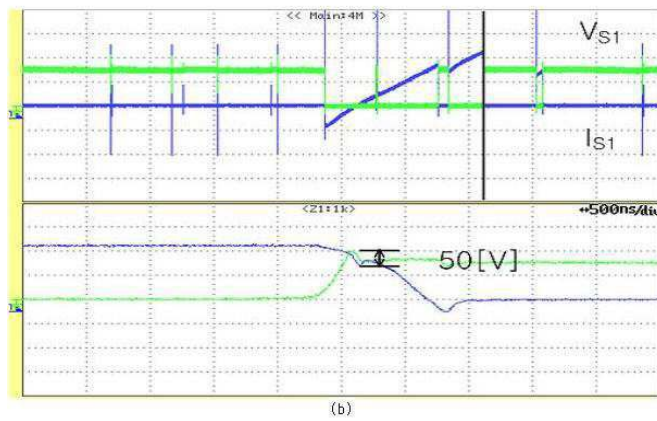
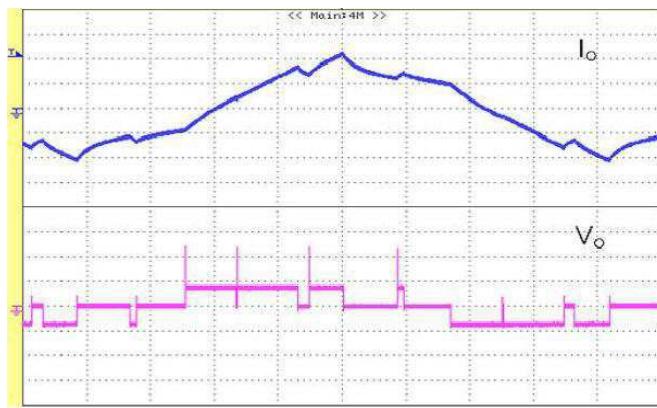
도면9



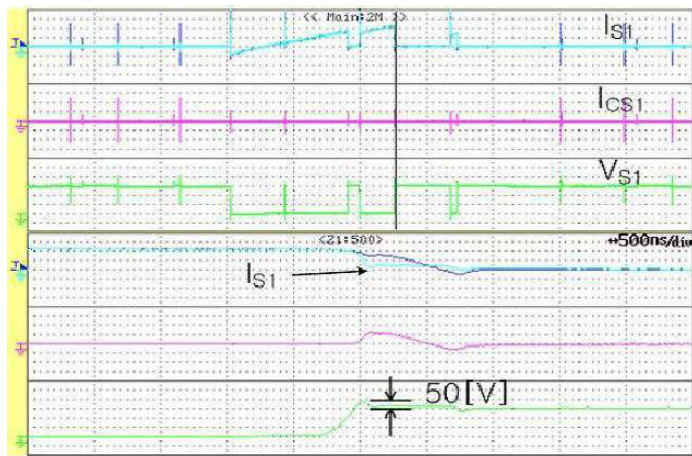
도면10



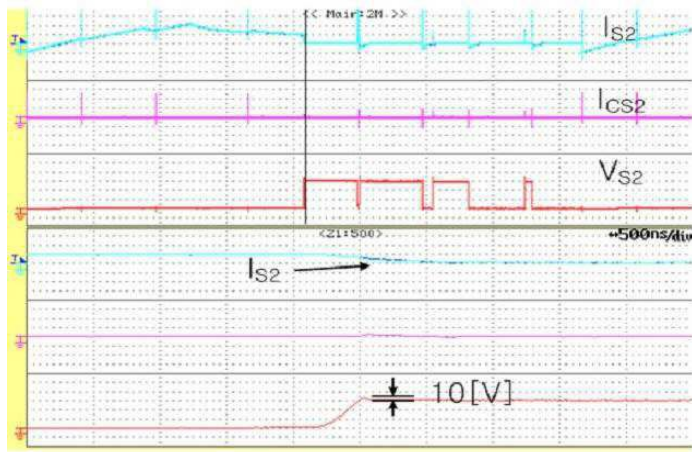
도면11



도면12



(a)



(b)