

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月28日(28.12.2017)



(10) 国際公開番号

WO 2017/221508 A1

(51) 国際特許分類:
H04L 25/02 (2006.01) *H03K 19/0175* (2006.01)
H03K 17/16 (2006.01)

(21) 国際出願番号: PCT/JP2017/013943

(22) 国際出願日: 2017年4月3日(03.04.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-123497 2016年6月22日(22.06.2016) JP

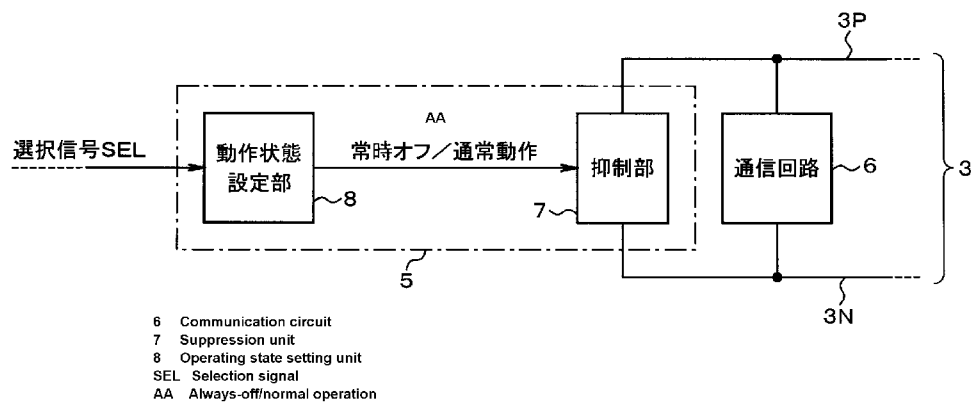
(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

(72) 発明者: 本田 卓矢(HONDA, Takuya); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 磯村 博文(ISOMURA, Hirofumi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 岸上 友久(KISHIGAMI, TOMOHISA); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 特許業務法人 サトー国際特許事務所 (SATO INTERNATIONAL PATENT FIRM); 〒4600008 愛知県名古屋市中区栄四丁目6番15号 フォーティーンヒルズセンタービル Aichi (JP).

(54) Title: RINGING SUPPRESSION CIRCUIT

(54) 発明の名称: リンギング抑制回路



(57) **Abstract:** A ringing suppression circuit (5, 21, 31, 41) is provided in a node (2) equipped with a communication circuit (6) that communicates with another node (2) by transmitting a differential signal via a pair of communication lines (3P, 3N), and is equipped with a suppression unit (7, 22) and an operating state setting unit (8, 23). The suppression unit performs a suppression operation for suppressing ringing that occurs with the transmission of the differential signal. The operating state setting unit sets, as the operating state of the suppression unit, either a normal operating state in which the



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

suppression operation is executed if a change in the level of the differential signal is detected or an always-off state in which the suppression operation is never performed.

(57) 要約: リンギング抑制回路(5、21、31、41)は、一对の通信線(3P、3N)を介して差動信号を伝送することで他のノード(2)との通信を行う通信回路(6)を備えたノード(2)に設けられたものであり、抑制部(7、22)および動作状態設定部(8、23)を備える。前記抑制部は、前記差動信号の伝送に伴い発生するリンギングを抑制する抑制動作を行う。前記動作状態設定部は、前記抑制部の動作状態として、前記差動信号のレベルが変化したことを検出すると前記抑制動作を実行する通常動作状態と、前記抑制動作を常時行わない常時オフ状態とのうち、いずれかに設定する。

明 細 書

発明の名称： リンギング抑制回路

関連出願の相互参照

[0001] 本出願は、2016年6月22日に出願された日本出願番号2016-123497号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、一对の通信線を介した差動信号の伝送に伴い発生するリンギングを抑制するリンギング抑制回路に関する。

背景技術

[0003] 一对の通信線からなる伝送線路を介してデジタル信号を伝送する場合、受信側においては、信号レベルが変化するタイミングで信号エネルギーの一部が反射することで、オーバーシュートやアンダーシュートのような波形の歪み、すなわちリンギングが生じる問題がある。従来、このような波形歪みを抑制するため、様々な技術が提案されている。

[0004] 例えば、通信バス間にスイッチング素子を設け、差動信号のレベルが変化したことを検出すると上記スイッチング素子を一定期間オンさせるといった簡単な構成のリンギング抑制回路でリンギングを抑制して通信の信頼性を高める技術が提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2012-257205号公報

発明の概要

[0006] 上述したようなリンギング抑制回路が、終端抵抗を外部に持つ通信ノードに設けられた場合、次のような問題が生じる。すなわち、この場合、リンギング抑制回路が動作すると、リンギング抑制回路のスイッチング素子のオン抵抗などと終端抵抗が通信線間に並列接続された状態となる。その結果、通信線間のインピーダンスが、それらの並列合成インピーダンスになり、逆に

インピーダンスの不整合が生じてしまう。

[0007] 本開示の目的は、通信ノードの種類を問わずに用いることができるリング抑制回路を提供することにある。

本開示の第一の態様において、リング抑制回路は、一对の通信線を介して差動信号を伝送することで他のノードとの通信を行う通信回路を備えたノードに設けられたものであり、抑制部および動作状態設定部を備えている。抑制部は、差動信号の伝送に伴い発生するリングを抑制する抑制動作を行う。動作状態設定部は、抑制部の動作状態として、差動信号のレベルが変化したことを検出すると抑制動作を実行する通常動作状態と、抑制動作を常時行わない常時オフ状態とのうち、いずれかに設定する。

[0008] 上記構成のリング抑制回路が終端抵抗を備えないノードに設けられる場合、抑制部を通常動作状態に設定することで、抑制部の抑制動作によって通信に伴い発生するリングを抑制することができる。また、上記構成のリング抑制回路が終端抵抗を備えるノードに設けられる場合、抑制部を常時オフ状態に設定することで、インピーダンスの不整合を起こすことがなくなる。その結果、差動信号のレベルが変化するタイミングにおいても終端抵抗によりインピーダンス整合が図られ、リングの発生を抑制することができる。したがって、上記構成によれば、通信ノードの種類を問わずに用いることができるという優れた効果が得られる。

図面の簡単な説明

[0009] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、第1実施形態に係るリング抑制回路の概略構成を模式的に示す図であり、
[図2]図2は、通信ネットワークの構成を模式的に示す図であり、
[図3]図3は、リング抑制回路の具体的な構成を模式的に示す図であり、
[図4A]図4Aは、抑制部を通常動作状態に設定したときにおけるリング抑制回路の回路状態を模式的に示す図であり、

[図4B]図4 Bは、抑制部を常時オフ状態に設定したときにおけるリングング抑制回路の回路状態を模式的に示す図であり、

[図5]図5は、リングング抑制回路の動作をシミュレーションした結果を示す図であり、

[図6]図6は、第2実施形態に係るリングング抑制回路の概略構成を模式的に示す図であり、

[図7]図7は、選択信号と抑制部の動作状態との関係を示す図であり、

[図8]図8は、リングング抑制回路の具体的な構成を模式的に示す図であり、

[図9A]図9 Aは、抑制部を通常動作状態に設定したときにおけるリングング抑制回路の回路状態を模式的に示す図あり、

[図9B]図9 Bは、抑制部を常時オフ状態に設定したときにおけるリングング抑制回路の回路状態を模式的に示す図であり、

[図9C]図9 Cは、抑制部を常時オン状態に設定したときにおけるリングング抑制回路の回路状態を模式的に示す図であり、

[図10]図10は、第3実施形態に係るリングング抑制回路の概略構成を模式的に示す図であり、

[図11]図11は、抑制部の動作状態を自動設定するための処理の流れを模式的に示すフローチャートであり、

[図12]図12は、第4実施形態に係るリングング抑制回路の概略構成を模式的に示す図であり、

[図13]図13は、抑制部の動作状態を自動設定するための処理の流れを模式的に示すフローチャートである。

発明を実施するための形態

[0010] 以下、複数の実施形態について図面を参照して説明する。なお、各実施形態において実質的に同一の構成には同一の符号を付して説明を省略する。

(第1実施形態)

以下、第1実施形態について図1～図5を参照して説明する。

[0011] 図2に示す通信ネットワーク1は、車両に搭載される複数のノード2間の

制御通信のために、それらのノード 2 がツイストペア線で構成される伝送線路 3 を介して接続されたネットワークである。各ノード 2 は、それぞれ車両の状態を検出するためのセンサ類やセンサからの情報に基づいてアクチュエータをコントロールする電子制御装置である。

[0012] 各ノード 2 には、それぞれ図示しない通信回路が設けられており、伝送線路 3 での通信プロトコル、例えば C A N プロトコルに従って送信データや受信データを通信信号に変換し、他のノード 2 との通信を行う。伝送線路 3、つまり通信バスの途中には、適宜、伝送線路 3 を分岐するための分岐コネクタ 4 が設けられている。

[0013] なお、図 2 に示したノード 2 のうち、長方形内に「T」と記載したノード 2 は、その外部に終端抵抗を持つノードを示しており、以下の説明では、このような終端抵抗を有するノードのことをノード 2 T と呼ぶこととする。また、図 2 に示したノード 2 のうち、単なる長方形のシンボルで表したノード 2 は終端抵抗を備えていないノードを示している。この場合、終端抵抗の抵抗値は、例えば 120Ω となっている。

[0014] 図 1 に示すリングング抑制回路 5 は、通信回路 6 とともに、図 2 に示したノード 2 に設けられる。リングング抑制回路 5 は、抑制部 7 および動作状態設定部 8 を備える。抑制部 7 は、高電位側信号線 3 P および低電位側信号線 3 N からなる伝送線路 3 のインピーダンスを低下させることにより、差動信号の伝送に伴い発生するリングングを抑制する抑制動作を行う。なお、高電位側信号線 3 P および低電位側信号線 3 N は、一对の通信線に相当するものであり、以下、単に信号線 3 P および信号線 3 N と省略することもある。

[0015] 動作状態設定部 8 は、抑制部 7 の動作状態を設定する。この場合、抑制部 7 の動作状態としては、通常動作状態および常時オフ状態の 2 つの動作状態のうちいずれかに設定することが可能となっている。通常動作状態は、抑制部 7 が通常の動作を実行する動作モードであり、具体的には、差動信号の信号レベルが変化したことを検出すると抑制動作を実行する、といった動作モードである。また、常時オフ状態は、抑制動作が常時行われなくにする

動作モードである。

- [0016] 動作状態設定部 8 は、外部から与えられる選択信号 S E L の信号レベルに基づいて、抑制部 7 の動作状態を設定する。選択信号 S E L は、抑制部 7 の動作状態を選択するための信号である。具体的には、選択信号 S E L は、L レベルのときに通常動作状態を選択することを表し、H レベルのときに常時オフ状態を選択することを表すようになっている。なお、選択信号 S E L の H レベルは、回路の電源電圧 V c c に相当し、L レベルは回路の基準電位であるグランド (G N D) に相当する。
- [0017] このようなリングング抑制回路 5 の具体的な構成としては、例えば図 3 に示すような構成を採用することができる。図 3 に示すように、リングング抑制回路 5 は、通信回路 6 とともに、信号線 3 P、3 N の間に並列に接続されている。リングング抑制回路 5 は、ソースがいずれも信号線 3 N に接続される 4 つの N チャネル型 M O S F E T であるトランジスタ T 1 ~ T 4 と、P チャネル型 M O S F E T であるトランジスタ T 5 とを備えている。
- [0018] トランジスタ T 1、T 3 のゲートは、信号線 3 P に接続されている。トランジスタ T 4 のドレインは、信号線 3 P に接続されており、トランジスタ T 2、T 3 のドレインは、トランジスタ T 4 のゲートに接続されているとともに抵抗素子 R 1 を介してトランジスタ T 5 のドレインに接続されている。
- [0019] トランジスタ T 5 のソースは、電源線 1 1 に接続されている。電源線 1 1 には、リングング抑制回路 5 の動作の電源電圧 V c c が供給される。トランジスタ T 5 のゲートは、外部から選択信号 S E L を入力するための入力端子 1 2 に接続されている。したがって、トランジスタ T 5 は、ゲートに与えられる選択信号 S E L に応じてオンオフされる。
- [0020] トランジスタ T 1 のドレインは、抵抗素子 R 2 を介して電源線 1 1 に接続されているとともに、抵抗素子 R 3 を介してトランジスタ T 2 のゲートに接続されている。また、トランジスタ T 2 のゲートは、コンデンサ C 1 を介して信号線 3 N に接続されている。抵抗素子 R 3 およびコンデンサ C 1 は、R C フィルタ回路 1 3 を構成している。トランジスタ T 4 のゲートは、抵抗素

子 R 4 を介して信号線 3 N に接続されている。

[0021] このような構成において、トランジスタ T 1 ～ T 4、抵抗素子 R 1 ～ R 3 およびコンデンサ C 1 により抑制部 7 が構成されている。また、トランジスタ T 5 および抵抗素子 R 4 により動作状態設定部 8 が構成されている。なお、抵抗素子 R 4 の抵抗値は、抵抗素子 R 1 の抵抗値よりも高い値に設定されている。

[0022] 次に、上記構成の作用について、図 4 A および図 4 B を参照して説明する。なお、図 4 A および図 4 B では、有効に機能しない回路素子などの図示を省略している。

[1] 通常動作状態

抑制部 7 が通常動作状態に設定される場合、L レベルの選択信号 S E L が与えられるため、トランジスタ T 5 がオンされる。そのため、図 4 A に示すように、トランジスタ T 4 のゲートが抵抗素子 R 1 を通じてプルアップされた状態となる。これにより、リングング抑制回路 5 は、特開 2 0 1 2 - 2 5 7 2 0 5 号公報の図 1 に示された従来のリングング抑制回路と同様の回路構成となる。したがって、抑制部 7 が通常動作状態に設定された図 4 A に示すリングング抑制回路 5 によれば、従来のリングング抑制回路と同様のリングング抑制動作を実行することができる。

[0023] すなわち、この場合、伝送線路 3 は、ハイレベル、ロウレベルの 2 値信号を差動信号として伝送する。例えば、電源電圧が 5 V の場合、信号線 3 P、3 N は、非ドライブ状態においていずれも中間電位である 2. 5 V に設定され、差動電圧は 0 V であり、差動信号はレセッシブを表すロウレベルとなる。

[0024] そして、通信回路 6 の送信回路（図示略）が伝送線路 3 をドライブすると、信号線 3 P は例えば 3. 5 V 以上に、信号線 3 N は例えば 1. 5 V 以下にドライブされ、差動電圧は 2 V 以上となり、差動信号はドミナントを表すハイレベルとなる。また、図示しないが、信号線 3 P、3 N の両端は 1 2 0 Ω の終端抵抗により終端されている。したがって、差動信号の信号レベルがハ

イレベルからロウレベルに変化する際には、伝送線路 3 が非ドライブ状態となり伝送線路 3 のインピーダンスが高くなることから、差動信号波形にリングングが発生する。

[0025] そこで、リングング抑制回路 5 は、差動信号の信号レベルがハイレベルからレセッシブを表すロウレベルに変化したことをトリガとして、トランジスタ T 4 をターンオンさせることで抑制部 7 による抑制動作を開始する。この動作は、次のようにして実現される。すなわち、差動信号のレベルがハイレベルの場合、トランジスタ T 1、T 3 がオンしているため、トランジスタ T 2 はオフしている。したがって、トランジスタ T 4 はオフ状態となっている。

[0026] この状態から、差動信号の信号レベルがハイレベルからロウレベルに変化すると、トランジスタ T 1、T 3 がターンオフするため、トランジスタ T 4 がターンオンする。すると、信号線 3 P、3 Nの間は、トランジスタ T 4 のオン抵抗を介して接続されることになり、インピーダンスが低下する。これにより、差動信号の信号レベルがハイレベルからロウレベルに変化する立ち下がり期間に発生する波形歪みのエネルギーが上記オン抵抗により消費され、リングングが抑制される。

[0027] [2] 常時オフ状態

抑制部 7 が常時オフ状態に設定される場合、Hレベルの選択信号 S E L が与えられるため、トランジスタ T 5 がオフされる。そのため、図 4 B に示すように、トランジスタ T 4 のゲートは、抵抗素子 R 4 によりプルダウンされた状態となる。そのため、トランジスタ T 4 は、差動信号の信号レベルに関係なく、常時オフされたままとなる。したがって、抑制部 7 が常時オフ状態に設定された図 4 B に示すリングング抑制回路 5 は、常時、リングングを抑制する抑制動作を行わない状態となる。

[0028] 以上説明した本実施形態によれば、次のような効果が得られる。

従来のリングング抑制回路は、常時、差動信号の信号レベルが変化したことを検出すると、信号線 3 P、3 N間に設けられたスイッチング素子をオン

するようになっていた。そのため、このようなリングング抑制回路が終端抵抗を有するノード2 Tに設けられた場合、抑制動作が実行されるときにインピーダンスの不整合が生じるおそれがあった。

[0029] このようにインピーダンスの不整合が生じると、図5に示す波形Aのように、差動信号の信号レベル、つまり通信バスがドミナントからレセッシブへと変化する際、差動信号の波形にアンダーシュートが発生する。このように差動信号の波形に歪みが生じると、ノイズが増大するなどの問題が生じる。なお、図5は、回路動作のシミュレーション結果であり、スター型転送路の通信ネットワークにおける終端抵抗を持つノードの通信バスの差電圧波形を示している。

[0030] これに対し、本実施形態のリングング抑制回路5は、抑制部7の動作状態として、抑制動作を常時行わない常時オフ状態に設定することが可能となっている。そのため、リングング抑制回路5が終端抵抗を備えるノード2 Tに設けられる場合、抑制部7を常時オフ状態に設定しておけば、信号線3 P、3 N間に終端抵抗だけが接続された状態が維持されてインピーダンスの不整合を起こすことが無くなる。その結果、差動信号のレベルが変化するタイミングにおいても終端抵抗によりインピーダンス整合が図られる。したがって、図5に示す波形Bのように、差動信号のレベル、つまり通信バスがドミナントからレセッシブへと変化する際におけるリングングの発生を抑制することができる。

[0031] また、本実施形態のリングング抑制回路5は、抑制部7の動作状態として、従来と同様の抑制動作を行う通常動作状態に設定することが可能となっている。そのため、リングング抑制回路5が終端抵抗を備えないノード2に設けられる場合、抑制部7を通常動作状態に設定しておけば、抑制部7の抑制動作によって通信に伴い発生するリングングを適切に抑制することができる。

[0032] このように、本実施形態のリングング抑制回路5によれば、共通の回路構成で、終端抵抗を備えるノード2 Tおよび終端抵抗を備えないノード2のい

ずれに対しても設けることが可能となる。つまり、本実施形態のリングング抑制回路5によれば、通信ノードの種類を問わずに用いることができるという優れた効果が得られる。

[0033] また、この場合、従来のリングング抑制回路に対し、選択信号SELを入力するための入力端子12、選択信号SELに基づいてトランジスタT4のゲートをプルアップするか否かを切り替えるトランジスタT5、トランジスタT4のゲートをプルダウンするための抵抗素子R4を追加するだけで、上述した動作状態の切り替えを実現することが可能となっている。したがって、本実施形態によれば、従来のリングング抑制回路に対し、簡易な構成を追加するだけで、上述した効果を得ることができる。

[0034] (第2実施形態)

以下、第2実施形態について図6～図9Cを参照して説明する。

図6に示すように、本実施形態のリングング抑制回路21は、抑制部22および動作状態設定部23を備える。抑制部22は、第1実施形態の抑制部7と同様の抑制動作を行う。ただし、抑制部22は、その動作状態として、通常動作状態、常時オフ状態および常時オン状態の3つの動作状態のうちいずれかに設定することが可能となっている。常時オン状態は、抑制動作が常時行われるようにする動作モードである。

[0035] 動作状態設定部23は、外部から与えられる選択信号SEL1、SEL2の信号レベルに基づいて、抑制部22の動作状態として上記3つの動作状態のうちいずれかに設定する。選択信号SEL1、SEL2は、抑制部22の動作状態を選択するための信号である。なお、選択信号SEL1、SEL2のHレベル、Lレベルは、それぞれ電源電圧Vcc、グラウンド(GND)に相当する。

[0036] 具体的には、図7に示すように、選択信号SEL1、SEL2がいずれもLレベルのときに常時オン状態を選択することを表し、選択信号SEL1がHレベルであり且つ選択信号SEL2がLレベルであるときに通常動作状態を選択することを表す。また、選択信号SEL2がハイレベルであるときに

は、選択信号SEL1のレベルに関係なく、常時オフ状態を選択することを表す。

[0037] このようなリングング抑制回路21の具体的な構成としては、例えば図8に示すような構成を採用することができる。図8に示すように、リングング抑制回路21は、図3に示した第1実施形態のリングング抑制回路5に対し、OR回路24、インバータ回路25、Pチャネル型MOSFETであるトランジスタT21、T22、Nチャネル型MOSFETであるトランジスタT23および抵抗素子R21～R24が追加されている。

[0038] OR回路24の各入力端子は、選択信号SEL1、SEL2をそれぞれ入力するための入力端子26、27に接続されている。OR回路24の出力信号は、インバータ回路25に入力されるとともに、トランジスタT21のゲートに与えられている。インバータ回路25の出力信号は、トランジスタT22のゲートに与えられている。この場合、トランジスタT5のゲートには、選択信号SEL2が与えられている。

[0039] トランジスタT21、T22の各ソースは、電源線11に接続されている。トランジスタT21のドレインは、抵抗素子R21、R22を介して信号線3Nに接続されている。トランジスタT22のドレインは、抵抗素子R2を介してトランジスタT1のドレインに接続されている。また、この場合、トランジスタT1のドレインは、抵抗素子R23を介して信号線3Nに接続されている。

[0040] 抵抗素子R21、R22の相互接続点N21は、トランジスタT23のゲートに接続されている。トランジスタT23のドレインは、トランジスタT3のゲートに接続されるとともに、抵抗素子R24を介して信号線3Pに接続されている。トランジスタT23のソースは、信号線3Nに接続されている。

[0041] このような構成において、トランジスタT1～T4、抵抗素子R1～R3およびコンデンサC1により抑制部22が構成されている。また、OR回路24、インバータ回路25、トランジスタT5、T21～T23および抵抗

素子 R 4、R 2 1～R 2 4 により動作状態設定部 2 3 が構成されている。なお、抵抗素子 R 2 1、R 2 2 の抵抗値は、トランジスタ T 2 1 がオンされているときに、相互接続点 N 2 1 の電圧が、トランジスタ T 2 3 をオン可能な電圧値となるような値に設定されている。

[0042] 次に、上記構成の作用について、図 9 A、図 9 B および図 9 C を参照して説明する。なお、図 9 A、図 9 B および図 9 C では、OR 回路 2 4、インバータ回路 2 5、有効に機能しない回路素子などの図示を省略している。

[0043] [1] 通常動作状態

抑制部 2 2 が通常動作状態に設定される場合、H レベルの選択信号 S E L 1 および L レベルの選択信号 S E L 2 が与えられる。そのため、トランジスタ T 5、T 2 2 がオンされるとともに、トランジスタ T 2 1、T 2 3 がオフされる。これにより、図 9 A に示すように、トランジスタ T 4 のゲートが抵抗素子 R 1 を通じてプルアップされた状態となり、トランジスタ T 1 のドレインが抵抗素子 R 2 を通じて電源線 1 1 に接続された状態となり、トランジスタ T 3 のゲートが抵抗素子 R 2 4 を通じて信号線 3 P に接続された状態となる。

[0044] そのため、リングング抑制回路 2 1 は、特開 2 0 1 2 - 2 5 7 2 0 5 号公報の図 1 に示された従来のリングング抑制回路と同様の回路構成となる。したがって、抑制部 2 2 が通常動作状態に設定された図 9 A に示すリングング抑制回路 2 1 によれば、従来のリングング抑制回路と同様のリングング抑制動作を実行することができる。

[0045] [2] 常時オフ状態

抑制部 2 2 が常時オフ状態に設定される場合、H レベルの選択信号 S E L 2 が与えられる。そのため、トランジスタ T 5、T 2 1、T 2 3 がオフされるとともに、トランジスタ T 2 2 がオンされる。これにより、図 9 B に示すように、トランジスタ T 4 のゲートは、常に、抵抗素子 R 4 によりプルダウンされた状態となる。そのため、トランジスタ T 4 は、差動信号の信号レベルに関係なく、常時オフされたままとなる。したがって、抑制部 2 2 が常時

オフ状態に設定された図 9 B に示すリングング抑制回路 2 1 は、常時、リングングを抑制する抑制動作を行わない状態となる。

[0046] [3] 常時オン状態

抑制部 2 2 が常時オン状態に設定される場合、いずれも L レベルの選択信号 S E L 1、S E L 2 が与えられる。そのためトランジスタ T 5、T 2 1、T 2 3 がオンされるとともに、トランジスタ T 2 2 がオフされる。これにより、図 9 C に示すように、トランジスタ T 5 のゲートは、常に、抵抗素子 R 1 を通じて電源線 1 1 に接続された状態となる。そのため、トランジスタ T 4 は、差動信号の信号レベルに関係なく、常時オンされたままとなる。したがって、抑制部 2 2 が常時オン状態に設定された図 9 C に示すリングング抑制回路 2 1 は、常時、リングングを抑制する抑制動作を行う状態となる。

[0047] 以上説明したように、本実施形態のリングング抑制回路 2 1 は、抑制部 2 2 の動作状態として、第 1 実施形態のリングング抑制回路 5 と同様に、通常動作状態および常時オフ状態に設定することが可能となっている。したがって、本実施形態によっても、第 1 実施形態と同様の効果が得られる。

[0048] また、リングング抑制回路 2 1 は、抑制部 2 2 の動作状態として、抑制動作を常時行う常時オン状態に設定することが可能となっている。この常時オン状態では、信号線 3 P、3 N 間にトランジスタ T 4 のオン抵抗が常時接続された状態となる。したがって、リングング抑制回路 2 1 が終端抵抗の無いノード 2 に設けられたとき、常時オン状態に設定すれば、リングング抑制回路 2 1 を終端抵抗として機能させることが可能となる。このようにすれば、外部に終端抵抗を設ける必要が無くなる分だけ、コスト低減の効果が得られる。

[0049] (第 3 実施形態)

以下、第 3 実施形態について図 1 0 および図 1 1 を参照して説明する。

図 1 0 に示すように、本実施形態のリングング抑制回路 3 1 は、第 1 実施形態のリングング抑制回路 5 が備える各構成に加え、さらにインピーダンス検出部 3 2 を備えている。

[0050] インピーダンス検出部 32 は、信号線 3P、3N 間のインピーダンスである線間インピーダンス Z を検出する。線間インピーダンス Z を検出する手法としては、周知の様々な手法を採用することができる。例えば、信号線 3P、3N 間に所定の電流を流し、そのときに生じる信号線 3P、3N 間の電位差を検出し、流した電流の値および検出した電位差から線間インピーダンスを算出するといった手法を採用することができる。

[0051] インピーダンス検出部 32 は、外部から開始信号 START が与えられたことをトリガとして、線間インピーダンス Z の検出を開始する。インピーダンス検出部 32 は、線間インピーダンス Z の検出値に基づいて、出力する選択信号 SEL の論理を決定する。そして、動作状態設定部 8 は、インピーダンス検出部 32 から与えられる選択信号 SEL の信号レベルに基づいて、抑制部 7 の動作状態を設定する。

[0052] なお、選択信号 SEL の信号レベルと設定される動作状態との関係は、第 1 実施形態と同様である。また、開始信号 START は、リングング抑制回路 31 が設けられたノード 2（電子制御装置）が通信ネットワーク 1 から切り離された状態において、そのノード 2 が起動されたときや、リングング抑制回路 31 に対して電源供給が開始されたとき（電源立ち上げ時）などに与えられる。

[0053] 次に、上記構成の作用について図 11 のフローチャートに沿って説明する。

開始信号 START が与えられると、ステップ S31 に進み、抑制部 7 が常時オフ状態に設定される。なお、以下の処理が行われる際、抑制部 7 のトランジスタ T4 がオンする可能性が無ければ、ステップ S31 において抑制部 7 を通常動作状態に設定してもよい。

[0054] ステップ S32 では、インピーダンス検出部 32 により線間インピーダンス Z の検出が行われる。なお、以下の説明では、線間インピーダンス Z の検出値のことを検出値 Z とも呼ぶ。続くステップ S33 では、検出値 Z が第 1 閾値 Z_{th1} 以下であるか否かが判断される。

- [0055] 第1閾値 Z_{th1} は、リングング抑制回路31が設けられたノード2に外付けの終端抵抗が有るか否かを判断するための閾値である。したがって、第1閾値 Z_{th1} としては、終端抵抗の抵抗値(120Ω)または終端抵抗の抵抗値に多少のマージンを加えた値などに設定するとよい。これにより、検出値 Z が第1閾値 Z_{th1} 以下であれば、ノード2に外付けの終端抵抗があると判断し、第1閾値 Z_{th1} よりも高い値であれば、ノード2に外付けの終端抵抗が無いと判断することができる。
- [0056] 検出値 Z が第1閾値 Z_{th1} 以下である、つまりノード2に外付けの終端抵抗があると判断された場合(ステップS33で「YES」の場合)、ステップS34に進む。ステップS34では、抑制部7が常時オフ状態に設定される。一方、検出値 Z が第1閾値 Z_{th1} より大きい、つまりノード2に外付けの終端抵抗が無いと判断された場合(ステップS33で「NO」の場合)、ステップS35に進む。ステップS35では、抑制部7が通常動作状態に設定される。ステップS34またはS35の実行後、処理が終了となる。
- [0057] 以上説明したように、本実施形態のリングング抑制回路31は、線間インピーダンス Z の検出値に基づいて、自ノード2に外付けの終端抵抗が有るか無いかを判断し、終端抵抗があると判断すると抑制部7を常時オフ状態に設定し、終端抵抗が無いと判断すると抑制部7を通常動作状態に設定するようになっている。したがって、本実施形態によれば、ユーザがノード2に終端抵抗が有るか無いかを確認して抑制部7の動作状態を切り替える、といった作業を行う必要がなく、ノード2の種類に応じて抑制部7の動作状態が適切な動作状態に自動的に切り替えられるので、動作状態の設定ミスが無くなるとともに、作業を簡単化できるという効果が得られる。
- [0058] また、本実施形態では、抑制部7を常時オフ状態に設定したうえで線間インピーダンス Z の検出を行うようにしている。このようにすれば、線間インピーダンス Z を検出する際に抑制部7のトランジスタT4がオンすることが無くなるため、線間インピーダンスの検出値に基づいて終端抵抗の有無を精度良く判断することが可能となる。

[0059] (第4実施形態)

以下、第4実施形態について図12および図13を参照して説明する。

図12に示すように、本実施形態のリングング抑制回路41は、第2実施形態のリングング抑制回路21が備える各構成に加え、さらにインピーダンス検出部42を備えている。

[0060] インピーダンス検出部42は、第3実施形態のインピーダンス検出部32と同様の構成であり、線間インピーダンス Z を検出し、その検出値に基づいて、出力する選択信号SEL1、SEL2の論理を決定する。そして、動作状態設定部23は、インピーダンス検出部42から与えられる選択信号SEL1、SEL2の信号レベルに基づいて、抑制部22の動作状態を設定する。

[0061] なお、選択信号SEL1、SEL2の信号レベルと設定される動作状態との関係は、第2実施形態と同様である。この場合、開始信号STARTは、リングング抑制回路41が設けられたノード2（電子制御装置）が通信ネットワーク1に接続された状態において、そのノード2が起動されたときや、リングング抑制回路31に対して電源供給が開始されたとき（電源立ち上げ時）などに与えられる。

[0062] 次に、上記構成の作用について図13のフローチャートに沿って説明する。

開始信号STARTが与えられると、ステップS41に進み、抑制部22が常時オフ状態に設定される。なお、以下の処理が行われる際、抑制部22のトランジスタT4がオンする可能性が無ければ、ステップS41において抑制部22を通常動作状態に設定してもよい。また、以下の処理は、他のノード2間においても通信が行われていない期間に実行されるものとする。

[0063] ステップS42では、インピーダンス検出部42により線間インピーダンス Z の検出が行われる。続くステップS43では、検出値 Z が第2閾値 Z_{th2} 以下であるか否かが判断される。第2閾値 Z_{th2} は、通信バス上に2つの終端抵抗が存在するか否かを判断するための閾値である。したがって、

第2閾値 Z_{th2} としては、終端抵抗の抵抗値の $1/2$ の抵抗値（ 60Ω ）またはその抵抗値に多少のマージンを加えた値などに設定するとよい。これにより、検出値 Z が第2閾値 Z_{th2} 以下であれば、通信バス上に2つの終端抵抗が存在すると判断し、第2閾値 Z_{th2} よりも高い値であれば、通信バス上に終端抵抗が1つしかない、または全く無いと判断することができる。

[0064] 検出値 Z が第2閾値 Z_{th2} 以下である、つまり通信バス上に2つの終端抵抗が存在する判断された場合（ステップS43で「YES」の場合）、ステップS44に進む。ステップS44では、抑制部22が通常動作状態に設定される。一方、検出値 Z が第2閾値 Z_{th2} より大きい、つまり通信バス上に終端抵抗が1つしかない、または全く無いと判断された場合（ステップS43で「NO」の場合）、ステップS45に進む。ステップS45では、抑制部22が常時オン状態に設定される。ステップS44またはS45の実行後、処理が終了となる。

[0065] 以上説明したように、本実施形態のリング抑制回路41は、線間インピーダンス Z の検出値に基づいて、通信バス上に2つの終端抵抗が有るか否かを判断し、2つの終端抵抗が有ると判断すると抑制部22を通常動作状態に設定し、終端抵抗が1つしか無い、または全く無いと判断すると抑制部22を常時オン状態に設定するようになっている。したがって、本実施形態によれば、ユーザが通信バス上に2つの終端抵抗が有るか否かを確認して抑制部22の動作状態を切り替える、といった作業を行う必要がなく、通信バス上に2つの終端抵抗が有るか否かに応じて抑制部22の動作状態が適切な動作状態に自動的に切り替えられるので、動作状態の設定ミスが無くなるとともに、作業を簡単化できるという効果が得られる。

[0066] 例えば、車両における通信ネットワーク1では、必ずしも全てのノード2が取り付けられるわけではなく、必ず取り付けられる標準的なノード2、ユーザの意図などに応じて適宜取り付けられる付加的なノード2、ユーザにより後から取り付けられる後付けのノード2などが存在する。付加的なノード

2や後付けのノード2（例えばナビゲーション装置に関連する電子制御装置など）が取り付けられる場合と取り付けられない場合とでは、終端抵抗の配置などを含めた通信ネットワーク1の構成が変化する。本実施形態の構成によれば、後付けのノードの取り付け状況などによって通信ネットワーク1の構成が変化すると、その変化に応じて抑制部22が最適な動作状態となるように自動的に切り替えが行われる。

[0067] （その他の実施形態）

なお、本開示は上記し且つ図面に記載した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で任意に変形、組み合わせ、あるいは拡張することができる。

[0068] 抑制部7、22の具体的構成としては、差動信号のレベルが変化すると伝送線路3のインピーダンスを低下させて差動信号の伝送に伴い発生するリングングを抑制する動作を行い得る構成であれば、適宜変更可能である。例えば、抑制部7、22として、特開2012-244220号公報に記載されているような構成、つまり信号線3P、3N間に複数のスイッチング素子を直列接続した構成を採用してもよい。あるいは、抑制部7、22として、信号線3P、3N間にスイッチング素子および抵抗素子を直列接続した構成を採用してもよい。そして、この場合、動作状態設定部8、23の構成についても、抑制部7、22の変更に合わせて変更すればよい。

[0069] 通信プロトコルはCANに限ることなく、一対の通信線を介して差動信号を伝送する通信プロトコルであれば適用が可能である。

本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 一対の通信線（3 P、3 N）を介して差動信号を伝送することで他のノード（2）との通信を行う通信回路（6）を備えたノード（2）に設けられたリングング抑制回路（5、21、31、41）であって、
- 前記差動信号の伝送に伴い発生するリングングを抑制する抑制動作を行う抑制部（7、22）と、
- 前記抑制部の動作状態として、前記差動信号のレベルが変化したことを検出すると前記抑制動作を実行する通常動作状態と、前記抑制動作を常時行わない常時オフ状態とのうち、いずれかに設定する動作状態設定部（8、23）と、
- を備えるリングング抑制回路。
- [請求項2] 前記動作状態設定部（23）は、前記抑制部の動作状態として、前記通常動作状態と、前記常時オフ状態と、前記抑制動作を常時行う常時オン状態とのうち、いずれかに設定する請求項1に記載のリングング抑制回路。
- [請求項3] さらに、前記一対の通信線間のインピーダンスである線間インピーダンスを検出し、その検出値に基づいて前記抑制部の動作状態を選択する選択信号を出力するインピーダンス検出部（32、42）を備え、
- 前記動作状態設定部は、前記インピーダンス検出部から出力される選択信号に基づいて前記抑制部の動作状態を設定する請求項1または2に記載のリングング抑制回路。
- [請求項4] さらに、前記抑制部の動作状態を選択する選択信号を入力するための入力端子（12、26、27）を備え、
- 前記動作状態設定部は、前記選択信号に基づいて前記抑制部の動作状態を設定する請求項1または2に記載のリングング抑制回路。
- [請求項5] さらに、前記一対の通信線間のインピーダンスである線間インピー

ダンスを検出し、その検出値が所定の第1 閾値以下である場合には前記抑制部の動作状態として前記常時オフ状態を選択する選択信号を出力し、その検出値が前記第1 閾値より高い値である場合には前記抑制部の動作状態として前記通常動作状態を選択する選択信号を出力するインピーダンス検出部（32）を備え、

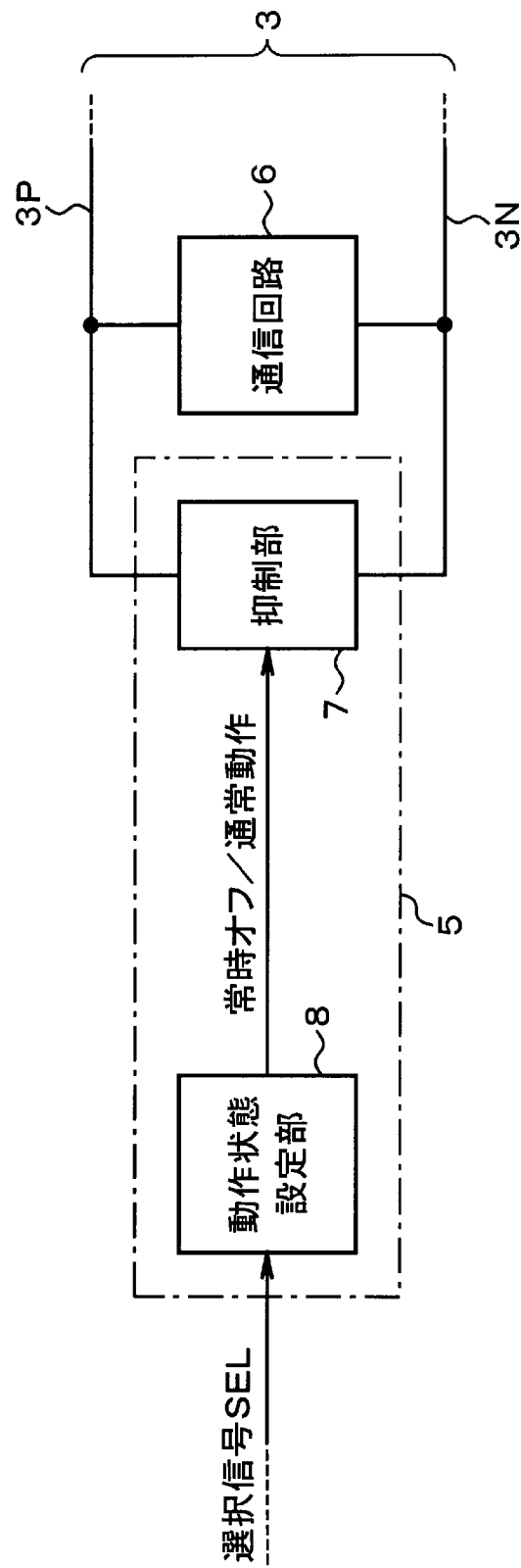
前記動作状態設定部（8、23）は、前記インピーダンス検出部から出力される選択信号に基づいて前記抑制部の動作状態を設定する請求項1 または2 に記載のリングング抑制回路。

[請求項6]

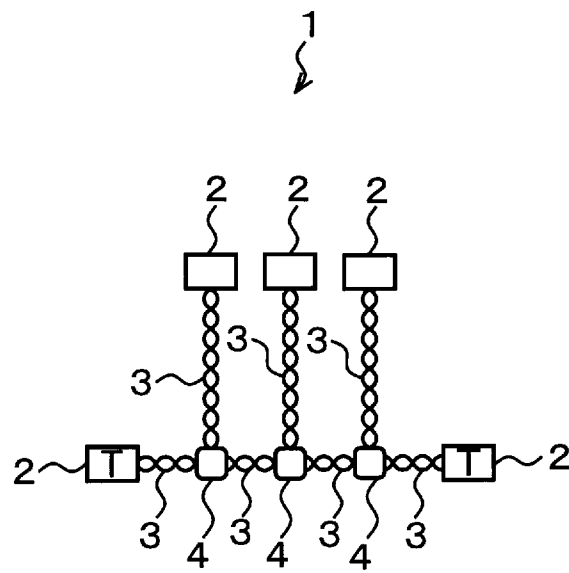
さらに、前記一对の通信線間のインピーダンスである線間インピーダンスを検出し、その検出値が所定の第2 閾値以下である場合には前記抑制部の動作状態として前記通常動作状態を選択する選択信号を出力し、その検出値が前記第2 閾値より高い値である場合には前記抑制部の動作状態として前記常時オン状態を選択する選択信号を出力するインピーダンス検出部（42）を備え、

前記動作状態設定部（23）は、前記インピーダンス検出部から出力される選択信号に基づいて前記抑制部の動作状態を設定する請求項2 に記載のリングング抑制回路。

[図1]

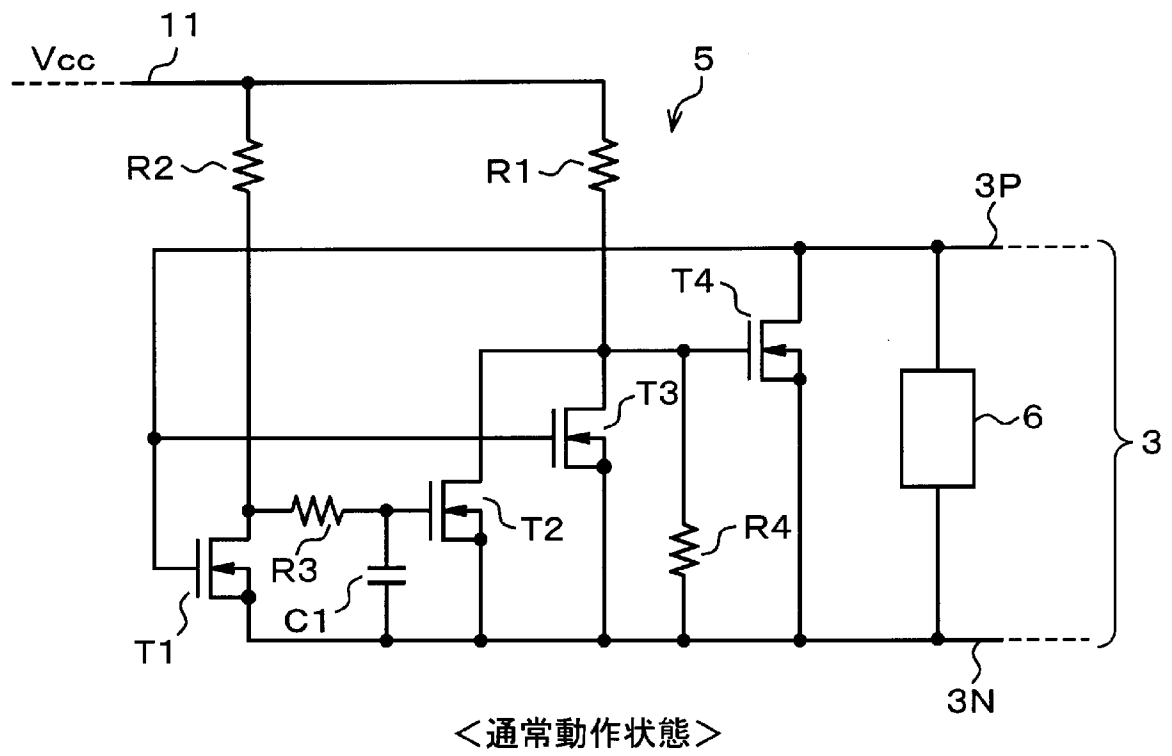


[図2]

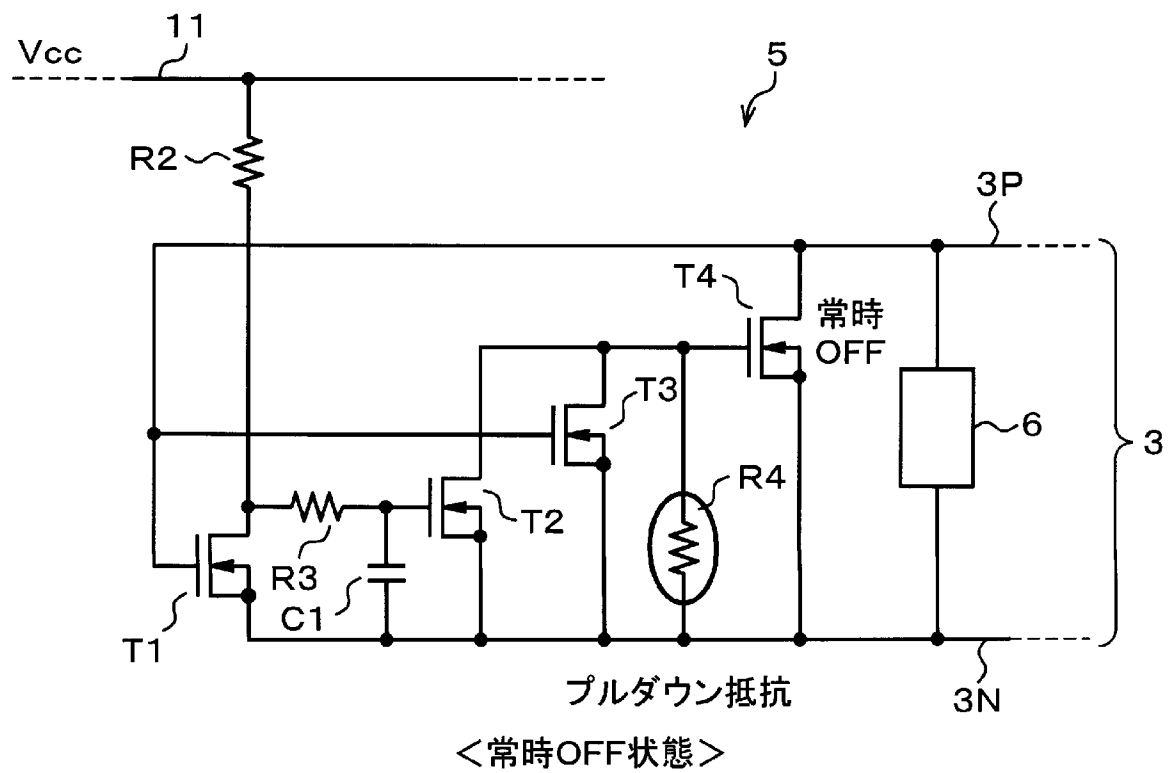


[illegible]

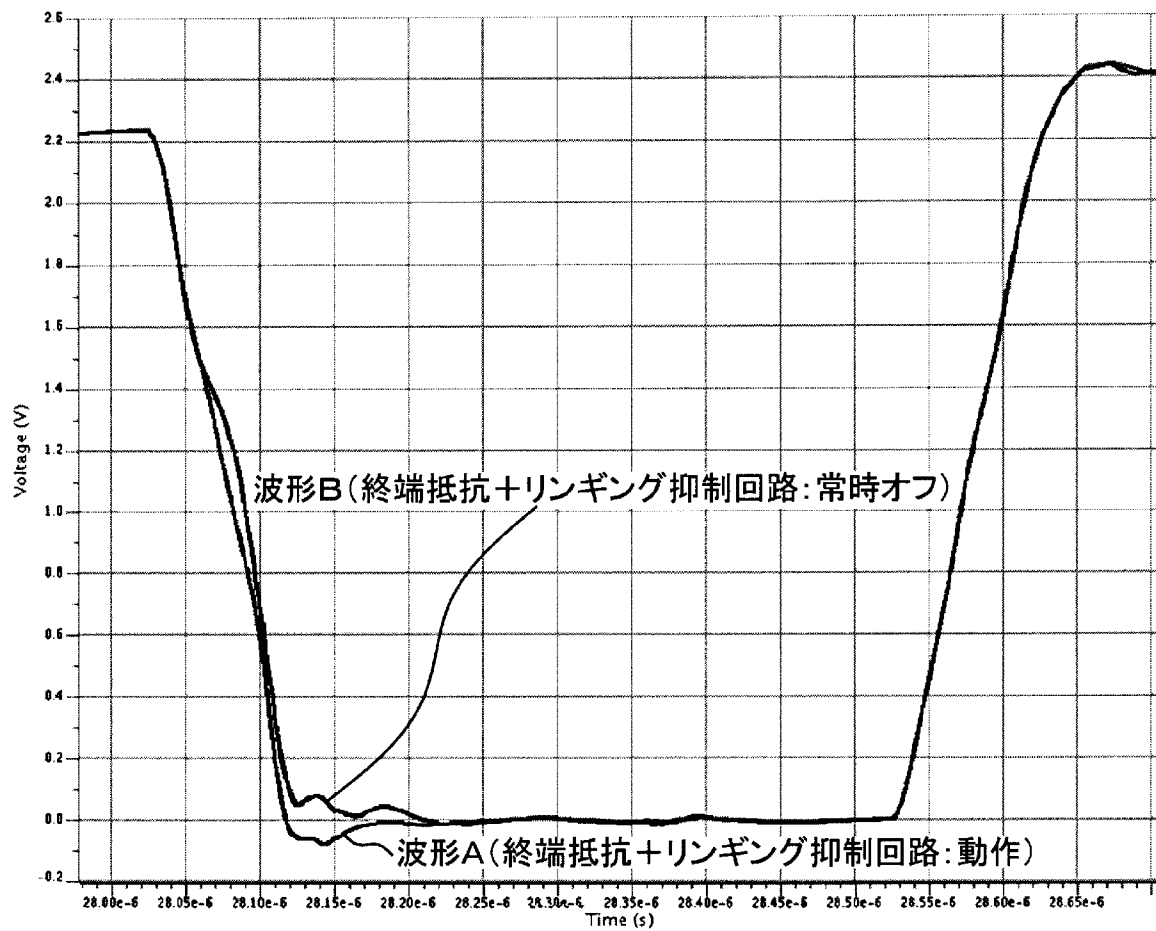
[図4A]



[図4B]

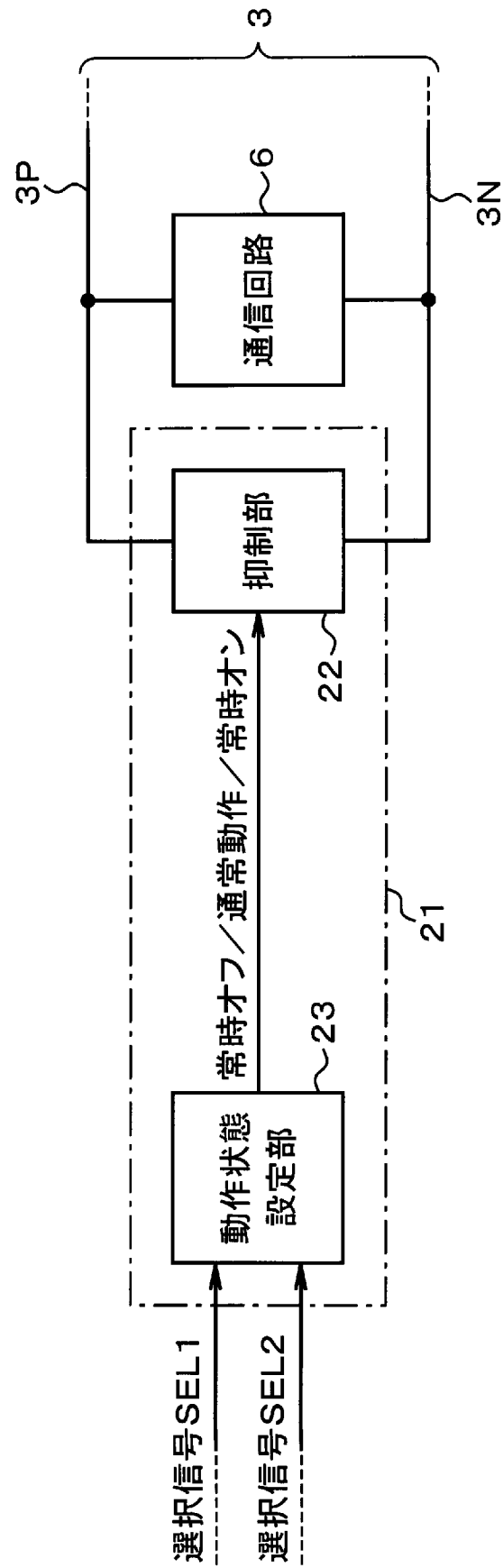


[図5]



《所定のスター型の配素における終端抵抗有りのノードのバスの差電圧波形》

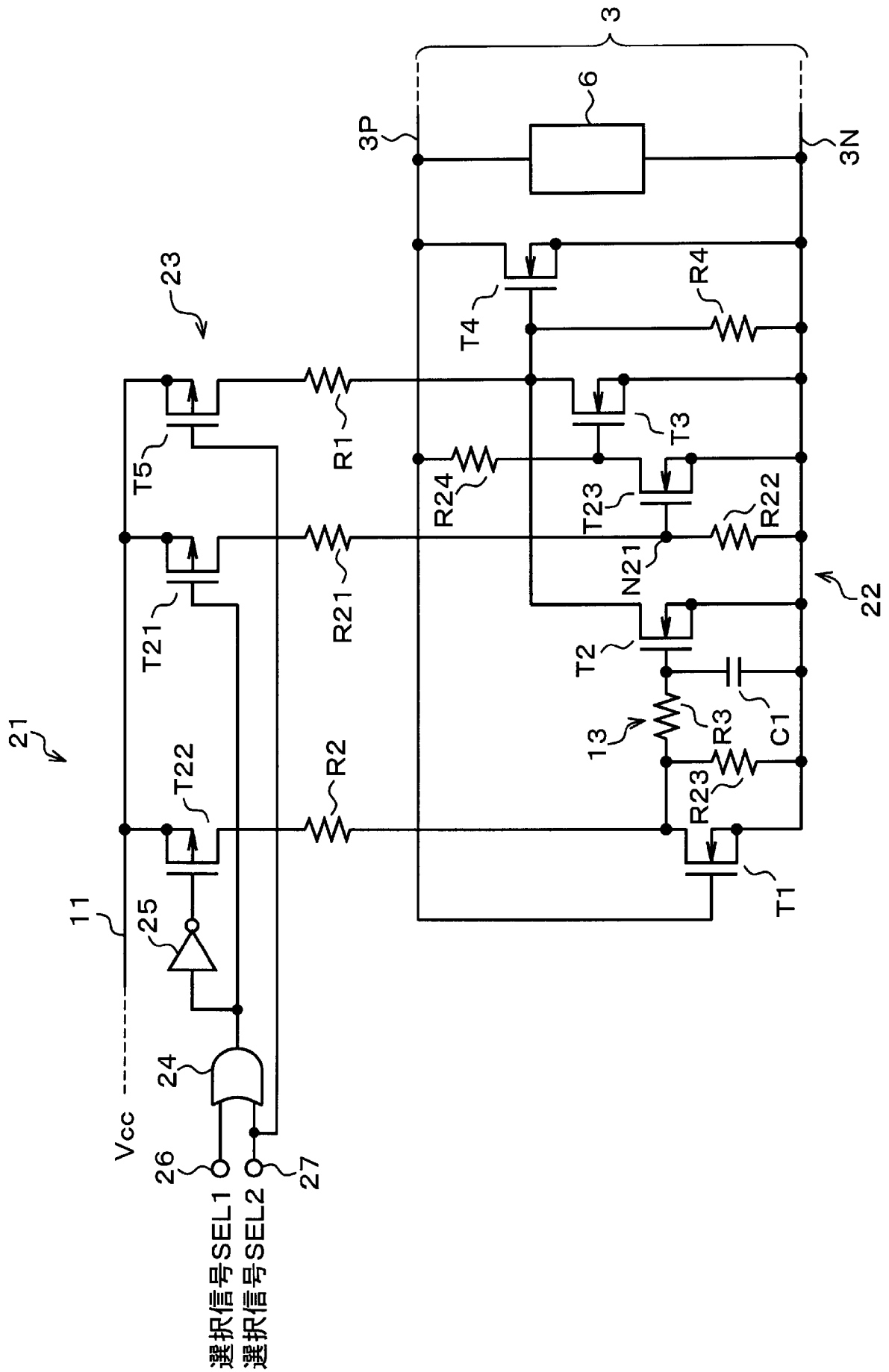
[図6]



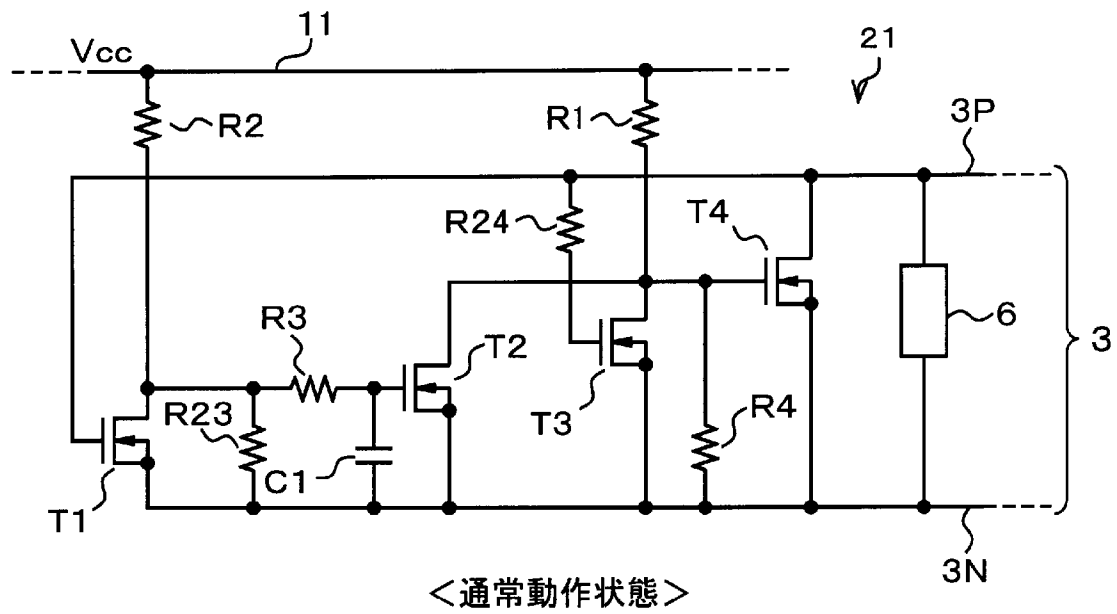
[図7]

SEL2	SEL1	状態
L(GND)	L(GND)	常時オン
L(GND)	H(VCC)	通常動作
H(VCC)	L(GND)	常時オフ
H(VCC)	H(VCC)	常時オフ

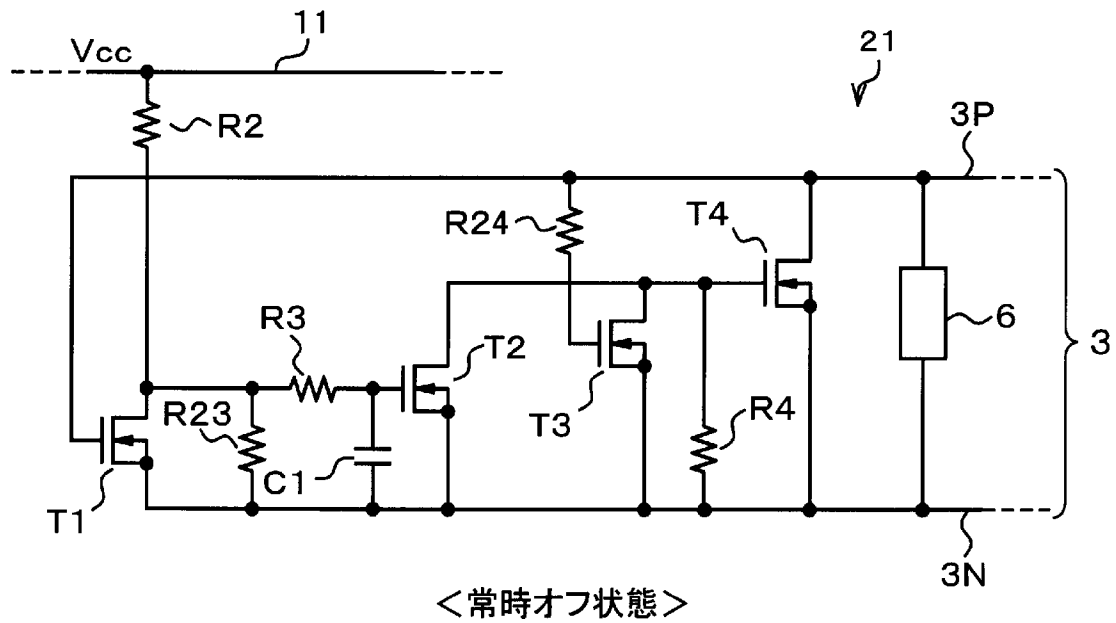
[図8]



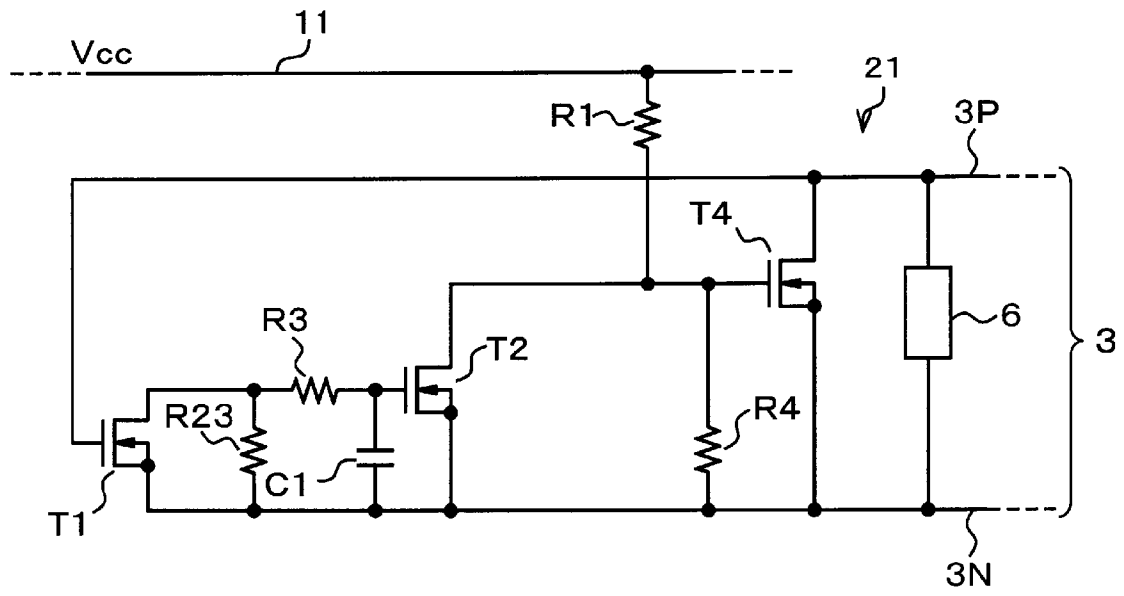
[図9A]



[図9B]

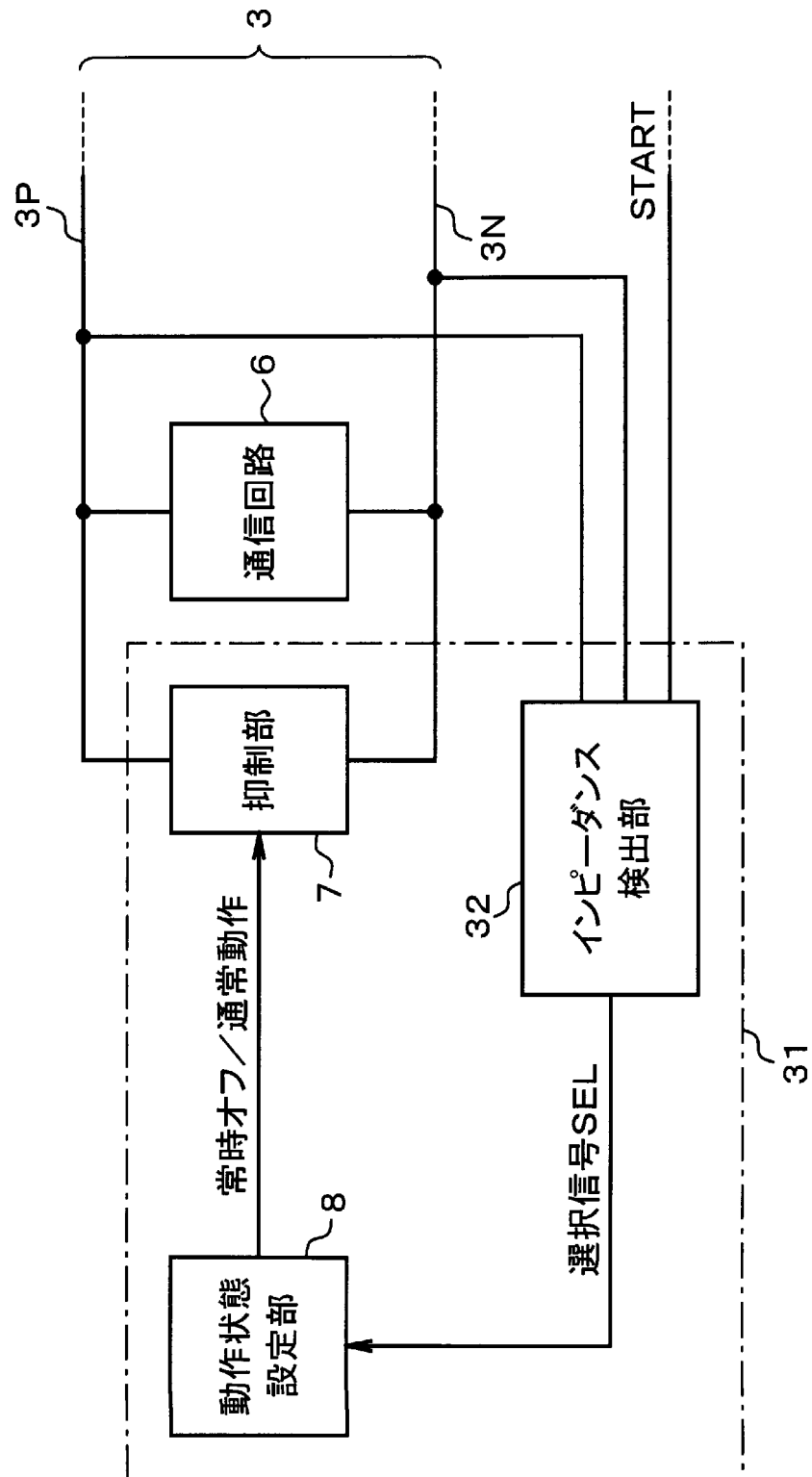


[図9C]

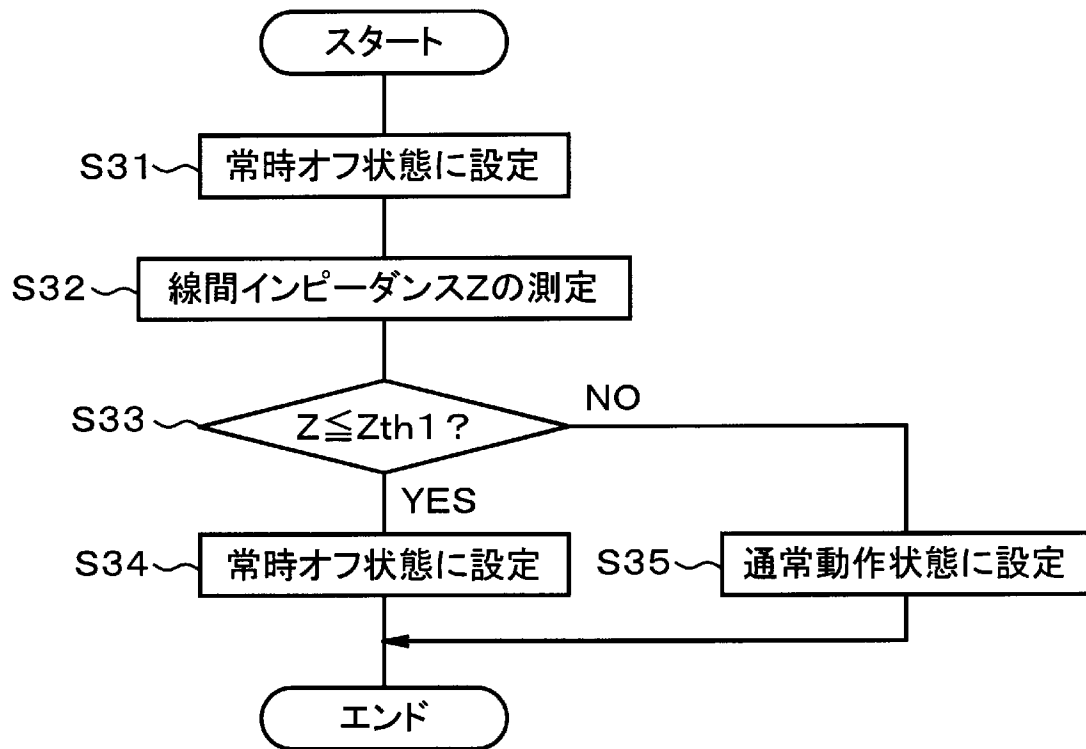


<常時オン状態>

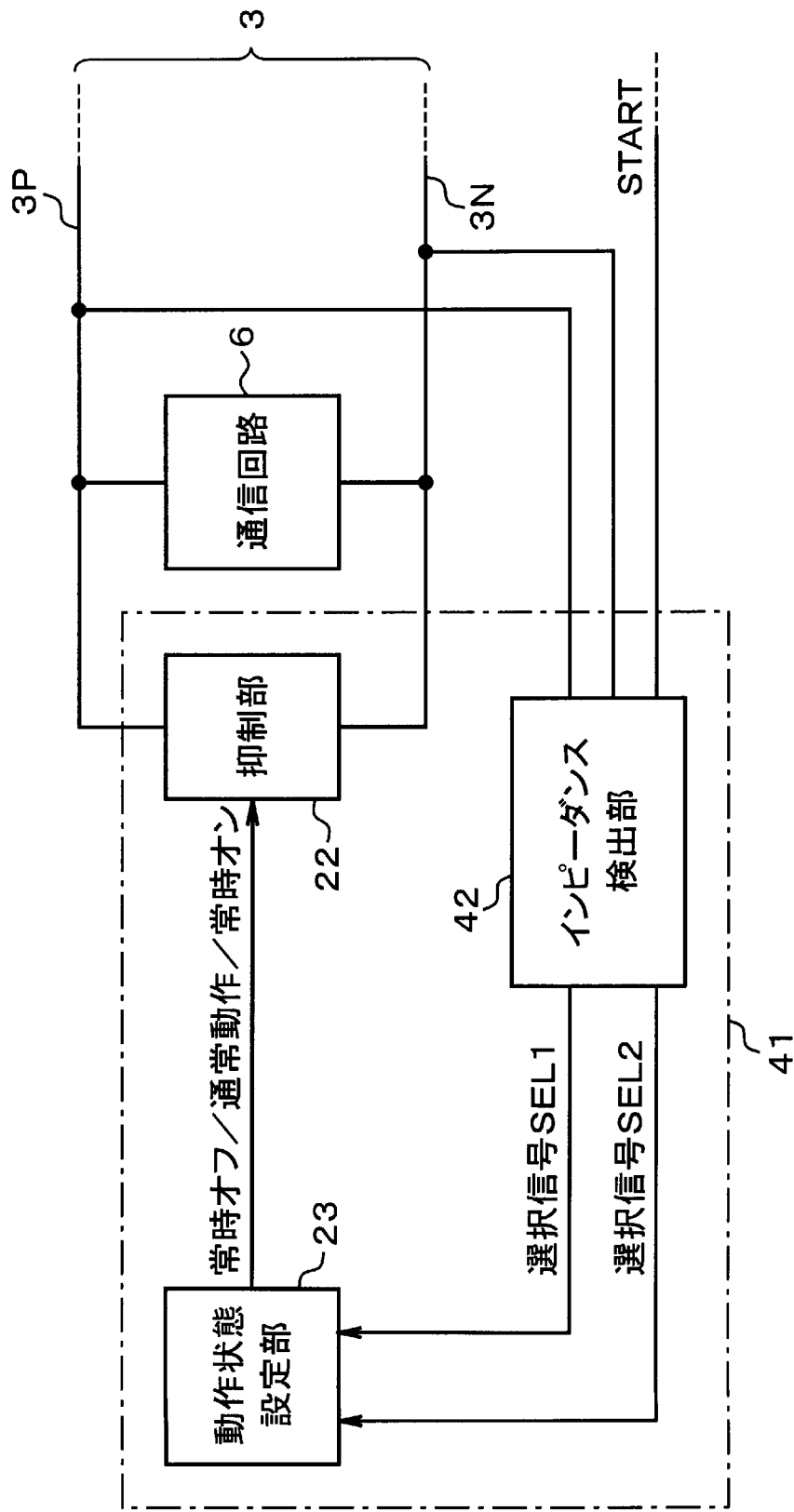
[図10]



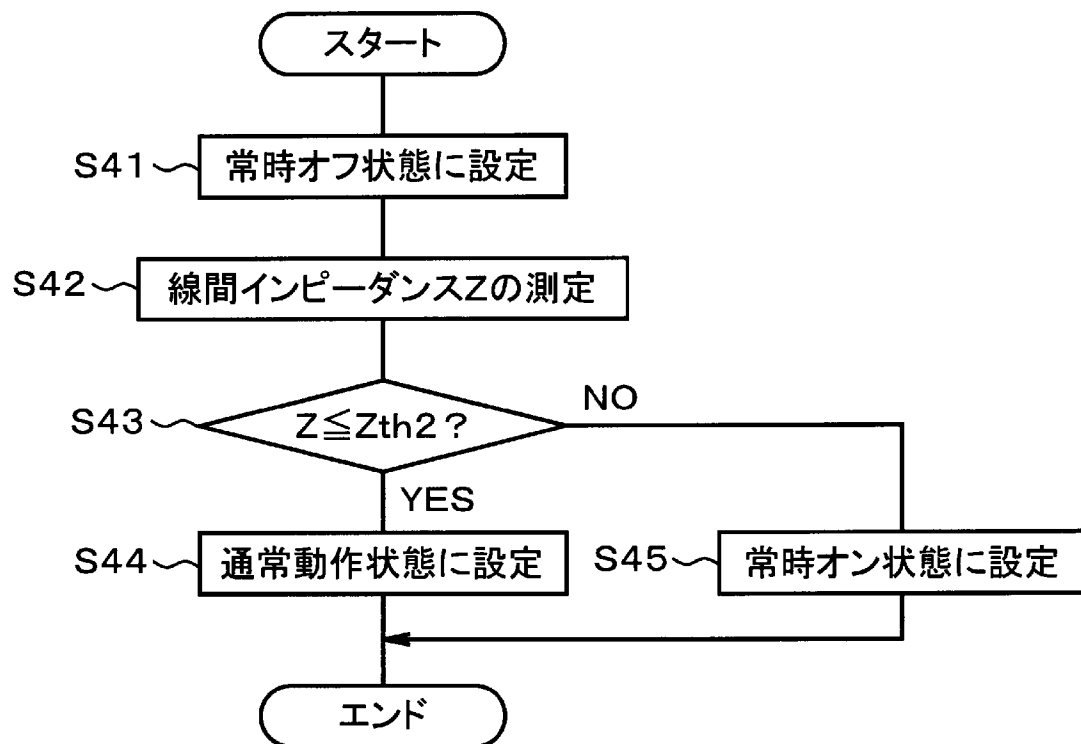
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/013943

A. CLASSIFICATION OF SUBJECT MATTER

H04L25/02(2006.01)i, H03K17/16(2006.01)i, H03K19/0175(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L25/02, H03K17/16, H03K19/0175

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-261508 A (Texas Instruments Japan Ltd.), 22 September 2000 (22.09.2000), paragraphs [0050] to [0052]; fig. 7 (Family: none)	1-6
Y	JP 2012-257205 A (Nippon Soken, Inc.), 27 December 2012 (27.12.2012), paragraphs [0040] to [0056]; fig. 1 to 4 & US 2012/0293230 A1 paragraphs [0078] to [0095]; fig. 11 to 14 & DE 102012208124 A1 & CN 102790735 A	1-6
Y	JP 2002-261843 A (Ricoh Co., Ltd.), 13 September 2002 (13.09.2002), paragraphs [0010] to [0014]; fig. 1 (Family: none)	3, 5, 6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 May 2017 (12.05.17)

Date of mailing of the international search report
23 May 2017 (23.05.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04L25/02(2006.01)i, H03K17/16(2006.01)i, H03K19/0175(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04L25/02, H03K17/16, H03K19/0175

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2000-261508 A（日本テキサス・インスツルメンツ株式会社） 2000.09.22, 段落[0050]－[0052], 第7図 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.05.2017

国際調査報告の発送日

23.05.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

阿部 弘

5 K

9382

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-257205 A (株式会社日本自動車部品総合研究所) 2012. 12. 27, 段落[0040]－[0056], 第 1－4 図 & US 2012/0293230 A1, 段落[0078]－[0095], 第 11－14 図 & DE 102012208124 A1 & CN 102790735 A	1－6
Y	JP 2002-261843 A (株式会社リコー) 2002. 09. 13, 段落[0010]－[0014], 第 1 図 (ファミリーなし)	3, 5, 6