

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年5月20日(20.05.2021)



(10) 国際公開番号

WO 2021/095603 A1

(51) 国際特許分類:

H01L 33/62 (2010.01) G09F 9/30 (2006.01)

G09F 9/00 (2006.01) G09F 9/33 (2006.01)

(21) 国際出願番号: PCT/JP2020/041208

(22) 国際出願日: 2020年11月4日(04.11.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-204187 2019年11月11日(11.11.2019) JP

(71) 出願人: 日亜化学工業株式会社 (NICHIA CORPORATION) [JP/JP]; 〒7748601 徳島県

阿南市上中町岡491番地100 Tokushima (JP).

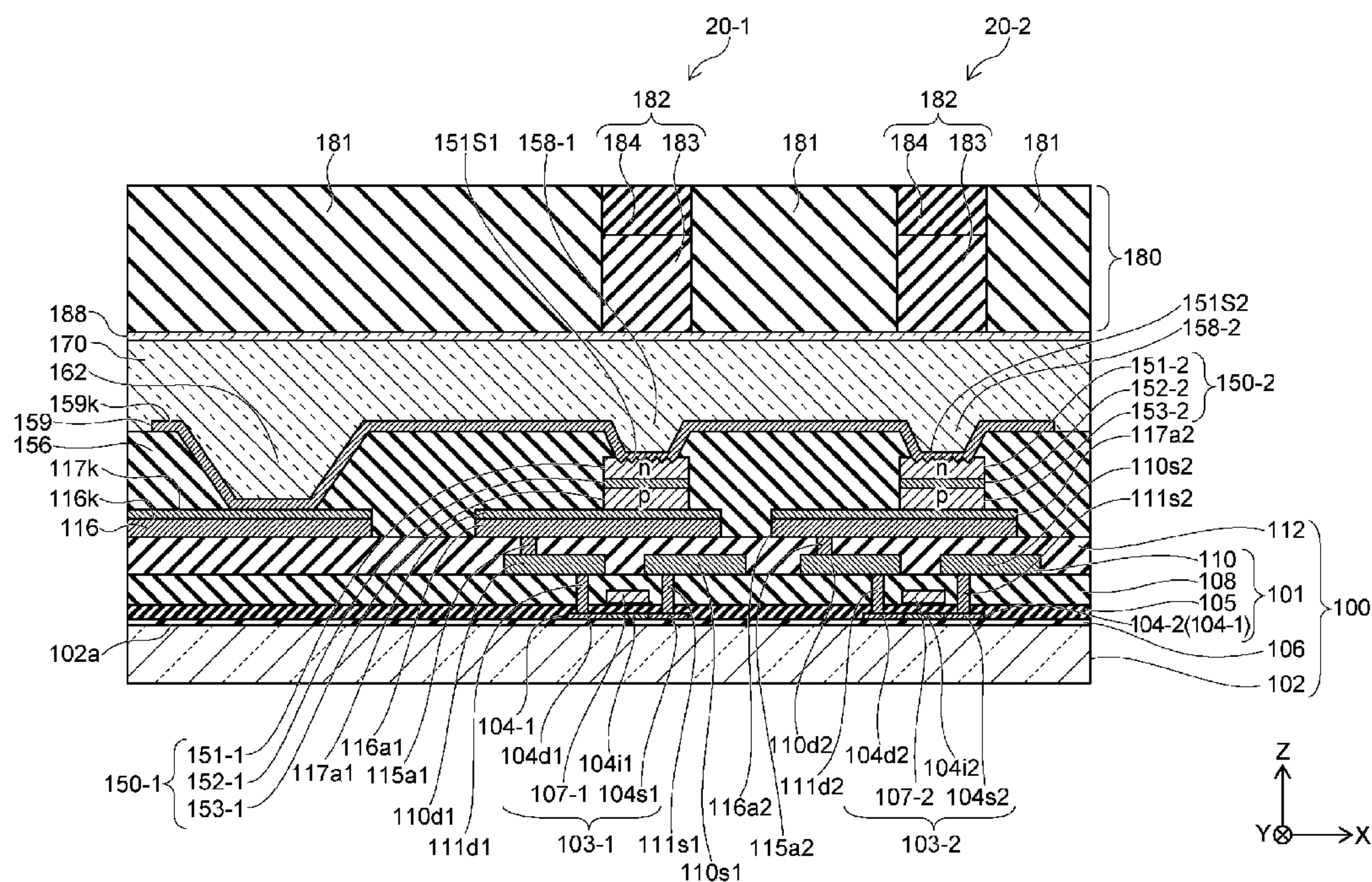
(72) 発明者: 秋元肇(AKIMOTO, Hajime); 〒7748601 徳島県阿南市上中町岡491番地100 日亜化学工業株式会社内 Tokushima (JP).

(74) 代理人: 日向寺 雅彦, 外(HYUGAJI, Masahiko et al.); 〒2318966 神奈川県横浜市中区桜木町一丁目1番地8 日石横浜ビル Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,

(54) Title: METHOD FOR MANUFACTURING IMAGE DISPLAY DEVICE AND IMAGE DISPLAY DEVICE

(54) 発明の名称: 画像表示装置の製造方法および画像表示装置



(57) Abstract: The method for manufacturing an image display device according to an embodiment comprises: a step of preparing a second substrate in which a semiconductor layer including a light emitting layer is grown on a first substrate; a step of preparing a third substrate which includes a circuit element on a light transmissive substrate, a first wiring layer on the circuit element, and a first insulating film that covers the circuit element and first wiring layer; a step of forming a first metal layer connected to the first wiring layer; a step of bonding the second substrate to the third substrate; a step of

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :
一 国際調査報告 (条約第21条(3))

forming a light emitting element from the semiconductor layer; a step of forming a plug electrically connected to the light emitting element from the first metal layer; a step of forming a second insulating film that covers the plug, light emitting element, and first insulating film; a step of exposing a light emitting surface from the second insulating film; and a step of forming a second wiring layer electrically connected to the light emitting surface.

(57) 要約 : 実施形態に係る画像表示装置の製造方法は、発光層を含む半導体層を第 1 基板上に成長させた第 2 基板を準備する工程と、透光性基板上の回路素子と前記回路素子上の第 1 配線層と前記回路素子および前記第 1 配線層を覆う第 1 絶縁膜とを含む第 3 基板を準備する工程と、前記第 1 配線層に接続された第 1 メタル層を形成する工程と、前記第 2 基板を前記第 3 基板に貼り合わせる工程と、前記半導体層から発光素子を形成する工程と、前記第 1 メタル層から前記発光素子に電氣的に接続されたプラグを形成する工程と、前記プラグ、前記発光素子および前記第 1 絶縁膜を覆う第 2 絶縁膜を形成する工程と、前記第 2 絶縁膜から発光面を露出させる工程と、前記発光面に電氣的に接続される第 2 配線層を形成する工程と、を備える。

明 細 書

発明の名称：画像表示装置の製造方法および画像表示装置

技術分野

[0001] 本発明の実施形態は、画像表示装置の製造方法および画像表示装置に関する。

背景技術

[0002] 高輝度、広視野角、高コントラストで低消費電力の薄型の画像表示装置の実現が望まれている。このような市場要求に対応するように、自発光素子を利用した表示装置の開発が進められている。

[0003] 自発光素子として、微細発光素子であるマイクロLEDを用いた表示装置の登場が期待されている。マイクロLEDを用いた表示装置の製造方法として、個々に形成されたマイクロLEDを駆動回路に順次転写する方法が紹介されている。しかしながら、フルハイビジョンや4K、8K等と高画質になるにつれて、マイクロLEDの素子数が多くなると、多数のマイクロLEDを個々に形成して、駆動回路等を形成した基板に順次転写するのでは、転写工程に膨大な時間を要する。さらに、マイクロLEDと駆動回路等との接続不良等が発生し、歩留りの低下を生じるおそれがある。

[0004] Si基板上に発光層を含む半導体層を成長させ、半導体層に電極を形成した後、駆動回路が形成された回路基板に貼り合わせる技術が知られている（たとえば、特許文献1）。

先行技術文献

特許文献

[0005] 特許文献1：特開2002-141492号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明の一実施形態は、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法を提供する。

課題を解決するための手段

- [0007] 本発明の一実施形態に係る画像表示装置の製造方法は、発光層を含む半導体層を第1基板上に成長させた第2基板を準備する工程と、透光性基板上に形成された回路素子と、前記回路素子上に形成された第1配線層と、前記回路素子および前記第1配線層を覆う第1絶縁膜と、を含む第3基板を準備する工程と、前記第1絶縁膜上に形成され前記第1配線層に接続された第1メタル層を形成する工程と、前記第2基板を前記第3基板に貼り合わせ、前記第1メタル層を前記半導体層に電氣的に接続する工程と、前記半導体層をエッチングして発光素子を形成する工程と、前記第1メタル層をエッチングして前記発光素子に電氣的に接続されたプラグを形成する工程と、前記プラグ、前記発光素子および前記第1絶縁膜を覆う第2絶縁膜を形成する工程と、前記第2絶縁膜の一部を除去して前記発光素子の前記第1絶縁膜の側の面に対向する発光面を露出させる工程と、前記発光面に電氣的に接続される第2配線層を形成する工程と、を備える。
- [0008] 本発明の一実施形態に係る画像表示装置の製造方法は、発光層を含む半導体層を第1基板上に成長させた第2基板を準備する工程と、透光性を有する基板上に形成された回路素子と、前記回路素子上に形成された第1配線層と、前記回路素子および前記第1配線層を覆う第1絶縁膜と、を含む第3基板を準備する工程と、前記第1絶縁膜上に形成され前記第1配線層に接続されたプラグを形成する工程と、前記第2基板を前記第3基板に貼り合わせ、前記プラグを前記半導体層に電氣的に接続する工程と、前記半導体層をエッチングして発光素子を形成する工程と、前記プラグ、前記発光素子および前記第1絶縁膜を覆う第2絶縁膜を形成する工程と、前記第2絶縁膜の一部を除去して前記発光素子の前記第1絶縁膜の側の面に対向する発光面を露出させる工程と、前記発光面に電氣的に接続される第2配線層を形成する工程と、を備える。
- [0009] 本発明の一実施形態に係る画像表示装置は、第1面を有する透光性基板と、前記第1面上に設けられた回路素子と、前記回路素子上に設けられ、前記

回路素子に電氣的に接続された第1配線層と、前記第1面上で前記回路素子および前記第1配線層を覆う第1絶縁膜と、前記第1絶縁膜上に設けられ前記第1配線層に接続された第1プラグと、前記第1プラグ上に設けられるとともに前記第1プラグに電氣的に接続され、前記第1絶縁膜の側の面に対向する面に発光面を有する第1発光素子と、前記第1発光素子の少なくとも一部、前記第1絶縁膜および前記第1プラグを覆う第2絶縁膜と、前記第2絶縁膜上に設けられ前記第1発光素子の前記発光面に電氣的に接続された第2配線層と、を備える。

[0010] 本発明の一実施形態に係る画像表示装置は、第1面を有する可撓性を有する基板と、前記第1面上に設けられた回路素子と、前記回路素子上に設けられ、前記回路素子に電氣的に接続された第1配線層と、前記第1面上で前記回路素子および前記第1配線層を覆う第1絶縁膜と、前記第1絶縁膜上に設けられ前記第1配線層に接続された第1プラグと、前記第1プラグ上に設けられるとともに前記第1プラグに電氣的に接続され、前記第1絶縁膜の側の面に対向する面に発光面を有する第1発光素子と、前記第1発光素子の少なくとも一部、前記第1絶縁膜および前記第1プラグを覆う第2絶縁膜と、前記第2絶縁膜上に設けられ前記第1発光素子の前記発光面に電氣的に接続された第2配線層と、を備える。

[0011] 本発明の一実施形態に係る画像表示装置は、第1面を有する透光性基板と、前記第1面上に設けられた複数のトランジスタと、前記複数のトランジスタ上に設けられ、前記複数のトランジスタに電氣的に接続された第1配線層と、前記第1面上で前記複数のトランジスタおよび前記第1配線層を覆う第1絶縁膜と、前記第1絶縁膜上に設けられ前記第1配線層に接続されたプラグと、前記プラグ上に設けられるとともに前記プラグに電氣的に接続された第1導電形の第1半導体層と、前記第1半導体層上に設けられた発光層と、前記発光層上に設けられ、前記第1導電形とは異なる第2導電形の第2半導体層と、前記プラグ、前記第1絶縁膜、前記発光層および前記第1半導体層を覆うとともに前記第2半導体層の少なくとも一部を覆う第2絶縁膜と、前

記複数のトランジスタに応じて前記第2絶縁膜からそれぞれ露出された、前記第2半導体層の複数の露出面上に配設された透光性電極に接続された第2配線層と、を備える。

発明の効果

[0012] 本発明の一実施形態によれば、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法が実現される。

図面の簡単な説明

[0013] [図1]第1の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

[図2]第1の実施形態の画像表示装置を例示する模式的なブロック図である。

[図3A]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図3B]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図4A]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図4B]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図5A]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図5B]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図5C]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図6A]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図6B]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図7A]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図7B]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図8A]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図8B]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図9]第1の実施形態の画像表示装置の製造方法を例示する模式的な斜視図である。

[図10]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図11A]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図11B]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図11C]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図11D]第1の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図12]第2の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

[図13]第2の実施形態の変形例に係る画像表示装置の一部を例示する模式的な断面図である。

[図14A]第2の実施形態の変形例に係る画像表示装置の一部を例示する模式的な断面図である。

[図14B]第2の実施形態の変形例に係る画像表示装置の一部を例示する模式的な断面図である。

[図15]第2の実施形態の画像表示装置を例示する模式的なブロック図である。

[図16A]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図16B]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図17A]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図17B]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図18A]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図18B]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図19A]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図19B]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図20A]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図20B]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図20C]第2の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図21A]第2の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

[図21B]第2の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

[図22A]第2の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

[図22B]第2の実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

[図23]第3の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

[図24A]第3の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図24B]第3の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図25A]第3の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図25B]第3の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図25C]第3の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図26]第4の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

[図27]第4の実施形態に係る画像表示装置の変形例の一部を例示する模式的な断面図である。

[図28A]第4の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図28B]第4の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図29]第5の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

[図30A]第5の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図30B]第5の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図31]第6の実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

[図32A]第6の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図32B]第6の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図33A]第6の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図33B]第6の実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

[図34]第6の実施形態の変形例に係る画像表示装置の一部を例示する模式的な断面図である。

[図35A]第6の実施形態の変形例の画像表示装置の製造方法を例示する模式的な断面図である。

[図35B]第6の実施形態の変形例の画像表示装置の製造方法を例示する模式的な断面図である。

[図36]画素LED素子の特性を例示するグラフである。

[図37]第7の実施形態に係る画像表示装置を例示するブロック図である。

[図38]第7の実施形態の変形例に係る画像表示装置を例示するブロック図である。

[図39]第1～第6の実施形態およびこれらの変形例の画像表示装置を模式的に例示する斜視図である。

発明を実施するための形態

[0014] 以下、図面を参照しつつ、本発明の実施形態について説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものと同じとは限らない

。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

なお、本願明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して詳細な説明を適宜省略する。

[0015] (第1の実施形態)

図1は、実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

画像表示装置に表示される画像を構成するピクセルは、複数のサブピクセルによって構成される。図1には、本実施形態の画像表示装置のサブピクセル20-1, 20-2の構成が模式的に示されている。

[0016] 以下では、XYZの3次元座標系を用いて説明することがある。サブピクセル20-1, 20-2は、他のサブピクセルとともに2次元平面上に配列されている。サブピクセル20-1, 20-2が配列された2次元平面をXY平面とする。サブピクセル20-1, 20-2を含む複数のサブピクセルは、X軸方向およびY軸方向に沿って配列されている。

図1は、サブピクセル20-1, 20-2をXZ平面に平行な面で切断した場合の断面を模式的に示している。

[0017] サブピクセル20-1は、XY平面にほぼ平行な発光面151S1を有している。サブピクセル20-2は、XY平面にほぼ平行な発光面151S2を有している。これらの発光面151S1, 151S2は、主として、XY平面に直交するZ軸の正方向に向かって光を放射する。

[0018] 図1に示すように、本実施形態の画像表示装置のサブピクセル20-1は、トランジスタ103-1と、発光素子150-1と、プラグ116a1と、を含む。サブピクセル20-2は、トランジスタ103-2と、発光素子150-2と、プラグ116a2と、を含む。サブピクセル20-1, 20-2は、基板102と、第1の配線層110と、第1の層間絶縁膜112と、第2の層間絶縁膜156と、第2の配線層159と、を含んでいる。サブピクセル20-1, 20-2を含む複数のサブピクセルでは、基板102、

第1の配線層110、第2の配線層159、第1の層間絶縁膜112および第2の層間絶縁膜156は、共有されている。

[0019] 本実施形態では、トランジスタ103-1、103-2を含む回路素子が形成される基板102は、透光性基板であり、たとえばガラス基板である。基板102は、第1面102aを有しており、トランジスタ103-1、103-2は、第1面102a上に形成されている。トランジスタ103-1、103-2は、たとえば、薄膜トランジスタ（Thin Film Transistor、TFT）である。発光素子150-1、150-2は、ガラス基板上に形成された、このようなTFTによって駆動される。TFTを含む回路素子を大型のガラス基板上に形成するプロセスは、液晶パネルや有機ELパネル等の製造のために確立しており、既存のプラントを利用することができる利点がある。

[0020] サブピクセル20-1、20-2は、カラーフィルタ180をさらに含む。カラーフィルタ180は、サブピクセル20-1、20-2を含む複数のサブピクセルで共有される。カラーフィルタ（波長変換部材）180は、透明薄膜接着層188を介して、表面樹脂層170上に設けられている。表面樹脂層170は、第2の層間絶縁膜156および第2の配線層159上に設けられている。

[0021] 本実施形態の画像表示装置のサブピクセル20-1、20-2の構成について詳細に説明する。

トランジスタ103-1、103-2は、基板102の第1面102a上に形成されたTFT下層膜106上に形成されている。TFT下層膜106は、トランジスタ103-1、103-2の形成時の平坦性を確保するとともに、加熱処理時にトランジスタ103-1、103-2のそれぞれのTFTチャネル104-1、104-2を汚染等から保護する目的で設けられている。TFT下層膜106は、たとえばSiO₂等の絶縁膜である。

[0022] 基板102には、発光素子150-1、150-2の駆動用のトランジスタ103-1、103-2のほか、他のトランジスタやキャパシタ等の回路

素子が形成され、これら回路素子は、配線等によって接続され回路101を構成している。たとえば、トランジスタ103-1, 103-2は、後述する図2に示された駆動トランジスタ26に対応している。

[0023] 以下では、回路101は、TF Tチャネル104-1, 104-2、絶縁層105、絶縁膜108、ビア111s1, 111s2, 111d1, 111d2および第1の配線層110を含むものとする。基板102、TF T下層膜106、回路101および第1の層間絶縁膜112を含む構造物を回路基板100と呼ぶことがある。

[0024] トランジスタ103-1, 103-2は、この例では、pチャネルのTF Tである。トランジスタ103-1は、TF Tチャネル104-1と、ゲート107-1と、を含む。トランジスタ103-2は、TF Tチャネル104-2と、ゲート107-2と、を含む。トランジスタ103-1, 103-2は、好ましくは、低温ポリシリコン (Low Temperature Poly Silicon、LT P S) プロセスによって形成されている。TF Tチャネル104-1, 104-2は、基板102上に形成された多結晶Siの領域である。TF Tチャネル104-1, 104-2は、アモルファスSiとして形成された領域をレーザ照射でアニーリングすることによって多結晶化され、活性化されている。TF Tは、LT P Sプロセスで形成されることによって、十分高い移動度が実現される。

[0025] TF Tチャネル104-1は、領域104s1, 104i1, 104d1を含む。TF Tチャネル104-2は、領域104s2, 104i2, 104d2を含む。領域104s1, 104i1, 104d1および領域104s2, 104i2, 104d2は、いずれもTF T下層膜106上に設けられている。領域104i1は、領域104s1, 104d1間に設けられている。領域104i2は、領域104s2, 104d2間に設けられている。領域104s1, 104d1および領域104s2, 104d2には、ホウ素イオン (B^+) もしくはフッ化ホウ素イオン (BF_2^+) 等のp形不純物がドーピングされている。領域104s1, 104d1は、ビア111s1, 111

1 d 1 とそれぞれオーミック接続されている。領域 1 0 4 s 2, 1 0 4 d 2 は、ビア 1 1 1 s 2, 1 1 1 d 2 とそれぞれオーミック接続されている。

[0026] ゲート 1 0 7 - 1 は、絶縁層 1 0 5 を介して、T F T チャンネル 1 0 4 - 1 上に設けられている。ゲート 1 0 7 - 2 は、絶縁層 1 0 5 を介して、T F T チャンネル 1 0 4 - 2 上に設けられている。絶縁層 1 0 5 は、T F T チャンネル 1 0 4 - 1 とゲート 1 0 7 - 1 とを絶縁し、T F T チャンネル 1 0 4 - 2 とゲート 1 0 7 - 2 とを絶縁する。絶縁層 1 0 5 は、隣接する回路素子間の絶縁をとるためにも設けられている。

[0027] トランジスタ 1 0 3 - 1 では、領域 1 0 4 s 1 よりも低い電圧がゲート 1 0 7 - 1 に印加されると、領域 1 0 4 i 1 にチャンネルが形成され得る。領域 1 0 4 s 1 と領域 1 0 4 d 1 との間に流れる電流は、ゲート 1 0 7 - 1 の領域 1 0 4 s 1 に対する電圧によって制御される。同様に、トランジスタ 1 0 3 - 2 では、領域 1 0 4 s 2 よりも低い電圧がゲート 1 0 7 - 2 に印加されると、領域 1 0 4 i 2 にチャンネルが形成され得る。そのため、領域 1 0 4 s 2 と領域 1 0 4 d 2 との間に流れる電流は、ゲート 1 0 7 - 2 の領域 1 0 4 s 2 に対する電圧によって制御される。

[0028] 絶縁層 1 0 5 は、たとえば SiO_2 である。絶縁層 1 0 5 は、覆っている領域に応じて SiO_2 や Si_3N_4 等を含む多層の絶縁層であってもよい。

[0029] ゲート 1 0 7 - 1, 1 0 7 - 2 は、たとえば多結晶 Si である。ゲート 1 0 7 - 1, 1 0 7 - 2 の多結晶 Si 膜は、一般的に C V D プロセスで作成することができる。

[0030] この例では、ゲート 1 0 7 - 1, 1 0 7 - 2 および絶縁層 1 0 5 は、絶縁膜 1 0 8 で覆われている。絶縁膜 1 0 8 は、たとえば SiO_2 や Si_3N_4 等である。絶縁膜 1 0 8 は、第 1 の配線層 1 1 0 を形成するための平坦化膜として機能する。絶縁膜 1 0 8 は、たとえば SiO_2 や Si_3N_4 等を含む多層の絶縁膜である。

[0031] ビア 1 1 1 s 1, 1 1 1 d 1 は、絶縁膜 1 0 8 を貫通して設けられている。ビア 1 1 1 s 2, 1 1 1 d 2 は、絶縁膜 1 0 8 を貫通して設けられている。

。絶縁膜108上には、第1の配線層（第1配線層）110が形成されている。第1の配線層110は、電位の異なり得る複数の配線を含んでおり、配線110s1, 110d1および配線110s2, 110d2を含んでいる。図1以降の断面図の配線層においては、符号を付すべき配線層に含まれる1つの配線の横の位置にその配線層の符号を表示するものとする。

[0032] ビア111s1は、配線110s1と領域104s1との間に設けられている。ビア111s1は、配線110s1および領域104s1を電氣的に接続している。ビア111d1は、配線110d1と領域104d1との間に設けられている。ビア111d1は、配線110d1および領域104d1を電氣的に接続している。ビア111s2は、配線110s2と領域104s2との間に設けられている。ビア111s2は、配線110s2および領域104s2を電氣的に接続している。ビア111d2は、配線110d2と領域104d2との間に設けられている。ビア111d2は、配線110d2および領域104d2を電氣的に接続している。

[0033] 配線110s1, 110s2は、後述する図2に示された電源線3に電氣的に接続されている。したがって、領域104s1は、配線110s1を介して電源線3に電氣的に接続され、領域104s2は、配線110s2を介して電源線3に電氣的に接続されている。配線（第1配線）110d1は、接続部115a1、プラグ116a1および導電性薄膜117a1を介して、発光素子150-1のp形半導体層153-1に電氣的に接続されている。配線（第2配線）110d2は、接続部115a2、プラグ116a2および導電性薄膜117a2を介して、発光素子150-2のp形半導体層153-2に電氣的に接続されている。

[0034] 第1の配線層110、ビア111s1, 111d1およびビア111s2, 111d2は、たとえばAlやAlの合金、AlとTi等との積層膜等によって形成されている。たとえば、AlとTiの積層膜では、Tiの薄膜上にAlが積層され、さらにAl上にTiが積層されている。

[0035] 第1の層間絶縁膜112は、絶縁膜108および第1の配線層110上に

設けられ、接続部 1 1 5 a 1, 1 1 5 a 2 の側面に設けられている。第 1 の層間絶縁膜（第 1 絶縁膜） 1 1 2 は、たとえば P S G（Phosphorus Silicon Glass）や B P S G（Boron Phosphorus Silicon Glass）等の有機絶縁膜である。第 1 の層間絶縁膜 1 1 2 は、ウェハボンディングにおいて、均一な接合を実現するために設けられている。第 1 の層間絶縁膜 1 1 2 は、回路基板 1 0 0 の表面を保護する保護膜としても機能する。

[0036] 配線層（第 3 配線層） 1 1 6 は、第 1 の層間絶縁膜 1 1 2 上に設けられている。配線層 1 1 6 は、プラグ 1 1 6 a 1, 1 1 6 a 2 および配線 1 1 6 k を含む。この例では、導電性薄膜 1 1 7 a 1 は、プラグ 1 1 6 a 1 上にわたって設けられている。導電性薄膜 1 1 7 a 2 は、プラグ 1 1 6 a 2 上にわたって設けられている。導電性薄膜 1 1 7 k は、配線 1 1 6 k 上にわたって設けられている。

[0037] プラグ（第 1 プラグ） 1 1 6 a 1 は、接続部 1 1 5 a 1 を介して、配線 1 1 0 d 1 に接続されている。プラグ（第 2 プラグ） 1 1 6 a 2 は、接続部 1 1 5 a 2 を介して、配線 1 1 0 d 2 に接続されている。配線（第 3 配線） 1 1 6 k は、たとえば、後述する図 2 の回路の接地線 4 に接続される。

[0038] 配線層 1 1 6 は、たとえば、第 1 の配線層 1 1 0 やビア 1 1 1 s 1 等と同様の金属材料で形成されている。導電性薄膜 1 1 7 a 1, 1 1 7 a 2, 1 1 7 k は、好ましくは、ITO 膜等のホール注入性を有する導電膜である。

[0039] 発光素子 1 5 0-1 は、導電性薄膜 1 1 7 a 1 上に設けられている。発光素子 1 5 0-2 は、導電性薄膜 1 1 7 a 2 上に設けられている。

[0040] 発光素子 1 5 0-1 は、p 形半導体層（第 1 半導体層） 1 5 3-1 と、発光層 1 5 2-1 と、n 形半導体層（第 2 半導体層） 1 5 1-1 と、を含む。p 形半導体層 1 5 3-1、発光層 1 5 2-1 および n 形半導体層 1 5 1-1 は、導電性薄膜 1 1 7 a 1 の側から発光面 1 5 1 S 1 の側に向かってこの順に積層されている。

[0041] 発光素子 1 5 0-2 は、p 形半導体層 1 5 3-2 と、発光層 1 5 2-2 と、n 形半導体層 1 5 1-2 と、を含む。p 形半導体層 1 5 3-2、発光層 1

52-2およびn形半導体層151-2は、導電性薄膜117a2の側から発光面151S2の側に向かってこの順に積層されている。

[0042] 発光素子150-1は、導電性薄膜117a1上に設けられているので、導電性薄膜117a1は、p形半導体層153-1に電氣的に接続されている。発光素子150-2は、導電性薄膜117a2上に設けられているので、導電性薄膜117a2は、p形半導体層153-2に電氣的に接続されている。導電性薄膜117a1、117a2がホール注入性を有する導電膜の場合には、発光素子150-1、150-2は、より低電圧での駆動されることが可能になる。

[0043] 発光素子150-1、150-2は、XY平面視で、たとえばほぼ正方形または長方形を有しているが、角部は丸くなってもよい。発光素子150-1、150-2は、XY平面視で、たとえば楕円形状や円形状を有していてもよい。平面視での発光素子の形状や配置等を適切に選定することによって、レイアウトの自由度が向上する。

[0044] 発光素子150-1、150-2には、たとえば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$ 、 $0 \leq y$ 、 $x+y < 1$)等の発光層を含む窒化ガリウム系化合物半導体が好適に用いられる。以下では、上述の窒化ガリウム系化合物半導体を単に窒化ガリウム (GaN) と呼ぶことがある。本発明の一実施形態における発光素子150-1、150-2は、いわゆる発光ダイオードであり、発光素子150-1、150-2が発光する光の波長は、たとえば $467\text{ nm} \pm 20\text{ nm}$ 程度である。発光素子150-1、150-2が発光する光の波長は、 $410\text{ nm} \pm 20\text{ nm}$ 程度の青紫発光としてもよい。発光素子150が発光する光の波長は、上述の値に限らず、適切なものとすることができる。

[0045] 発光素子のXY平面視における面積は、赤、緑、青のサブピクセルの発光色に応じて設定される。発光素子150-1、150-2のXY平面視における面積は、視感度やカラーフィルタ180の色変換部182の変換効率等によって適切に設定される。この例では、2つの発光素子150-1、15

0-2のXY平面視における面積は、同一とされている。発光素子150-1, 150-2は、XY平面にほぼ平行な面を有する導電性薄膜117a1, 117a2上にそれぞれ載置されているので、XY平面視における発光素子150-1, 150-2の面積とは、XY平面に投影された発光素子150-1, 150-2の外周が囲む領域の面積である。

[0046] プラグ116a1の外周は、XY平面視で、プラグ116a1に発光素子150-1を投影したときに、発光素子150-1の外周を含むように設定されている。

[0047] 同様に、プラグ116a2の外周は、XY平面視で、プラグ116a2に発光素子150-2を投影したときに、発光素子150-2の外周を含むように設定されている。

[0048] 好ましくは、プラグ116a1, 116a2は、光反射性を有する金属材料により形成されており、導電性薄膜117a1, 117a2は、透光性を有する。このため、プラグ116a1は、発光素子150-1の下方への散乱光を発光面151S1側に反射する光反射プレートとして機能する。また、プラグ116a2は、発光素子150-2の下方への散乱光を発光面151S2側に反射する光反射プレートとして機能する。プラグ116a1, 116a2の材料を適切に選択することによって、発光素子150-1, 150-2の下方への光の散乱を、発光面151S1, 151S2側に反射させて発光効率を向上させることができる。

[0049] プラグ116a1は、発光素子150-1の下方への光の散乱を発光面151S1側に反射して、散乱光がトランジスタ103-1に到達しないようにすることができる。同様に、プラグ116a2は、発光素子150-2の下方への光の散乱を発光面151S2側に反射して、散乱光がトランジスタ103-2に到達しないようにすることができる。プラグ116a1, 116a2が、発光素子150-1, 150-2の下方への散乱光を遮光することによって、トランジスタ103-1, 103-2への光の到達が抑制され、トランジスタ103-1, 103-2の誤動作を防止することができる。

[0050] 第2の層間絶縁膜156は、第1の層間絶縁膜112、プラグ116a1, 116a2、配線116k、導電性薄膜117a1, 117a2, 117kおよび発光素子150-1, 150-2上を覆うように設けられている。第2の層間絶縁膜156は、発光素子150-1, 150-2やプラグ116a1, 116a2、配線116k等を覆うことによって、これらを塵埃や湿度等の周囲環境等から保護する。第2の層間絶縁膜156は、発光素子150-1, 150-2やプラグ116a1, 116a2および配線116k等を覆うことによって、これらを他の導電物から絶縁する。第2の層間絶縁膜156の表面は、第2の層間絶縁膜156上に第2の配線層159が形成できる程度の平坦性を有していればよい。

[0051] 第2の層間絶縁膜156に用いられる有機絶縁材料は、好ましくは白色樹脂である。白色樹脂である第2の層間絶縁膜156は、発光素子150-1, 150-2の横方向の出射光やカラーフィルタ180の界面等に起因する戻り光を反射して、実質的に発光素子150-1, 150-2の発光効率を向上させることができる。

[0052] 白色樹脂は、SOG (Spin On Glass) 等のシリコン系樹脂やノボラック型フェノール系樹脂等の透明樹脂に、ミー (Mie) 散乱効果を有する散乱性微粒子を分散させることによって形成される。微粒子は、無色または白色であり、発光素子150-1, 150-2が発光する光の波長の $1/10$ 程度から数倍程度の直径を有する。光の波長の $1/2$ 程度の直径を有する微粒子が、散乱性微粒子として好適に用いられる。たとえば、このような散乱性微粒子としては、 TiO_2 、 Al_2SO_3 、 ZnO が挙げられる。あるいは、白色樹脂は、透明樹脂内に分散された多数の微細な空孔などを活用することによっても、形成されることができる。第2の層間絶縁膜156では、SOG等に代えて、たとえば、ALD (Atomic-Layer-Deposition) やCVDで形成された SiO_2 膜等を用いて白色化するようにしてもよい。

[0053] 第2の層間絶縁膜156は、黒色樹脂であってもよい。第2の層間絶縁膜156を黒色樹脂とすることによって、サブピクセル20-1, 20-2内

における光の散乱が抑制され、迷光がより効果的に抑制される。迷光が抑制された画像表示装置は、よりシャープな画像を表示することが可能である。

[0054] 第2の層間絶縁膜156の発光素子150-1に対応する位置には、開口158-1が形成されている。発光面151S1は、開口158-1を介して、第2の層間絶縁膜156から露出されている。第2の層間絶縁膜156の発光素子150-2に対応する位置には、開口158-2が形成されている。発光面151S2は、開口158-2を介して、第2の層間絶縁膜156から露出されている。開口158-1, 158-2から露出された発光面151S1, 151S2は、粗面化されている。発光面151S1, 151S2が粗面化された場合には、発光素子150-1, 150-2の発光効率は、向上する。

[0055] 第2の層間絶縁膜156の配線116kに対応する位置には、開口162が形成されている。配線116k上にわたって形成された導電性薄膜117kは、開口162を介して、第2の層間絶縁膜156から露出されている。

[0056] 第2の配線層159は、第2の層間絶縁膜156上に設けられている。第2の配線層159は、透光性電極159kを含んでいる。透光性電極159kは、開口162を介して導電性薄膜117kに接続されている。透光性電極159kは、開口158-1を介して、発光面151S1に接続されている。透光性電極159kは、開口158-2を介して、発光面151S2に接続されている。透光性電極159kは、開口162, 158-1, 158-2間にわたって設けられており、導電性薄膜117kおよびn形半導体層151-1, 151-2間を電氣的に接続している。第2の配線層159は、透光性の導電膜によって形成されており、たとえばITO膜によって形成されている。

[0057] 配線116kおよび導電性薄膜117kは、たとえば、後述の図2に示す接地線4に接続される。したがって、発光素子150-1, 150-2のn形半導体層151-1, 151-2は、透光性電極159k、導電性薄膜117kおよび配線116kを介して、接地線4に電氣的に接続される。

- [0058] 発光素子 150-1 の p 形半導体層 153-1 は、導電性薄膜 117a1、プラグ 116a1、接続部 115a1、配線 110d1 およびビア 111d1 を介して、領域 104d1 に電氣的に接続される。領域 104d1 は、トランジスタ 103-1 のドレイン電極に対応する。領域 104s1 は、ビア 111s1 および配線 110s1 を介して、図 2 に示された電源線 3 に電氣的に接続される。領域 104s1 は、トランジスタ 103-1 のソース電極に対応する。
- [0059] 発光素子 150-2 の p 形半導体層 153-2 は、導電性薄膜 117a2、プラグ 116a2、接続部 115a2、配線 110d2 およびビア 111d2 を介して、領域 104d2 に電氣的に接続される。領域 104d2 は、トランジスタ 103-2 のドレイン電極に対応する。領域 104s2 は、ビア 111s2 および配線 110s2 を介して、図 2 に示された電源線 3 に電氣的に接続される。領域 104s2 は、トランジスタ 103-2 のソース電極に対応する。
- [0060] 表面樹脂層 170 は、第 2 の層間絶縁膜 156 および第 2 の配線層 159 を覆っている。表面樹脂層 170 は、透明樹脂であり、第 2 の層間絶縁膜 156 および第 2 の配線層 159 を保護するとともに、カラーフィルタ 180 を接着するための平坦化面を提供する。
- [0061] カラーフィルタ 180 は、遮光部 181 と色変換部 182 とを含む。色変換部 182 は、発光素子 150 の発光面 151S1, 151S2 の直上に発光面 151S1, 151S2 の形状に応じて設けられている。カラーフィルタ 180 では、色変換部 182 以外の部分は、遮光部 181 とされている。遮光部 181 は、いわゆるブラックマトリクスであり、隣接する色変換部 182 から発光される光の混色等によるにじみを低減し、シャープな画像を表示することを可能にする。
- [0062] 色変換部 182 は、1 層または 2 層以上とされる。図 1 には、色変換部 182 が 2 層の場合が示されている。色変換部 182 が 1 層であるか 2 層であるかは、サブピクセル 20 が発光する光の色、すなわち波長によって決定さ

れる。サブピクセル20の発光色が赤または緑の場合には、色変換部182は、好ましくは、後述する色変換層183および赤色の光または緑色の光が通過するフィルタ層184の2層とされる。サブピクセル20の発光色が青の場合には、好ましくは1層とされる。

[0063] 色変換部182が2層の場合には、発光素子150により近い1層目が色変換層183であり、2層目がフィルタ層184である。つまり、フィルタ層184は、色変換層183上に積層されている。

[0064] 色変換層183は、発光素子150が発光する光の波長を所望の波長に変換する層である。赤色を発光するサブピクセル20の場合には、発光素子150の波長、 $467\text{ nm} \pm 20\text{ nm}$ の光を、たとえば $630\text{ nm} \pm 20\text{ nm}$ 程度の波長の光に変換する。緑色を発光するサブピクセル20の場合には、発光素子150の波長、 $467\text{ nm} \pm 20\text{ nm}$ の光を、たとえば $532\text{ nm} \pm 20\text{ nm}$ 程度の波長の光に変換する。

[0065] フィルタ層184は、色変換層183で色変換されずに残存した青色発光の波長成分を遮断する。

[0066] サブピクセル20が発光する光の色が青色の場合には、サブピクセル20は、色変換層183を介して光を出力してもよいし、色変換層183を介せずにそのまま光を出力するようにしてもよい。発光素子150が発光する光の波長が $467\text{ nm} \pm 20\text{ nm}$ 程度の場合には、サブピクセル20は、色変換層183を介せずに光を出力してもよい。発光素子150が発光する光の波長を $410\text{ nm} \pm 20\text{ nm}$ とする場合には、出力する光の波長を $467\text{ nm} \pm 20\text{ nm}$ 程度に変換するために、1層の色変換層183を設けることが好ましい。

[0067] 青色のサブピクセル20の場合であっても、サブピクセル20は、フィルタ層184を有していてもよい。青色のサブピクセル20に青色の光が透過するフィルタ層184を設けることによって、発光素子150の表面で生じる青色の光以外の微小な外光反射が抑制される。

[0068] 図2は、本実施形態に係る画像表示装置を例示する模式的なブロック図で

ある。

図2に示すように、本実施形態の画像表示装置1は、表示領域2を備える。表示領域2には、サブピクセル20が配列されている。サブピクセル20は、たとえば格子状に配列されている。たとえば、サブピクセル20は、X軸に沿ってn個配列され、Y軸に沿ってm個配列される。

[0069] ピクセル10は、異なる色の光を発光する複数のサブピクセル20を含む。サブピクセル20Rは、赤色の光を発光する。サブピクセル20Gは、緑色の光を発光する。サブピクセル20Bは、青色の光を発光する。3種類のサブピクセル20R、20G、20Bが所望の輝度で発光することによって、1つのピクセル10の発光色および輝度が決定される。

[0070] 1つのピクセル10は、3つのサブピクセル20R、20G、20Bを含み、サブピクセル20R、20G、20Bは、たとえば図2に示す例のように、X軸上を直線状に配列されている。各ピクセル10は、同じ色のサブピクセルが同じ列に配列されていてもよいし、この例のように、列ごとに異なる色のサブピクセルが配列されていてもよい。

[0071] 画像表示装置1は、電源線3および接地線4をさらに有する。電源線3および接地線4は、サブピクセル20の配列に沿って、格子状に布線されている。電源線3および接地線4は、各サブピクセル20に電氣的に接続され、電源端子3aとGND端子4aとの間に接続された直流電源から各サブピクセル20に電力を供給する。電源端子3aおよびGND端子4aは、電源線3および接地線4の端部にそれぞれ設けられ、表示領域2の外部に設けられた直流電源回路に接続される。電源端子3aは、GND端子4aを基準にして正の電圧が供給される。

[0072] 画像表示装置1は、走査線6および信号線8をさらに有する。走査線6は、X軸に平行な方向に布線されている。つまり、走査線6は、サブピクセル20の行方向の配列に沿って布線されている。信号線8は、Y軸に平行な方向に布線されている。つまり、信号線8は、サブピクセル20の列方向の配列に沿って布線されている。

- [0073] 画像表示装置 1 は、行選択回路 5 および信号電圧出力回路 7 をさらに有する。行選択回路 5 および信号電圧出力回路 7 は、表示領域 2 の外縁に沿って設けられている。行選択回路 5 は、表示領域 2 の外縁の Y 軸方向に沿って設けられている。行選択回路 5 は、各列のサブピクセル 20 に走査線 6 を介して電氣的に接続され、各サブピクセル 20 に選択信号を供給する。
- [0074] 信号電圧出力回路 7 は、表示領域 2 の外縁の X 軸方向に沿って設けられている。信号電圧出力回路 7 は、各行のサブピクセル 20 に信号線 8 を介して電氣的に接続され、各サブピクセル 20 に信号電圧を供給する。
- [0075] サブピクセル 20 は、発光素子 22 と、選択トランジスタ 24 と、駆動トランジスタ 26 と、キャパシタ 28 と、を含む。図 2 において、選択トランジスタ 24 は T1 と表示され、駆動トランジスタ 26 は T2 と表示され、キャパシタ 28 は C_m と表示されることがある。
- [0076] 発光素子 22 は、駆動トランジスタ 26 と直列に接続されている。本実施形態では、駆動トランジスタ 26 は p チャネルの T F T であり、駆動トランジスタ 26 の主電極であるドレイン電極に発光素子 22 の p 形半導体層に接続されたアノード電極が接続されている。発光素子 22 および駆動トランジスタ 26 の直列回路は、電源線 3 と接地線 4 との間に接続されている。駆動トランジスタ 26 は、図 1 におけるトランジスタ 103-1, 103-2 に対応し、発光素子 22 は、図 1 における発光素子 150-1, 150-2 に対応する。発光素子 22 に流れる電流は、駆動トランジスタ 26 のゲートソース間に印加される電圧によって決定され、発光素子 22 は、流れる電流に応じた輝度で発光する。
- [0077] 選択トランジスタ 24 は、駆動トランジスタ 26 のゲート電極と信号線 8 との間に主電極を介して接続されている。選択トランジスタ 24 のゲート電極は、走査線 6 に接続されている。駆動トランジスタ 26 のゲート電極と電源線 3 との間には、キャパシタ 28 が接続されている。
- [0078] 行選択回路 5 は、m 行のサブピクセル 20 の配列から、1 行を選択して走査線 6 に選択信号を供給する。信号電圧出力回路 7 は、選択された行の各サ

ブピクセル 20 に必要なアナログ電圧値を有する信号電圧を供給する。選択された行のサブピクセル 20 の駆動トランジスタ 26 のゲートソース間には、信号電圧が印加される。信号電圧は、キャパシタ 28 によって保持される。駆動トランジスタ 26 は、信号電圧に応じた電流を発光素子 22 に流す。発光素子 22 は、発光素子 22 に流れる電流に応じた輝度で発光する。

[0079] 行選択回路 5 は、選択する行を順次切り替えて選択信号を供給する。つまり、行選択回路 5 は、サブピクセル 20 が配列された行を走査する。順次走査されたサブピクセル 20 の発光素子 22 には、信号電圧に応じた電流が流れて発光する。RGB 各色のサブピクセル 20 が発光する発光色および輝度によって決定された発光色および輝度で各ピクセル 10 が発光して表示領域 2 に画像が表示される。

[0080] 本実施形態の画像表示装置 1 の製造方法について説明する。

図 3A～図 8B は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図 3A に示すように、本実施形態の画像表示装置 1 の製造方法では、少なくとも 1 つの半導体成長基板が準備される。この例では、複数の半導体成長基板（第 2 基板）1194-1, 1194-2 が準備されている。半導体成長基板 1194-1, 1194-2 は、いずれも結晶成長用基板（第 1 基板）1001 上に形成された半導体層 1150 を有する。結晶成長用基板 1001 は、たとえば Si 基板やサファイア基板等である。好ましくは、Si 基板が用いられる。

[0081] 半導体層 1150 は、n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 を含む。n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 は、結晶成長用基板 1001 側から、n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 の順に積層されている。半導体層 1150 の形成には、たとえば気相成長法（Chemical Vapor Deposition、CVD 法）が用いられ、有機金属気相成長法（Metal Organic Chemical Vapor Deposition、MOCVD 法）が好適に用いられる。半導体層 115

0は、たとえば、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x$, $0 \leq y$, $x+y < 1$) 等である。

[0082] 結晶成長の初期には結晶格子定数の不整合に起因する結晶欠陥を生じる場合があり、結晶欠陥を生じた結晶はn形を呈する。そのため、この例のように、n形半導体層1151から結晶成長用基板1001に積層した場合には、生産プロセス上のマージンを大きくとれるので、歩留りを向上し易いという長所がある。

[0083] 半導体層1150が形成された半導体成長基板1194-1, 1194-2には、メタル層（第2メタル層）1130がそれぞれ形成される。メタル層1130は、p形半導体層1153上に形成される。メタル層1130が形成されるp形半導体層1153の面は、発光層1152が設けられた面に対向する面である。メタル層1130をp形半導体層1153の面上に形成した場合には、p形半導体層1153をメタル層1130によって保護することができ、半導体成長基板1194の保管が容易になるというメリットを生じる。

[0084] 好ましくは、メタル層1130を形成する前に、p形半導体層1153上に、導電層1170が形成される。導電層1170は、メタル層1130とp形半導体層1153との間に形成される。導電層1170は、ITO膜等のホール注入性を有する導電層や導電性薄膜の層である。

[0085] 図3Bに示すように、回路基板1100が準備される。回路基板（第3基板）1100は、図1等で説明した回路101を含む。回路基板1100の第1の層間絶縁膜112上の配線110d1, 110d2に対応する位置には、コンタクトホールh1, h2がそれぞれ形成される。コンタクトホールh1, h2は、配線110d1, 110d2に達する深さを有する。コンタクトホールh1, h2の深さは、配線110d1, 110d2をオーバーエッチングすることによってさらに深く形成されてもよい。

[0086] 図4Aに示すように、第1の層間絶縁膜112上にメタル層（第1メタル層）1160が形成される。メタル層1160の形成時に、コンタクトホー

ル h 1, h 2 には、メタル層 1 1 6 0 を形成する材料が埋め込まれ、接続部 1 1 5 a 1, 1 1 5 a 2 が形成される。

[0087] 図 4 B に示すように、半導体成長基板 1 1 9 4 - 1, 1 1 9 4 - 2 は、上下を反転させて、メタル層 1 1 6 0 が形成された回路基板 1 1 0 0 と貼り合わされる。より詳細には、半導体成長基板 1 1 9 4 - 1, 1 1 9 4 - 2 の貼り合わせ面は、メタル層 1 1 3 0 の露出面である。回路基板 1 1 0 0 の貼り合わせ面は、メタル層 1 1 6 0 の露出面である。これらの面を向かい合わせて、両者は貼り合わされる。

[0088] この例では、複数の半導体成長基板 1 1 9 4 - 1, 1 1 9 4 - 2 が、1 つの回路基板 1 1 0 0 に貼り付けられる。位置 X 1 は、半導体成長基板 1 1 9 4 - 1, 1 1 9 4 - 2 が隣接して配置された場合のそれぞれの端部が配置される位置である。後に詳述するが、回路基板 1 1 0 0 において、位置 X 1 を含む所定の領域では、発光素子 1 5 0 - 1, 1 5 0 - 2 は、形成されない。

[0089] ウェハボンディングの工程では、たとえば、それぞれの基板を加熱して熱圧着により基板同士を貼り合わせる。加熱圧着する際に、低融点金属や低融点合金を用いてもよい。低融点金属は、たとえば S n や I n 等であり、低融点合金は、たとえば Z n や I n, G a, S n, B i 等を主成分とした合金とすることができる。

[0090] ウェハボンディングでは、上述のほか、それぞれの基板の貼り合わせ面を化学機械研磨 (Chemical Mechanical Polishing、CMP) 等を用いて平坦化した上で、真空中で貼り合わせ面をプラズマ処理により清浄化して密着させるようにしてもよい。

[0091] 図 5 A ~ 図 6 B には、ウェハボンディング工程に関する 2 種類の変形例が示されている。ウェハボンディング工程では、図 3 A および図 4 B の工程に代えて、図 5 A ~ 図 5 C の工程とすることができる。また、図 3 A および図 4 B の工程に代えて、図 6 A および図 6 B の工程としてもよい。

[0092] 図 5 A ~ 図 5 C では、結晶成長用基板 1 0 0 1 に半導体層 1 1 5 0 を形成した後、半導体層 1 1 5 0 は、結晶成長用基板 1 0 0 1 とは異なる支持基板

1 1 9 0 に転写される。

図 5 A に示すように、半導体成長基板 1 2 9 4 - 1, 1 2 9 4 - 2 が準備される。半導体成長基板 1 2 9 4 - 1, 1 2 9 4 - 2 は、半導体層 1 1 5 0 をそれぞれ含む。半導体層 1 1 5 0 は、p 形半導体層 1 1 5 3、発光層 1 1 5 2 および n 形半導体層 1 1 5 1 を含む。p 形半導体層 1 1 5 3、発光層 1 1 5 2 および n 形半導体層 1 1 5 1 は、結晶成長用基板 1 0 0 1 上に、結晶成長用基板 1 0 0 1 の側から、p 形半導体層 1 1 5 3、発光層 1 1 5 2 および n 形半導体層 1 1 5 1 の順に積層される。

[0093] 図 5 B に示すように、結晶成長用基板 1 0 0 1 上に半導体層 1 1 5 0 を形成した後、n 形半導体層 1 1 5 1 の露出面に支持基板 1 1 9 0 が接着される。支持基板 1 1 9 0 は、たとえば Si や石英等によって形成されている。半導体層 1 1 5 0 に支持基板 1 1 9 0 が接着された後には、結晶成長用基板 1 0 0 1 は除去される。結晶成長用基板 1 0 0 1 の除去には、たとえばウェットエッチングやレーザリフトオフが用いられる。

[0094] 図 5 C に示すように、p 形半導体層 1 1 5 3 の露出面には、メタル層 1 1 3 0 が形成される。図 4 A において説明したように、メタル層 1 1 6 0 が形成された回路基板 1 1 0 0 が準備される。メタル層 1 1 3 0 は、メタル層 1 1 6 0 と対向して配置され、メタル層 1 1 3 0, 1 1 6 0 同士が貼り合わされる。その後、支持基板 1 1 9 0 は、レーザリフトオフ等によって除去される。

[0095] 図 6 A および図 6 B に示す例では、結晶成長用基板 1 0 0 1 にバッファ層 1 1 4 0 を設けた後に、半導体層 1 1 5 0 は、バッファ層 1 1 4 0 上に形成される。

図 6 A に示すように、半導体成長基板 1 1 9 4 a - 1, 1 1 9 4 a - 2 が準備される。半導体成長基板 1 1 9 4 a - 1, 1 1 9 4 a - 2 は、バッファ層 1 1 4 0 および半導体層 1 1 5 0 をそれぞれ含む。バッファ層 1 1 4 0 は、結晶成長用基板 1 0 0 1 の一方の面に形成されている。半導体層 1 1 5 0 は、バッファ層 1 1 4 0 を介して、結晶成長用基板 1 0 0 1 上に形成される。

。バッファ層 1140 は、AlN 等のナイトライドが好適に用いられる。バッファ層 1140 を介して、半導体層 1150 を結晶成長させることによって、GaN の結晶と結晶成長用基板 1001 との界面での不整合を緩和することができる。

[0096] 半導体層 1150 は、n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 を含む。n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 は、結晶成長用基板 1001 上に、結晶成長用基板 1001 側から、n 形半導体層 1151、発光層 1152 および p 形半導体層 1153 の順に積層される。

[0097] 準備された半導体成長基板 1194a-1, 1194a-2 には、p 形半導体層 1153 の露出面にメタル層 1130 が形成される。図 3A において説明したように、導電層 1170 は、メタル層 1130 と p 形半導体層 1153 との間に形成される。

[0098] 図 6B に示すように、メタル層 1160 が形成された回路基板 1100 が準備される。メタル層 1130 の露出面は、メタル層 1160 の露出面に対向して配置され、メタル層 1130, 1160 同士が貼り合わせられる。

[0099] この例では、結晶成長用基板 1001 の除去後、n 形半導体層 1151 上にバッファ層 1140 が残るので、バッファ層 1140 は、これ以降のいずれかの工程で、除去される。バッファ層 1140 の除去工程は、たとえば、発光素子を形成する工程の後に行ってもよいし、発光素子を形成する前に行ってもよい。バッファ層 1140 の除去には、たとえば、ウェットエッチング等が用いられる。

[0100] ウェハボンディングした後の製造工程に戻って説明を続ける。

図 7A に示すように、結晶成長用基板 1001 は、ウェットエッチングやレーザリフトオフ等によって除去される。接合されたメタル層 1130, 1160 は、メタル層 1160a を形成する。

[0101] 図 7B に示すように、図 7A に示した半導体層 1150 は、エッチングによって、所望の形状に成形され、発光素子 150-1, 150-2 が形成さ

れる。発光素子 150-1, 150-2 の形成には、たとえばドライエッチングプロセスが用いられ、好適には、異方性プラズマエッチング (Reactive Ion Etching、R I E) が用いられる。その後、図 7 A に示した接合されたメタル層 1160a はエッチングされて、配線層 (第 3 配線層) 116 が形成される。配線層 116 は、プラグ 116a1, 116a2 および配線 116k を含む。図 7 A に示した導電層 1170 もメタル層 1160a と同時にエッチングされ、導電性薄膜 117a1, 117a2, 117k に成形される。導電性薄膜 117a1 は、プラグ 116a1 上を覆い、導電性薄膜 117a2 は、プラグ 116a2 上を覆っている。導電性薄膜 117k は、配線 116k 上を覆っている。

[0102] プラグ 116a1 の外周は、XY 平面視で、プラグ 116a1 に投影された発光素子 150-1 の外周を含むように成形される。プラグ 116a2 の外周は、XY 平面視で、プラグ 116a2 に投影された発光素子 150-2 の外周を含むように成形される。

[0103] 発光素子 150-1, 150-2 は、位置 X1 から十分離れた位置に形成される。位置 X1 は、図 4 B に示した半導体層 1150 の端部に対応する位置であり、位置 X1 に対応する位置やその近傍では、半導体層 1150 の結晶品位の低下を生じ易い。そのため、位置 X1 から X 軸の正方向側において、発光素子 150-1, 150-2 は、端部から十分に離間された位置に形成される。位置 X1 から X 軸の負方向側では、この例においては、発光素子を含め、他の回路素子も形成されておらず、配線 116k が形成されている。

[0104] 第 1 の層間絶縁膜 112、プラグ 116a1, 116a2、配線 116k、導電性薄膜 117a1, 117a2, 117k および発光素子 150-1, 150-2 を覆って、第 2 の層間絶縁膜 156 が形成される。

[0105] 図 8 A に示すように、第 2 の層間絶縁膜 156 の一部は、n 形半導体層 151-1 に達するまでエッチングにより除去されて開口 158-1 が形成される。除去される第 2 の層間絶縁膜 156 の一部は、発光素子 150-1 に

対応する位置である。発光面 1 5 1 S 1 は、第 2 の層間絶縁膜 1 5 6 から露出される。第 2 の層間絶縁膜 1 5 6 の一部は、n 形半導体層 1 5 1 - 2 に達するまでエッチングにより除去されて開口 1 5 8 - 2 が形成される。除去される第 2 の層間絶縁膜 1 5 6 の一部は、発光素子 1 5 0 - 2 に対応する位置である。発光面 1 5 1 S 2 は、第 2 の層間絶縁膜 1 5 6 から露出される。第 2 の層間絶縁膜 1 5 6 の一部は、導電性薄膜 1 1 7 k に達するまでエッチングにより除去されて開口 1 6 2 が形成される。除去される第 2 の層間絶縁膜 1 5 6 の一部は、配線 1 1 6 k に対応する位置である。導電性薄膜 1 1 7 k は、第 2 の層間絶縁膜 1 5 6 から露出される。開口 1 5 8 - 1, 1 5 8 - 2, 1 6 2 は、たとえば同時に形成される。上述したように、第 2 の層間絶縁膜 1 5 6 の形成工程では、第 2 の層間絶縁膜 1 5 6 の表面は、発光素子 1 5 0 - 1, 1 5 0 - 2 を覆うことができる程度の平坦性を有していればよい。露出された n 形半導体層 1 5 1 - 1 の発光面 1 5 1 S 1 と n 形半導体層 1 5 1 - 2 の発光面 1 5 1 S 2 は、発光効率を向上させるために粗面化される。

[0106] 図 8 B に示すように、第 2 の層間絶縁膜 1 5 6 上に、第 2 の配線層 1 5 9 が形成される。第 2 の配線層 1 5 9 は、透光性電極 1 5 9 k を含んでいる。透光性電極 1 5 9 k は、開口 1 6 2 によって第 2 の層間絶縁膜 1 5 6 から露出された導電性薄膜 1 1 7 k の面および発光面 1 5 1 S 1, 1 5 1 S 2 にわたって形成される。透光性電極 1 5 9 k は、n 形半導体層 1 5 1 - 1, 1 5 1 - 2 を導電性薄膜 1 1 7 k および配線 1 1 6 k に電氣的に接続する。

[0107] 上述では、半導体成長基板 1 1 9 4 - 1, 1 1 9 4 - 2 および回路基板 1 1 0 0 の両方にメタル層 1 1 3 0, 1 1 6 0 を形成するものとして説明したが、少なくとも、回路基板 1 1 0 0 側にメタル層 1 1 6 0 が設けられていればよい。

[0108] サブピクセル 2 0 - 1, 2 0 - 2 以外の回路の一部は、回路基板 1 1 0 0 中に形成されている。たとえば図 2 に示した行選択回路 5 は、駆動トランジスタや選択トランジスタ等とともに、回路基板 1 1 0 0 中に形成される。つまり、行選択回路 5 は、上述の製造工程によって同時に組み込まれている場

合がある。一方、信号電圧出力回路 7 は、微細加工による高集積化が可能な製造プロセスによって製造される半導体デバイスに組み込まれることが望ましい。信号電圧出力回路 7 は、CPU や他の回路要素とともに別の基板に実装され、たとえば後述するカラーフィルタの組み込みの前に、あるいは、カラーフィルタの組み込みの後に、回路基板 1100 の配線と相互に接続される。

[0109] 回路基板 1100 は、回路 101 を含むガラス基板からなる基板 102 を含んでおり、基板 102 は、たとえばほぼ方形である。回路基板 1100 には、上述したように 1 つの画像表示装置 1 のための回路 101 が形成されている。または、回路基板 1100 には、複数の画像表示装置のための回路 101 が形成されている場合もある。より大きな画面サイズ等の場合には、1 つの画像表示装置を構成するための回路 101 が複数の回路基板 1100 に分割されて形成されており、分割された回路のすべてを組み合わせ、1 つの画像表示装置を構成するようにしてもよい。

[0110] 結晶成長用基板 1001 には、結晶成長用基板 1001 とほぼ同一寸法を有する半導体層 1150 が形成される。たとえば、結晶成長用基板 1001 は、方形の回路基板 1100 と同じ寸法を有する方形とすることができる。結晶成長用基板は、回路基板 1100 と同一形状や、相似の形状に限らず、他の形状であってもよい。たとえば、結晶成長用基板 1001 は、方形の回路基板 1100 に形成された回路 101 を含むような径を有するほぼ円形のウェハ形状等であってもよい。

[0111] 図 9 は、本実施形態の画像表示装置の製造方法を例示する斜視図である。

図 9 に示すように、複数の半導体成長基板 1194-1, 1194-2, 1194-3、等を準備して、1 つの回路基板 1100 に、複数の結晶成長用基板 1001 に形成された半導体層 1150 を接合するようにしてもよい。半導体成長基板 1194-3 は、上述した半導体成長基板 1194-1, 1194-2 と同じものであり、半導体成長基板 1194-1, 1194-2, 1194-3、等には、図 3A 等にした結晶成長用基板 1001 上に

、半導体層 1 1 5 0 が形成されている。

[0112] 回路基板 1 1 0 0 には、1 枚の基板 1 0 2 に複数の回路 1 0 1 がたとえば格子状に配置されている。回路 1 0 1 は、1 つの画像表示装置 1 に必要なすべてのサブピクセル 2 0 - 1, 2 0 - 2 等を含んでいる。隣接して配置されている回路 1 0 1 の間には、スクライブライン幅の程度の間隔が設けられている。回路 1 0 1 の端部および端部付近には、回路素子等は配置されていない。

[0113] 半導体層 1 1 5 0 は、その端部が結晶成長用基板 1 0 0 1 の端部と一致するように形成されている。そこで、半導体成長基板 1 1 9 4 - 1, 1 1 9 4 - 2, 1 1 9 4 - 3 の端部を、回路 1 0 1 の端部と一致するように配置し、接合することによって、接合後の半導体層 1 1 5 0 の端部と回路 1 0 1 の端部とを一致させることができる。

[0114] 結晶成長用基板 1 0 0 1 上に半導体層 1 1 5 0 を成長させるときに、半導体層 1 1 5 0 の端部およびその近傍では、結晶品位の低下を生じ易い。そのため、半導体層 1 1 5 0 の端部と回路 1 0 1 の端部とを一致させることによって、半導体成長基板 1 1 9 4 - 1, 1 1 9 4 - 2, 1 1 9 4 - 3 上の半導体層 1 1 5 0 の端部近傍における結晶品位の低下し易い領域を画像表示装置 1 の表示領域に使用しないようにすることができる。なお、ここで、結晶成長用基板 1 0 0 1 の配置方法にはさまざまな自由度がある。たとえば、上述の図 4 B や図 7 B に関連して説明したように、1 つの回路基板 1 1 0 0 に複数の半導体層 1 1 5 0 を接合する場合には、隣接する 2 つの半導体層 1 1 5 0 の境界および境界の近傍の領域に、発光素子 1 5 0 - 1, 1 5 0 - 2 を形成しないように、回路配置等することが好ましい。

[0115] 上述とは逆に、複数の回路基板 1 1 0 0 を準備して、1 つの半導体成長基板に形成された半導体層 1 1 5 0 に対して、複数の回路基板 1 1 0 0 を接合するようにしてもよい。

[0116] 図 1 0 は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図10では、煩雑さを避けるために、回路基板1100内の構造や第1の層間絶縁膜112、接続部115a1, 115a2、プラグ116a1, 116a2、配線116k、導電性薄膜117a1, 117a2, 117k、第2の配線層159等については、表示が省略されている。また、図10には、カラーフィルタ180等の色変換部材の一部が表示されている。図10では、発光素子150-1, 150-2、第2の層間絶縁膜156、表面樹脂層170および表示が省略されているプラグ等を含む構造物を発光回路部172と呼ぶ。また、回路基板1100上に発光回路部172を設けた構造物を構造体1192と呼ぶ。

[0117] 図10に示すように、カラーフィルタ（波長変換部材）180は、一方の面で構造体1192に接着される。カラーフィルタ180の他方の面は、ガラス基板186に接着されている。カラーフィルタ180の一方の面には、透明薄膜接着層188が設けられており、透明薄膜接着層188を介して、構造体1192の発光回路部172の側の面に接着される。

[0118] カラーフィルタ180は、この例では、赤色、緑色、青色の順にX軸の正方向に色変換部が配列されている。赤色については、1層目に赤色の色変換層183Rが設けられており、緑色については1層目に緑色の色変換層183Gが設けられており、いずれも2層目にはフィルタ層184がそれぞれ設けられている。青色については、単層の色変換層183Bが設けられていてもよいし、フィルタ層184が設けられていてもよい。各色変換部の間には、遮光部181が設けられているが、色変換部の色ごとにフィルタ層184の周波数特性を変更することができるというまでもない。

[0119] 各色の色変換層183R, 183G, 183Bの位置を発光素子150の位置に合わせて、カラーフィルタ180は、構造体1192に貼り付けられる。

[0120] 図11A～図11Dは、本実施形態の画像表示装置の製造方法の変形例を示す模式的な断面図である。

図11A～図11Dには、カラーフィルタをインクジェットで形成する方

法が示されている。

[0121] 図 1 1 A に示すように、回路基板 1 1 0 0 に発光回路部 1 7 2 が貼り付けられた構造体 1 1 9 2 が準備される。

[0122] 図 1 1 B に示すように、構造体 1 1 9 2 上に遮光部 1 8 1 が形成される。遮光部 1 8 1 は、たとえばスクリーン印刷やフォトリソグラフィ技術等を用いて形成される。

[0123] 図 1 1 C に示すように、発光色に応じた蛍光体は、インクジェットノズルから噴出され、色変換層 1 8 3 を形成する。蛍光体は、遮光部 1 8 1 が形成されていない領域を着色する。蛍光体は、たとえば一般的な蛍光体材料やペロブスカイト蛍光体材料、量子ドット蛍光体材料を用いた蛍光塗料が用いられる。ペロブスカイト蛍光体材料や量子ドット蛍光体材料を用いた場合には、各発光色を実現できるとともに、単色性が高く、色再現性を高くできるので好ましい。インクジェットノズルによる描画の後、適切な温度および時間で乾燥処理を行う。着色時の塗膜の厚さは、遮光部 1 8 1 の厚さよりも薄く設定されている。

[0124] すでに説明したように、青色発光のサブピクセルについては、色変換部を形成しない場合には、色変換層 1 8 3 は形成されない。また、青色発光のサブピクセルについて、青色の色変換層を形成する際に、色変換部は 1 層でよい場合には、好ましくは、青色の蛍光体の塗膜の厚さは、遮光部 1 8 1 の厚さと同じ程度とされる。

[0125] 図 1 1 D に示すように、フィルタ層 1 8 4 のための塗料は、インクジェットノズルから噴出される。塗料は、蛍光体の塗膜に重ねて塗布される。蛍光体および塗料の塗膜の合計の厚さは、遮光部 1 8 1 の厚さと同じ程度とされる。

[0126] 本実施形態の画像表示装置 1 の効果について説明する。

本実施形態の画像表示装置 1 の製造方法では、発光素子 1 5 0 - 1, 1 5 0 - 2 を駆動するトランジスタ 1 0 3 - 1, 1 0 3 - 2 等の回路素子を含む回路基板 1 1 0 0 に、半導体層 1 1 5 0 を貼り合わせる。その後、半導体層

1150をエッチングして発光素子150-1, 150-2を形成する。そのため、回路基板1100に個片化された発光素子を個々に転写するのに比べて、発光素子を転写する工程を著しく短縮することができる。

[0127] たとえば、4K画質の画像表示装置では、サブピクセルの数は2400万個を超え、8K画質の画像表示装置の場合には、サブピクセルの数は9900万個を超える。これだけ大量の発光素子を個々に回路基板に実装するのでは、膨大な時間を要することとなり、マイクロLEDによる画像表示装置を現実的なコストで実現することは困難である。また、大量の発光素子を個々に実装したのでは、実装時の接続不良等による歩留りが低下し、さらなるコスト上昇が避けられない。

[0128] 上述したとおり、本実施形態の画像表示装置1の製造方法では、半導体層1150を個片化する前に、半導体層1150全体を回路基板1100に貼り付けるので、転写工程が1回で完了する。

[0129] さらに、半導体層1150をあらかじめ個片化したり、回路素子に対応した位置に電極を形成したりすることなく、ウェハレベルで回路基板1100に貼り付けるので、アライメントをとる必要がない。そのため、貼り付け工程を短時間で容易に行うことが可能になる。貼り付け時にアライメントをとる必要がないので、発光素子150の小型化も容易であり、高精細化されたディスプレイに好適である。

[0130] 本実施形態では、たとえばガラス基板上に形成されたTFTを回路基板1100とすることができるので、既存のフラットパネルの製造プロセスやプラントを利用することができる。

[0131] 本実施形態では、回路基板1100にプラグ116a1, 116a2が形成される。プラグ116a1は、駆動用のトランジスタ103-1に電氣的に接続される。プラグ116a2は、駆動用のトランジスタ103-2に電氣的に接続される。半導体層1150をエッチングすることによって、発光素子150-1, 150-2は、プラグ116a1, 116a2上にそれぞれ形成される。そのため、発光素子150-1は、トランジスタ103-1

に確実に電氣的に接続され、発光素子 150-2 は、トランジスタ 103-2 に確実に電氣的に接続される。したがって、発光素子等の接続不良による歩留りの低下が抑制される。

[0132] 本実施形態では、プラグ 116a1, 116a2 と同じ層に、配線 116k を有する配線層 116 が形成される。配線 116k がプラグ 116a1, 116a2 と同じ回路基板 1100 上に形成されるので、配線 116k を電源線や接地線等の低インピーダンスが要求される配線として利用することができ、回路 101 の配線や配置のレイアウトの自由度を高めることができる。配線 116k は、プラグ 116a1, 116a2 と同時に形成されるので、配線 116k のための工程を追加することなく、低インピーダンスの配線を容易に実現することができる。

[0133] 本実施形態では、発光面 151S1, 151S2 側の電氣的接続は、透光性電極 159k を介してなされる。そのため、発光面 151S1, 151S2 の面積を十分に確保することができ、高い発光効率を実現することができる。

[0134] 本実施形態の画像表示装置 1 では、プラグ 116a1, 116a2 は、光反射プレートとしても機能する。発光素子 150-1, 150-2 から下方に向かって散乱された光は、プラグ 116a1, 116a2 によって反射されて発光面 151S1, 151S2 の側に配光される。そのため、発光素子 150-1, 150-2 の発光効率は、実質的に向上される。

[0135] プラグ 116a1, 116a2 は、光反射プレートとして機能するとともに遮光プレートとしても機能する。プラグ 116a1, 116a2 は、発光素子 150-1, 150-2 の下方への散乱光を遮光する。そのため、発光素子 150-1, 150-2 の近傍下にある回路素子への光の照射を抑制し、回路素子の誤動作等を防止することができる。

[0136] 本実施形態では、電源線や接地線等の配線を配線 116k や第 1 の配線層 110 とすることによって、電源線や接地線等の配線パターンの自由度が向上し、画像表示装置の設計効率を向上させることができる。

[0137] (第2の実施形態)

図12は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図12は、サブピクセル220をXZ平面に平行な面で切断した場合の断面を模式的に示している。

本実施形態では、平坦化膜214を含み、プラグ216kが平坦化膜214に埋め込まれている点で、上述の他の実施形態と相違する。なお、本実施形態では、1つのサブピクセル220について説明するが、他の実施形態の場合と同様に、サブピクセル220は、XY平面に複数個設けられ、X軸方向およびY軸方向に配列されている。また、発光素子250の面積も発光色等に応じて異なる面積とされる場合がある。上述した他の実施形態の場合と同一の構成要素には、同一の符号を付して詳細な説明を適宜省略する。

[0138] 図12に示すように、本実施形態の画像表示装置のサブピクセル220は、トランジスタ203と、第1の配線層110と、第1の層間絶縁膜112と、プラグ216kと、発光素子250と、第2の層間絶縁膜156と、第2の配線層160と、を含む。サブピクセル220は、上述の他の実施形態の場合と同様に、カラーフィルタ180をさらに含む。

[0139] トランジスタ203は、基板102上に形成されている。トランジスタ203は、この例では、nチャネルのTFTである。トランジスタ203は、TFTチャネル204と、ゲート107と、を含む。トランジスタ203は、上述の他の実施形態と同様に、LTPSプロセス等によって形成されている。本実施形態では、回路101は、TFTチャネル204、絶縁層105、絶縁膜108、ビア111s、111dおよび第1の配線層110を含むものとする。

[0140] TFTチャネル204は、領域204s、204i、204dを含む。領域204s、204i、204dは、TFT下層膜106上に設けられている。領域204s、204dは、P(リン)等のn形不純物がドーピングされている。領域204sは、ビア111sとオーミック接続されている。領域2

04 dは、ビア111 dとオーミック接続されている。

[0141] ゲート107は、絶縁層105を介して、TF Tチャンネル204上に設けられている。絶縁層105は、TF Tチャンネル204とゲート107とを絶縁する。

[0142] トランジスタ203では、領域204 sよりも高い電圧がゲート107に印加されると、領域204 iにチャンネルが形成される。領域204 s, 204 d間に流れる電流は、ゲート107の領域204 sに対する電圧によって制御される。TF Tチャンネル204やゲート107は、上述の他の実施形態の場合のTF Tチャンネル104-1, 104-2やゲート107-1, 107-2と同様の材料、製法で形成されている。

[0143] ビア111 s, 111 dは、絶縁膜108を貫通して設けられている。ビア111 sは、配線110 sと領域204 sとの間に設けられている。ビア111 sは、配線110 sおよび領域204 sを電氣的に接続している。ビア111 dは、配線110 dと領域204 dとの間に設けられている。ビア111 dは、配線110 dおよび領域204 dを電氣的に接続している。ビア111 s, 111 dは、上述の他の実施形態の場合のビア111 s1, 111 d1等と同様の材料および製法で形成されている。

[0144] 配線110 sは、たとえば、後述する図15に示される回路の接地線4に電氣的に接続されている。配線110 dは、接続部215 k、プラグ216 kおよび光反射プレート230 aを介して、n形半導体層251に電氣的に接続されている。

[0145] 平坦化膜214は、第1の層間絶縁膜112上に設けられている。平坦化膜214は、絶縁性を有する膜または層であり、第1の層間絶縁膜112と同様に、たとえばPSGやBPSG等の有機絶縁膜やSOG (Spin On Glass) 等の無機絶縁膜等である。

[0146] プラグ216 kは、第1の層間絶縁膜112上に設けられている。プラグ216 kの側面は、平坦化膜214で覆われている。つまり、プラグ216 kは、平坦化膜214に埋め込まれている。プラグ216 kおよび平坦化膜

2 1 4 は、X Y 平面にほぼ平行な同一の面をそれぞれ有する。プラグ 2 1 6 k および平坦化膜 2 1 4 の面は、後述するように一括して平坦化された面である。

[0147] プラグ 2 1 6 k と配線 1 1 0 d との間には、接続部 2 1 5 k が設けられている。接続部 2 1 5 k は、導電性の部材で形成されており、プラグ 2 1 6 k および配線 1 1 0 d を電氣的に接続している。プラグ 2 1 6 k および接続部 2 1 5 k は、たとえば、第 1 の配線層 1 1 0 と同じ材料で形成されている。

[0148] 発光素子 2 5 0 は、光反射プレート 2 3 0 a を介して、プラグ 2 1 6 k 上に設けられている。発光素子 2 5 0 は、n 形半導体層（第 1 半導体層）2 5 1 と、発光層 2 5 2 と、p 形半導体層（第 2 半導体層）2 5 3 と、を含む。n 形半導体層 2 5 1、発光層 2 5 2 および p 形半導体層 2 5 3 は、第 1 の層間絶縁膜 1 1 2 の側から発光面 2 5 3 S の側に向かって、n 形半導体層 2 5 1、発光層 2 5 2 および p 形半導体層 2 5 3 の順に積層されている。したがって、n 形半導体層 2 5 1 は、光反射プレート 2 3 0 a を介して、プラグ 2 1 6 k に電氣的に接続されている。

[0149] 発光素子 2 5 0 は、上述の他の実施形態の発光素子 1 5 0-1, 1 5 0-2 と同様の X Y 平面視の形状を有する。回路素子のレイアウト等に応じて、適切な形状が選定される。

[0150] 発光素子 2 5 0 は、上述の他の実施形態の発光素子 1 5 0-1, 1 5 0-2 と同様の発光ダイオードである。すなわち、発光素子 2 5 0 が発光する光の波長は、たとえば $467\text{ nm} \pm 20\text{ nm}$ 程度の青色発光、あるいは、 $410\text{ nm} \pm 20\text{ nm}$ 程度の青紫発光である。発光素子 2 5 0 が発光する光の波長は、上述の値に限らず、適切なものとすることができる。

[0151] 第 2 の配線層（第 2 配線層）1 6 0 は、第 2 の層間絶縁膜 1 5 6 上に設けられている。第 2 の配線層 1 6 0 は、配線 1 6 0 a を含んでいる。配線 1 6 0 a は、たとえば後述の図 1 5 に示された回路の電源線 3 に接続される。第 2 の配線層 1 6 0 は、たとえば第 1 の配線層 1 1 0 等と同じ材料で形成されている。

[0152] この例では、平坦化膜 2 1 4 およびプラグ 2 1 6 k 上に、第 3 の配線層 2 3 0 が設けられている。第 3 の配線層 2 3 0 は、光反射プレート 2 3 0 a を含む。光反射プレート 2 3 0 a は、サブピクセルごとに設けられており、これら複数の光反射プレート 2 3 0 a は、電氣的に絶縁されている。上述したように、光反射プレート 2 3 0 a 上には発光素子 2 5 0 がそれぞれ設けられている。

[0153] 第 3 の配線層 2 3 0 および光反射プレート 2 3 0 a は、高導電率を有する材料で形成されている。光反射プレート 2 3 0 a は、たとえば、T i や A l 、T i と S n との合金等を含む。C u や V 等、あるいは A g や P t 等の高い光反射性を有する貴金属を含んでもよい。光反射プレート 2 3 0 a は、このような高導電率を有する金属材料等で形成されているので、発光素子 2 5 0 と回路 1 0 1 とを低抵抗で電氣的に接続する。

[0154] 光反射プレート 2 3 0 a の外周は、X Y 平面視で、光反射プレート 2 3 0 a 上に発光素子 2 5 0 を投影したときの外周を含んでいる。光反射プレート 2 3 0 a の外周が発光素子 2 5 0 の外周を含むことには、それぞれの外周が一致していることも含む。これにより、光反射プレート 2 3 0 a は、発光素子 2 5 0 の下方への散乱光を発光面 2 5 3 S 側に反射することができる。発光素子 2 5 0 の下方への散乱光を発光面 2 5 3 S 側に反射することによって、発光素子 2 5 0 の発光効率を実質的に向上させることができる。また、発光素子 2 5 0 の下方への散乱光を発光面 2 5 3 S 側に反射することによって、下方への散乱光によるトランジスタ 2 0 3 等の回路素子の誤動作を防止することができる。

[0155] 透光性電極 1 5 9 a は、配線 1 6 0 a 上にわたって設けられている。透光性電極 1 5 9 a は、開口された p 形半導体層 2 5 3 の発光面 2 5 3 S 上にわたって設けられている。透光性電極 1 5 9 a は、配線 1 6 0 a と発光面 2 5 3 S との間に設けられ、配線 1 6 0 a および p 形半導体層 2 5 3 を電氣的に接続している。

[0156] n 形半導体層 2 5 1 は、光反射プレート 2 3 0 a 、プラグ 2 1 6 k 、接続

部 2 1 5 k、配線 1 1 0 d およびビア 1 1 1 d を介して領域 2 0 4 d に電氣的に接続される。領域 2 0 4 d は、トランジスタ 2 0 3 のドレイン電極に対応する。領域 2 0 4 s は、トランジスタ 2 0 3 のソース電極に対応し、ビア 1 1 1 s および配線 1 1 0 s を介して、接地線 4 に電氣的に接続されている。

[0157] p 形半導体層 2 5 3 は、透光性電極 1 5 9 a および配線 1 6 0 a を介して、電源線 3 に電氣的に接続される。

[0158] (変形例)

図 1 3 は、本実施形態の画像表示装置の変形例の一部を例示する模式的な断面図である。

図 1 3 に示すように、この変形例のサブピクセル 2 2 0 a では、図 1 2 に示した接続部 2 1 5 k を介さずに、プラグ 2 1 6 k を配線 1 1 0 d に接続する。

[0159] 図 1 2 に関連して説明したように、接続部 2 1 5 k を介して、プラグ 2 1 6 k を配線 1 1 0 d に接続する場合には、X Y 平面視で、プラグ 2 1 6 k の外周を配線 1 1 0 d の外周よりも外側にはみ出す形状にすることが可能である。X Y 平面視で、プラグ 2 1 6 k の外周を配線 1 1 0 d の外周よりも内側にすることは、本変形例のように、プラグ 2 1 6 k は、接続部 2 1 5 k を介さずに、配線 1 1 0 d の上に直接設けられることができる。つまり、プラグと接続先の配線との位置関係や、プラグと接続先の配線のそれぞれの形状に応じて、接続部を設け、あるいは接続部を設けずに、配線と素子とを相互に接続することができる。このことは、これ以降で説明する各実施形態や変形例に関しても同様である。

[0160] 図 1 4 A および図 1 4 B は、本実施形態の画像表示装置の変形例の一部を例示する模式的な断面図である。

図 1 4 A 以降のサブピクセルの断面図では、煩雑さを避けるため、表面樹脂層 1 7 0、透明薄膜接着層 1 8 8 およびカラーフィルタ 1 8 0 の表示が省略されている。特に記載のない場合には、第 2 の層間絶縁膜および第 2 の配

線層上に、表面樹脂層 170、透明薄膜接着層 188 およびカラーフィルタ 180 が設けられる。後述の他の実施形態およびその変形例の場合についても同様である。

[0161] 図 14A に示された変形例のサブピクセル 220b の場合には、発光面 253S 側の電氣的接続のための配線の構造が、第 2 の実施形態の場合と相違する。他の構成要素は、第 2 の実施形態の場合と同一であり、同一の構成要素には同一の符号を付して詳細な説明を適宜省略する。

図 14A に示すように、サブピクセル 220b は、第 2 の配線層 160 を含んでおり、第 2 の配線層 160 は、配線 160a1 を含んでいる。配線 160a1 は、第 2 の層間絶縁膜 156 上に設けられている。本変形例では、配線 160a1 の一端を、発光面 253S を含む面に接続することによって、配線 160a1 を p 形半導体層 253 に電氣的に接続している。配線 160a1 の一端を接続する面は、発光面 253S と同一平面上にある面である。本変形例では、透光性電極を設けないので、透光性電極を形成する工程を省略することができる。発光面 253S は、好ましくは、この例のように、粗面化されている。

[0162] 図 14B に示された変形例のサブピクセル 220c の場合には、第 2 の層間絶縁膜 256 および配線 160a2 の構成が第 2 の実施形態の場合と相違する。

図 14B に示すように、サブピクセル 220c は、第 2 の層間絶縁膜 256 を含む。第 2 の配線層 160 は、配線 160a2 を含んでおり、配線 160a2 は、第 2 の層間絶縁膜 256 上に設けられている。第 2 の層間絶縁膜 256 は、透明樹脂である。第 2 の層間絶縁膜 256 は、発光面 253S の位置に対応する開口が設けられていない。発光面 253S には、第 2 の配線層 160 の配線 160a2 が直接接続されている。

[0163] 発光素子 250a は、第 2 の層間絶縁膜 256 を介して、発光面 253S から発光する。本変形例では、第 2 の層間絶縁膜 256 に開口を形成し、p 形半導体層 253a を粗面化する工程を省略することができる。

[0164] 第2の層間絶縁膜256は、たとえば、透明の有機絶縁材料等によって形成されている。透明の樹脂材料としては、SOG (Spin On Glass) 等のシリコン系樹脂やノボラック型フェノール系樹脂等が用いられる。上述の他の実施形態と同様に、第2の層間絶縁膜256は、発光素子間の絶縁であり、外部環境からの保護のために設けられている。第2の層間絶縁膜256の表面は、第2の層間絶縁膜156と同様に、第2の配線層160が形成できる程度の平坦性があればよい。

[0165] いずれの変形例においても、表面樹脂層170、透明薄膜接着層188およびカラーフィルタ180を含む構成は、上述の他の実施形態の場合と同様に設けられている。

[0166] 図15は、本実施形態に係る画像表示装置を例示する模式的なブロック図である。

図15に示すように、本実施形態の画像表示装置201は、表示領域2、行選択回路205および信号電圧出力回路207を備える。表示領域2には、上述の他の実施形態の場合と同様に、たとえばサブピクセル220がXY平面上に格子状に配列されている。

[0167] ピクセル10は、上述の他の実施形態の場合と同様に、異なる色の光を発光する複数のサブピクセル220を含む。サブピクセル220Rは、赤色の光を発光する。サブピクセル220Gは、緑色の光を発光する。サブピクセル220Bは、青色の光を発光する。3種類のサブピクセル220R、220G、220Bが所望の輝度で発光することによって、1つのピクセル10の発光色および輝度が決定される。

[0168] 1つのピクセル10は、3つのサブピクセル220R、220G、220Bからなり、サブピクセル220R、220G、220Bは、たとえばこの例のように、X軸上を直線状に配列されている。各ピクセル10は、同じ色のサブピクセルが同じ列に配列されていてもよいし、この例のように、列ごとに異なる色のサブピクセルが配列されていてもよい。

[0169] サブピクセル220は、発光素子222と、選択トランジスタ224と、

駆動トランジスタ 226 と、キャパシタ 228 と、を含む。図 15 において、選択トランジスタ 224 は T1 と表示され、駆動トランジスタ 226 は T2 と表示され、キャパシタ 228 は Cm と表示されることがある。

[0170] 本実施形態では、発光素子 222 が電源線 3 側に設けられており、発光素子 222 に直列に接続された駆動トランジスタ 226 は、接地線 4 側に設けられている。つまり、駆動トランジスタ 226 は、発光素子 222 よりも低電位側に接続されている。駆動トランジスタ 226 は、n チャンネルのトランジスタである。

[0171] 駆動トランジスタ 226 のゲート電極と信号線 208 との間には、選択トランジスタ 224 が接続されている。キャパシタ 228 は、駆動トランジスタ 226 のゲート電極と接地線 4 との間に接続されている。

[0172] 行選択回路 205 および信号電圧出力回路 207 は、n チャンネルのトランジスタである駆動トランジスタ 226 を駆動するために、上述の他の実施形態と異なる極性の信号電圧を、信号線 208 に供給する。

[0173] 本実施形態では、駆動トランジスタ 226 の極性が n チャンネルであることから、信号電圧の極性等が上述の他の実施形態の場合と相違する。すなわち、行選択回路 205 は、m 行のサブピクセル 220 の配列から、順次 1 行を選択するように走査線 206 に選択信号を供給する。信号電圧出力回路 207 は、選択された行の各サブピクセル 220 に必要なアナログ電圧値を有する信号電圧を供給する。選択された行のサブピクセル 220 の駆動トランジスタ 226 は、信号電圧に応じた電流を発光素子 222 に流す。発光素子 222 は、流れた電流に応じた輝度で発光する。

[0174] 本実施形態では、上述に示したサブピクセル 220, 220a, 220b, 220c の構成のいずれかを含むことができる。また、以下に説明する各実施形態についても、本実施形態の場合と同様にサブピクセルの変形例を適用することができる。

[0175] 本実施形態の画像表示装置の製造方法について説明する。

図 16A～図 20C は、本実施形態の画像表示装置の製造方法を例示する

模式的な断面図である。

図16A～図18Bでは、回路基板1100にプラグを形成する手順が示されている。本実施形態では、第1の実施形態において説明したプラグの形成方法とは異なるプラグ形成方法が採用される。

図16Aに示すように、回路基板1100が準備される。準備される回路基板1100は、第1の実施形態の場合と同じものでかまわない。

[0176] 図16Bに示すように、コンタクトホールhが第1の層間絶縁膜112に形成される。コンタクトホールhが形成される箇所は、配線110dに対応する位置である。コンタクトホールhは、この例のように、第1の層間絶縁膜112から配線110dに到達する深さを超えて、さらに深く形成される。コンタクトホールhの形成時に、配線110dの露出面積を十分確保できる場合には、コンタクトホールhの深さは、配線110dの表面までとしてもよい。

[0177] 図17Aに示すように、メタル層1116は、第1の層間絶縁膜112上にわたって、形成される。メタル層1116の形成時に、図16Bに示したコンタクトホールhは、メタル層1116と同じ材料で埋め込まれる。埋め込まれた部分には、接続部215kが形成される。

[0178] 図17Bに示すように、プラグ216kは、フォトリソグラフィおよびドライエッチング等によって、図17Aに示したメタル層1116から所望の形状に成形される。

[0179] 図18Aに示すように、第1の層間絶縁膜112およびプラグ216kを覆うように、平坦化膜1114が塗布され、その後焼成される。

[0180] 図18Bに示すように、プラグ216kの面が露出するように、図18Aに示した平坦化膜1114の表面が研磨される。プラグ216kの面が露出した後には、プラグ216kおよび平坦化膜214を一括して研磨され、平坦化される。平坦化膜1114の研磨にはたとえばCMPが用いられる。このようにして、プラグ216k、接続部215kおよび平坦化膜214が形成される。

[0181] 図13に示した変形例のサブピクセル220aの場合には、図16Bに示した工程において、第1の層間絶縁膜112をプラグ216kの形状に応じて、少なくとも配線110dの表面に到達するまでエッチングする。その後、図17Aおよび図17Bに示したように、メタル層1116を形成した後、メタル層1116を所望のプラグ216kの形状に成形する。図18Aおよび図18Bに示したように、平坦化膜1114を形成後、CMP等によって、一括平坦化して、プラグ216kおよび平坦化膜214を形成することができる。

[0182] 続いて、プラグが形成された回路基板に、半導体成長基板を貼り合わせて、発光素子等を形成する工程について説明する。

図19Aに示すように、半導体成長基板1294が準備される。半導体成長基板1294は、結晶成長用基板1001、バッファ層1140および半導体層1150を含む。バッファ層1140は、結晶成長用基板1001上に形成されている。半導体層1150は、バッファ層1140上に形成されている。半導体層1150は、p形半導体層1153、発光層1152およびn形半導体層1151を含んでいる。p形半導体層1153、発光層1152およびn形半導体層1151は、バッファ層1140の側から、p形半導体層1153、発光層1152およびn形半導体層1151の順に積層されている。メタル層1130は、n形半導体層1151の露出された面に形成される。

[0183] 図19Bに示すように、メタル層1130が形成された半導体成長基板1294およびプラグ216kが形成された回路基板（第3基板）1100が準備される。回路基板1100のプラグ216kおよび平坦化膜214の形成された面は、半導体成長基板1294のメタル層1130の露出面に対向するように配置される。対向された面同士は、互いに接合される。基板同士の接合は、上述した他の実施形態の場合と同様である。また、図5A～図5Cに関連して説明した製造方法の変形例を適用してもよい。さらに、半導体成長基板は、バッファ層1140を設けず、結晶成長用基板1001上に直

接、半導体層 1 1 5 0 を形成したものを用いてもよい。

[0184] 図 2 0 A に示すように、図 1 9 B に示した結晶成長用基板 1 0 0 1 は、レーザーリフトオフ等によって除去される。この例では、半導体層 1 1 5 0 をエッチングする前に、図 1 9 B に示したバッファ層 1 1 4 0 はウェットエッチング等によって除去されている。バッファ層 1 1 4 0 は、半導体層 1 1 5 0 をエッチングした後に除去されるようにしてもよい。

[0185] 図 2 0 B に示すように、図 2 0 A に示した半導体層 1 1 5 0 およびメタル層 1 1 3 0 は、R I E 等により所望の形状に成形される。メタル層 1 1 3 0 から第 3 の配線層 2 3 0 が形成され、第 3 の配線層 2 3 0 は、光反射プレート 2 3 0 a を含んでいる。この例では、半導体層 1 1 5 0 をオーバーエッチングすることによって、光反射プレート 2 3 0 a の外周は、X Y 平面視で光反射プレート 2 3 0 a に投影された発光素子 2 5 0 の外周にほぼ一致するように成形されている。

[0186] 半導体層 1 1 5 0 をオーバーエッチングしない場合には、半導体層 1 1 5 0 をエッチングして発光素子 2 5 0 を形成した後、メタル層 1 1 3 0 をエッチングして第 3 の配線層 2 3 0 を形成する。この場合には、光反射プレート 2 3 0 a の外周は、X Y 平面視で光反射プレート 2 3 0 a に投影された発光素子 2 5 0 の外周を含み、発光素子 2 5 0 の外周よりも大きくすることができる。

[0187] 図 2 0 C に示すように、第 2 の層間絶縁膜 1 5 6 は、平坦化膜 2 1 4、第 3 の配線層 2 3 0 および発光素子 2 5 0 を覆って形成される。第 2 の層間絶縁膜 1 5 6 の発光素子 2 5 0 に対応する位置には、エッチングにより第 2 の層間絶縁膜 1 5 6 の一部が除去されて開口 1 5 8 が形成され、発光面 2 5 3 S が第 2 の層間絶縁膜 1 5 6 から露出される。露出された p 形半導体層 2 5 3 の発光面 2 5 3 S は、発光効率を向上させるために粗面化される。

[0188] 第 2 の層間絶縁膜 1 5 6 上に、第 2 の配線層 1 6 0 が形成される。第 2 の配線層 1 6 0 では、配線 1 6 0 a を含む各配線はフォトリソグラフィによって形成される。なお、この例では、配線 1 6 0 a は、p 形半導体層 2 5 3 か

ら離間した位置に設けられている。

[0189] 第2の配線層160、第2の層間絶縁膜156および発光面253Sを覆う透光性の導電膜を形成する。透光性の導電膜は、ITO膜やZnO膜等が好適に用いられる。フォトリソグラフィにより、所望の透光性電極159aが形成される。

[0190] 透光性電極159aは、配線160a上にわたって形成される。透光性電極159aは、発光面253S上にわたって形成される。透光性電極159aは、配線160aと発光面253Sとの間に形成される。したがって、配線160aおよびp形半導体層253は、透光性電極159aによって、電気的に接続される。

[0191] 図21A～図22Bは本実施形態の画像表示装置の変形例の製造方法を例示する模式的な断面図である。

図21Aおよび図21Bは、図14Aに示した変形例のサブピクセル220bを形成するための製造工程を表している。図22Aおよび図22Bは、図14Bに示した変形例のサブピクセル220cを形成するための製造工程を表している。図21Aおよび図22Aの工程は、いずれも図20Bに示した工程の後に実行されるので、以下の説明では、図20B以降の工程について説明する。

[0192] まず、サブピクセル220bの製造方法について説明する。

図21Aに示すように、変形例のサブピクセル220bでは、第2の層間絶縁膜156が、平坦化膜214、第3の配線層230および発光素子250を覆って形成された後、開口158が形成される。開口158は、第2の層間絶縁膜156の一部を除去することによって、発光面253Sを第2の層間絶縁膜156から露出するように形成される。この例では、発光面253Sは、粗面化される。

[0193] 図21Bに示すように、第2の配線層160が形成される。第2の配線層160は、配線160a1を含んでいる。配線160a1は、配線160a1の一端でp形半導体層253の発光面253Sを含む面に接続される。配

線 1 6 0 a 1 の一端が接続される面は、発光面 2 5 3 S に平行な面である。

[0194] 次に、サブピクセル 2 2 0 c の製造方法について説明する。

図 2 2 A に示すように、変形例のサブピクセル 2 2 0 c では、第 2 の層間絶縁膜 2 5 6 が、平坦化膜 2 1 4、第 3 の配線層 2 3 0 および発光素子 2 5 0 を覆って形成される。第 2 の層間絶縁膜 2 5 6 は、透明樹脂によって形成される。

[0195] 図 2 2 B に示すように、第 2 の層間絶縁膜 2 5 6 にコンタクトホールが形成された後、第 2 の配線層 1 6 0 が形成される。第 2 の配線層 1 6 0 は、配線 1 6 0 a 2 を含んでいる。配線 1 6 0 a 2 は、コンタクトホールを介して、発光面 2 5 3 S を含む p 形半導体層 2 5 3 の面に接続される。

[0196] 以降、カラーフィルタ 1 8 0 等を設けることによって本実施形態の画像表示装置 2 0 1 のサブピクセル 2 2 0 および変形例のサブピクセル 2 2 0 a, 2 2 0 b, 2 2 0 c が形成される。

[0197] 本実施形態の画像表示装置の効果について説明する。

本実施形態の画像表示装置では、上述の他の実施形態の場合の効果のほか、サブピクセル 2 2 0, 2 2 0 a, 2 2 0 b, 2 2 0 c は、プラグ 2 1 6 k とは別に、光反射プレート 2 3 0 a を含むので、プラグ 2 1 6 k を小形化することができる。

[0198] (第 3 の実施形態)

図 2 3 は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図 2 3 は、サブピクセル 3 2 0 を X Z 平面に平行な面で切断した場合の断面を模式的に示している。

本実施形態では、発光素子 1 5 0 は、光反射プレートを介さず、プラグ 2 1 6 a 上に設けられている点で、第 2 の実施形態およびその変形例の場合と相違する。上述の他の実施形態の場合と同一の構成要素には、同一の符号を付して詳細な説明を適宜省略する。

[0199] 図 2 3 に示すように、本実施形態の画像表示装置のサブピクセル 3 2 0 は

、トランジスタ103と、発光素子150と、プラグ216aと、を含む。
トランジスタ103は、上述の他の実施形態の場合と同様に、基板102の第1面102a上に形成されている。

[0200] トランジスタ103は、TF Tチャネル104と、ゲート107と、を含む。TF Tチャネル104は、領域104s, 104i, 104dを含む。領域104s, 104i, 104dは、TF T下層膜106上に設けられている。領域104iは、領域104s, 104d間に設けられている。領域104s, 104dは、ビア111s, 111dとそれぞれオーミック接続されている。トランジスタは、pチャネルのTF Tである。

[0201] ゲート107は、絶縁層105を介して、TF Tチャネル104上に設けられている。TF Tチャネル104およびゲート107は、絶縁層105によって互いに絶縁されている。

[0202] TF Tチャネル104の各領域104s, 104i, 104dおよびゲート107は、第1の実施形態の場合と同様の材料および製法によって形成されている。

[0203] ビア111s, 111dおよび配線110s, 110dは、第2の実施形態およびその変形例の場合と同様に構成されており、同様の材料および製法で形成されている。

[0204] 発光素子150は、プラグ216a上に設けられている。プラグ216aは、接続部215aを介して、配線110dに接続されている。発光素子150は、p形半導体層153、発光層152およびn形半導体層151を含む。p形半導体層153、発光層152およびn形半導体層151は、プラグ216aの側から発光面151Sの側に向かって、p形半導体層153、発光層152およびn形半導体層151の順に積層されている。したがって、p形半導体層153は、プラグ216a、接続部215a、配線110dおよびビア111dを介して、領域104dに電氣的に接続されている。配線110sは、図2に示した回路の電源線3に接続されている。配線110sは、ビア111sを介して領域104sに接続されている。したがって、

領域 1 0 4 s は、ビア 1 1 1 s および配線 1 1 0 s を介して、電源線 3 に電氣的に接続されている。

[0205] プラグ 2 1 6 a の外周は、X Y 平面視で、プラグ 2 1 6 a に発光素子 1 5 0 を投影したときに、発光素子 1 5 0 の外周を含むように設定されている。プラグ 2 1 6 a は、光反射プレートとして機能する。プラグ 2 1 6 a は、発光素子 1 5 0 の下方への散乱光を発光面 1 5 1 S 側に反射する。プラグ 2 1 6 a は、発光素子 1 5 0 の下方への散乱光を遮光して、トランジスタ 1 0 3 等の回路素子への光の到達を抑制する。

[0206] n 形半導体層 1 5 1 は、発光面 1 5 1 S を有しており、発光面 1 5 1 S は開口 1 5 8 により第 2 の層間絶縁膜 1 5 6 から露出されている。

[0207] 第 2 の配線層 1 6 0 は、第 2 の層間絶縁膜 1 5 6 上に形成されている。第 2 の配線層 1 6 0 は、配線 2 6 0 k を含む。配線 2 6 0 k は、たとえば図 2 に示した回路の接地線 4 に接続される。透光性電極 2 5 9 k は、配線 2 6 0 k 上にわたって設けられている。透光性電極 2 5 9 k は、発光面 1 5 1 S 上にわたって設けられている。透光性電極 2 5 9 k は、配線 2 6 0 k および発光面 1 5 1 S の間に設けられている。したがって、n 形半導体層 1 5 1 は、透光性電極 2 5 9 k および配線 2 6 0 k を介して、接地線 4 に電氣的に接続されている。

[0208] 上述の他の実施形態の場合と同様に、カラーフィルタ 1 8 0 等がさらに設けられている。

[0209] 本実施形態の画像表示装置の製造方法について説明する。

図 2 4 A ～図 2 5 C は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図 2 4 A に示すように、半導体成長基板 1 1 9 4 が準備される。半導体成長基板 1 1 9 4 は、結晶成長用基板 1 0 0 1、バッファ層 1 1 4 0 および半導体層 1 1 5 0 を含む。半導体成長基板 1 1 9 4 では、バッファ層 1 1 4 0 は、結晶成長用基板 1 0 0 1 上に形成されている。半導体層 1 1 5 0 は、バッファ層 1 1 4 0 上に形成されている。半導体層 1 1 5 0 は、n 形半導体層

1 1 5 1、発光層 1 1 5 2 および p 形半導体層 1 1 5 3 を含む。n 形半導体層 1 1 5 1、発光層 1 1 5 2 および p 形半導体層 1 1 5 3 は、バッファ層 1 1 4 0 の側から、n 形半導体層 1 1 5 1、発光層 1 1 5 2 および p 形半導体層 1 1 5 3 の順に積層されている。上述の他の実施形態の場合のように、p 形半導体層 1 1 5 3 の露出面にメタル層を形成するようにしてもよい。メタル層を形成する場合に、p 形半導体層 1 1 5 3 とメタル層との間に透光性導電膜を設けるようにしてもよい。

[0210] 図 2 4 B に示すように、半導体成長基板 1 1 9 4 およびプラグ 2 1 6 a が形成された回路基板（第 2 基板） 1 1 0 0 が準備される。プラグ 2 1 6 a および接続部 2 1 5 a は、図 1 6 A ～ 図 1 8 B に関連して説明した製造工程を適用して形成される。

[0211] 準備された半導体成長基板 1 1 9 4 およびプラグ 2 1 6 a が形成された回路基板 1 1 0 0 は、互いに接合される。半導体成長基板 1 1 9 4 の接合面は、p 形半導体層 1 1 5 3 の露出面である。p 形半導体層 1 1 5 3 の露出面は、発光層 1 1 5 2 が設けられた面に対向する面である。プラグ 2 1 6 a が形成された回路基板 1 1 0 0 の接合面は、プラグ 2 1 6 a および平坦化膜 2 1 4 の平坦化面である。

[0212] 図 2 5 A に示すように、半導体層 1 1 5 0 と回路基板 1 1 0 0 とのウェハボンディング後、結晶成長用基板 1 0 0 1 が除去される。

[0213] 図 2 5 B に示すように、図 2 5 A に示した半導体層 1 1 5 0 はエッチングされて、発光素子 2 5 0 が形成される。この例では、図 2 5 A に示したバッファ層 1 1 4 0 および半導体層 1 1 5 0 は、同時に R I E 等によって成形される。

[0214] 図 2 5 C に示すように、バッファ層 2 4 0 が除去された後、平坦化膜 2 1 4、プラグ 1 1 6 a および発光素子 1 5 0 を覆う第 2 の層間絶縁膜 1 5 6 が形成される。第 2 の層間絶縁膜 1 5 6 には、第 2 の層間絶縁膜 1 5 6 の一部を除去することによって開口 1 5 8 が形成され、開口 1 5 8 から露出された発光面 1 5 1 S が粗面化される。その後、配線 2 6 0 k を含む第 2 の配線層

160が形成され、第2の配線層160上にITO膜等によって透光性電極259kが形成される。

[0215] 本実施形態の画像表示装置の効果について説明する。

本実施形態では、上述の他の実施形態の場合と同様の効果を有する。そのほか、プラグ216aを光反射プレートとして利用するので、別に光反射プレートを形成する工程を省略することができる。

[0216] プラグ216aとp形半導体層153との間に光反射プレートを設けないので、p形半導体層153とトランジスタ103との間の抵抗分を低減することができる。

[0217] (第4の実施形態)

図26は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図26は、サブピクセル420をXZ平面に平行な面で切断した場合の断面を模式的に示している。

本実施形態では、発光素子150の構成は、第3の実施形態の場合と同じである。すなわち、発光素子150は、下層から上層に向かって積層されたp形半導体層153、発光層152およびn形半導体層151を有する。発光素子150の駆動用のトランジスタ103は、pチャネルトランジスタであり、サブピクセル420の駆動回路は、たとえば図2に示した回路構成が適用される。上述の他の実施形態と同一の構成要素には、同一の符号を付して、詳細な説明を適宜省略する。

[0218] 図26に示すように、本実施形態の画像表示装置のサブピクセル420は、トランジスタ103と、発光素子150と、第3の配線層430と、プラグ416aと、を含む。本実施形態では、p形半導体層153は、第3の配線層430の配線430aおよびプラグ416aを介して、トランジスタ103のドレイン電極に接続される。n形半導体層151は、第2の配線層159の透光性電極259kおよび第3の配線層430の配線430kを介して、たとえば図2に示した回路の接地線4に接続される。

- [0219] 回路基板 100 におけるトランジスタ 103 の構造やトランジスタ 103 の上部の構造、配線の構造は、上述した第 3 の実施形態の場合と同じであり、詳細な説明を省略する。
- [0220] 平坦化膜 214 およびプラグ 416a は、第 1 の層間絶縁膜 112 上に形成されている。平坦化膜 214 は、プラグ 416a の側面にも設けられている。つまり、プラグ 416a は、平坦化膜 214 に埋め込まれている。プラグ 416a の平坦化膜 214 からの露出面は、平坦化膜 214 とほぼ同一の平面内に形成されている。この平面は、XY 平面にほぼ平行とされている。プラグ 416a は、第 1 の層間絶縁膜 112 に設けられた接続部 215a によって、配線 110d に接続されている。
- [0221] 平坦化膜 214 およびプラグ 416a 上には、第 3 の配線層（第 3 配線層）430 が設けられている。第 3 の配線層 430 は、配線 430a, 430k を含んでいる。配線 430a は、プラグ 416a 上に設けられており、配線 430a およびプラグ 416a は、電氣的に接続されている。
- [0222] 配線 430a 上には、発光素子 150 が設けられている。発光素子 150 は、配線 430a の側から発光面 151S の側に向かって、p 形半導体層 153、発光層 152 および n 形半導体層 151 の順に積層されている。つまり、配線 430a 上は、p 形半導体層 153 と接続されている。好ましくは、配線 430a は、p 形半導体層 153 とオーミック接続されており、プラグ 416a および接続部 215a を介して、配線 110d に接続されている。
- [0223] 配線 430a は、光反射プレートとしても機能する。つまり、配線 430a の外周は、XY 平面視で、配線 430a に投影される発光素子 150 の外周を含むように設定されている。
- [0224] 配線 430k は、たとえば図 2 に示された回路の接地線 4 に接続されている。配線 430k は、たとえば配線 430a を取り囲むように設けられている。
- [0225] 第 2 の層間絶縁膜 156 は、平坦化膜 214、第 3 の配線層 430 および

発光素子 1 5 0 上に形成されている。第 2 の層間絶縁膜 1 5 6 は、開口 1 5 8, 4 6 2 を有している。開口 1 5 8 は、発光素子 1 5 0 に対応する位置に設けられている。開口 1 5 8 は、第 2 の層間絶縁膜 1 5 6 の一部を除去することによって、発光面 1 5 1 S を第 2 の層間絶縁膜 1 5 6 から露出させている。開口 4 6 2 は、配線 4 3 0 k に対応する位置に設けられている。開口 4 6 2 は、第 2 の層間絶縁膜 1 5 6 の一部の除去することによって、配線 4 3 0 k の一部を第 2 の層間絶縁膜 1 5 6 から露出させている。

[0226] 透光性電極 2 5 9 k は、発光面 1 5 1 S 上にわたって設けられている。透光性電極 2 5 9 k は、開口 4 6 2 を介して第 2 の層間絶縁膜 1 5 6 から露出された配線 4 3 0 k 上にわたって設けられている。透光性電極 2 5 9 k は、発光面 1 5 1 S および第 2 の層間絶縁膜 1 5 6 から露出された配線 4 3 0 k にわたって設けられている。透光性電極 2 5 9 k は、n 形半導体層 1 5 1 および配線 4 3 0 k を電氣的に接続する。

[0227] (サブピクセルの変形例)

図 2 7 は、本実施形態に係る画像表示装置の変形例の一部を例示する模式的な断面図である。

この変形例では、発光素子 1 5 0 は、n チャネルのトランジスタ 2 0 3 によって駆動される点で、上述の第 4 の実施形態の場合と相違する。発光素子 1 5 0 の構成は、第 4 の実施形態の場合と同じである。発光素子 1 5 0 をトランジスタ 2 0 3 で駆動する駆動回路は、たとえば、図 1 5 に示した回路構成が適用される。

[0228] このサブピクセルの変形例では、サブピクセル 4 2 0 a は、プラグ 4 1 6 k を含む。プラグ 4 1 6 k は、接続部 4 1 5 k を介して、配線 1 1 0 d に接続されている。

[0229] プラグ 4 1 6 k 上には、配線 4 3 0 k が設けられ、プラグ 4 1 6 k は、配線 4 3 0 k に電氣的に接続されている。配線 4 3 0 k は、開口 4 6 2 を介して第 2 の層間絶縁膜 1 5 6 から露出されている。第 2 の層間絶縁膜 1 5 6 から露出された配線 4 3 0 k は、透光性電極 2 5 9 k に接続されている。透光

性電極 2 5 9 k は、発光面 1 5 1 S 上にわたって設けられており、n 形半導体層 1 5 1 に接続されている。

[0230] 配線 4 3 0 a 上には、p 形半導体層 1 5 3 が設けられ、p 形半導体層 1 5 3 は、配線 4 3 0 a に電氣的に接続されている。配線 4 3 0 a は、たとえば図 1 5 に示した電源線 3 に電氣的に接続されている。つまり、本変形例では、電源線 3 側に設けられた発光素子 1 5 0 を接地線 4 側に設けられたトランジスタ 2 0 3 によって駆動する、図 1 5 に示したような駆動回路が適用される。

[0231] 本実施形態の画像表示装置の製造方法について説明する。

図 2 8 A および図 2 8 B は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

本実施形態では、図 1 9 A ～図 2 0 A に示したように、プラグが形成された回路基板 1 1 0 0 に、メタル層 1 1 3 0 が形成された半導体層 1 1 5 0 を接合するまでは、上述したたとえば第 2 の実施形態の場合と同じである。以下では、ウェハボンディングし、結晶成長用基板 1 0 0 1 を除去した以降の製造工程について説明する。なお、第 2 の実施形態では、図 1 9 A ～図 2 0 A 等 に示したように、結晶成長用基板 1 0 0 1 側に p 形半導体層 1 1 5 3 を形成したが、本実施形態では、図 3 A 等 に示したように、結晶成長用基板 1 0 0 1 側に n 形半導体層 1 1 5 1 を形成し、p 形半導体層 1 1 5 3 の露出面にメタル層 1 1 3 0 を形成した半導体成長基板を用いるものとする。p 形半導体層 1 1 5 3 とメタル層 1 1 3 0 との間に、ホール注入性を有する導電性薄膜の層を設けてもよい。

[0232] 図 2 8 A に示すように、半導体層 1 1 5 0 を R I E 等によって加工して、発光素子 1 5 0 が形成される。発光素子 1 5 0 が形成された後、メタル層 1 1 3 0 をドライエッチングまたはウェットエッチングによって加工して、配線 4 3 0 a, 4 3 0 k を含む第 3 の配線層 4 3 0 が形成される。

[0233] 図 2 8 B に示すように、第 3 の配線層 4 3 0、平坦化膜 2 1 4 および発光素子 1 5 0 を覆うように、第 2 の層間絶縁膜 1 5 6 が形成される。

[0234] 第2の層間絶縁膜156には、開口158、462が形成される。開口158は、n形半導体層151に達するまで第2の層間絶縁膜156の一部がエッチングされ、発光面151Sが第2の層間絶縁膜156から露出される。発光面151Sは、粗面化される。開口462は、配線430kに達するまで第2の層間絶縁膜156の一部がエッチングされ、配線430kが第2の層間絶縁膜156から露出される。

[0235] 第2の配線層159は、第2の層間絶縁膜156上に形成される。第2の配線層159は、透光性電極259kを含む。透光性電極259kは、n形半導体層151および配線430kを電氣的に接続する。

[0236] 以降、他の実施形態の場合と同様に、カラーフィルタが形成される。

[0237] このようにして、本実施形態の画像表示装置を製造することができる。

[0238] 本実施形態の画像表示装置の効果について説明する。

本実施形態の画像表示装置は、上述した他の実施形態の場合と同様の効果を奏し、さらに以下の効果を有する。

本実施形態の画像表示装置のサブピクセル420は、発光面151S側の電氣的接続を透光性電極259kで行い、発光面151Sに対向する面の側の電氣的接続を配線430a、プラグ416aおよび接続部215aを介して行う。そのため、発光面151S側の配線をすべて透光性電極とすることができ、発光素子150の発光効率を向上させることができると同時に、配線プロセスのコストの低減も可能である。

[0239] 発光面151S側の配線層をすべて透光性電極とし、電源線や接地線等の配線を内層である第3の配線層430とすることによって、電源線や接地線等の配線パターンの自由度が向上し、画像表示装置の設計効率を向上させることができる。

[0240] 変形例のサブピクセル420aについても、発光面151S側の電氣的接続は、透光性電極259kによりなされるので、発光素子150の発光効率を向上させ、配線プロセスコストを低減させることができる。また、プラグ430k、416kの接続先を変更することによって、駆動回路を適切な回

路を任意に選択することができるようになる。

[0241] (第5の実施形態)

本実施形態の画像表示装置では、ガラス基板に代えて可撓性のある基板上にトランジスタ等の回路素子が形成されている。他の点では、上述した他の実施形態の場合と同様であり、同一の構成要素には同一の符号を付して、詳細な説明を適宜省略する。

図29は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図29は、サブピクセル520-1, 520-2をXZ平面に平行な面で切断した場合の断面を模式的に示している。

[0242] 図29に示すように、本実施形態の画像表示装置は、サブピクセル520-1, 520-2を備える。サブピクセル520-1, 520-2は、共通の基板402を含む。基板402は、第1面402aを含む。トランジスタ103-1, 103-2等の回路素子は、第1面402a上に設けられている。サブピクセル520-1, 520-2において、回路素子や配線層等を含む上部構造は、第1面402a上に形成されている。

[0243] 基板402は、可撓性を有する。基板402は、たとえば、ポリイミド樹脂等により形成されている。第1の層間絶縁膜112や第2の層間絶縁膜156、第1の配線層110、第2の配線層159等は、基板402の可撓性に応じて、ある程度のフレキシビリティを有する材料で形成されることが好ましい。なお、折り曲げ時に最も破壊されるリスクが高いのは、最も長い配線長を有する第1の配線層110である。そのため、必要に応じて表面や裏面に追加される複数の保護フィルム等をも含めた中立面が第1の配線層110の位置になるように、各種の膜厚および膜質、材質を調整することが望ましい。

[0244] この例では、TFT下層膜106から上の構造は、上述した第1の実施形態の場合と同じである。他の実施形態の構成も容易に適用することができる。

[0245] 本実施形態の画像表示装置の製造方法について説明する。

図30Aおよび図30Bは、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図30Aに示すように、本実施形態では、上述の他の実施形態の場合と異なる回路基板5100が準備される。回路基板（第3基板）5100は、2層の基板102、402を含む。基板102は、上述したとおり、たとえばガラス基板である。基板（第4基板）402は、基板102の第1面102a上に設けられている。たとえば、基板402は、基板102の第1面102a上に、ポリイミド材料を塗布、焼成することによって形成される。2層の基板102、402の間には、 SiN_x 等の無機膜をさらに挟んでもよい。TFT下層膜106や回路101および第1の層間絶縁膜112は、基板402の第1面402a上に設けられている。基板402の第1面402aは、基板102が設けられた面に対向する面である。

[0246] このような回路基板5100に、たとえば図3A～図11Dにおいて説明した工程を適用することによって、サブピクセル520-1、520-2の上部構造を形成する。

[0247] 図30Bに示すように、図示を省略したカラーフィルタ等を含む上部構造物が形成された構造体から、基板102が除去され、新たな回路基板5100aが形成される。基板102の除去には、たとえばレーザーリフトオフ等が用いられる。基板102の除去は、上述の時点に限らず、他の適切な時点で行うことができる。たとえば、ウェハボンディング後や、カラーフィルタの形成前に基板102を除去するようにしてもよい。より早い時点で基板102を除去することによって、製造工程中での割れや欠け等の不具合を低減することができる。

[0248] 本実施形態の画像表示装置の効果について説明する。

基板402は、可撓性を有するので、画像表示装置として曲げ加工が可能になり、曲面への貼り付けや、ウェアラブル端末等への利用等を違和感なく実現することができる。

[0249] (第6の実施形態)

本実施形態では、発光層を含む単一の半導体層に、複数の発光素子に相当する複数の発光面を形成することによって、より発光効率の高い画像表示装置を実現する。以下の説明では、上述の他の実施形態の場合と同一の構成要素には、同一の符号を付して詳細な説明を適宜省略する。

図31は、本実施形態に係る画像表示装置の一部を例示する模式的な断面図である。

図31に示すように、画像表示装置は、サブピクセル群620を備える。サブピクセル群620は、複数のトランジスタ103-1, 103-2と、第1の配線層(第1配線層)610と、第1の層間絶縁膜(第1絶縁膜)112と、プラグ616a1, 616a2と、半導体層650と、第2の層間絶縁膜(第2絶縁膜)656と、第2の配線層(第2配線層)660と、を含む。

[0250] 本実施形態では、pチャネルのトランジスタ103-1, 103-2をオンすることによって、プラグ616a1, 616a2を介して半導体層650に正孔を注入し、第2の配線層660を介して半導体層650に電子を注入して、発光層652を発光させる。駆動回路は、たとえば図2に示す回路構成が適用される。上述の他の実施形態を用いて、半導体層のn形半導体層とp形半導体層を上下入れ替えて、nチャネルのトランジスタで半導体層を駆動する構成とすることもできる。その場合には、駆動回路は、図15の回路構成が適用される。

[0251] 半導体層650は、2つの発光面651S1, 651S2を含んでおり、サブピクセル群620は実質的に2つのサブピクセルを含む。本実施形態では、上述の他の実施形態の場合と同様に、実質的に2つのサブピクセルを含むサブピクセル群620が格子状に配列されることによって、表示領域が形成される。

[0252] トランジスタ103-1, 103-2は、TFTチャネル104-1, 104-2にそれぞれ形成されている。この例では、TFTチャネル104-

1, 104-2は、p形にドーピングされた領域を含んでおり、これらの領域の間にチャネル領域を含む。

[0253] TFTチャネル104-1, 104-2上には、絶縁層105が形成され、絶縁層105を介して、ゲート107-1, 107-2がそれぞれ形成されている。ゲート107-1, 107-2は、トランジスタ103-1, 103-2のゲートである。この例では、トランジスタ103-1, 103-2は、pチャネルのTFTである。

[0254] 2つのトランジスタ103-1, 103-2上には、絶縁膜108が覆っている。絶縁膜108上に第1の配線層610が形成されている。

[0255] トランジスタ103-1のp形にドーピングされた領域と第1の配線層610との間には、ビア111s1, 111d1が設けられている。トランジスタ103-2のp形にドーピングされた領域と第1の配線層610との間には、ビア111s2, 111d2が設けられている。

[0256] 第1の配線層610は、配線610s1, 610s2, 610d1, 610d2を含む。配線610s1は、ビア111s1を介して、トランジスタ103-1のソース電極に対応する領域に接続されている。配線610s2は、ビア111s2を介して、トランジスタ103-2のソース電極に対応する領域に接続されている。配線610d1は、ビア111d1を介して、トランジスタ103-1のドレイン電極に対応する領域に接続されている。配線610d2は、ビア111d2を介して、トランジスタ103-2のドレイン電極に対応する領域に接続されている。

[0257] 第1の層間絶縁膜112は、絶縁膜108、第1の配線層610および接続部615a1, 615a2を覆っている。

[0258] 平坦化膜214は、第1の層間絶縁膜112上に形成されている。プラグ616a1, 616a2は、平坦化膜214に埋め込まれており、平坦化膜214およびプラグ616a1, 616a2は、XY平面視で同一の平面にある面をそれぞれ有している。この面は、第1の層間絶縁膜112側の面に対向する面である。つまり、プラグ616a1, 616a2の間には、平坦

化膜 2 1 4 が設けられている。

[0259] 接続部 6 1 5 a 1 は、プラグ 6 1 6 a 1 と配線 6 1 0 d 1 との間に設けられている。接続部 6 1 5 a 1 は、プラグ 6 1 6 a 1 および配線 6 1 0 d 1 を電氣的に接続する。接続部 6 1 5 a 2 は、プラグ 6 1 6 a 2 と配線 6 1 0 d 2 との間に設けられている。接続部 6 1 5 a 2 は、プラグ 6 1 6 a 2 および配線 6 1 0 d 2 を電氣的に接続する。

[0260] 半導体層 6 5 0 は、平坦化膜 2 1 4 およびプラグ 6 1 6 a 1, 6 1 6 a 2 上に設けられている。

[0261] 半導体層 6 5 0 は、p 形半導体層 6 5 3 と、発光層 6 5 2 と、n 形半導体層 6 5 1 と、を含む。半導体層 6 5 0 は、プラグ 6 1 6 a 1, 6 1 6 a 2 の側から発光面 6 5 1 S 1, 6 5 1 S 2 の側に向かって、p 形半導体層 6 5 3、発光層 6 5 2 および n 形半導体層 6 5 1 の順に積層されている。プラグ 6 1 6 a 1, 6 1 6 a 2 は、p 形半導体層 6 5 3 と接続されている。

[0262] 第 2 の層間絶縁膜（第 2 絶縁膜）6 5 6 は、平坦化膜 2 1 4 およびプラグ 6 1 6 a 1, 6 1 6 a 2 を覆っている。第 2 の層間絶縁膜 6 5 6 は、半導体層 6 5 0 の一部を覆っている。好ましくは、第 2 の層間絶縁膜 6 5 6 は、半導体層 6 5 0 の発光面（露出面）6 5 1 S 1, 6 5 1 S 2 を除き、n 形半導体層 6 5 1 の面を覆っている。第 2 の層間絶縁膜 6 5 6 は、半導体層 6 5 0 の側面を覆っている。第 2 の層間絶縁膜 6 5 6 は、好ましくは白色樹脂である。白色樹脂として、上述した他の実施形態の場合の第 2 の層間絶縁膜 1 5 6 と同様の材料が用いられる。

[0263] 半導体層 6 5 0 のうち第 2 の層間絶縁膜 6 5 6 で覆われていない部分は、開口 6 5 8 - 1, 6 5 8 - 2 が形成されている。開口 6 5 8 - 1, 6 5 8 - 2 は、発光面 6 5 1 S 1, 6 5 1 S 2 に対応する位置に形成されている。発光面 6 5 1 S 1, 6 5 1 S 2 は、n 形半導体層 6 5 1 上の離隔した位置に形成される。発光面 6 5 1 S 1 は、n 形半導体層 6 5 1 上のトランジスタ 1 0 3 - 1 により近い位置に設けられている。発光面 6 5 1 S 2 は、n 形半導体層 6 5 1 上のトランジスタ 1 0 3 - 2 により近い位置に設けられている。

[0264] 開口658-1, 658-2は、XY平面視で、たとえば正方形または長方形形状である。方形に限らず、円形、楕円形あるいは六角形等の多角形であってもよい。発光面651S1, 651S2もXY平面視で、正方形や長方形、その他の多角形や円形等である。発光面651S1, 651S2の形状は、開口658-1, 658-2の形状と相似であってもよいし、異なる形状としてもよい。

[0265] 第2の配線層660は、第2の層間絶縁膜656上に設けられている。第2の配線層660は、配線660kを含む。配線660kは、開口658-1, 658-2の間に設けられている。配線660kが設けられた第2の層間絶縁膜656上は、n形半導体層651上に設けられている。配線660kは、図示しないが、接地線に接続されている。なお、図31では、この第2の配線層660の符号を、配線660kの符号と併記して、第2の配線層660が配線660kを含むことを表している。後述する図34においても同様である。

[0266] 透光性電極659kは、開口658-1, 658-2から露出された発光面651S1, 651S2上にわたってそれぞれ設けられている。透光性電極659kは、配線660k上に設けられている。透光性電極659kは、発光面651S1と配線660kとの間に設けられるとともに、発光面651S2と配線660kとの間に設けられている。透光性電極659kは、発光面651S1, 651S2および配線660kを電氣的に接続している。透光性電極659kは、たとえばITO膜等で形成されている。

[0267] 上述したように、開口658-1, 658-2から露出されている発光面651S1, 651S2には、透光性電極659kが接続されている。そのため、透光性電極659kから供給された電子は、それぞれ露出された発光面651S1, 651S2からn形半導体層651に供給される。一方、p形半導体層653には、プラグ616a1, 616a2を介して、正孔がそれぞれ供給される。

[0268] トランジスタ103-1, 103-2は、隣接するサブピクセルの駆動ト

ランジスタであり、順次駆動される。したがって、2つのトランジスタ103-1, 103-2のいずれか一方から供給された正孔が発光層652に注入され、配線660kから供給された電子が発光層652に注入されて、発光層652は発光する。

[0269] 開口658-1および発光面651S1は、トランジスタ103-2の位置よりも、トランジスタ103-1に、より近い位置に設けられている。そのため、トランジスタ103-1がオンしたときには、配線610d1、接続部615a1およびプラグ616a1を介して、正孔が注入されて発光面651S1が発光する。

[0270] 開口658-2および発光面651S2は、トランジスタ103-1の位置よりもトランジスタ103-2に、より近い位置に設けられている。そのため、トランジスタ103-2がオンしたときには、配線610d2、接続部615a2およびプラグ616a2を介して、発光面651S2が発光する。

[0271] プラグ616a1, 616a2の外周は、半導体層650の外周に含まれている。つまり、プラグ616a1, 616a2のXY平面視での面積は、半導体層650のXY平面視での面積よりも小さく設定されている。しかしながら、プラグ616a1, 616a2は、以下のように、光反射プレートとしても機能する。

[0272] プラグ616a1の外周は、XY平面視で、発光面651S1の外周を含むように設定されている。プラグ616a2の外周は、XY平面視で、発光面651S2の外周を含むように設定されている。

[0273] 本実施形態では、n形半導体層651およびp形半導体層653の抵抗によって、XY平面に平行な方向に流れるドリフト電流は抑制される。そのため、発光面651S1, 651S2から注入された電子や、プラグ616a1, 616a2から注入された正孔は、いずれもほとんど直進する。発光面651S1, 651S2よりも外側が発光源となることはほとんどない。したがって、プラグ616a1の外周が発光面651S1の外周を含み、プラ

グ 6 1 6 a 2 の外周が発光面 6 5 1 S 2 の外周を含むように設定されることによって、プラグ 6 1 6 a 1, 6 1 6 a 2 は、光反射プレートとして機能する。つまり、半導体層 6 5 0 からの下方への散乱光は、プラグ 6 1 6 a 1, 6 1 6 a 2 によって、発光面 6 5 1 S 1, 6 5 1 S 2 の側に反射される。プラグ 6 1 6 a 1, 6 1 6 a 2 は、遮光プレートとして機能する。半導体層 6 5 0 からの下方への散乱光は、プラグ 6 1 6 a 1, 6 1 6 a 2 によって、トランジスタ 1 0 3 - 1, 1 0 3 - 2 に到達すること抑制される。

[0274] 本実施形態の画像表示装置の製造方法について説明する。

図 3 2 A ~ 図 3 3 B は、本実施形態の画像表示装置の製造方法を例示する模式的な断面図である。

図 3 2 A に示すように、半導体成長基板 1 1 9 4 と、プラグ 6 1 6 a 1, 6 1 6 a 2 が形成された回路基板 6 1 0 0 と、が準備される。半導体成長基板 1 1 9 4 は、結晶成長用基板 1 0 0 1、バッファ層 1 1 4 0 および半導体層 1 1 5 0 を含む。半導体成長基板 1 1 9 4 は、結晶成長用基板 1 0 0 1 上に設けられたバッファ層 1 1 4 0 を介して形成された半導体層 1 1 5 0 を含む。半導体層 1 1 5 0 は、n 形半導体層 1 1 5 1、発光層 1 1 5 2 および p 形半導体層 1 1 5 3 を含む。n 形半導体層 1 1 5 1、発光層 1 1 5 2 および p 形半導体層 1 1 5 3 は、バッファ層 1 1 4 0 の側から n 形半導体層 1 1 5 1、発光層 1 1 5 2 および p 形半導体層 1 1 5 3 の順に積層されている。半導体層 1 1 5 0 は、上述の他の実施形態の場合と同様に、MOCVD 等によるエピタキシャル成長によって形成されている。

[0275] p 形半導体層 1 1 5 3 の露出面は、回路基板 6 1 0 0 上に形成されたプラグ 6 1 6 a 1, 6 1 6 a 2 および平坦化膜 2 1 4 による平坦面に、ウェハボンディングによって接合される。

[0276] 回路基板 6 1 0 0 にプラグ 6 1 6 a 1, 6 1 6 a 2 および接続部 6 1 5 a 1, 6 1 5 a 2 を形成する手順については、第 2 の実施形態の図 1 6 A ~ 図 1 8 B において説明した工程を用いることができる。回路基板 6 1 0 0 は、回路の構成が第 1 の実施形態や第 3 の実施形態の場合と同じであり、ほとん

どの部分ですでに説明した構造と同様である。以下では、第1の配線層610および第1の配線層610が含んでいる配線の符号を代えて、他の構成要素については、第1の実施形態および第3の実施形態の場合と同じであり、詳細な説明を適宜省略する。

[0277] 図32Bに示すように、ウェハボンディング後、図32Aに示した結晶成長用基板1001が除去される。

[0278] 図33Aに示すように、図32Bに示した半導体層1150は、RIE等によってエッチングされて、半導体層650が形成される。

[0279] 図33Bに示すように、平坦化膜214、プラグ616a1, 616a2および半導体層650を覆う第2の層間絶縁膜656が形成される。

[0280] 第2の層間絶縁膜656上に第2の配線層660が形成され、エッチングによって配線660k等が形成される。

[0281] 発光面651S1に対応する位置の第2の層間絶縁膜656の一部を除去することによって、開口658-1が形成される。発光面651S2に対応する位置の第2の層間絶縁膜656の一部を除去することによって、開口658-2が形成される。

[0282] 第2の層間絶縁膜656から露出された発光面651S1, 651S2は、それぞれ粗面化される。その後、透光性電極659kは、第2の層間絶縁膜656上に形成される。透光性電極659kは、発光面651S1を介してn形半導体層651および配線660kを電氣的に接続する。透光性電極659kは、発光面651S2を介してn形半導体層651および配線660kを電氣的に接続する。

[0283] このようにして、2つの発光面651S1, 651S2を共用する半導体層650を有するサブピクセル群620が形成される。

[0284] 本実施例では、1つの半導体層650に2つの発光面651S1, 651S2を設けたが、発光面の数は2つに制限されることはなく、3つあるいはそれ以上の発光面を1つの半導体層650に設けることも可能である。一例として、1列あるいは2列分のサブピクセルを、単一の半導体層650で実

現してもよい。これによって後述するように、発光面１つあたりの発光に寄与しない再結合電流を削減するとともに、より微細な発光素子を実現する効果を増大させることができる。

[0285] (変形例)

図３４は、本実施形態の変形例に係る画像表示装置の一部を例示する模式的な断面図である。

本変形例では、発光層６５２上に２つのｎ形半導体層６６５１ａ１，６６５１ａ２を設けた点で上述の第６の実施形態の場合と異なっている。他の点では、第６の実施形態の場合と同じであり、同一の構成要素に同一の符号を付して詳細な説明を適宜省略する。

[0286] 図３４に示すように、本変形例の画像表示装置は、サブピクセル群６２０ａを備える。サブピクセル群６２０ａは、半導体層６５０ａを含む。半導体層６５０ａは、ｐ形半導体層６５３と、発光層６５２と、ｎ形半導体層６６５１ａ１，６６５１ａ２と、を含む。ｐ形半導体層６５３、発光層６５２およびｎ形半導体層６６５１ａ１，６６５１ａ２は、第１の層間絶縁膜１１２の側から発光面６６５１Ｓ１，６６５１Ｓ２の側に向かってこの順に積層されている。

[0287] ｎ形半導体層６６５１ａ１，６６５１ａ２は、発光層６５２上をＸ軸方向に沿って離隔して配置されている。ｎ形半導体層６６５１ａ１，６６５１ａ２の間には、第２の層間絶縁膜６５６が設けられ、ｎ形半導体層６６５１ａ１，６６５１ａ２は、第２の層間絶縁膜６５６によって分離されている。

[0288] ｎ形半導体層６６５１ａ１，６６５１ａ２は、ＸＹ平面視で、ほぼ同一の形状を有しており、その形状は、ほぼ正方形または長方形であり、他の多角形状や円形等であってもよい。

[0289] ｎ形半導体層６６５１ａ１，６６５１ａ２は、発光面６６５１Ｓ１，６６５１Ｓ２をそれぞれ有する。発光面６６５１Ｓ１，６６５１Ｓ２は、開口６５８－１，６５８－２によってそれぞれ露出されたｎ形半導体層６６５１ａ１，６６５１ａ２の面である。

[0290] 発光面 6 6 5 1 S 1, 6 6 5 1 S 2 の X Y 平面視での形状は、第 6 の実施形態の場合の発光面の形状と同様に、ほぼ同一の形状を有し、ほぼ正方形等の形状を有する。発光面 6 6 5 1 S 1, 6 6 5 1 S 2 の形状は、本実施形態のような方形に限らず、円形、楕円形あるいは六角形等の多角形であってもよい。発光面 6 6 5 1 S 1, 6 6 5 1 S 2 の形状は、開口 6 5 8 - 1, 6 5 8 - 2 の形状と相似であってもよいし、異なる形状としてもよい。

[0291] 発光面 6 6 5 1 S 1, 6 6 5 1 S 2 上には、透光性電極 6 5 9 k がそれぞれ設けられている。透光性電極 6 5 9 k は、配線 6 6 0 k 上にも設けられている。透光性電極 6 5 9 k は、配線 6 6 0 k と発光面 6 6 5 1 S 1 との間に設けられるとともに、配線 6 6 0 k と発光面 6 6 5 1 S 2 との間に設けられている。透光性電極 6 5 9 k は、配線 6 6 0 k および発光面 6 6 5 1 S 1, 6 6 5 1 S 2 を電氣的に接続している。

[0292] 本変形例の製造方法について説明する。

図 3 5 A および図 3 5 B は、本変形例の画像表示装置の製造方法を例示する模式的な断面図である。

本変形例では、半導体層 1 1 5 0 に、プラグ 6 1 6 a 1, 6 1 6 a 2 および接続部 6 1 5 a 1, 6 1 5 a 2 が形成された回路基板 6 1 0 0 を接合するまでは、第 6 の実施形態の場合の図 3 2 A および図 3 2 B において説明した工程と同様の工程が適用される。以下では、図 3 2 B において説明した工程以降の工程について説明する。

[0293] 図 3 5 A に示すように、本変形例では、図 3 2 B に示した半導体層 1 1 5 0 をエッチングして、発光層 6 5 2 および p 形半導体層 6 5 3 を形成する。さらにエッチングして、2 つの n 形半導体層 6 6 5 1 a 1, 6 6 5 1 a 2 を形成する。

[0294] n 形半導体層 6 6 5 1 a 1, 6 6 5 1 a 2 は、さらに深いエッチングによって形成されてもよい。たとえば、n 形半導体層 6 6 5 1 a 1, 6 6 5 1 a 2 を形成するためのエッチングは、発光層 6 5 2 内や p 形半導体層 6 5 3 内に到達する深さまで行ってもよい。このように、n 形半導体層を深くエッチ

ングする場合には、n形半導体層1151のエッチング位置は、後述するn形の半導体層の発光面6651S1、6651S2の外周から1 μ m以上離すことが望ましい。エッチング位置を発光面6651S1、6651S2の外周から離すことによって、再結合電流を抑制することができる。

[0295] 図35Bに示すように、平坦化膜214、プラグ616a1、616a2および半導体層650aを覆う層間絶縁膜が形成される。第2の層間絶縁膜656上には、第2の配線層660が形成され、エッチングによって配線660k等が形成される。

[0296] 発光面6651S1、6651S2に対応する位置の第2の層間絶縁膜656の一部を除去することによって、開口658-1、658-2がそれぞれ形成される。開口658-1、658-2によって露出されたp形の半導体層の発光面6651S1、6651S2は、それぞれ粗面化される。その後、透光性電極659kが形成される。

[0297] このようにして、2つの発光面6651S1、6651S2を有するサブピクセル群620aが形成される。

[0298] 本変形例の場合も、第6の実施形態の場合と同様に、発光面の数は2つに限定されることはなく、3つあるいはそれ以上の発光面を1つの半導体層650aに設けてもよい。

[0299] 本実施形態の画像表示装置の効果について説明する。

図36は、画素LED素子の特性を例示するグラフである。

図36の縦軸は、発光効率[%]を表している。横軸は、画素LED素子に流す電流の電流密度を相対値によって表している。

図36に示すように、電流密度の相対値が1.0より小さい領域では、画素LED素子の発光効率は、ほぼ一定か、単調に増加する。電流密度の相対値が1.0よりも大きい領域では、発光効率は単調に減少する。つまり、画素LED素子には、発光効率が最大になるような適切な電流密度が存在する。

[0300] 発光素子から十分な輝度を得られる程度に電流密度を抑制することによっ

て、高効率な画像表示装置を実現することが期待される。しかしながら、低電流密度では、電流密度の低下とともに、発光効率が低下する傾向にあることが、図36によって示されている。

[0301] 第1の実施形態から第5の実施形態において説明したように、発光素子は、発光層を含む半導体層1150の全層をエッチング等で個別に分離することによって形成される。このとき、発光層とn形の半導体層との接合面が端部に露出する。同様に、発光層とp形半導体層との接合面が端部に露出する。

[0302] このような端部が存在する場合には、端部において電子および正孔が再結合する。一方で、このような再結合は、発光に寄与しない。端部での再結合は、発光素子に流す電流とはほとんど関係なく発生する。再結合は、端部の発光に寄与する接合面の長さに応じて発生するものと考えられる。

[0303] 同一寸法の立方体形状の発光素子を2個発光させる場合には、端部は、発光素子ごとに四方に形成されるため、合計8つの端部において再結合が発生し得る。

[0304] これに対して、本実施形態では、2つの発光面を有する半導体層650、650aでは、端部は4つである。開口658-1、658-2の間の領域は、電子や正孔の注入が少なく、発光にほとんど寄与しないので、発光に寄与する端部は、6個になると考えることができる。このように、本実施形態では、半導体層の端部の数が実質的に低減されることによって、発光に寄与しない再結合を低減し、再結合電流の減少が、駆動電流を引き下げることが可能にする。

[0305] 高精細化等のために、サブピクセル間の距離を短縮するような場合や電流密度が比較的高い場合等には、第6の実施形態のサブピクセル群620では、発光面651S1、651S2の距離が短くなる。この場合に、p形半導体層653が共有されていると、隣接する発光面の側に注入された電子の一部が分流して、駆動されていない側の発光面が微発光するおそれがある。変形例では、p形半導体層を発光面ごとに分離しているので、駆動されてい

い側の発光面に微発光を生じることが低減させることができる。

[0306] 本実施形態では、発光層を含む半導体層は、第1の層間絶縁膜112の側から、n形半導体層、発光層およびp形半導体層の順に積層するものであり、p形半導体層の露出面を粗面化して発光効率を向上させる観点からは好ましい。上述した他の実施形態の場合と同様に、p形半導体層とn形半導体層の積層順を代えて、p形半導体層、発光層およびn形半導体層の順に積層するようにしてもよい。

[0307] 上述した各実施形態の画像表示装置のサブピクセルおよびサブピクセル群において、それぞれ具体例を説明した。具体例のそれぞれは、一例であり、これらの実施形態の構成や工程の手順を適宜組み合わせることにより、他の構成例とすることができる。たとえば、第1の実施形態において、n形半導体層を発光面とすることに代えて、p形半導体層としたり、第2の実施形態において、p形半導体層を発光面にすることに代えて、n形半導体層を発光面にしたりすることができる。

[0308] (第7の実施形態)

上述した画像表示装置は、適切なピクセル数を有する画像表示モジュールとして、たとえばコンピュータ用ディスプレイ、テレビ、スマートフォンのような携帯用端末、あるいは、カーナビゲーション等とすることができる。

[0309] 図37は、本実施形態に係る画像表示装置を例示するブロック図である。

図37には、コンピュータ用ディスプレイの構成の主要な部分が示されている。

図37に示すように、画像表示装置701は、画像表示モジュール702を備える。画像表示モジュール702は、たとえば上述した第1の実施形態の場合の構成を備えた画像表示装置である。画像表示モジュール702は、サブピクセル20-1, 20-2を含む複数のサブピクセルが配列された表示領域2、行選択回路5および信号電圧出力回路7を含む。

[0310] 画像表示装置701は、コントローラ770をさらに備えている。コントローラ770は、図示しないインタフェース回路によって分離、生成される

制御信号を入力して、行選択回路 5 および信号電圧出力回路 7 に対して、各サブピクセルの駆動および駆動順序を制御する。

[0311] (変形例)

上述した画像表示装置は、適切なピクセル数を有する画像表示モジュールとして、たとえばコンピュータ用ディスプレイ、テレビ、スマートフォンのような携帯用端末、あるいは、カーナビゲーション等とすることができる。

[0312] 図 38 は、本実施形態の変形例に係る画像表示装置を例示するブロック図である。

図 38 には、高精細薄型テレビの構成が示されている。

図 38 に示すように、画像表示装置 801 は、画像表示モジュール 802 を備える。画像表示モジュール 802 は、たとえば上述した第 1 の実施形態の場合の構成を備えた画像表示装置 1 である。画像表示装置 801 は、コントローラ 870 およびフレームメモリ 880 を備える。コントローラ 870 は、バス 840 によって供給される制御信号にもとづいて、表示領域 2 の各サブピクセルの駆動順序を制御する。フレームメモリ 880 は、1 フレーム分の表示データを格納し、円滑な動画再生等の処理のために用いられる。

[0313] 画像表示装置 801 は、I/O 回路 810 を有する。I/O 回路 810 は、外部の端末や装置等と接続するためのインタフェース回路等を提供する。

I/O 回路 810 には、たとえば外付けのハードディスク装置等を接続する USB インタフェースや、オーディオインタフェース等が含まれる。

[0314] 画像表示装置 801 は、受信部 820 および信号処理部 830 を有する。受信部 820 には、アンテナ 822 が接続され、アンテナ 822 によって受信された電波から必要な信号を分離、生成する。信号処理部 830 は、DSP (Digital Signal Processor) や CPU (Central Processing Unit) 等を含んでおり、受信部 820 によって分離、生成された信号は、信号処理部 830 によって、画像データや音声データ等に分離、生成される。

[0315] 受信部 820 および信号処理部 830 を、携帯電話の送受信や Wi-Fi 用、GPS 受信器等の高周波通信モジュールとすることによって、他の画像

表示装置とすることもできる。たとえば、適切な画面サイズおよび解像度の画像表示モジュールを備えた画像表示装置は、スマートフォンやカーナビゲーションシステム等の携帯情報端末とすることができる。

[0316] 本実施形態の場合の画像表示モジュールは、第1の実施形態の場合の画像表示装置の構成に限らず、その変形例や他の実施形態の場合としてもよい。

[0317] 図39は、第1～第6の実施形態およびこれらの変形例の画像表示装置を模式的に例示する斜視図である。

図39に示すように、回路基板100上に、多数のサブピクセルを有する発光回路部172が設けられている。発光回路部172上には、カラーフィルタ180が設けられている。なお、第7の実施形態においては、回路基板100、発光回路部172およびカラーフィルタ180を含む構造物は、画像表示モジュール702、802とされ、画像表示装置701、801に組み込まれている。

[0318] 以上説明した実施形態によれば、発光素子の転写工程を短縮し、歩留りを向上した画像表示装置の製造方法および画像表示装置を実現することができる。

[0319] 以上、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他のさまざまな形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、請求の範囲に記載された発明およびその等価物の範囲に含まれる。また、前述の各実施形態は、相互に組み合わせて実施することができる。

符号の説明

[0320] 1, 201, 701, 801 画像表示装置、2 表示領域、3 電源線、4 接地線、5, 205 行選択回路、6, 206 走査線、7, 207 信号電圧出力回路、8, 208 信号線、10 ピクセル、20-1, 2

0-2, 20a, 20b, 220, 220a, 320, 420, 420a, 520-1, 520-2, 620, 620a サブピクセル、22, 222 発光素子、24, 224 選択トランジスタ、26, 226 駆動トランジスタ、28, 228 キャパシタ、100, 1100, 5100, 5100a, 6100 回路基板、101 回路、103-1, 103-2, 203 トランジスタ、104-1, 104-2, 204 TFTチャネル、105 絶縁層、107, 107-1, 107-2 ゲート、108 絶縁膜、110, 610 第1の配線層、112 第1の層間絶縁膜、150, 250 発光素子、116a1, 116a2, 216a, 216k, 416a, 416k プラグ、156, 256, 656 第2の層間絶縁膜、159, 160, 660 第2の配線層、159a, 159k, 259k, 659k 透光性電極、180 カラーフィルタ、1001 結晶成長用基板、1130, 1160, 1160a メタル層、1140 バッファ層、1150 半導体層、1170 導電層、1190 支持基板、1192 構造体、1194, 1194-1, 1194-2, 1194-3, 1194a-1, 1194a-2, 1294 半導体成長基板

請求の範囲

- [請求項1] 発光層を含む半導体層を第1基板上に成長させた第2基板を準備する工程と、
- 透光性基板上に形成された回路素子と、前記回路素子上に形成された第1配線層と、前記回路素子および前記第1配線層を覆う第1絶縁膜と、を含む第3基板を準備する工程と、
- 前記第1絶縁膜上に形成され前記第1配線層に接続された第1メタル層を形成する工程と、
- 前記第2基板を前記第3基板に貼り合わせ、前記第1メタル層を前記半導体層に電氣的に接続する工程と、
- 前記半導体層をエッチングして発光素子を形成する工程と、
- 前記第1メタル層をエッチングして前記発光素子に電氣的に接続されたプラグを形成する工程と、
- 前記プラグ、前記発光素子および前記第1絶縁膜を覆う第2絶縁膜を形成する工程と、
- 前記第2絶縁膜の一部を除去して前記発光素子の前記第1絶縁膜の側の面に対向する発光面を露出させる工程と、
- 前記発光面に電氣的に接続される第2配線層を形成する工程と、
- を備えた画像表示装置の製造方法。
- [請求項2] 発光層を含む半導体層を第1基板上に成長させた第2基板を準備する工程と、
- 透光性基板上に形成された回路素子と、前記回路素子上に形成された第1配線層と、前記回路素子および前記第1配線層を覆う第1絶縁膜と、を含む第3基板を準備する工程と、
- 前記第1絶縁膜上に形成され前記第1配線層に接続されたプラグを形成する工程と、
- 前記第2基板を前記第3基板に貼り合わせ、前記プラグを前記半導体層に電氣的に接続する工程と、

前記半導体層をエッチングして発光素子を形成する工程と、
前記プラグ、前記発光素子および前記第 1 絶縁膜を覆う第 2 絶縁膜を形成する工程と、
前記第 2 絶縁膜の一部を除去して前記発光素子の前記第 1 絶縁膜の側の面に対向する発光面を露出させる工程と、
前記発光面に電氣的に接続される第 2 配線層を形成する工程と、
を備えた画像表示装置の製造方法。

[請求項3] 前記第 2 基板を前記第 3 基板に貼り合わせる工程は、
1 つの前記第 3 基板に、複数の前記第 2 基板を貼り合わせることを含む請求項 1 記載の画像表示装置の製造方法。

[請求項4] 前記複数の第 2 基板を前記 1 つの第 3 基板上に配置する場合に、前記発光素子を形成する工程では、前記発光素子は、前記複数の第 2 基板のそれぞれの端部から離間した位置に形成される請求項 3 記載の画像表示装置の製造方法。

[請求項5] 前記透光性基板は、ガラス基板である請求項 1 記載の画像表示装置の製造方法。

[請求項6] 前記第 3 基板は、前記ガラス基板と前記回路素子との間に設けられた可撓性を有する第 4 基板を含み、
前記第 2 基板を前記第 3 基板に貼り合わせた後に前記ガラス基板を除去する工程をさらに備えた請求項 5 記載の画像表示装置の製造方法。

[請求項7] 前記第 2 基板を前記第 3 基板に貼り合わせる前に前記半導体層上に第 2 メタル層を形成する工程をさらに備えた請求項 1 記載の画像表示装置の製造方法。

[請求項8] 前記第 2 メタル層を形成する工程の前に、前記半導体層上に導電層を形成する工程をさらに備え、
前記第 2 メタル層は、前記導電層上に形成され、光反射性を有する請求項 7 記載の画像表示装置の製造方法。

- [請求項9] 前記第2基板を前記第3基板に貼り合わせた後に前記第2メタル層を加工して第3配線層を形成する工程をさらに備えた請求項7記載の画像表示装置の製造方法。
- [請求項10] 前記第1基板は、シリコンまたはサファイアを含む請求項1記載の画像表示装置の製造方法。
- [請求項11] 前記半導体層は、窒化ガリウム系化合物半導体を含む請求項1記載の画像表示装置の製造方法。
- [請求項12] 前記発光素子上に波長変換部材を形成する工程をさらに備えた請求項1記載の画像表示装置の製造方法。
- [請求項13] 第1面を有する透光性基板と、
前記第1面上に設けられた回路素子と、
前記回路素子上に設けられ、前記回路素子に電氣的に接続された第1配線層と、
前記第1面上で前記回路素子および前記第1配線層を覆う第1絶縁膜と、
前記第1絶縁膜上に設けられ前記第1配線層に接続された第1プラグと、
前記第1プラグ上に設けられるとともに前記第1プラグに電氣的に接続され、前記第1絶縁膜の側の面に対向する面に発光面を有する第1発光素子と、
前記第1発光素子の少なくとも一部、前記第1絶縁膜および前記第1プラグを覆う第2絶縁膜と、
前記第2絶縁膜上に設けられ前記第1発光素子の前記発光面に電氣的に接続された第2配線層と、
を備えた画像表示装置。
- [請求項14] 前記透光性基板は、ガラス基板である請求項13記載の画像表示装置。
- [請求項15] 第1面を有する可撓性を有する基板と、

前記第 1 面上に設けられた回路素子と、

前記回路素子上に設けられ、前記回路素子に電氣的に接続された第 1 配線層と、

前記第 1 面上で前記回路素子および前記第 1 配線層を覆う第 1 絶縁膜と、

前記第 1 絶縁膜上に設けられ前記第 1 配線層に接続された第 1 プラグと、

前記第 1 プラグ上に設けられるとともに前記第 1 プラグに電氣的に接続され、前記第 1 絶縁膜の側の面に対向する面に発光面を有する第 1 発光素子と、

前記第 1 発光素子の少なくとも一部、前記第 1 絶縁膜および前記第 1 プラグを覆う第 2 絶縁膜と、

前記第 2 絶縁膜上に設けられ前記第 1 発光素子の前記発光面に電氣的に接続された第 2 配線層と、

を備えた画像表示装置。

[請求項16]

前記第 1 発光素子は、前記第 1 プラグ上に設けられるとともに前記第 1 プラグに電氣的に接続された第 1 導電形の第 1 半導体層と、

前記第 1 半導体層上に設けられた発光層と、

前記発光層上に設けられ、前記第 1 導電形とは異なる第 2 導電形の第 2 半導体層とを含み、

前記第 1 導電形は、p 形であり、

前記第 2 導電形は、n 形である請求項 1 3 記載の画像表示装置。

[請求項17]

前記回路素子は、第 1 トランジスタおよび第 2 トランジスタを含み、

前記第 1 配線層は、前記第 1 トランジスタの主電極に接続され前記第 1 プラグに接続された第 1 配線と、前記第 2 トランジスタの主電極に接続された第 2 配線と、を含み、

前記第 1 絶縁膜上に形成され前記第 2 配線に接続された第 2 プラグ

と、

前記第2プラグ上に設けられるとともに前記第2プラグに電氣的に接続された第2発光素子と、

をさらに備えた請求項13記載の画像表示装置。

[請求項18] 前記第1プラグ、前記第2プラグおよび第3配線を含む第3配線層をさらに備え、

前記第1プラグおよび前記第2プラグは、光反射性を有し、

前記第1プラグの外周は、平面視で前記第1プラグに投影された前記第1発光素子の外周を含み、

前記第2プラグの外周は、平面視で前記第2プラグに投影された前記第2発光素子の外周を含み、

前記第1発光素子、前記第2発光素子および前記第3配線は、前記第2配線層で接続された請求項17記載の画像表示装置。

[請求項19] 前記第2絶縁膜は、前記発光面を露出させる開口を有し、
前記発光面上に設けられた透光性電極
をさらに備えた請求項13記載の画像表示装置。

[請求項20] 前記開口から露出された前記発光面は、粗面を含む請求項19記載の画像表示装置。

[請求項21] 前記第1発光素子は、窒化ガリウム系化合物半導体を含む請求項13記載の画像表示装置。

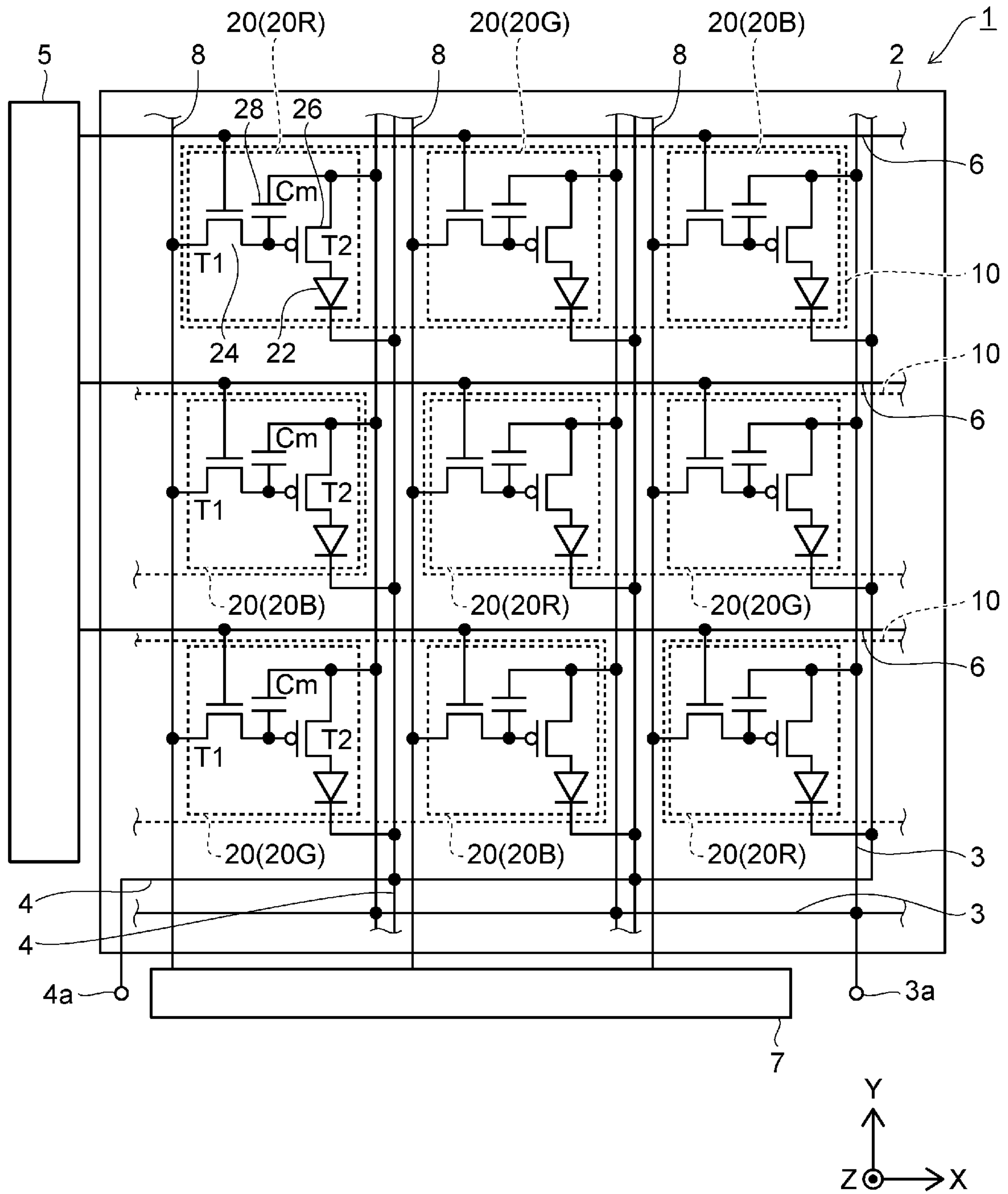
[請求項22] 前記第1発光素子上に波長変換部材をさらに備えた請求項13記載の画像表示装置。

[請求項23] 第1面を有する透光性基板と、
前記第1面上に設けられた複数のトランジスタと、
前記複数のトランジスタ上に設けられ、前記複数のトランジスタに電氣的に接続された第1配線層と、
前記第1面上で前記複数のトランジスタおよび前記第1配線層を覆う第1絶縁膜と、

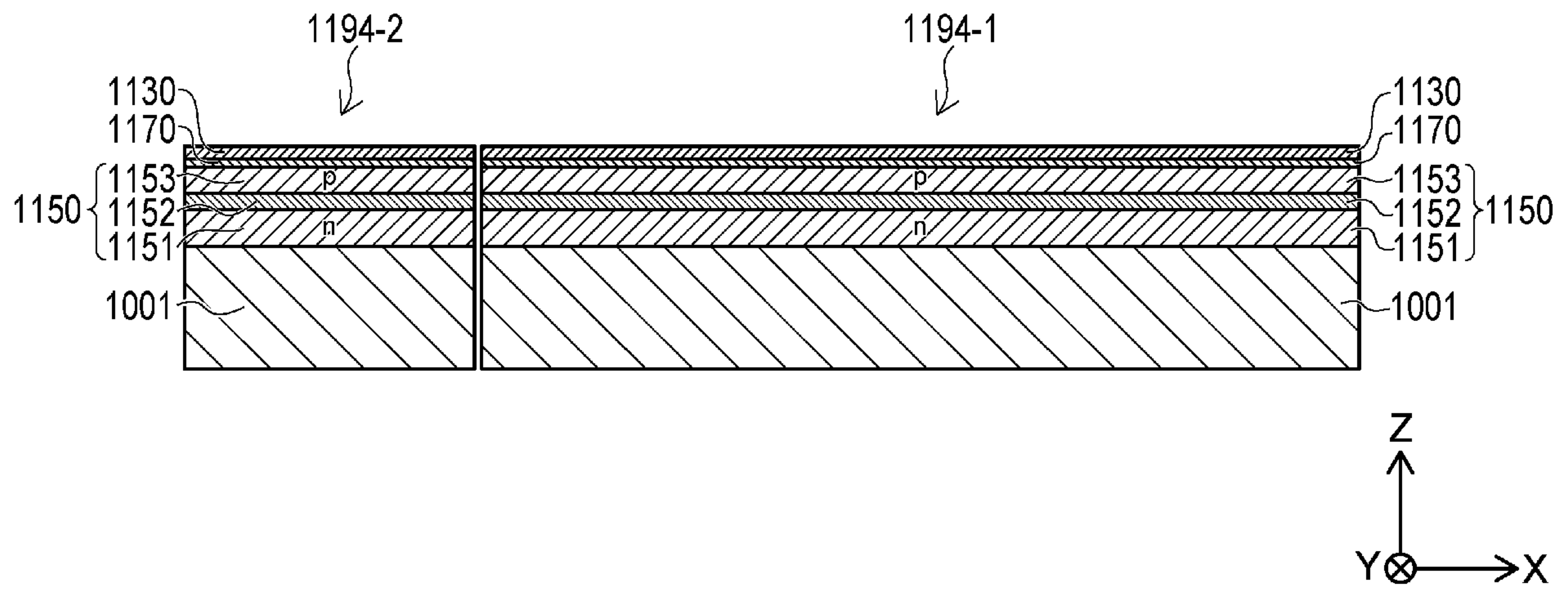
前記第 1 絶縁膜上に設けられ前記第 1 配線層に接続されたプラグと、
前記プラグ上に設けられるとともに前記プラグに電氣的に接続された第 1 導電形の第 1 半導体層と、
前記第 1 半導体層上に設けられた発光層と、
前記発光層上に設けられ、前記第 1 導電形とは異なる第 2 導電形の第 2 半導体層と、
前記プラグ、前記第 1 絶縁膜、前記発光層および前記第 1 半導体層を覆うとともに前記第 2 半導体層の少なくとも一部を覆う第 2 絶縁膜と、
前記複数のトランジスタに応じて前記第 2 絶縁膜からそれぞれ露出された、前記第 2 半導体層の複数の露出面上に配設された透光性電極に接続された第 2 配線層と、
を備えた画像表示装置。

[請求項24] 前記第 2 半導体層は、前記第 2 絶縁膜によって分離された請求項 23 記載の画像表示装置。

[図2]



[図3A]



[図3B]

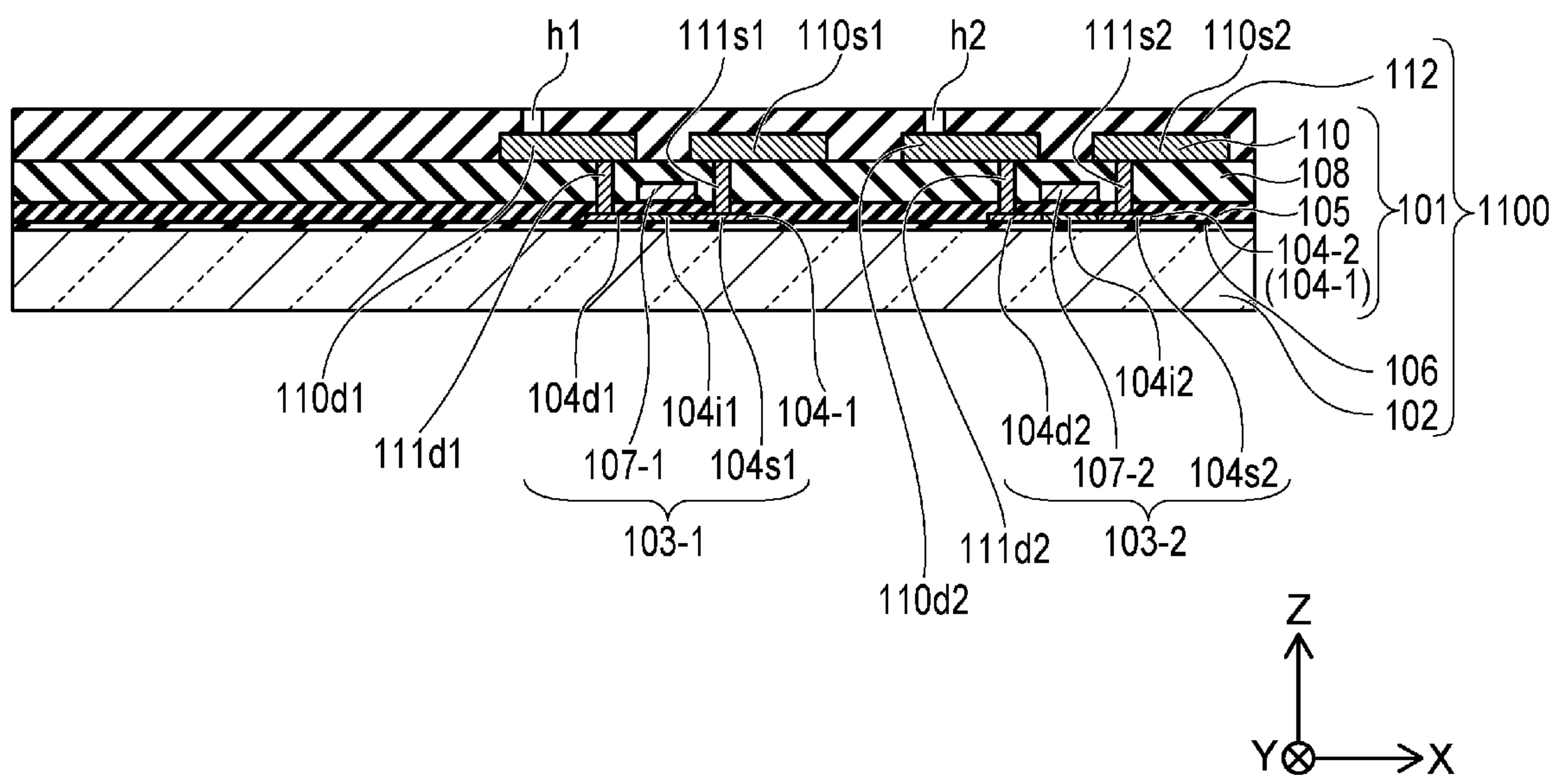
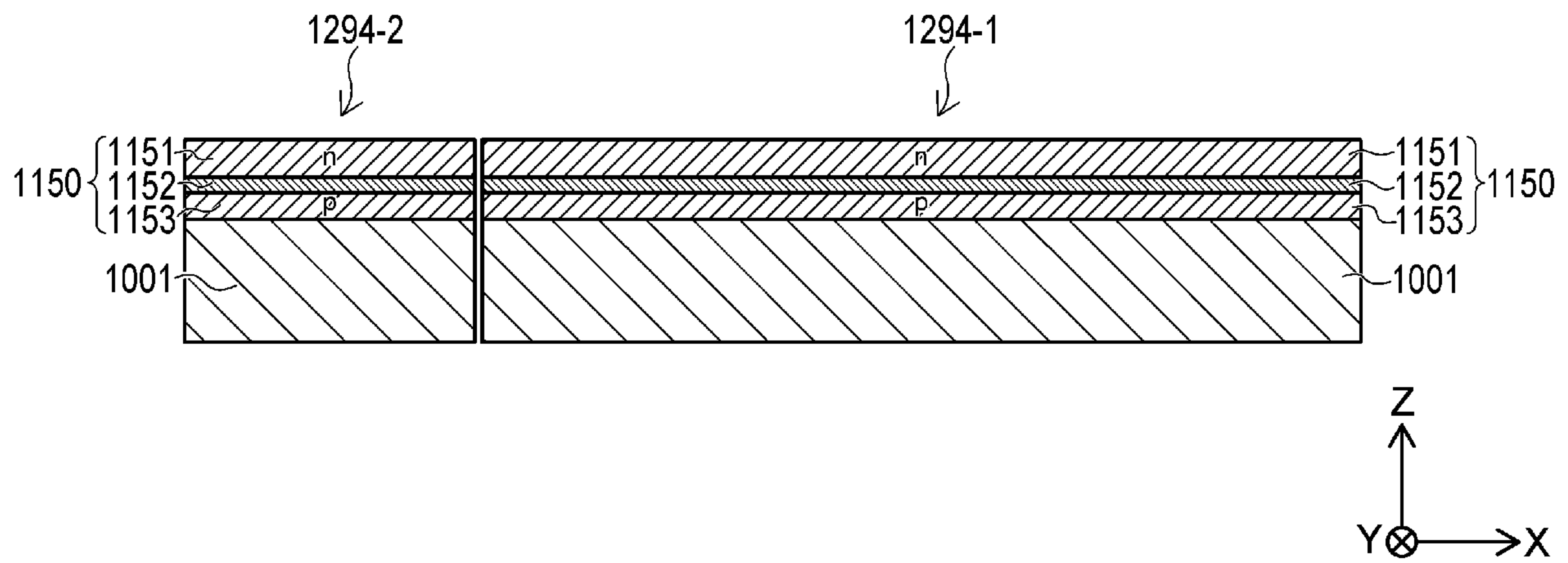
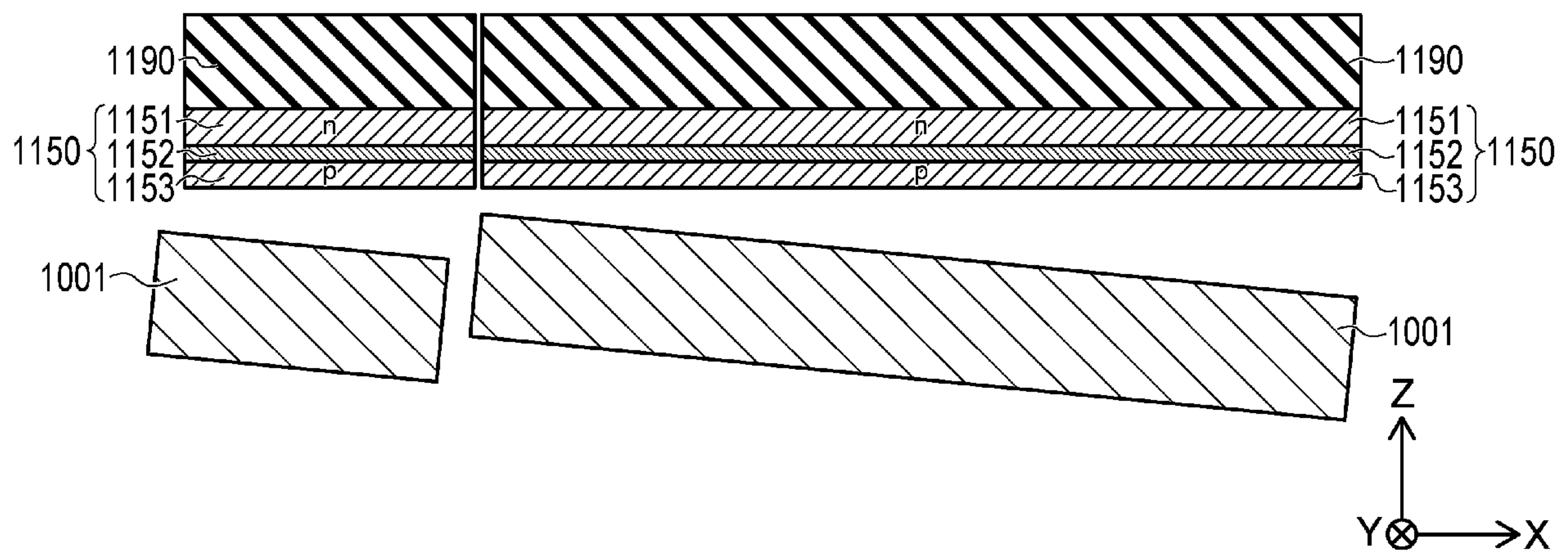


Figure 1 is a cross-sectional view of a semiconductor device. The top part of the diagram shows a substrate 1001 with a stack of layers 1150 (1151, 1152, 1153) and 1170, 1130. Two regions are labeled 1194-1 and 1194-2. Below, a detailed view of a device structure 1160 is shown, including a gate stack 112 (110, 108, 105) and a channel region 101 (104-2, 104-1). The device is divided into two sections, 103-1 and 103-2, with various layers and regions labeled. A coordinate system (X, Y, Z) is shown at the bottom right.

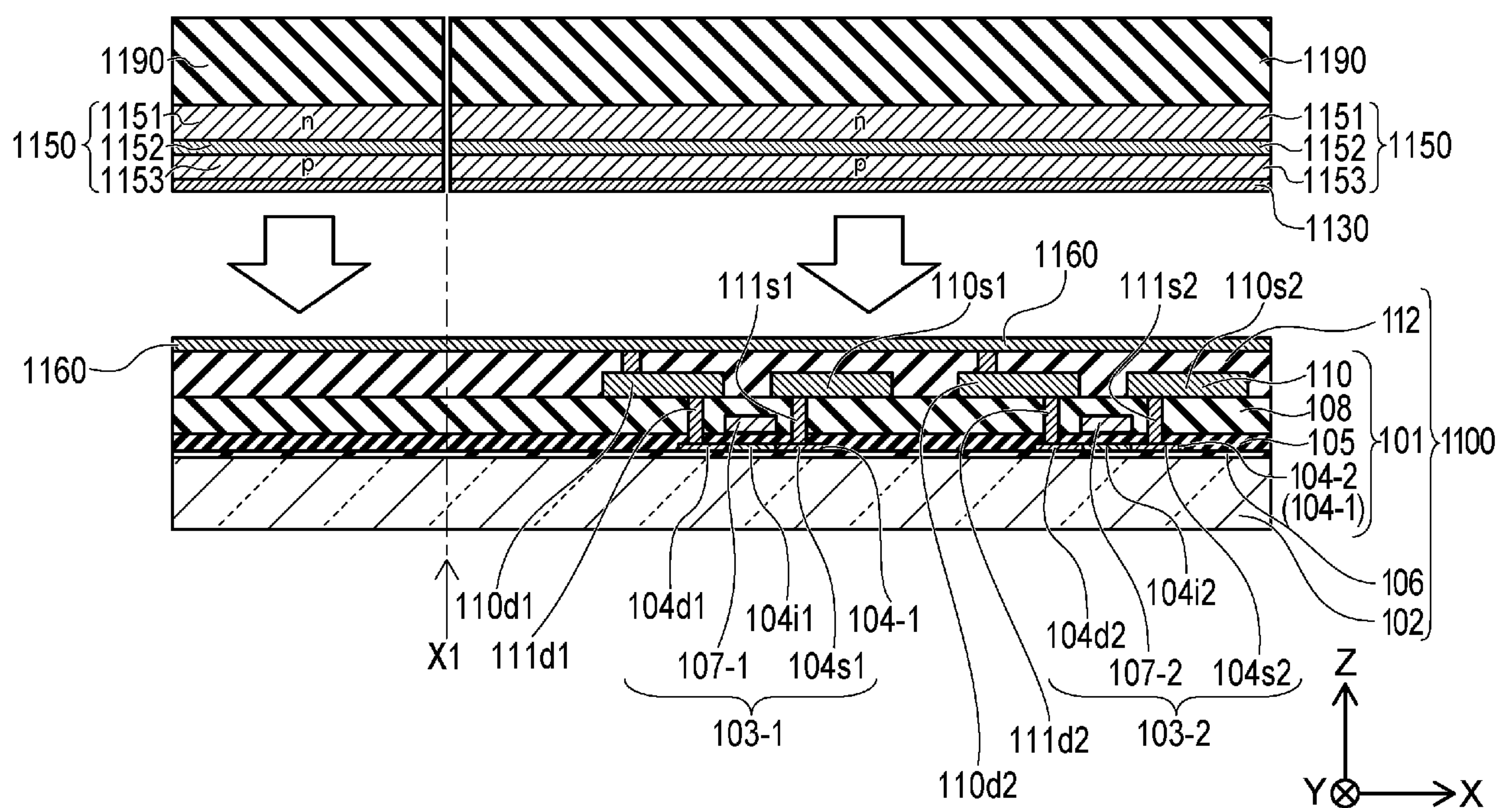
[図5A]



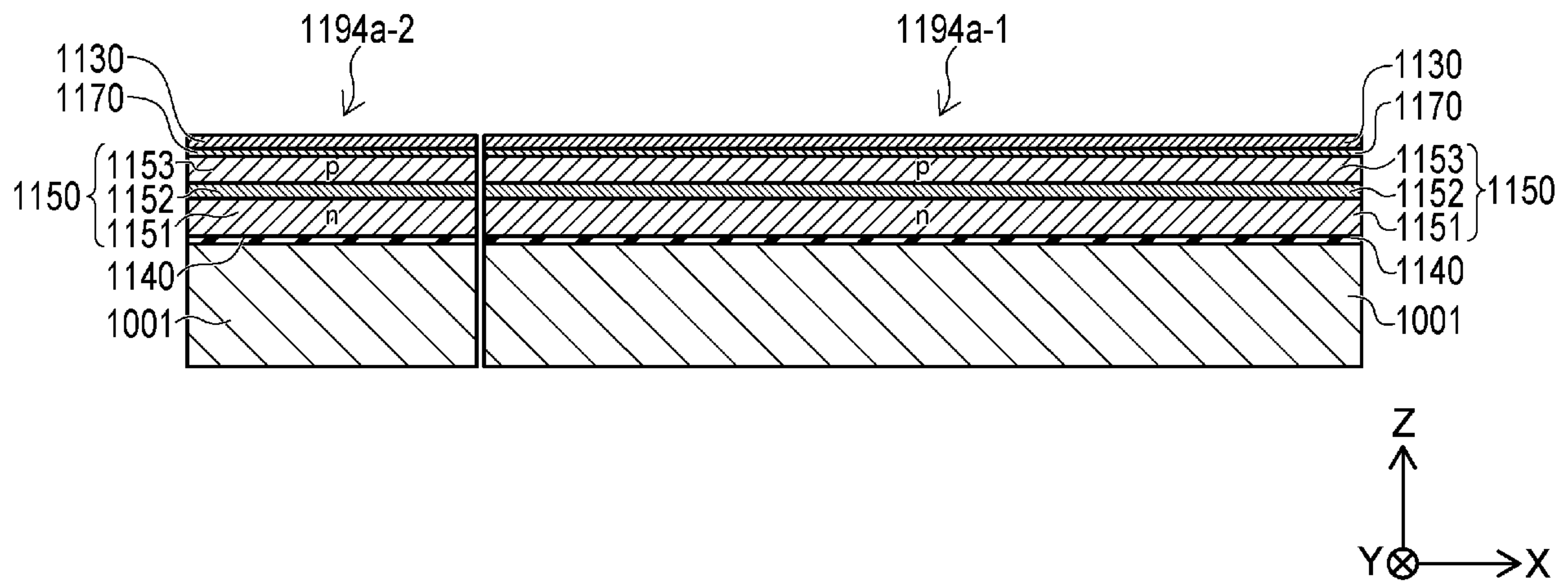
[図5B]



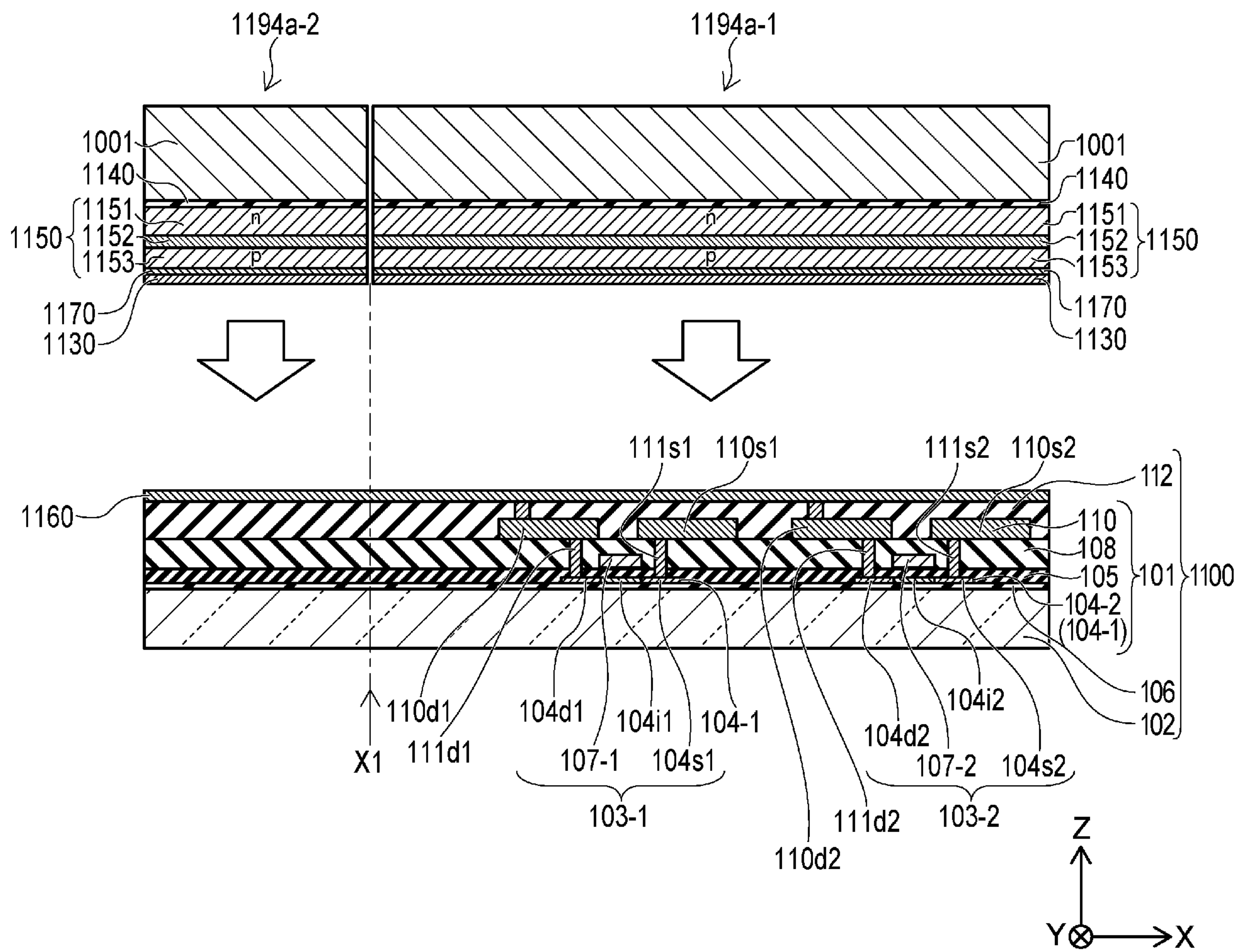
[図5C]



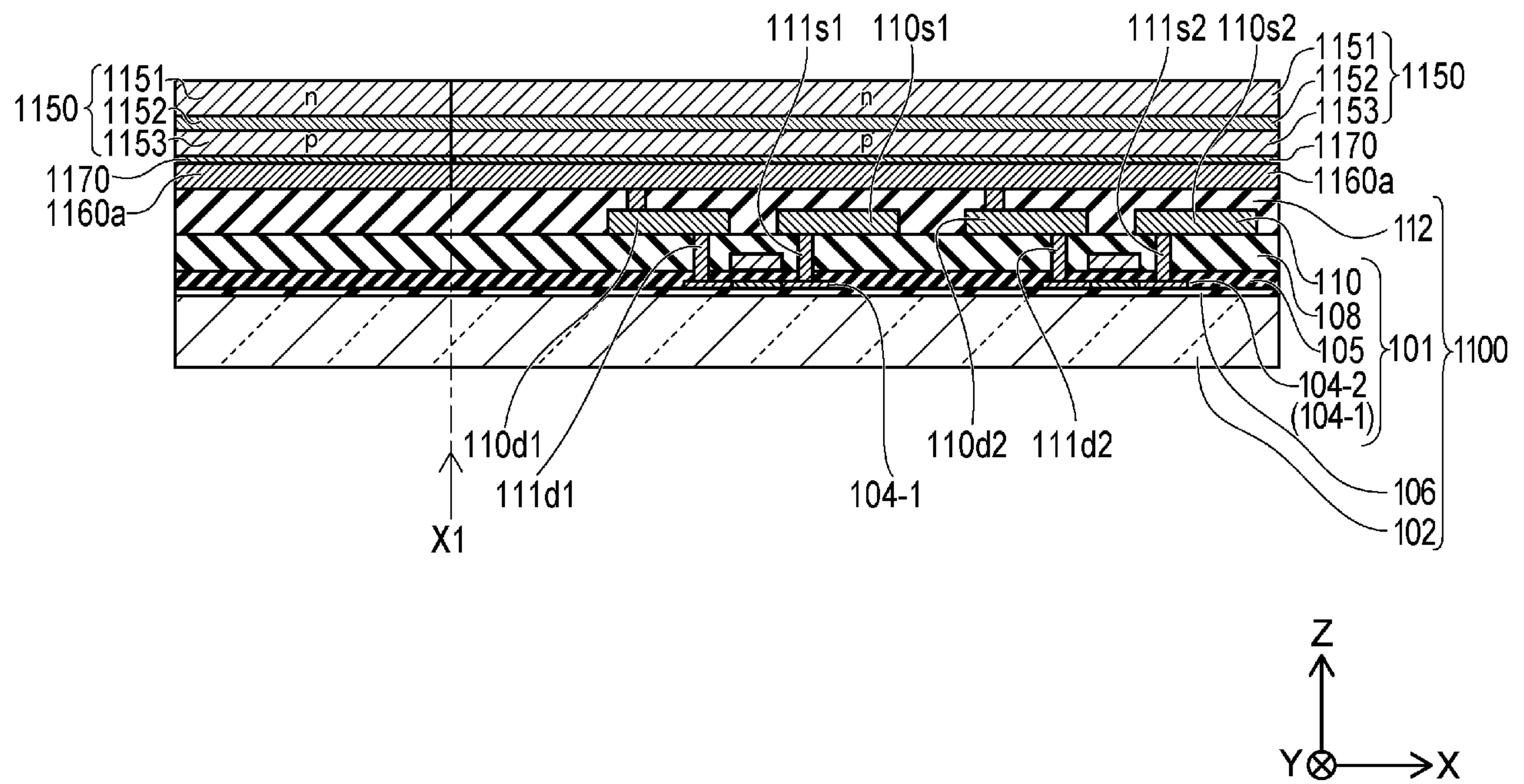
[図6A]



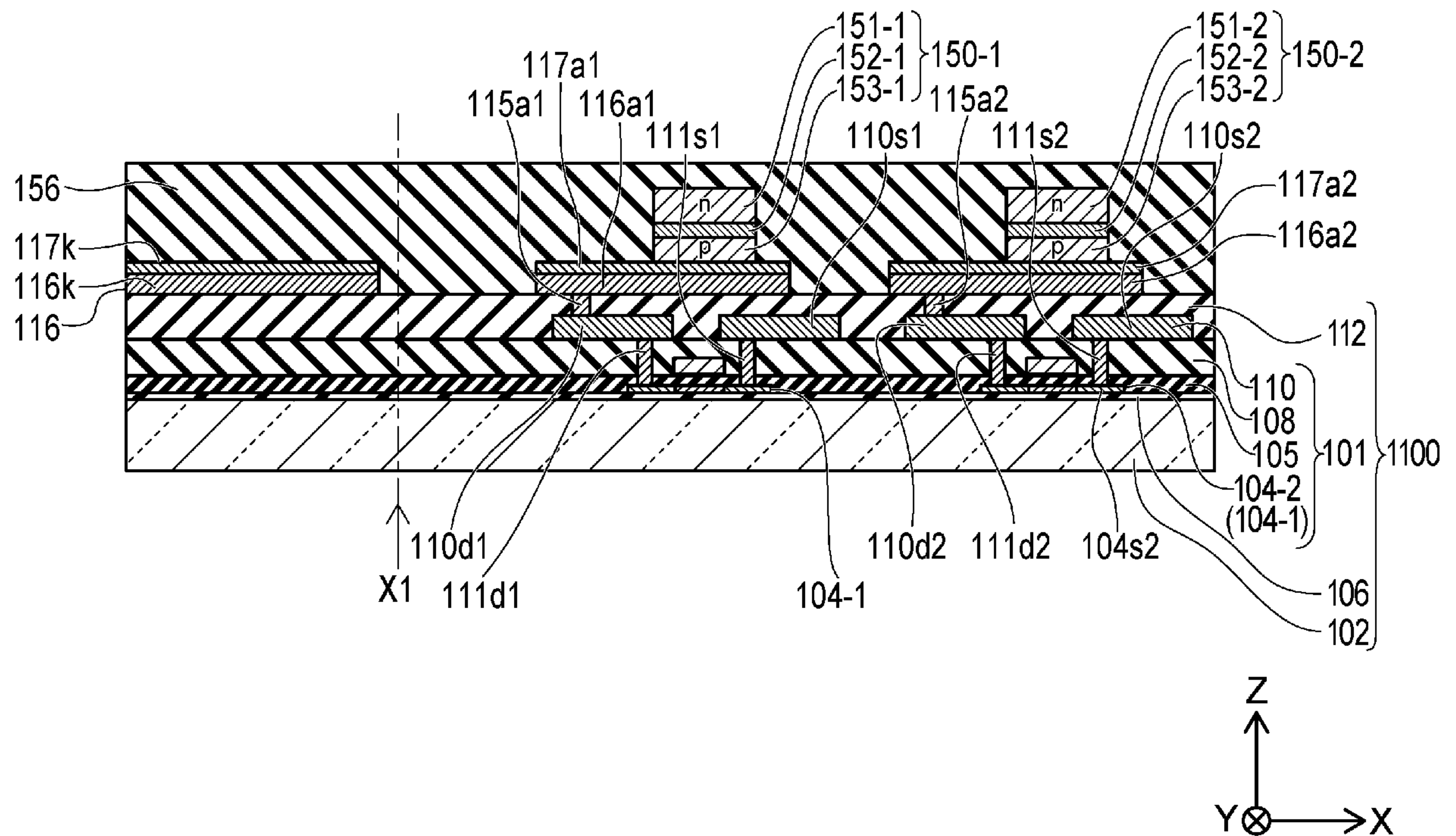
[図6B]



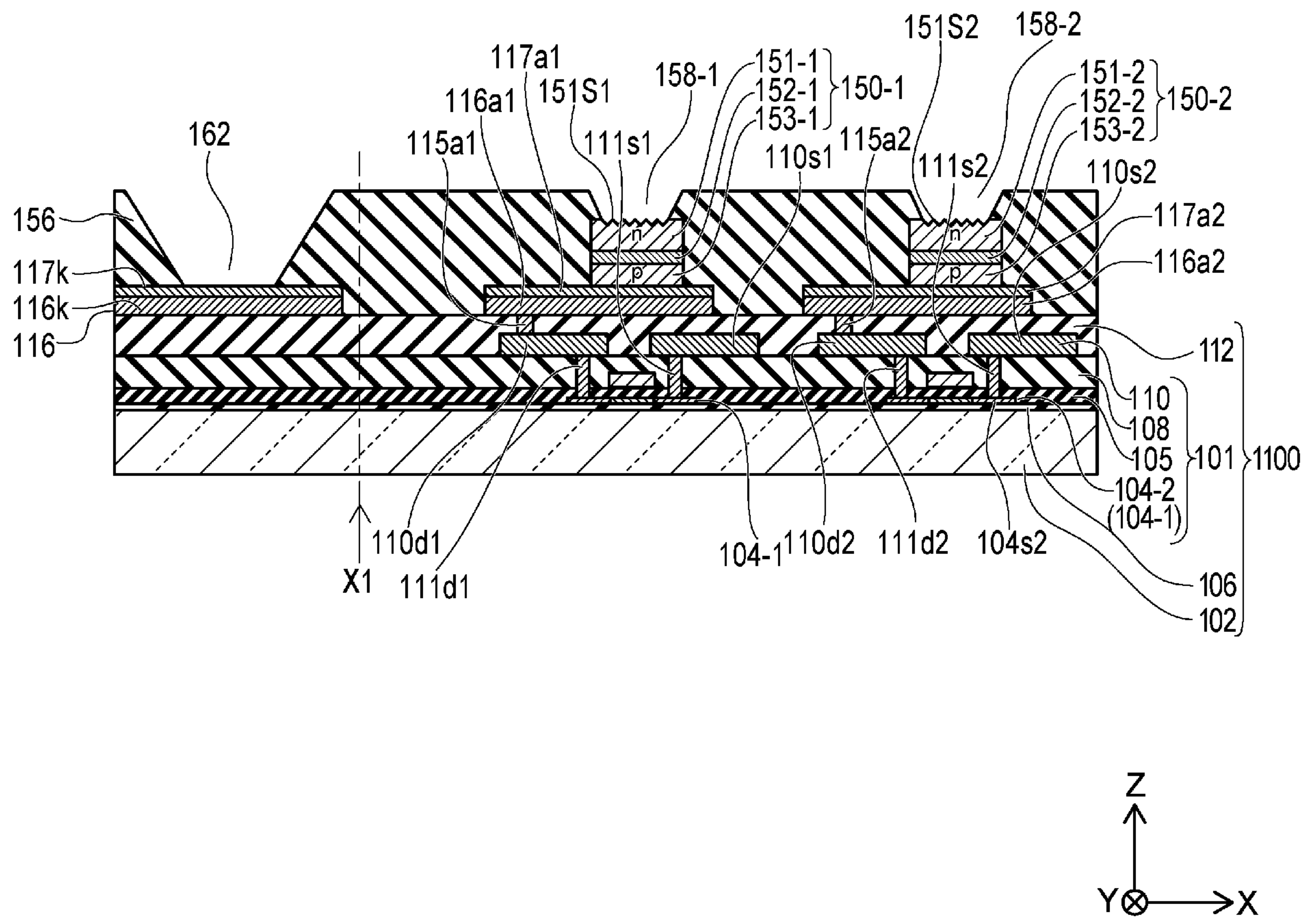
[図7A]



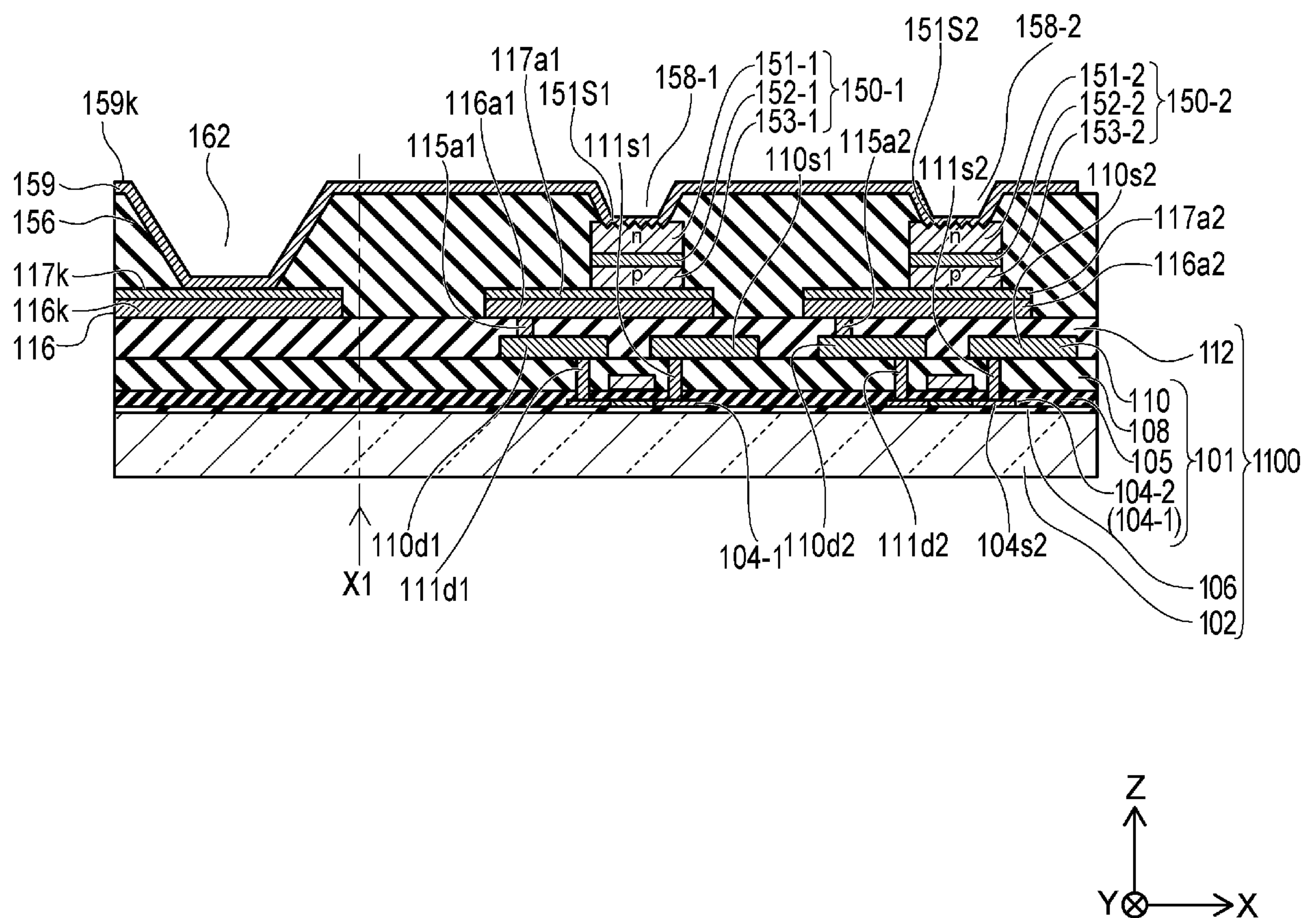
[図7B]



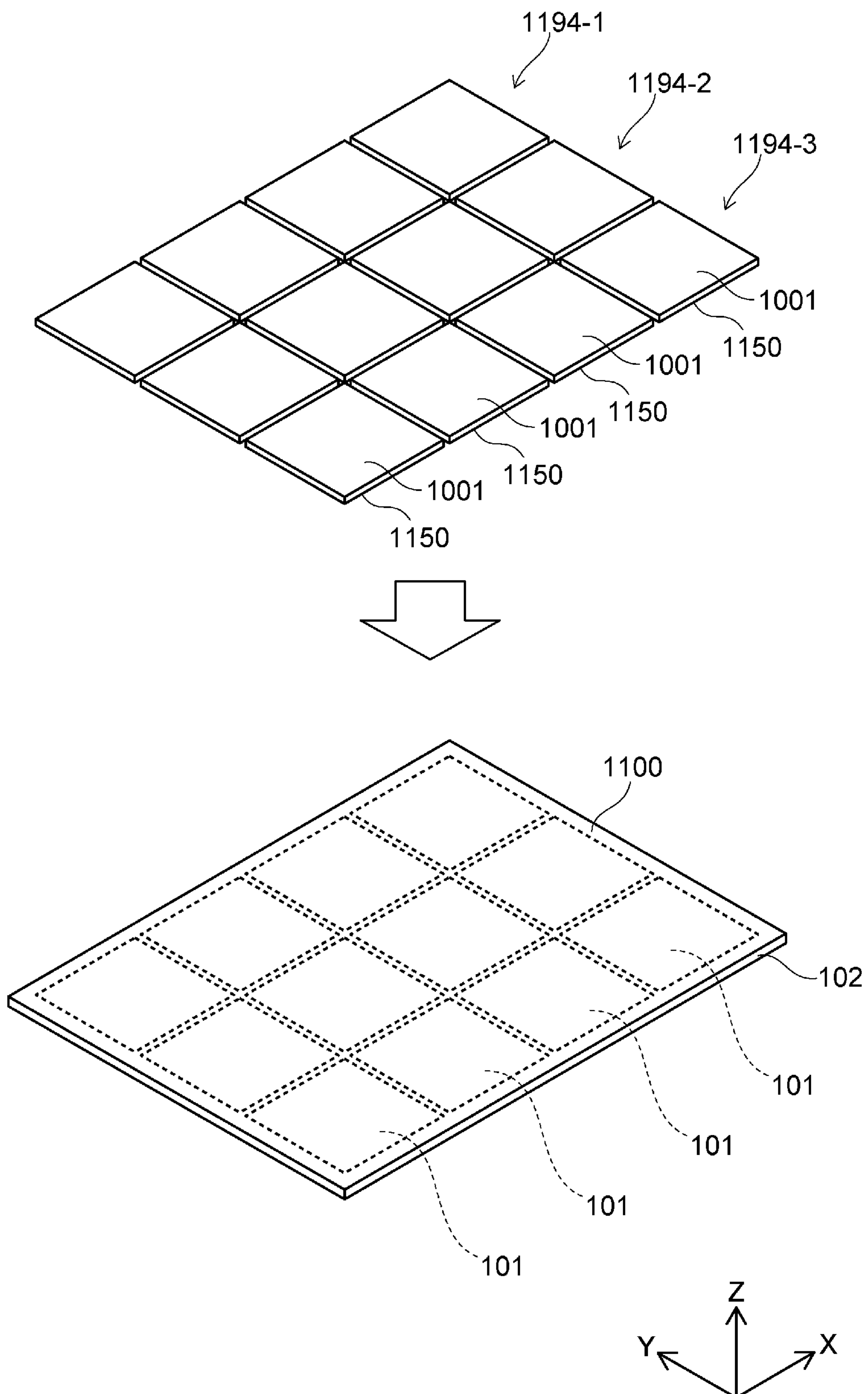
[図8A]



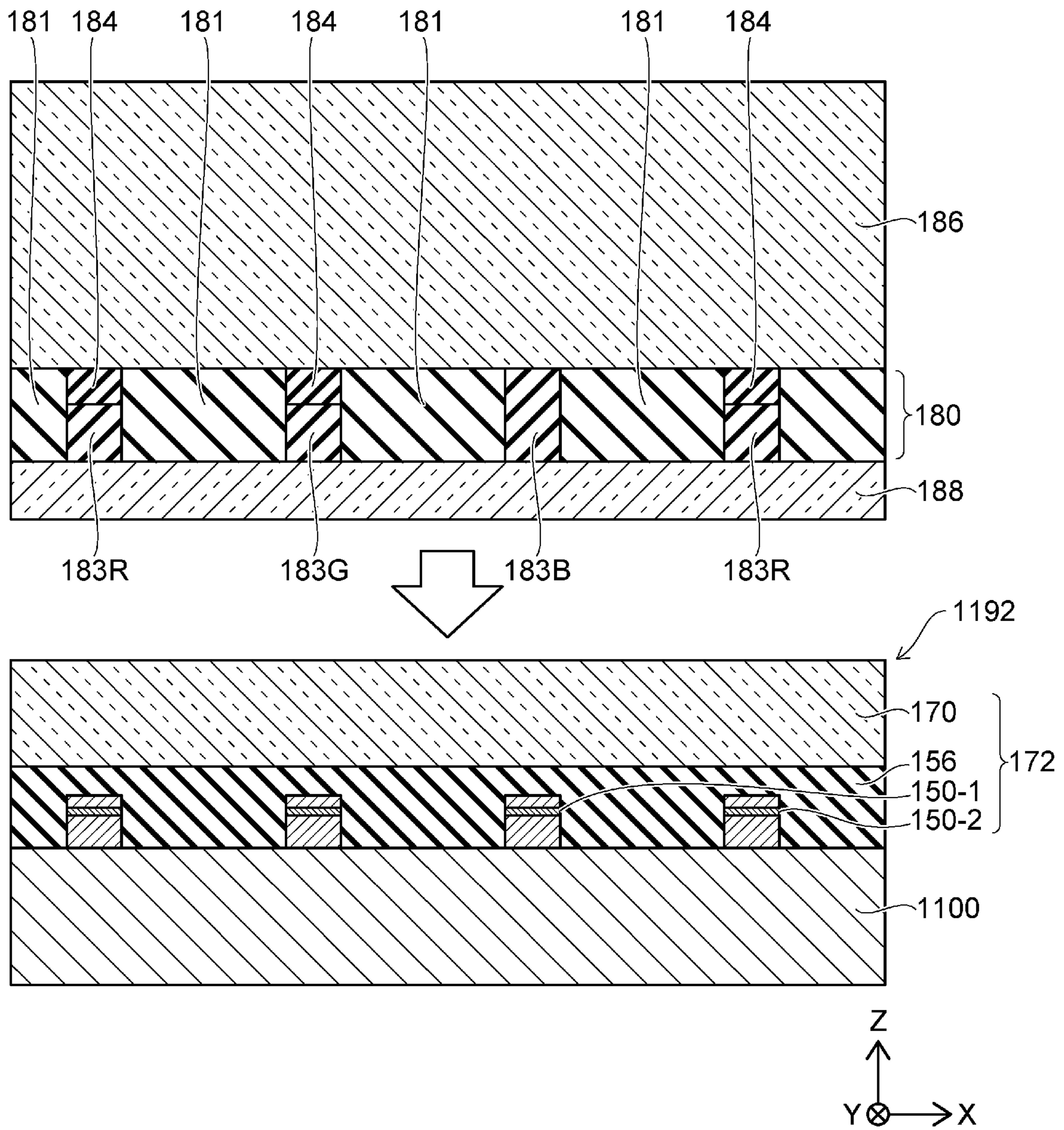
[図8B]



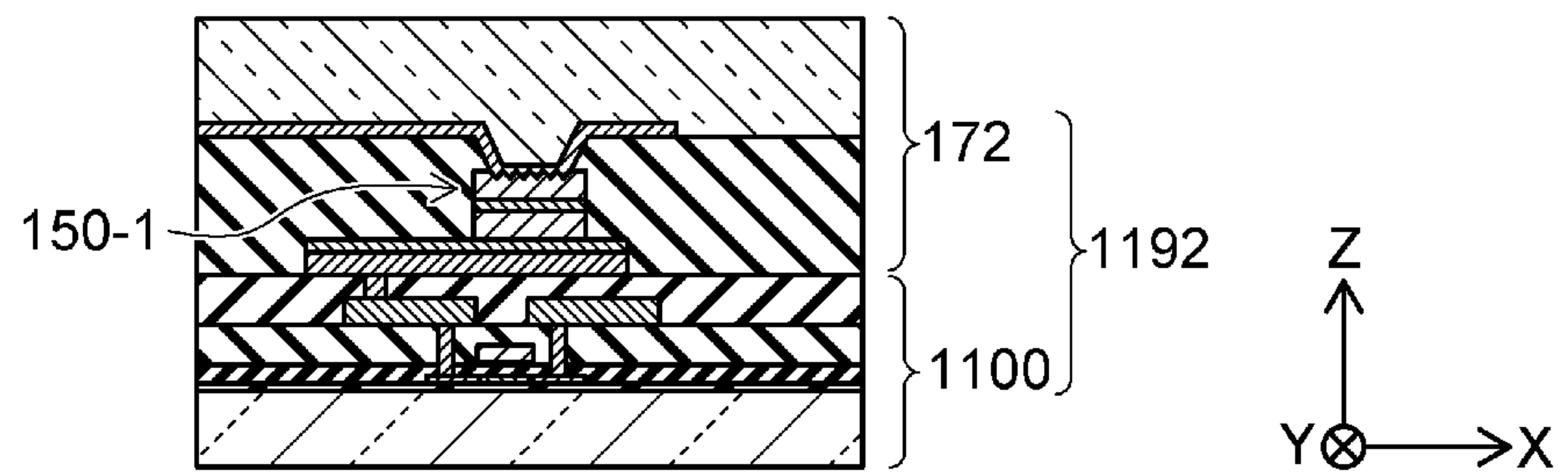
[図9]



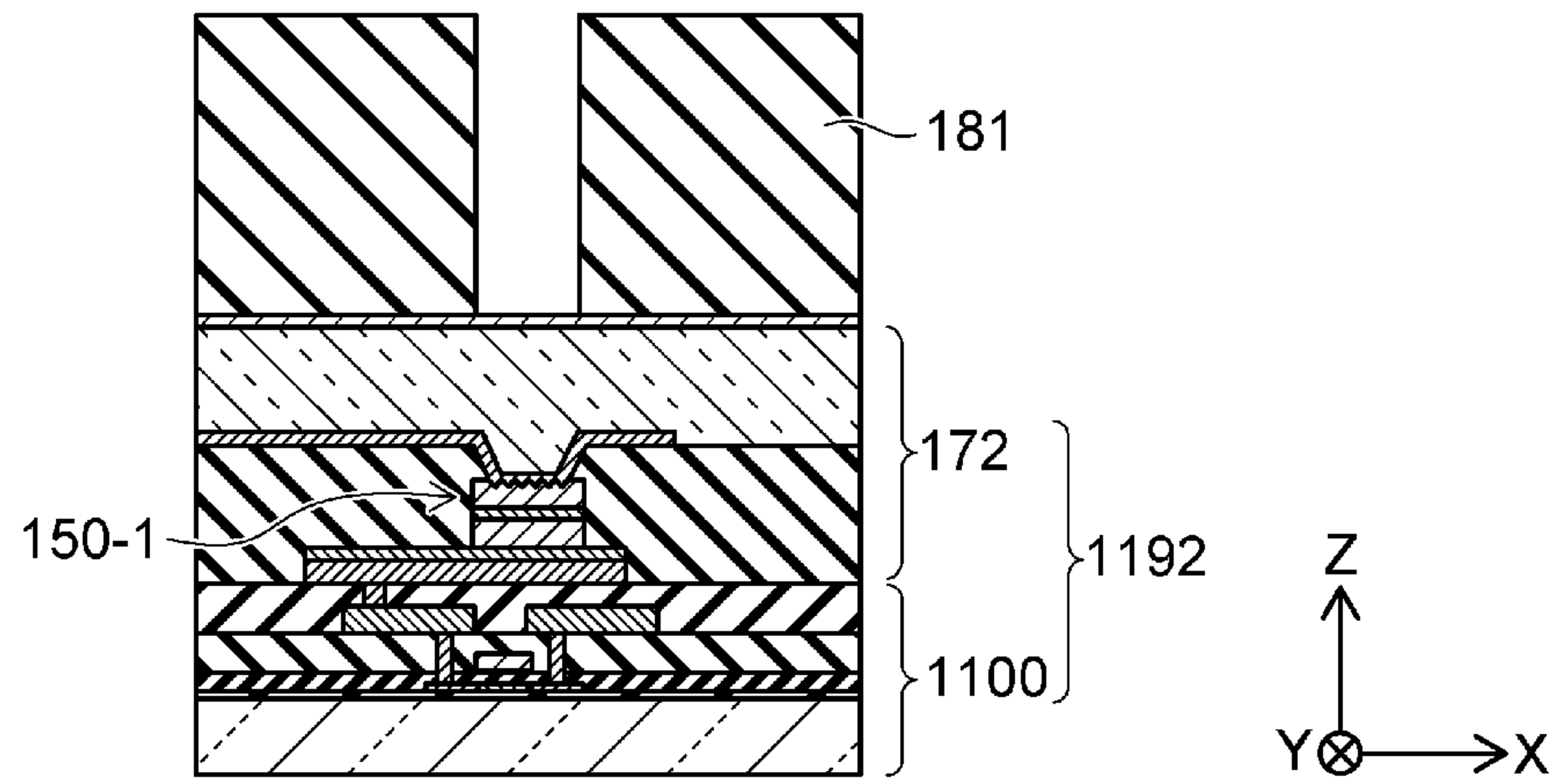
[図10]



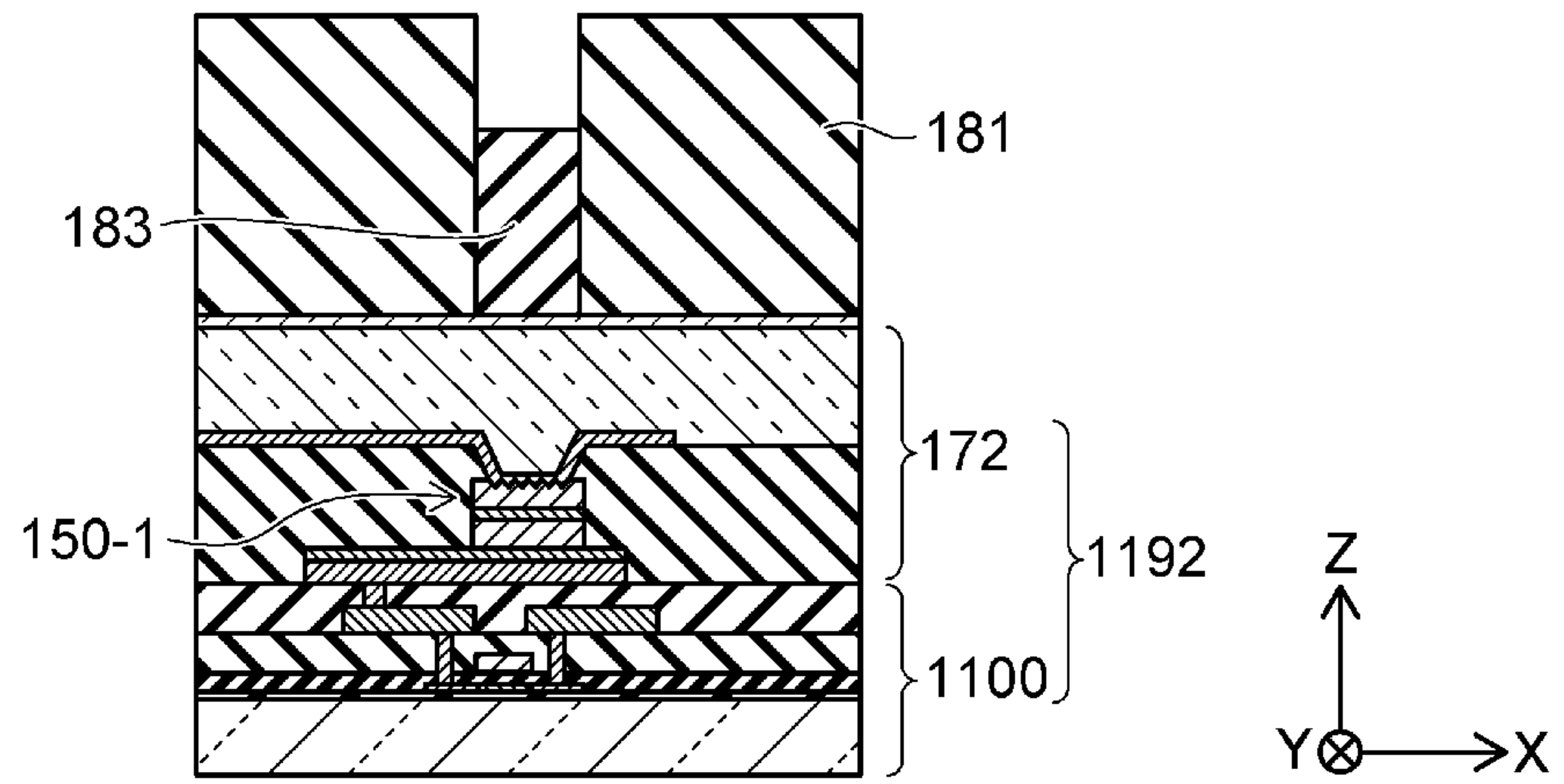
[図11A]



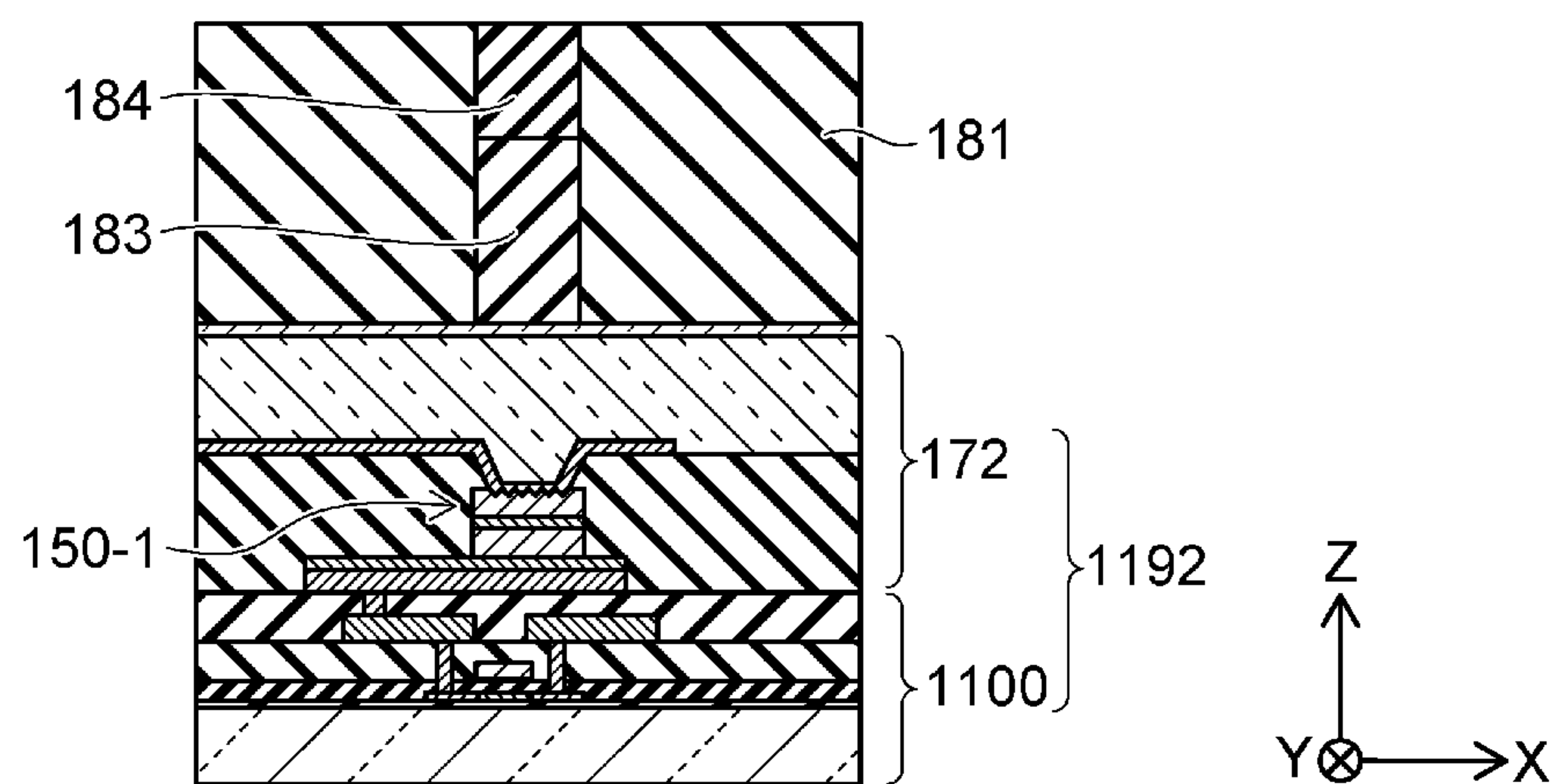
[図11B]



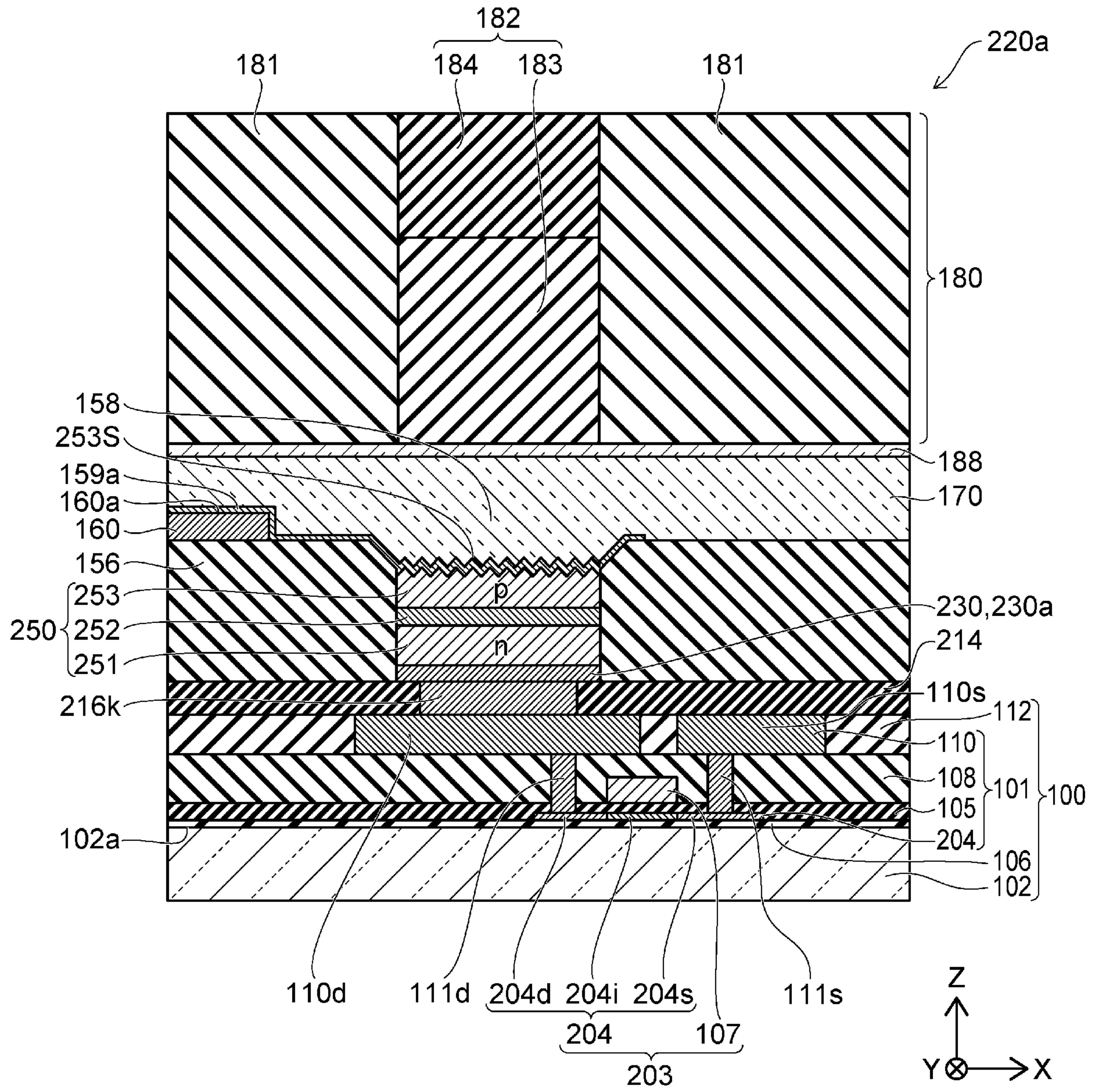
[図11C]



[図11D]

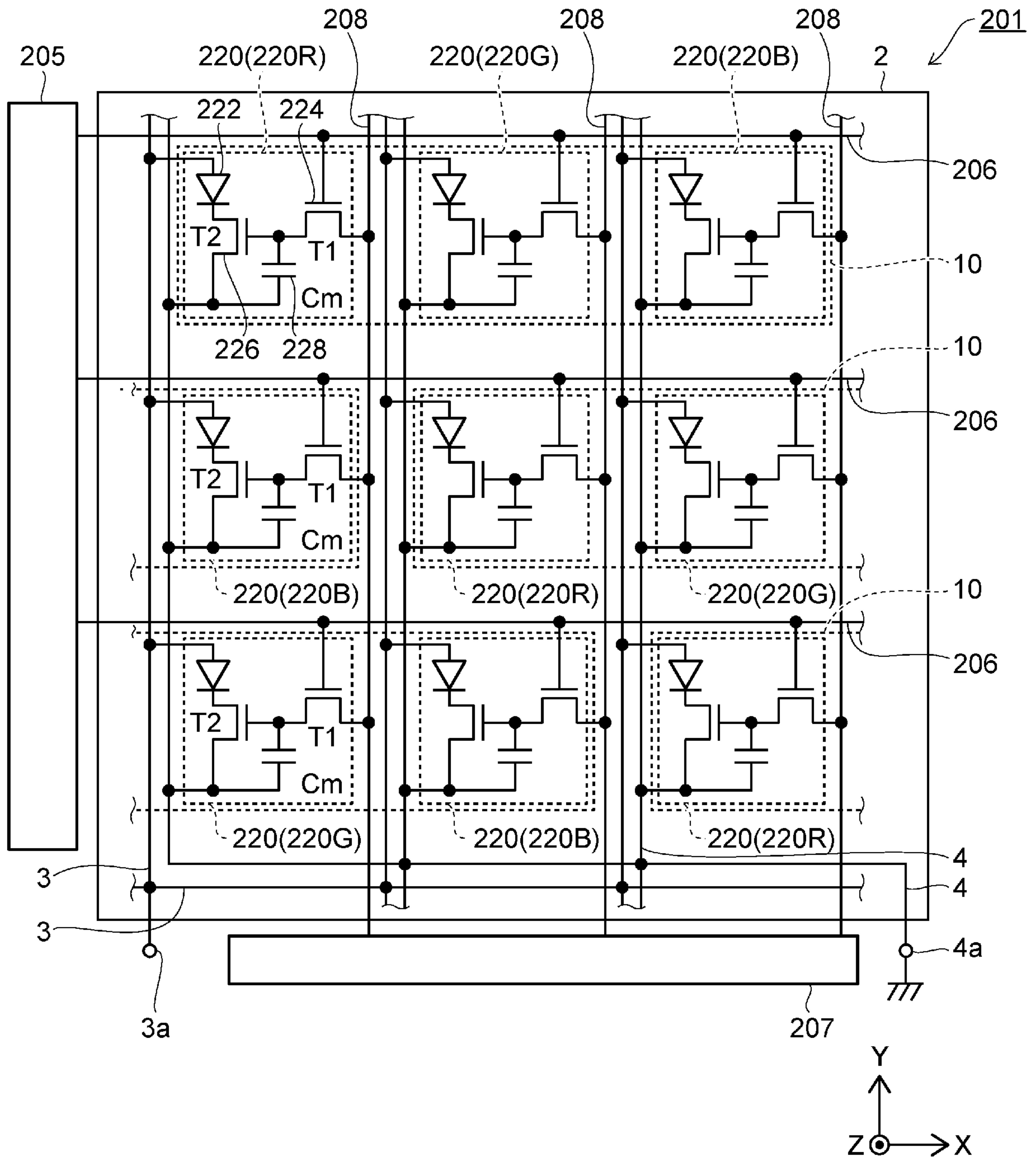


[図13]



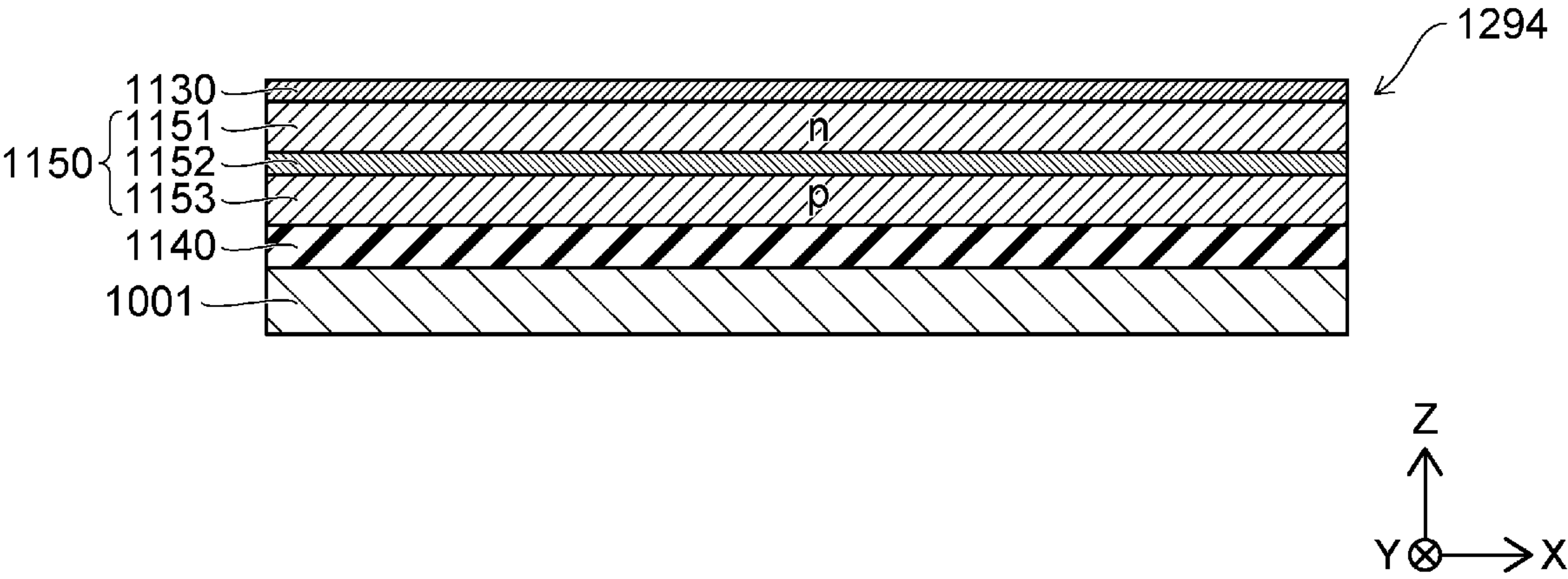
[illegible]

[図15]

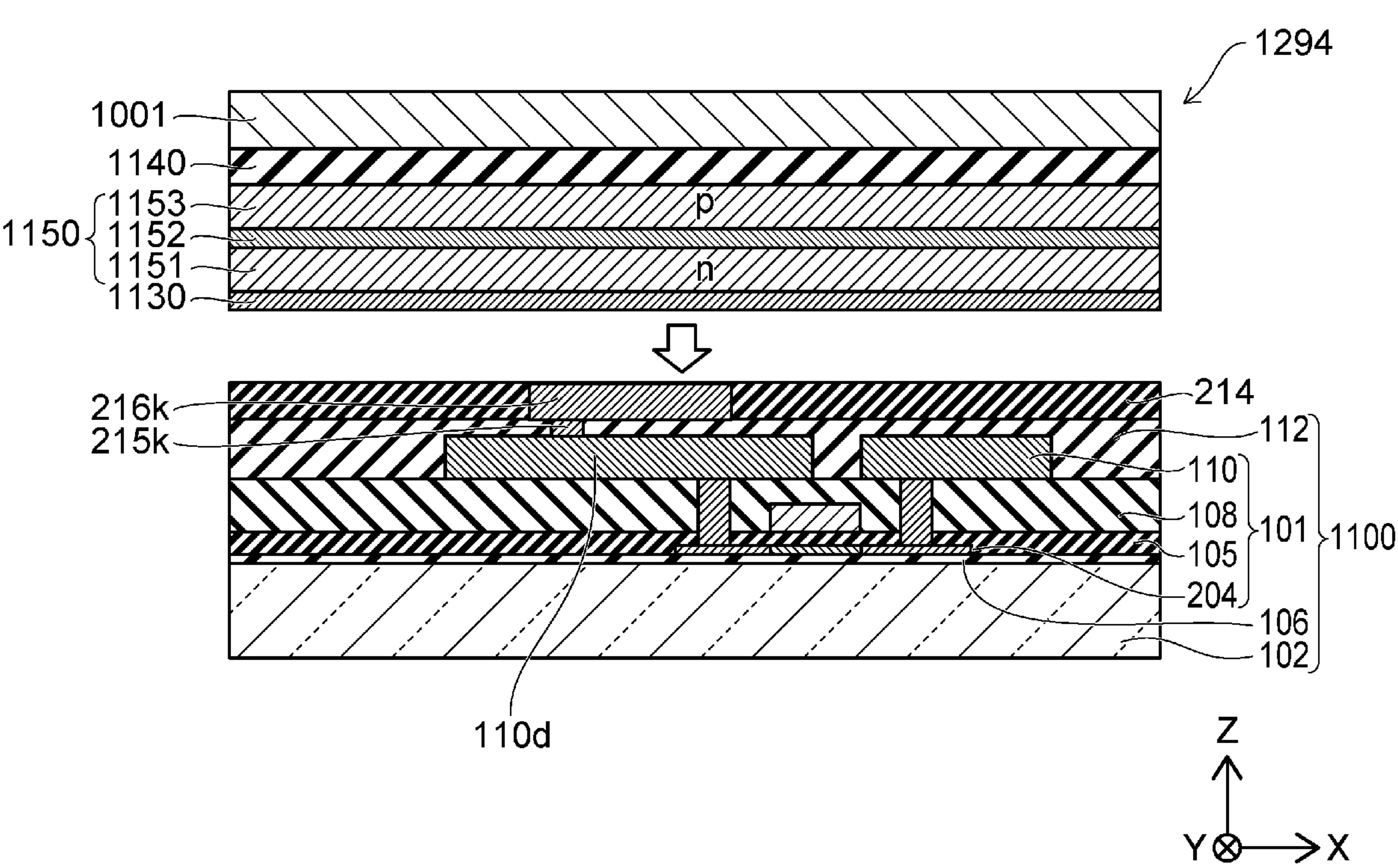


[illegible]

[図19A]



[図19B]



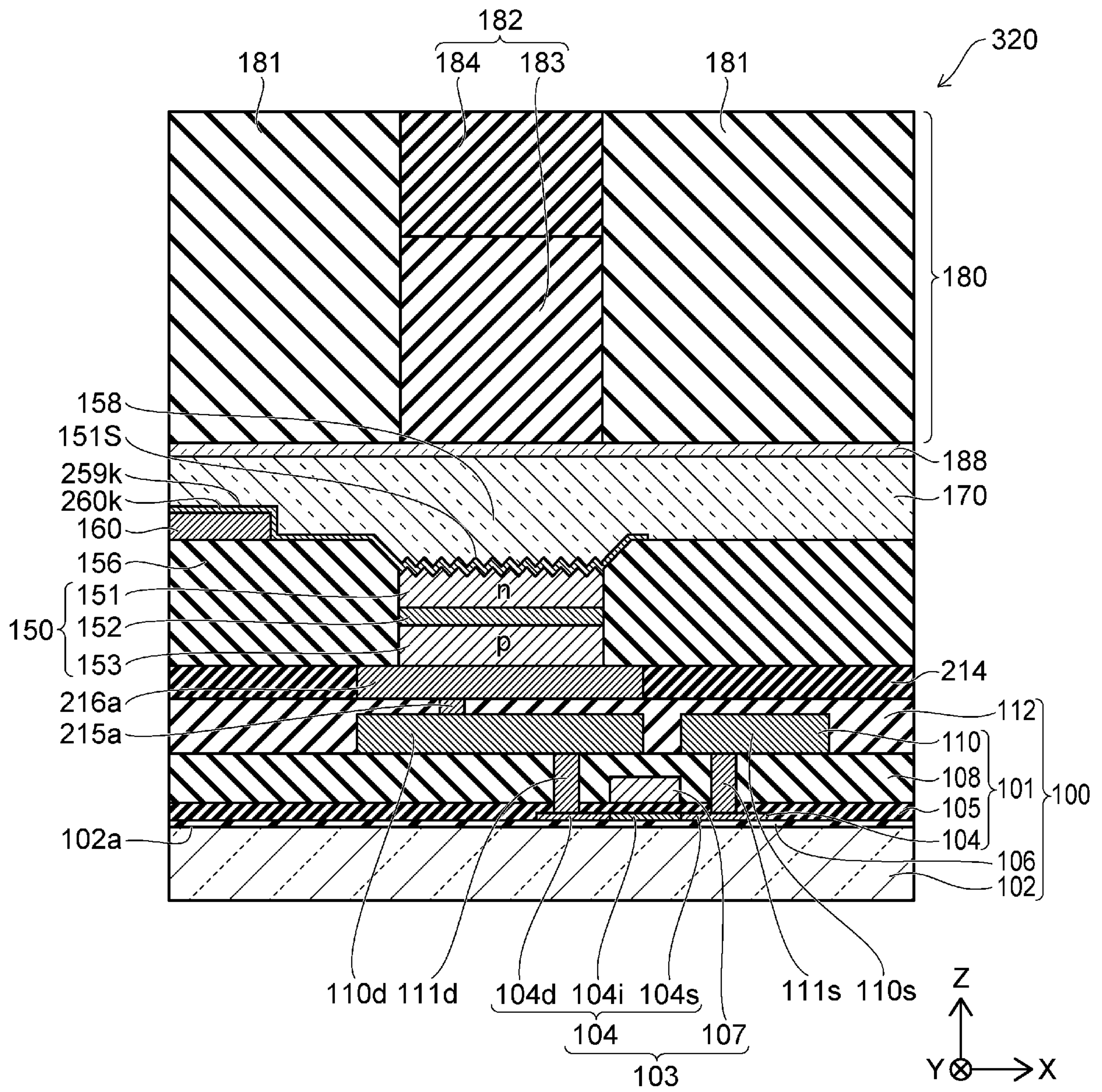
This cross-sectional view illustrates a semiconductor device. A central region 158 contains a p-type layer (p) and an n-type layer (n). This central region is flanked by side regions 156. Above the central region is a layer 253S. A group of layers 250 includes layers 253, 252, and 251. Below these are layers 216k and 215k. A series of layers 230 and 230a are shown, with a layer 214 below them. A stack of layers 112, 110, 108, 105, and 106 is present, with a layer 102 at the bottom. A layer 204 is also shown. A layer 110d is located at the bottom of the central region. A coordinate system (X, Y, Z) is shown at the bottom right, with Z pointing up, X pointing right, and Y pointing out of the page (indicated by a circle with a cross).

[illegible]

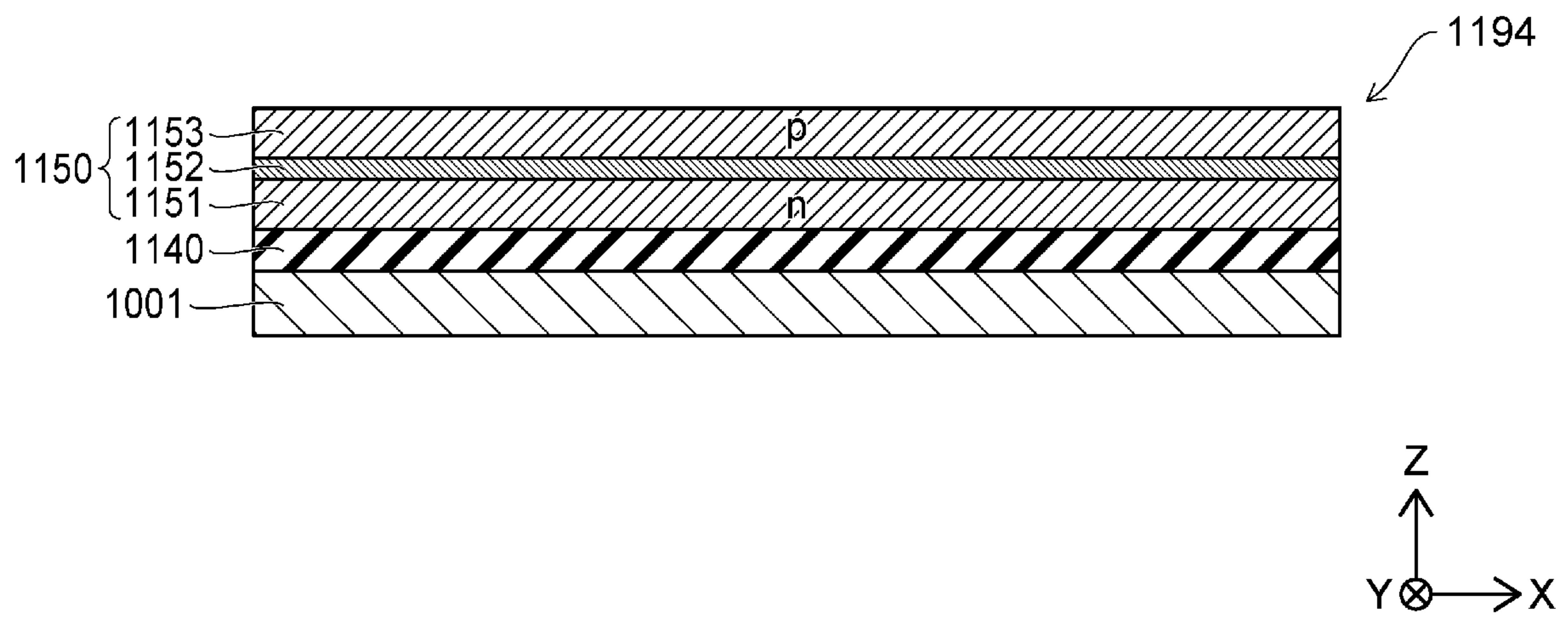
A cross-sectional view of a semiconductor device. The device consists of a substrate with multiple layers. A central structure is formed on the substrate, featuring a p-type layer (253S) and an n-type layer (252). The central structure is surrounded by a layer (250a) which includes a p-type layer (253a) and an n-type layer (251). The substrate includes layers 110d, 111d, and 110s. A coordinate system is shown at the bottom right with Z pointing up, Y pointing out of the page (indicated by a circle with a cross), and X pointing to the right. Various layers are labeled with numbers: 256, 253a, 252, 251, 216k, 215k, 230, 230a, 214, 112, 110, 108, 105, 204, 106, 102, 110d, 111d, 110s.

[illegible]

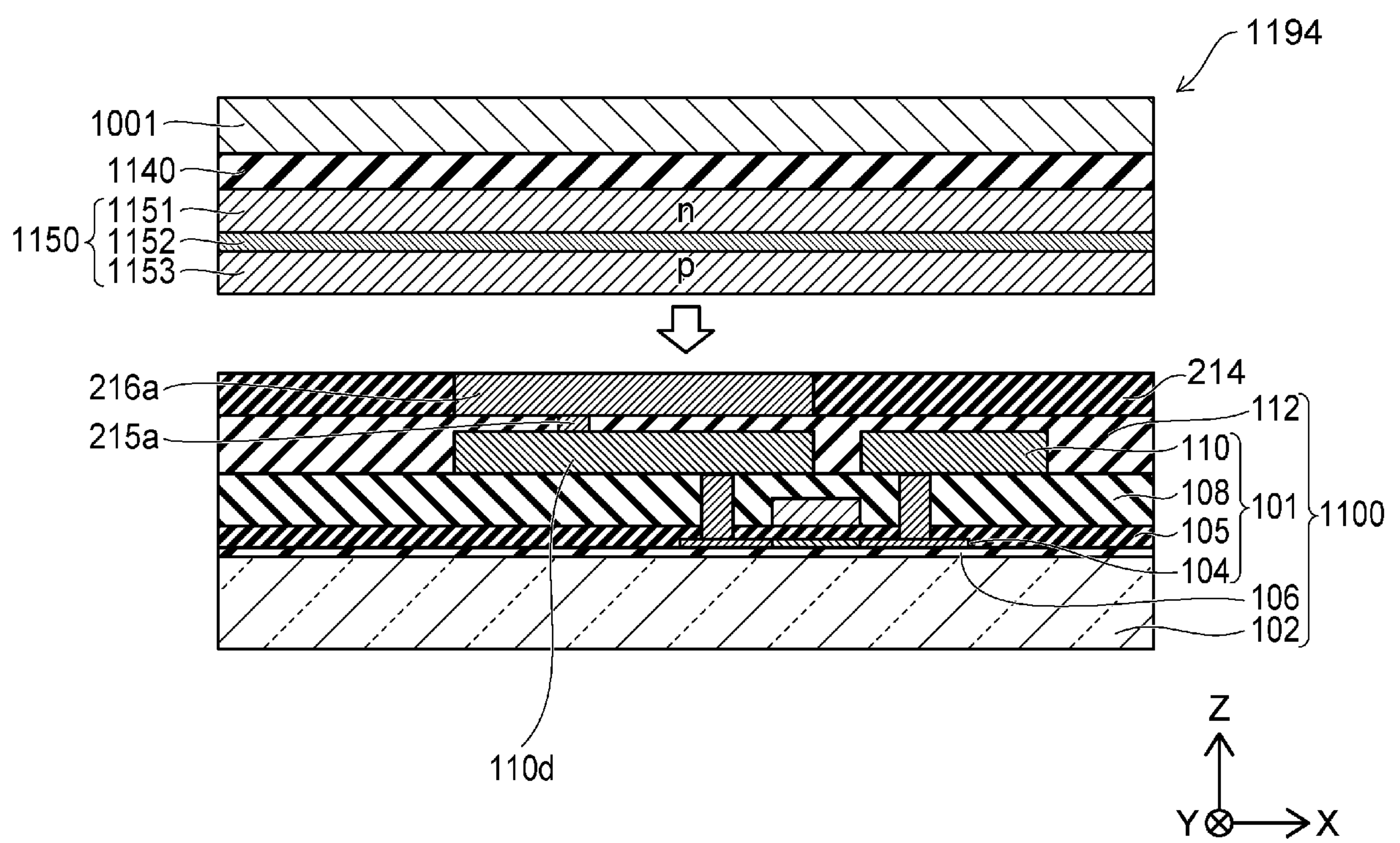
[図23]



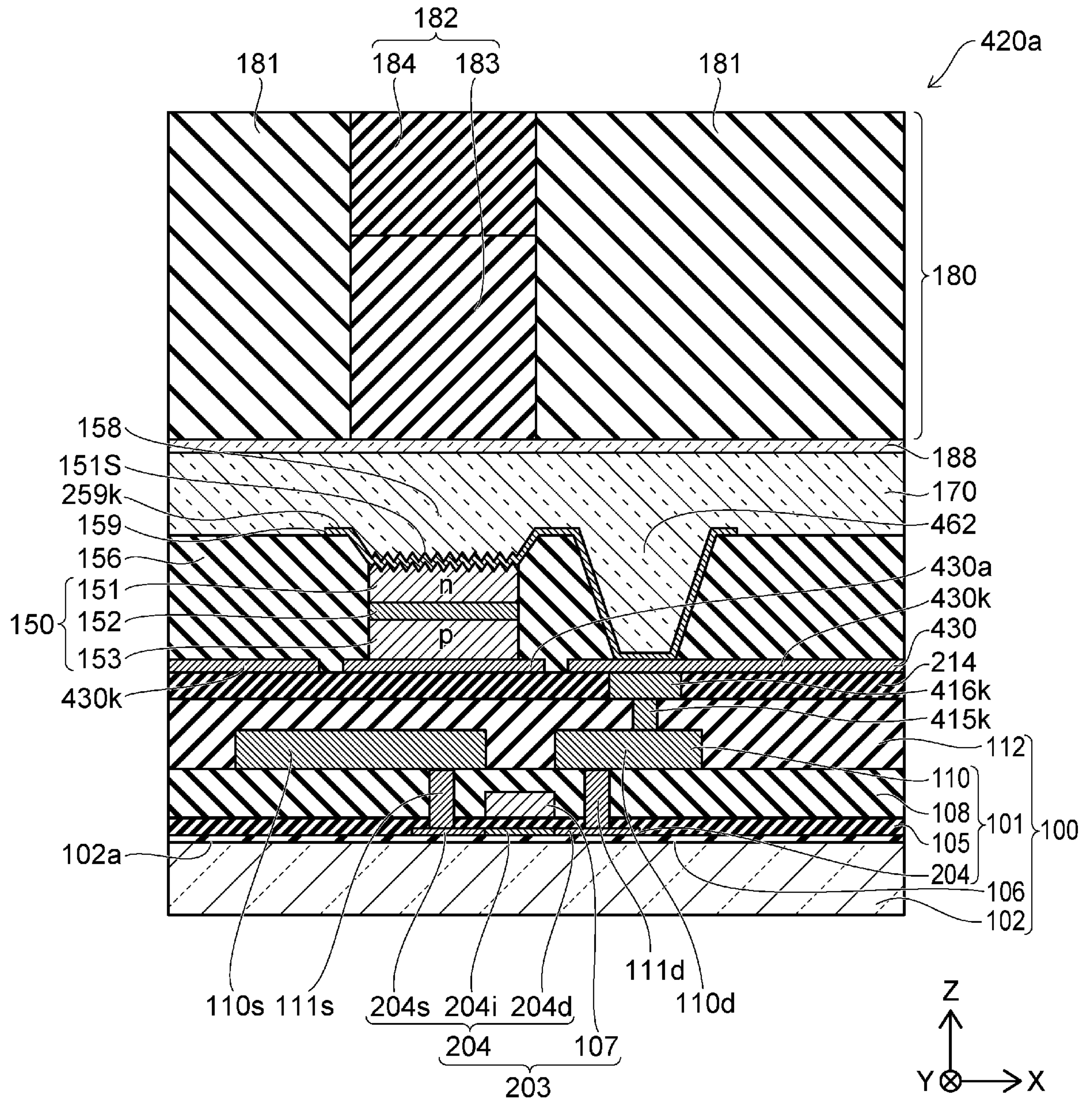
[図24A]



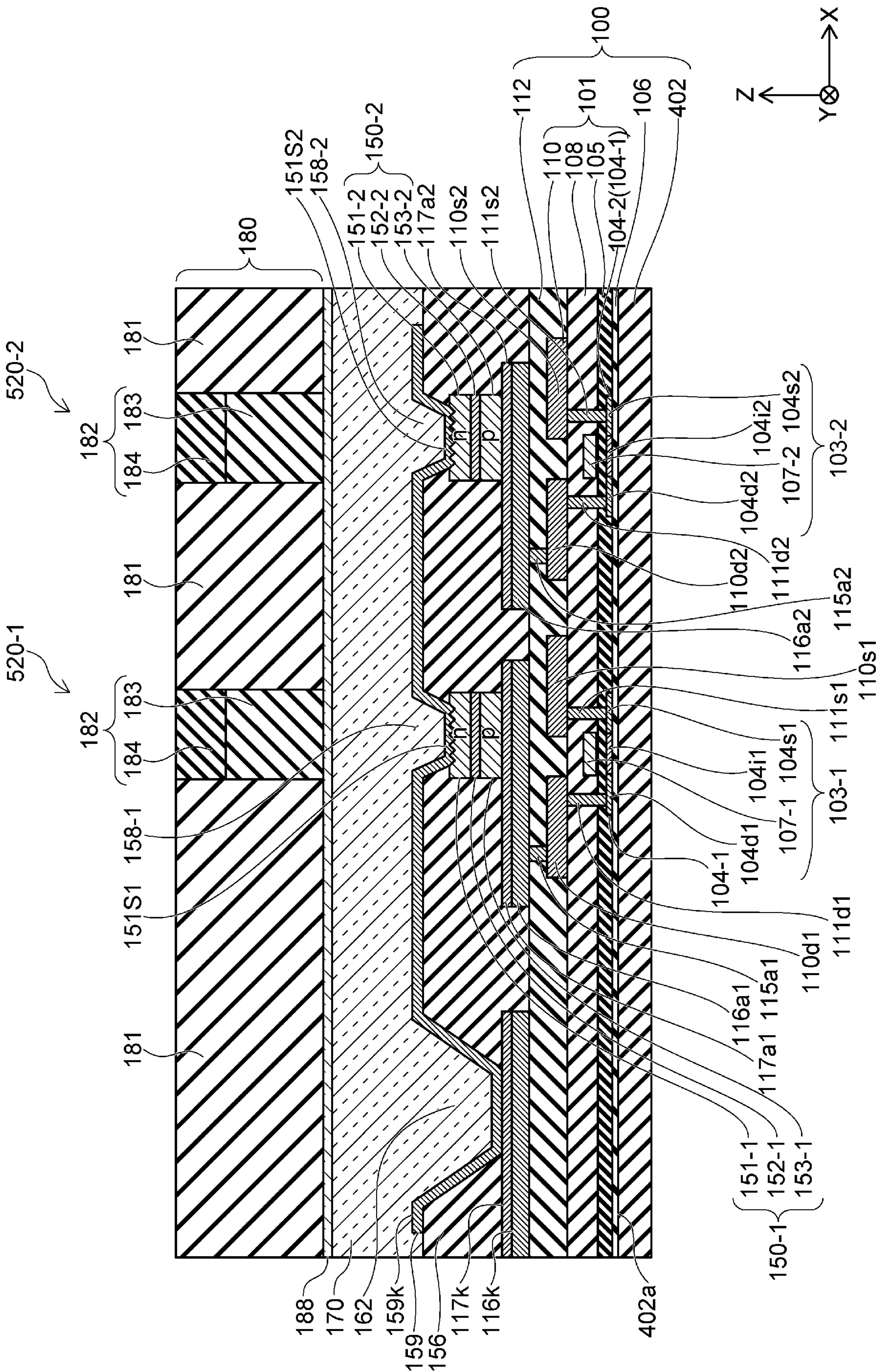
[図24B]



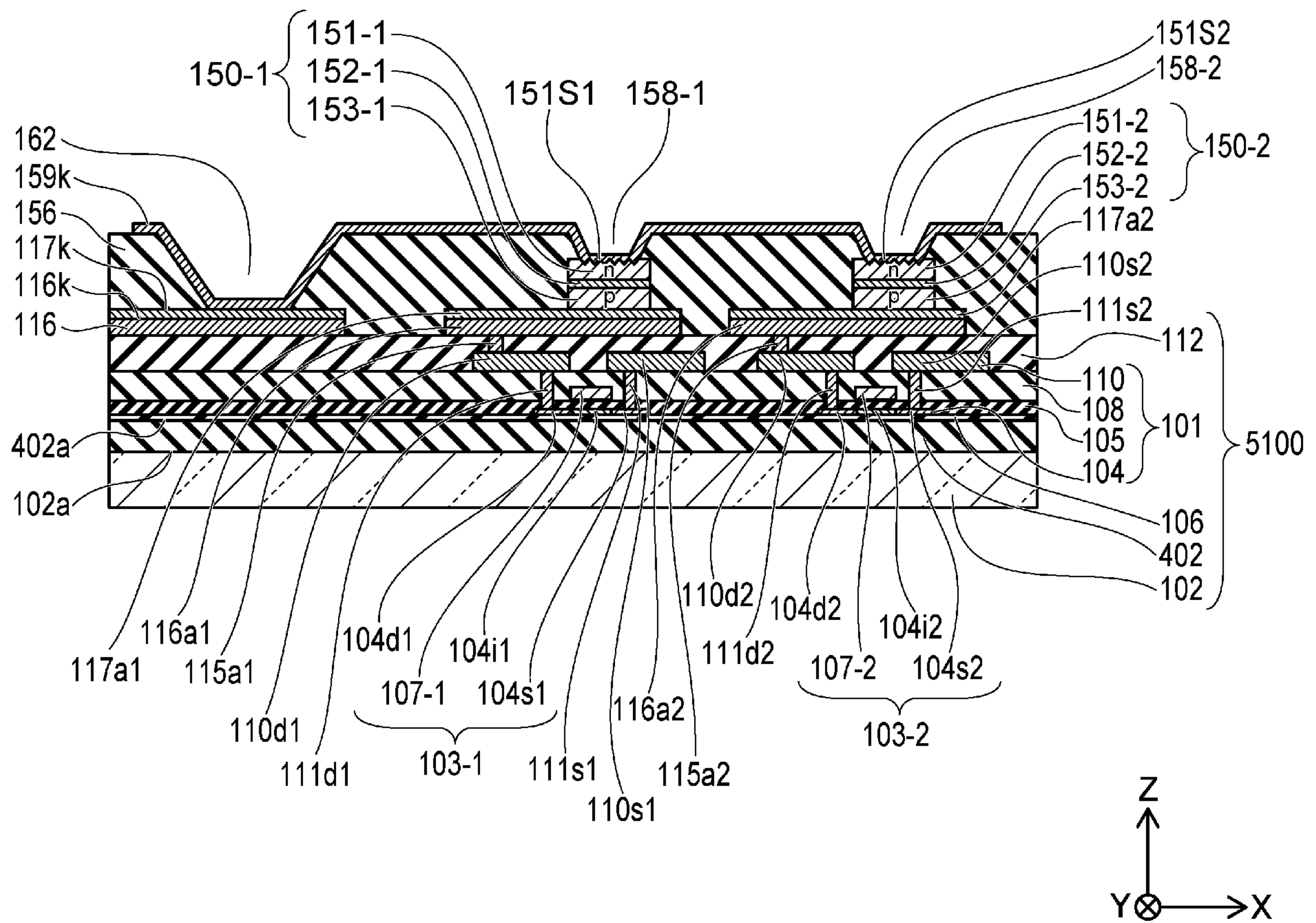
[図27]



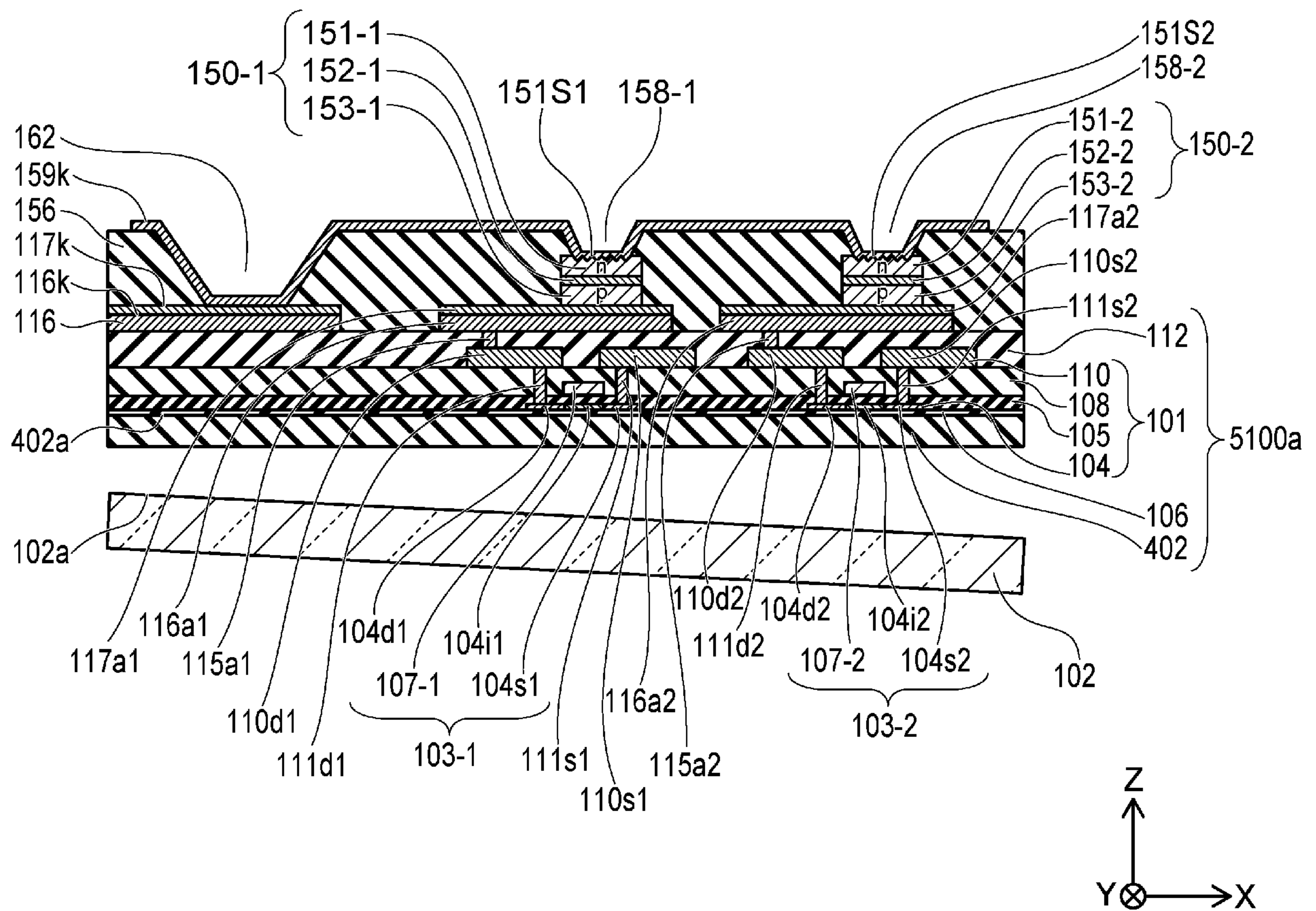
[図29]



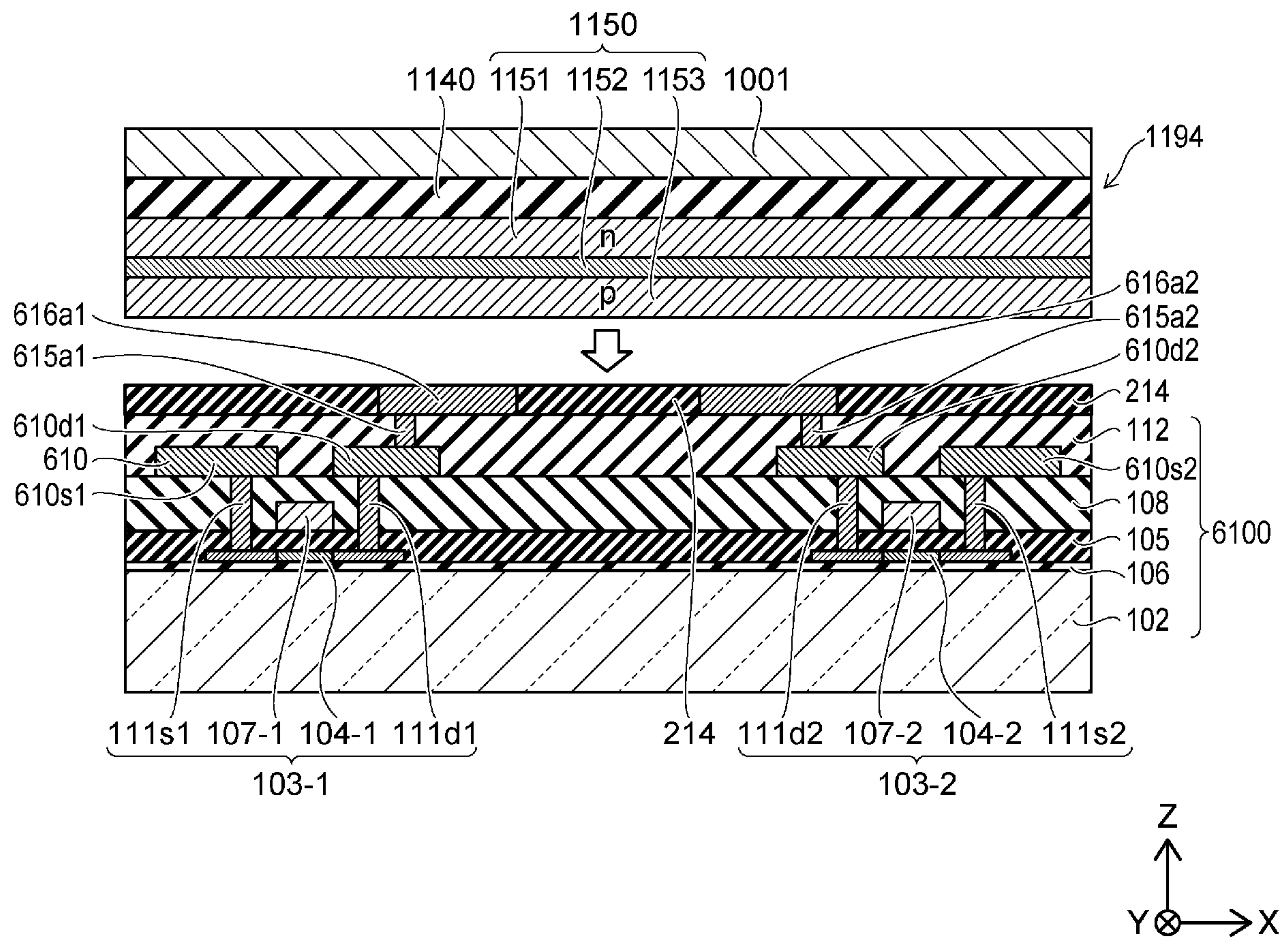
[図30A]



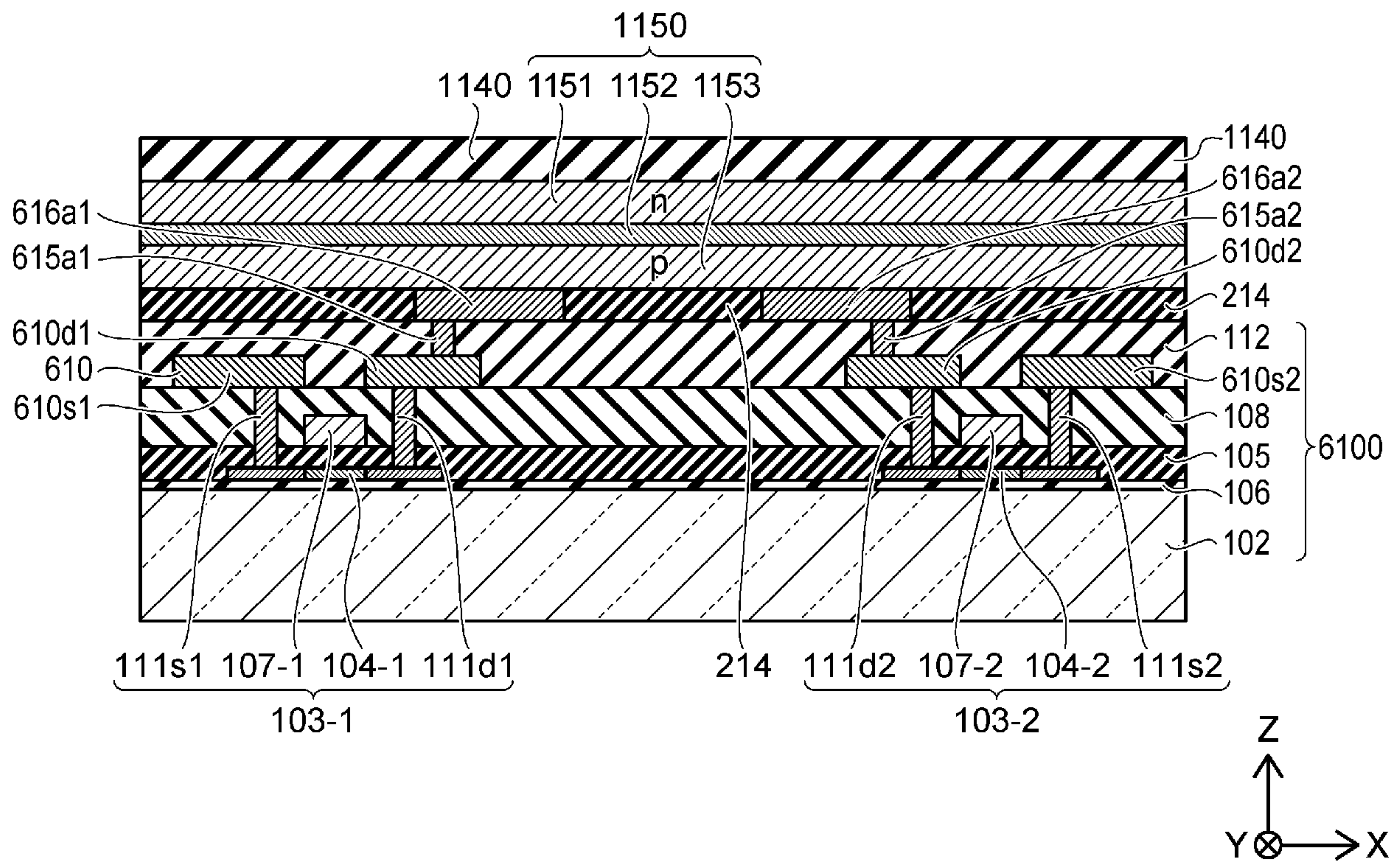
[図30B]



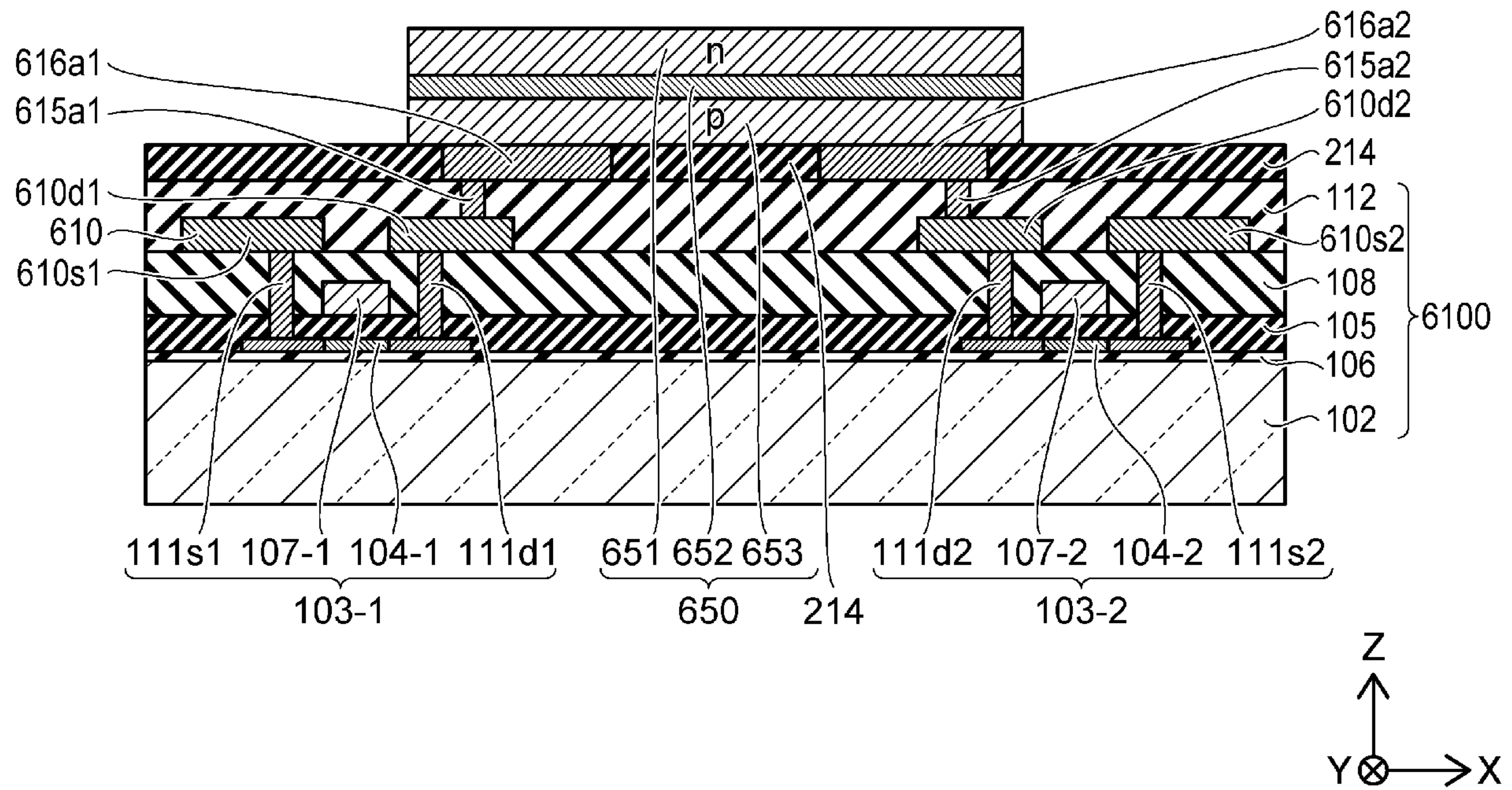
[図32A]



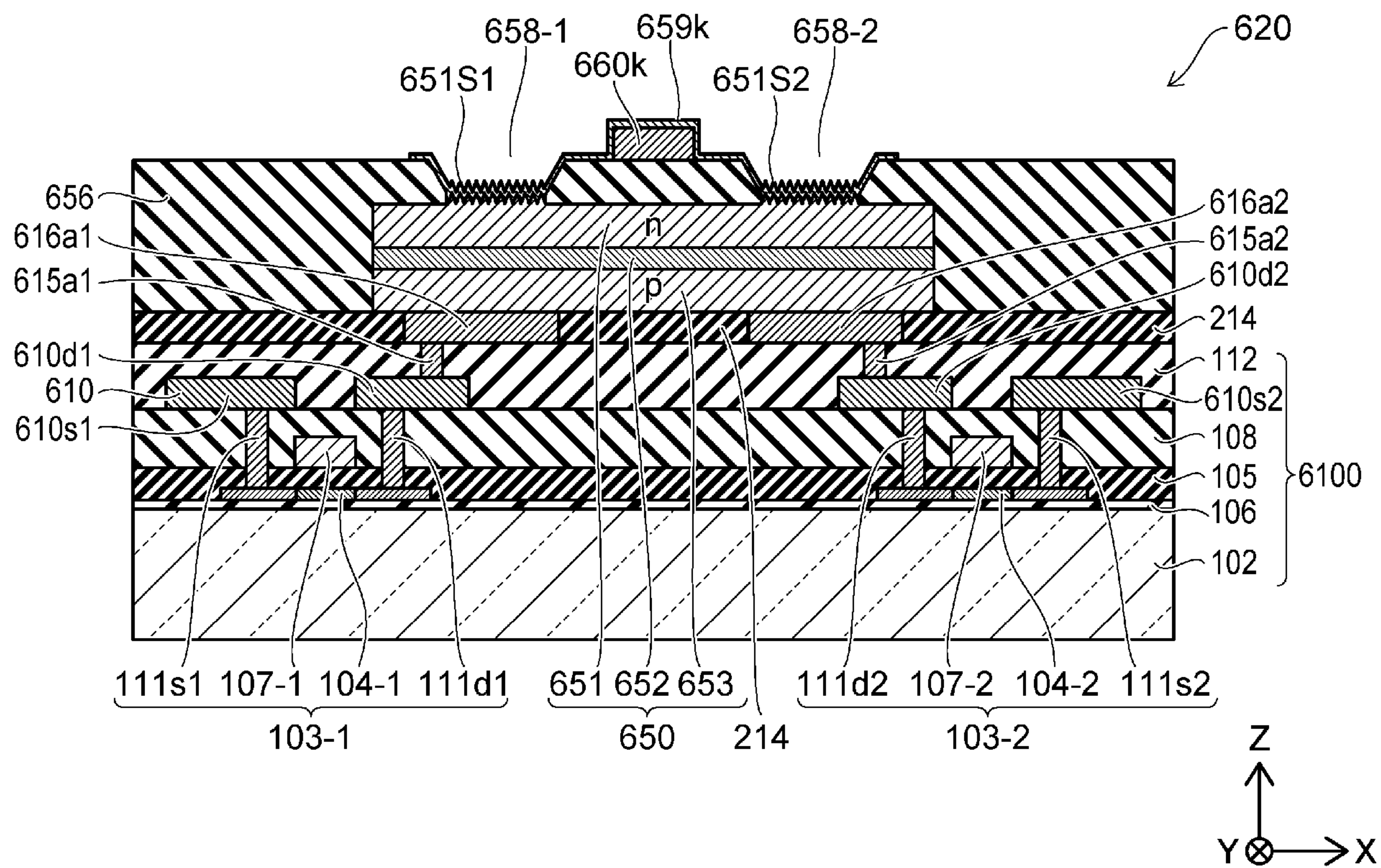
[図32B]



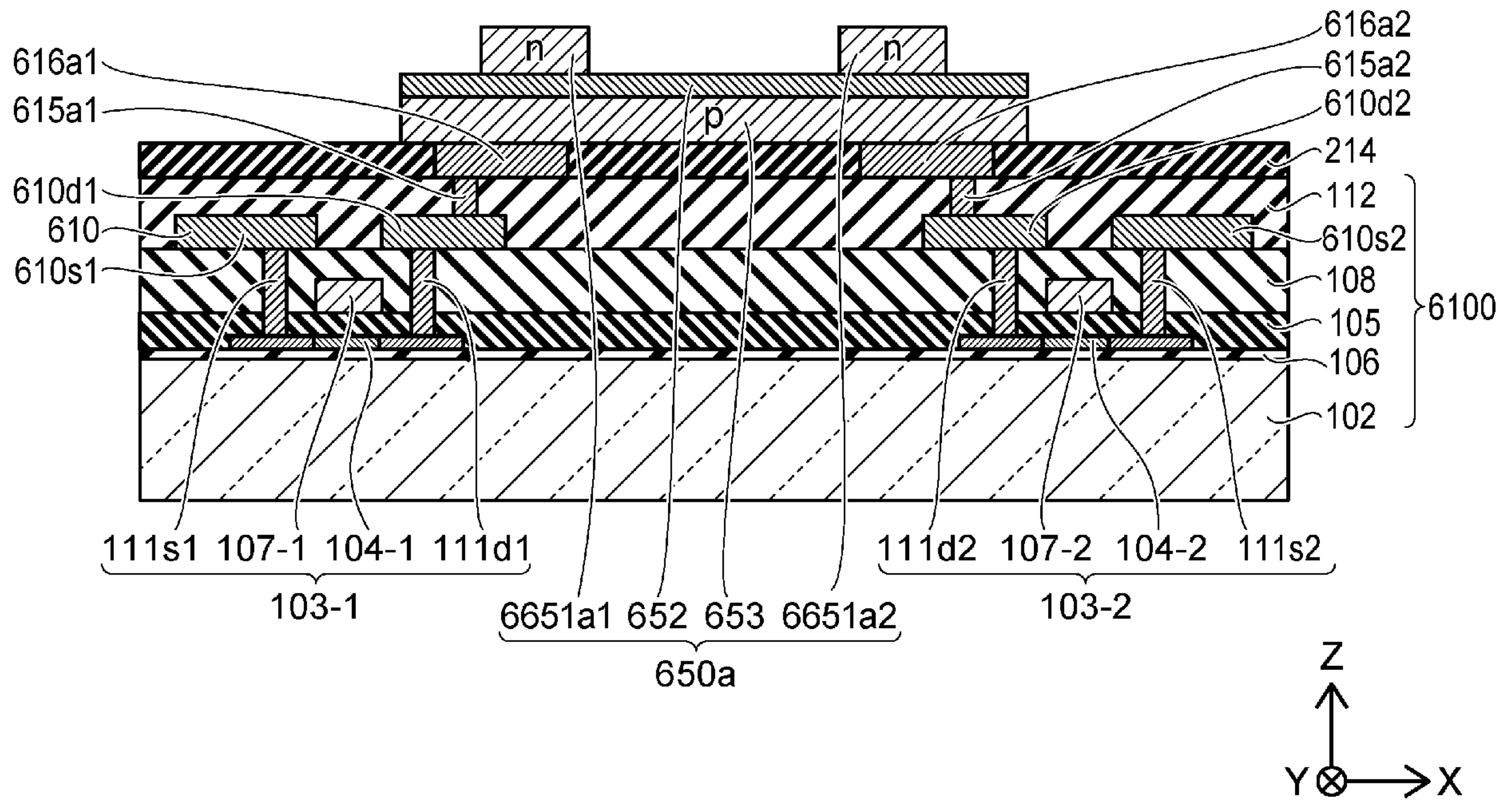
[図33A]



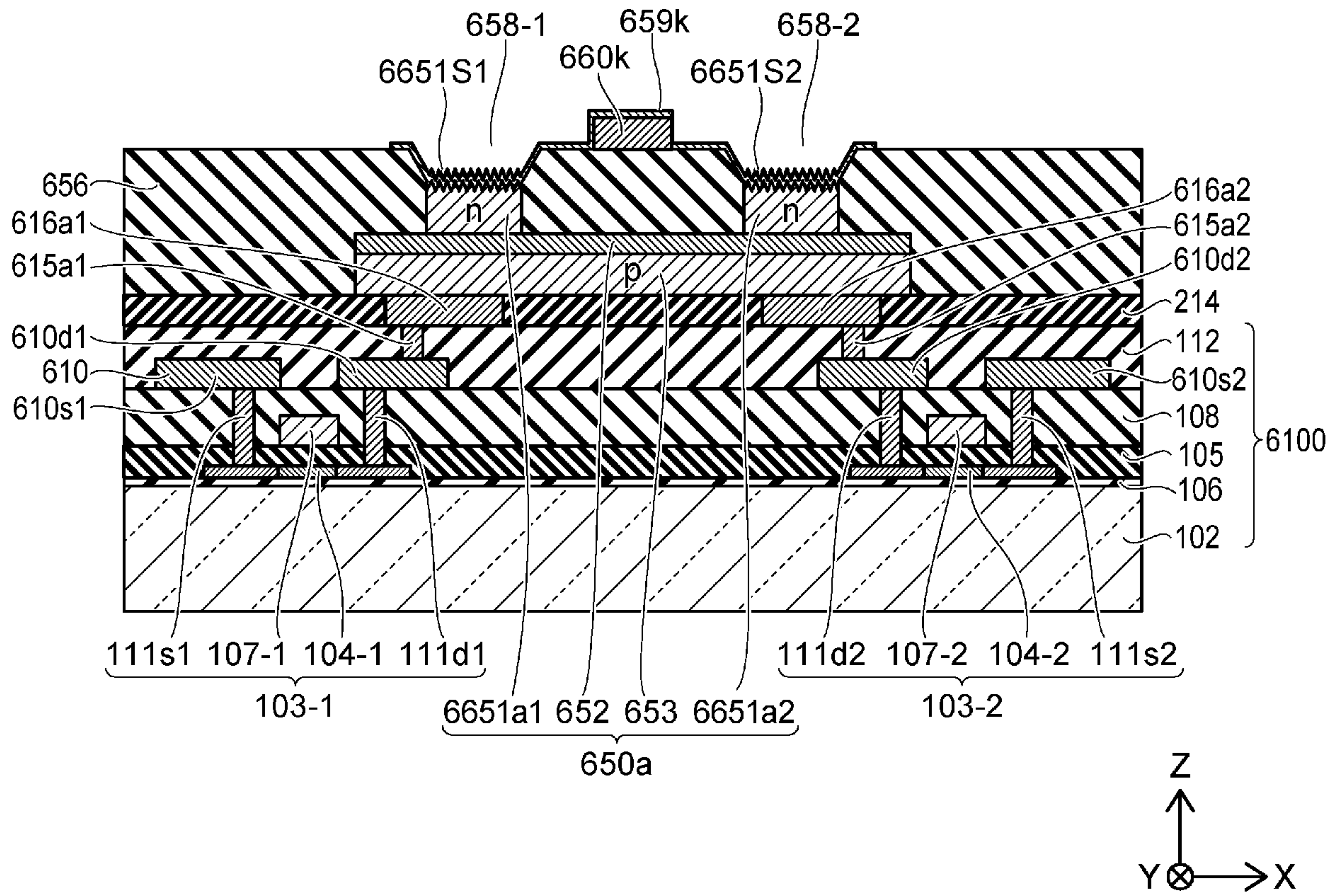
[図33B]



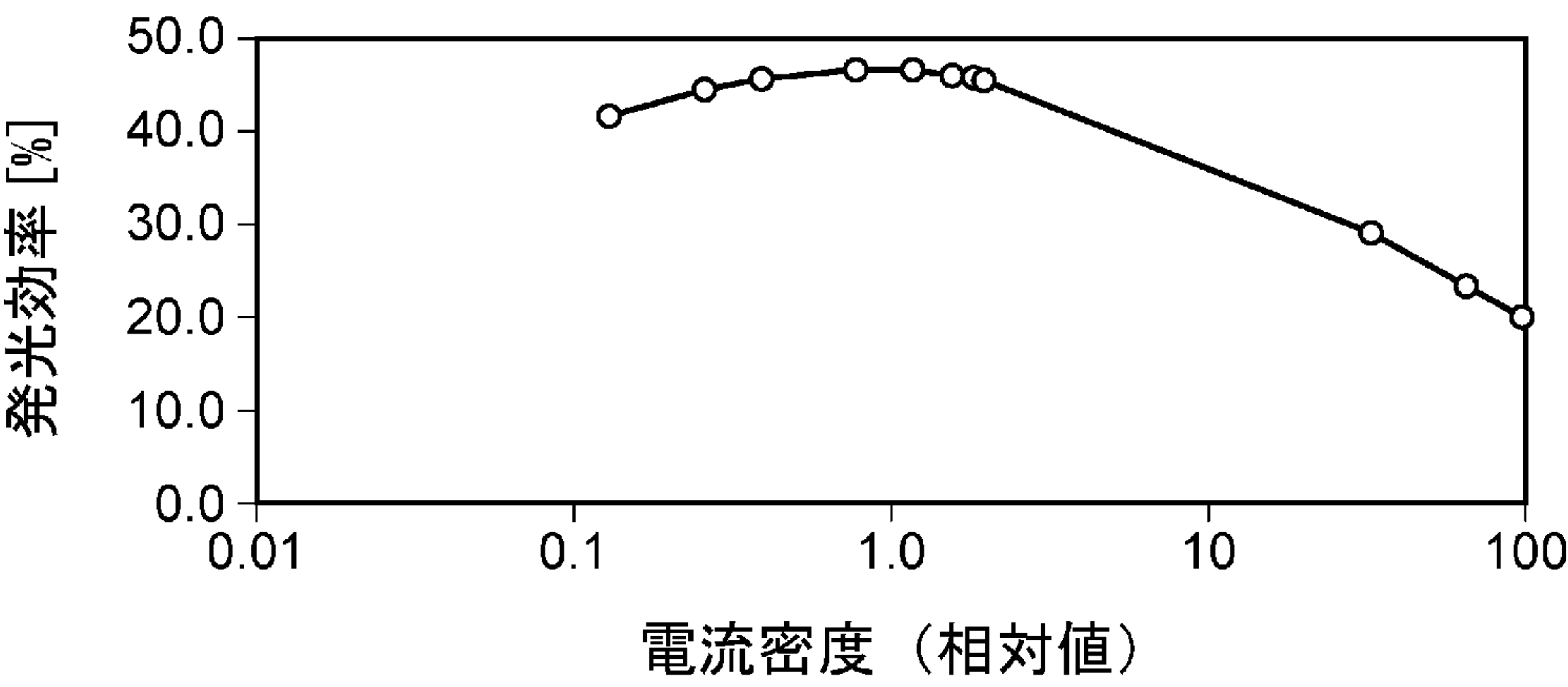
[図35A]



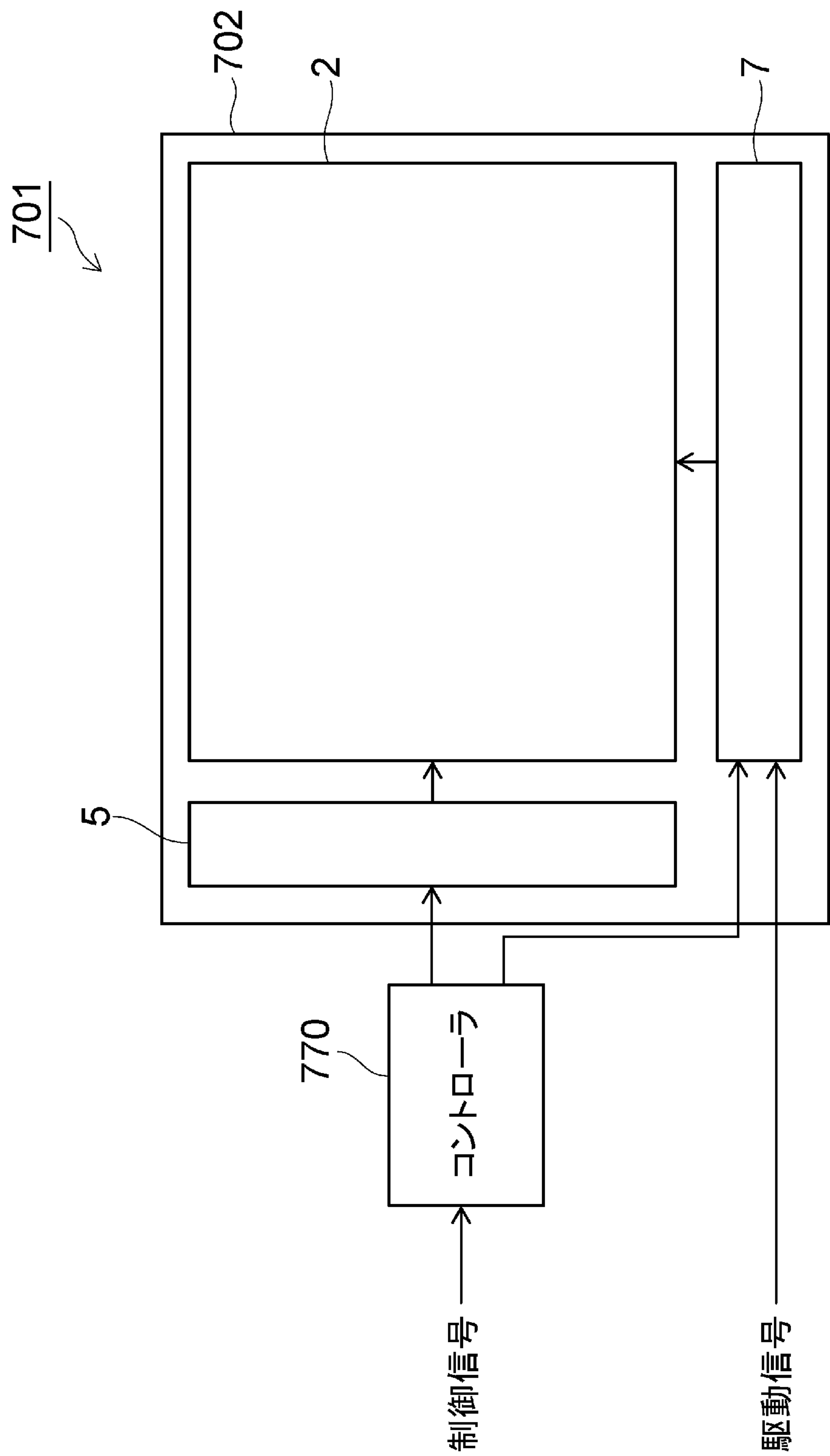
[図35B]



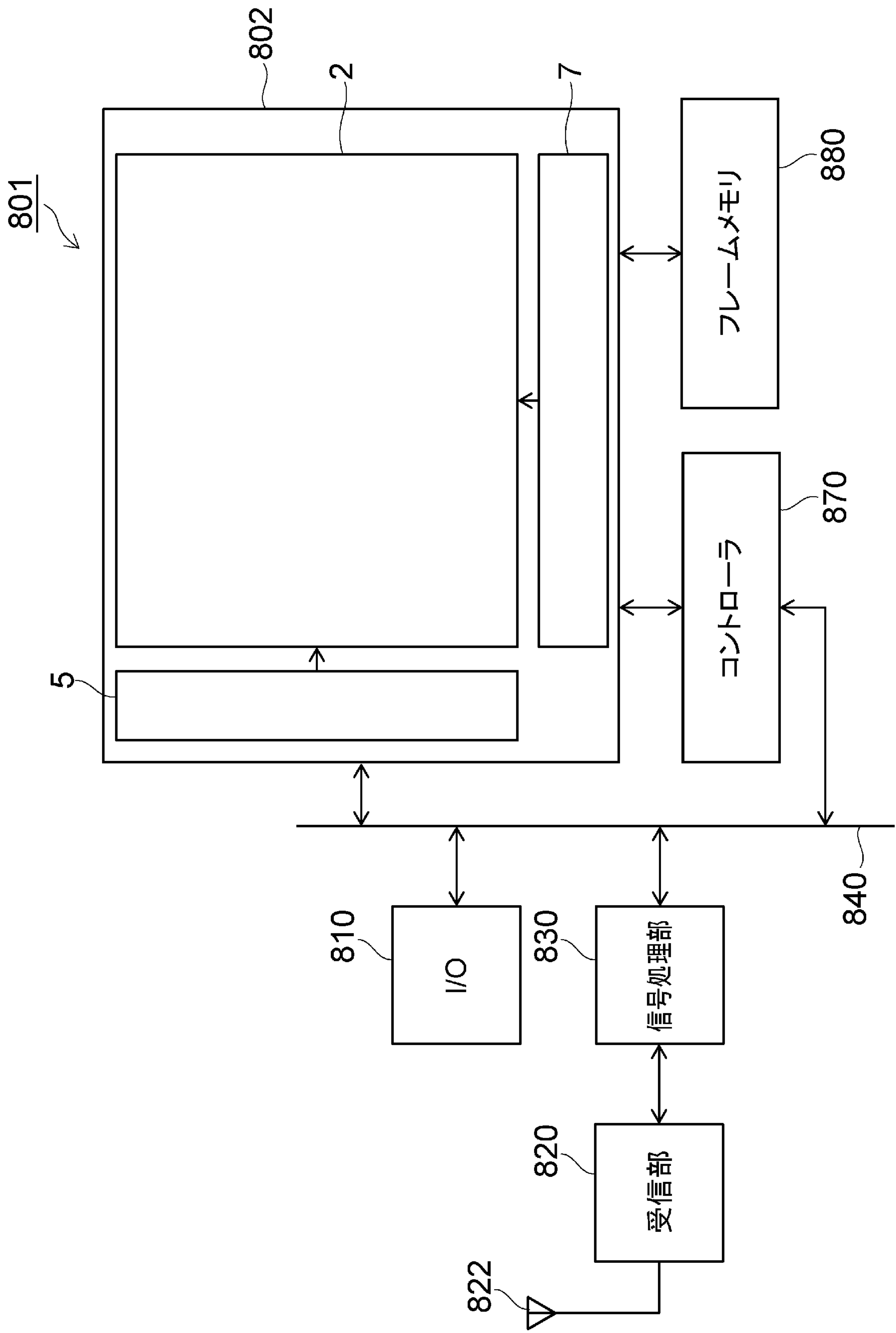
[図36]



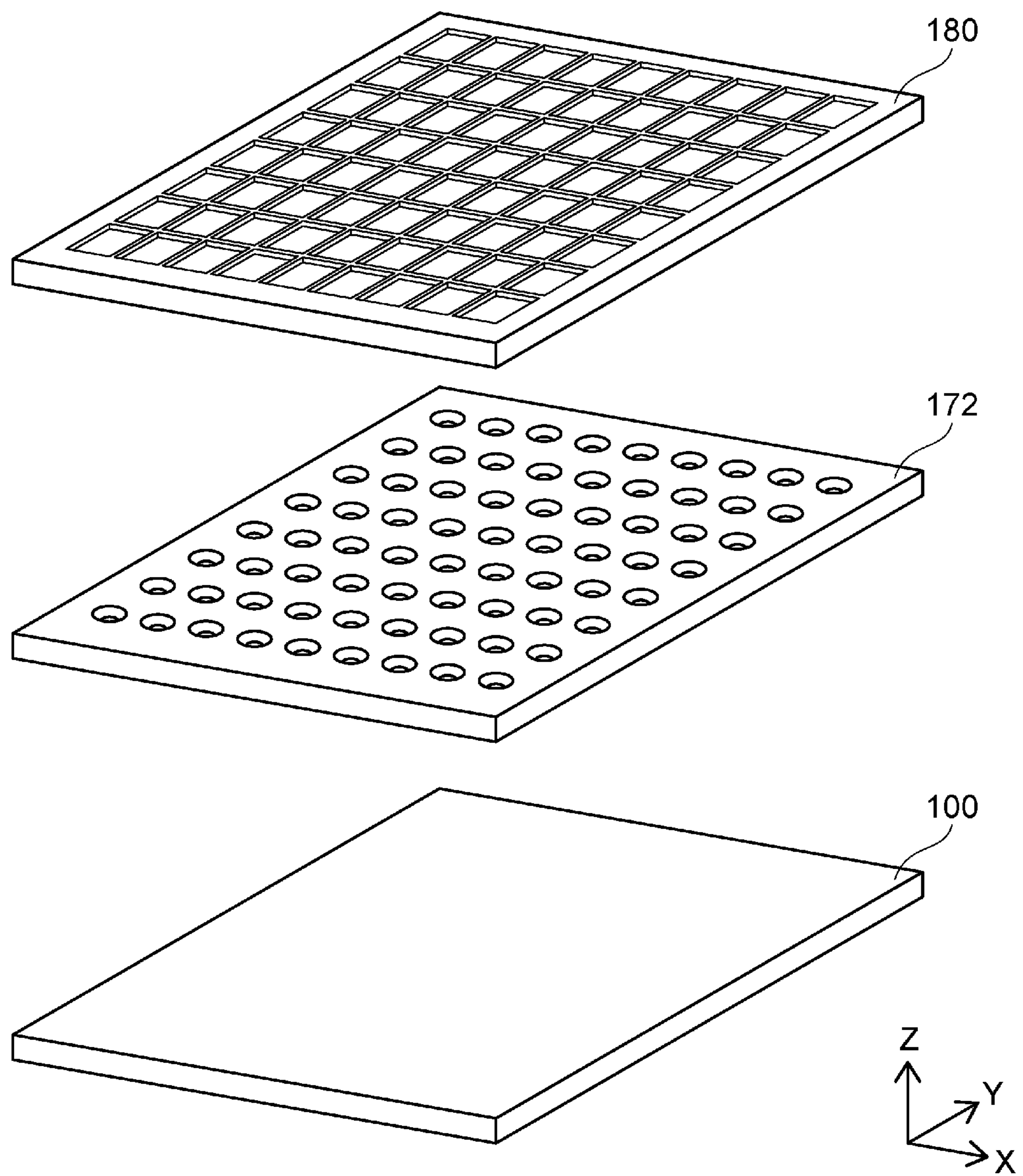
[図37]



[図38]



[図39]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/041208

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/62(2010.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i

FI: G09F9/00 338; H01L33/62; G09F9/33; G09F9/30 308Z; G09F9/30 338

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/62; G09F9/00; G09F9/30; G09F9/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-141492 A (CANON INC.) 17 May 2002 (2002-05-17) paragraphs [0026]-[0038], fig. 1-5	2
Y	JP 2008-135419 A (CANON INC.) 12 June 2008 (2008-06-12) paragraphs [0065], [0078], [0178]-[0179], fig. 6-7	2, 13-14, 16-22
Y	JP 2016-522585 A (LUXVUE TECHNOLOGY CORPORATION) 28 July 2016 (2016-07-28) paragraphs [0017], [0030], [0037], [0041]-[0042], [0052]-[0055], [0058], fig. 2C, 11, 13A	13-22
Y	WO 2018/074611 A1 (ORGANO-CIRCUIT INC.) 26 April 2018 (2018-04-26) page 4, line 29 to page 6, line 24, fig. 1-4	15
Y	JP 2007-242645 A (ROHM CO., LTD.) 20 September 2007 (2007-09-20) paragraphs [0024]-[0035], fig. 1-2	20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 December 2020 (21.12.2020)Date of mailing of the international search report
28 December 2020 (28.12.2020)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/041208

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-205456 A (V TECHNOLOGY CO., LTD.) 27 December 2018 (2018-12-27) paragraphs [0011]-[0028], fig. 1-2	22
A	JP 2017-45855 A (DAINIPPON PRINTING CO., LTD.) 02 March 2017 (2017-03-02) entire text, all drawings	1-24
A	JP 2010-219310 A (SHARP CORP.) 30 September 2010 (2010-09-30) entire text, all drawings	1-24
A	US 2019/0319020 A1 (PAN, Shaoher) 17 October 2019 (2019-10-17) entire text, all drawings	1-24

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/041208

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2002-141492 A	17 May 2002	(Family: none)	
JP 2008-135419 A	12 Jun. 2008	US 2010/0026779 A1 paragraphs [0138], [0151], [0264]- [0265], fig. 6-7 WO 2008/050901 A1 EP 2082439 A KR 10-2009-0074091 A CN 101529605 A RU 2009120060 A TW 200834988 A BR PI0718418 A2	
JP 2016-522585 A	28 Jul. 2016	US 2014/0367705 A1 paragraphs [0046], [0059], [0066], [0070]-[0071], [0081]-[0084], [0087], fig. 2C, 11, 13A EP 2997608 A1 TW 201515262 A CN 105324858 A KR 10-2016-0010537 A	
WO 2018/074611 A1	26 Apr. 2018	US 2019/0244942 A1 paragraphs [0034]- [0047], fig. 1-4 EP 3531403 A1 KR 10-2019-0067180 A CN 109844848 A TW 201917714 A	
JP 2007-242645 A	20 Sep. 2007	(Family: none)	
JP 2018-205456 A	27 Dec. 2018	US 2020/0098952 A1 paragraphs [0013]- [0034], fig. 1-2 WO 2018/221081 A1 EP 3633657 A1 TW 201906199 A CN 110692097 A KR 10-2020-0014799 A	
JP 2017-45855 A	02 Mar. 2017	(Family: none)	
JP 2010-219310 A	30 Sep. 2010	(Family: none)	
US 2019/0319020 A1	17 Oct. 2019	US 10325894 B1 entire text, all drawings	

国際調査報告		国際出願番号 PCT/JP2020/041208
A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 33/62(2010.01)i; G09F 9/00(2006.01)i; G09F 9/30(2006.01)i; G09F 9/33(2006.01)i FI: G09F9/00 338; H01L33/62; G09F9/33; G09F9/30 308Z; G09F9/30 338		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L33/62; G09F9/00; G09F9/30; G09F9/33		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2002-141492 A（キヤノン株式会社）17.05.2002（2002 - 05 - 17） 段落[0026]－[0038]，図1－5	2
Y	JP 2008-135419 A（キヤノン株式会社）12.06.2008（2008 - 06 - 12） 段落[0065]，[0078]，[0178]－[0179]，図6－7	2, 13-14, 16-22
Y	JP 2016-522585 A（ルクスビュー テクノロジー コーポレイション）28.07.2016 （2016 - 07 - 28） 段落[0017]，[0030]，[0037]，[0041]－[0042]，[0052]－[0055]，[0058]，図 2C，11，13A	13－22
Y	WO 2018/074611 A1（株式会社オルガノサーキット）26.04.2018（2018 - 04 - 26） 第4頁第29行－第6頁第24行，図1－4	15
Y	JP 2007-242645 A（ローム株式会社）20.09.2007（2007 - 09 - 20） 段落[0024]－[0035]，図1－2	20
Y	JP 2018-205456 A（株式会社ブイ・テクノロジー）27.12.2018（2018 - 12 - 27） 段落[0011]－[0028]，図1-2	22
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献		“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献
国際調査を完了した日 21. 12. 2020		国際調査報告の発送日 28. 12. 2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 川俣 郁子 21 1167 電話番号 03-3581-1101 内線 3273

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-45855 A (大日本印刷株式会社) 02.03.2017 (2017 - 03 - 02) 全文, 全図	1-24
A	JP 2010-219310 A (シャープ株式会社) 30.09.2010 (2010 - 09 - 30) 全文, 全図	1-24
A	US 2019/0319020 A1 (PAN, Shaoher) 17.10.2019 (2019 - 10 - 17) 全文, 全図	1-24

引用文献			公表日	パテントファミリー文献	公表日
JP	2002-141492	A	17.05.2002	(ファミリーなし)	
JP	2008-135419	A	12.06.2008	US 2010/0026779 A1	
				段落[0138], [0151],	
				[0264]－[0265], 図6－7	
				WO 2008/050901 A1	
				EP 2082439 A	
				KR 10-2009-0074091 A	
				CN 101529605 A	
				RU 2009120060 A	
				TW 200834988 A	
				BR PI0718418 A2	
JP	2016-522585	A	28.07.2016	US 2014/0367705 A1	
				段落[0046], [0059],	
				[0066], [0070]－[0071],	
				[0081]－[0084], [0087],	
				図2C, 11, 13A	
				EP 2997608 A1	
				TW 201515262 A	
				CN 105324858 A	
				KR 10-2016-0010537 A	
WO	2018/074611	A1	26.04.2018	US 2019/0244942 A1	
				段落[0034]－[0047], 図1－4	
				EP 3531403 A1	
				KR 10-2019-0067180 A	
				CN 109844848 A	
				TW 201917714 A	
JP	2007-242645	A	20.09.2007	(ファミリーなし)	
JP	2018-205456	A	27.12.2018	US 2020/0098952 A1	
				段落[0013]－[0034], 図1-2	
				WO 2018/221081 A1	
				EP 3633657 A1	
				TW 201906199 A	
				CN 110692097 A	
				KR 10-2020-0014799 A	
JP	2017-45855	A	02.03.2017	(ファミリーなし)	
JP	2010-219310	A	30.09.2010	(ファミリーなし)	
US	2019/0319020	A1	17.10.2019	US 10325894 B1	
				全文, 全図	