

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年3月26日(26.03.2015)



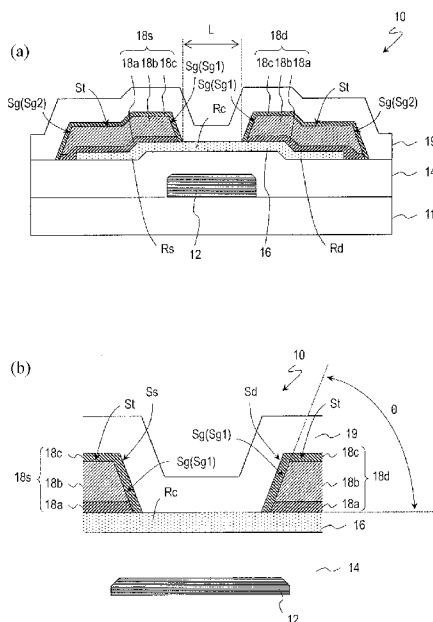
(10) 国際公開番号
WO 2015/040982 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
G02F 1/1368 (2006.01) *H01L 29/417* (2006.01)
H01L 21/28 (2006.01)
- (21) 国際出願番号: PCT/JP2014/071257
- (22) 国際出願日: 2014年8月12日(12.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-193221 2013年9月18日(18.09.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者: 宮本 忠芳(MIYAMOTO Tadayoshi). 富安一秀(TOMIYASU Kazuhide).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE, DISPLAY DEVICE, AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、表示装置および半導体装置の製造方法

[図1]



(57) Abstract: This semiconductor device is provided with a substrate (11) and a thin-film transistor (10) supported on the substrate. The thin-film transistor has a gate electrode (12), a semiconductor layer (16), a gate-insulating layer (14) provided between the gate electrode and the semiconductor layer, and a source electrode (18s) and drain electrode (18d) which each contact the semiconductor layer. Each of the source and drain electrodes has a principal layer (18b) containing aluminum or copper, a bottom layer (18a) having a first layer containing a high-melting-point metal and positioned as a bottom layer on the substrate side of the principal layer, and a top layer (18c) having a second layer containing a high-melting-point metal and positioned as a top layer on the side of the principal layer opposite the substrate. Therein, the top layer is positioned so as to cover the upper surface (St) of the principal layer, and cover at least the section of the side surface (Sg) thereof which overlaps the semiconductor layer.

(57) 要約: 半導体装置は、基板(11)と、基板に支持された薄膜トランジスタ(10)とを備える。薄膜トランジスタは、ゲート電極(12)と、半導体層(16)と、ゲート電極および半導体層の間に設けられたゲート絶縁層(14)と、それぞれが半導体層に接するソース電極(18s)およびドレイン電極(18d)とを有する。ソース電極およびドレイン電極のそれぞれは、アルミニウムまたは銅を含む主層(18b)と、主層の基板側に配置された下層であって、高融点金属を含む第1層を有する下層(18a)と、主層の基板とは反対側に配置された上層であって、高融点金属を含む第2層を有する上層(18c)と、を有しており、上層は、主層の上面(St)を覆い、かつ、主層の側面(Sg)のうちの少なくとも半導体層に重なる部分を覆うように設けられている。

ちの少なくとも半導体層に重なる部分を覆うように設けられている。

明 細 書

発明の名称：半導体装置、表示装置および半導体装置の製造方法 技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関し、特に、薄膜トランジスタ（ＴＦＴ）を備える半導体装置およびその製造方法に関する。また、本発明は、そのような半導体装置を備えた表示装置にも関する。

背景技術

[0002] 近年、アクティブマトリクス基板を備える表示装置が広く用いられている。アクティブマトリクス基板は、画素ごとに薄膜トランジスタ（Thin Film Transistor：以下、「ＴＦＴ」）等のスイッチング素子を備えている。スイッチング素子としてＴＦＴを備えるアクティブマトリクス基板は、ＴＦＴ基板と呼ばれる。

[0003] 液晶表示装置等に用いられるＴＦＴ基板は、例えば、ガラス基板と、ガラス基板に支持された複数のＴＦＴと、ゲート配線およびソース配線と、マトリクス状に配列された画素電極とを有している。各ＴＦＴのゲート電極はゲート配線に、ソース電極はソース配線に、ドレイン電極は画素電極に、それぞれ電氣的に接続されている。ＴＦＴ、ソース配線およびゲート配線は、通常、層間絶縁層で覆われており、画素電極は、層間絶縁層上に設けられ、層間絶縁層に形成されたコンタクトホール内で、ＴＦＴのドレイン電極と接続されている。

[0004] ＴＦＴとしては、従来、アモルファスシリコン膜を活性層とするＴＦＴ（以下、「アモルファスシリコンＴＦＴ」）や多結晶シリコン膜を活性層とするＴＦＴ（以下、「多結晶シリコンＴＦＴ」）が広く用いられている。最近では、ＴＦＴの活性層の材料として、酸化物半導体が注目されている。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体ＴＦＴは、アモルファスシリコンＴＦＴよりも高速で動作することが可能である。また、酸化物半導体膜は、多結晶シリコン膜よりも

簡便なプロセスで形成されるため、大面積が必要とされる装置にも適用できる。本明細書では、酸化物半導体膜を活性層とするＴＦＴを「酸化物半導体ＴＦＴ」と称することがある。

[0005] ＴＦＴのソース電極およびドレイン電極は、一般に、ソース配線とともに、同一の導電膜から形成される。この導電膜の材料としては、高い導電性を有する、アルミニウム（Ａｌ）やＡｌ合金が広く用いられている。また、最近では、いっそう導電性に優れる銅（Ｃｕ）を用いることも提案されている。本明細書では、ソース配線を含む、同一の導電膜から形成された層を「ソース配線層」と称することがある。

[0006] 上述したＡｌ等を用いてソース配線層を形成することにより、配線抵抗の小さなソース配線を形成することができる。その一方、Ａｌ膜（あるいはＡｌ合金膜）とＴＦＴの半導体層とを接触させると、半導体層内部にＡｌが拡散し、所望のＴＦＴ特性を得られなくなるおそれがある。Ｃｕを用いてソース配線層を形成する場合にも、半導体層内部にＣｕが拡散して所望のＴＦＴ特性を得られなくなるおそれがある。また、ＴＦＴ基板の製造工程において、ソース配線層の形成後に熱処理（例えば２００～６００℃程度）を行う場合、Ａｌ層（あるいはＡｌ合金層）が加熱されることによってＡｌ層の表面が変形し、ヒロックと呼ばれる突起物が生じることがある。Ａｌ層の表面のヒロックは、層間絶縁層の絶縁性を低下させる。

[0007] これらのことから、積層膜を用いてソース配線層を形成することが提案されている。例えば特許文献１および２には、モリブデン（Ｍｏ）層、Ａｌ層およびＭｏ層が順に積層された構造を有するソース電極およびドレイン電極が開示されている。特許文献３には、Ａｌ層またはＣｕ層と酸化物半導体層との間にチタン（Ｔｉ）層を形成することが開示されている。特許文献４には、Ｔｉ層、Ａｌ層およびＴｉ層が順に積層された構造を有するソース電極およびドレイン電極が開示されている。

先行技術文献

特許文献

[0008] 特許文献1：特開平 1 1－2 5 8 6 2 5 号公報

特許文献2：特開 2 0 0 2－1 1 1 0 0 4 号公報

特許文献3：特開 2 0 1 0－1 2 3 9 2 3 号公報

特許文献4：特開 2 0 1 0－1 2 3 7 4 8 号公報

発明の概要

発明が解決しようとする課題

[0009] しかしながら、本願発明者らの検討によれば、特許文献 1～4 に開示されている技術のように、ソース配線層を形成するための導電膜を単純に積層膜とするだけでは、半導体層内部への A l や C u の拡散を十分に抑制できないことがわかった。半導体層内部への A l や C u の拡散は、T F T を備える半導体装置の信頼性を低下させる。

[0010] また、近年、表示装置の高精細化、大画面化に伴い、配線抵抗をより小さくすることが求められている。一般に、精細度が高くなるほど、また、表示パネルのサイズが大きくなるほど、配線抵抗や寄生容量が増大するので、配線の信号遅延は大きくなる。配線抵抗を小さくするためには、配線を厚膜化するか、または配線幅を大きくすればよく、開口率を維持しながら配線抵抗を小さくするには、配線を厚膜化する必要がある。

[0011] しかしながら、配線を厚膜化すると、基板面に垂直な断面における、ソース電極およびドレイン電極の側面形状の急峻化に起因して、T F T を覆う層間絶縁層に段切れが発生する懸念がある。段切れが発生すると、段切れから浸入した水分等によって A l や C u の拡散が著しく促進されてしまう。

[0012] 本発明は、上記に鑑みてなされたものであり、その目的は、T F T を備える半導体装置の信頼性を比較的簡易な構成によって向上させることにある。

課題を解決するための手段

[0013] 本発明の実施形態による半導体装置は、基板と、前記基板に支持された薄膜トランジスタとを備える半導体装置であって、前記薄膜トランジスタは、ゲート電極と、半導体層と、前記ゲート電極および前記半導体層の間に設けられたゲート絶縁層と、それぞれが前記半導体層に接するソース電極および

ドレイン電極とを有し、前記ソース電極および前記ドレイン電極のそれぞれは、アルミニウムまたは銅を含む主層と、前記主層の前記基板側に配置された下層であって、高融点金属を含む第1層を有する下層と、前記主層の前記基板とは反対側に配置された上層であって、高融点金属を含む第2層を有する上層とを有しており、前記上層は、前記主層の上面を覆い、かつ、前記主層の側面のうちの少なくとも前記半導体層に重なる部分を覆うように設けられている。

[0014] ある実施形態において、前記ソース電極および前記ドレイン電極のそれぞれは、前記半導体層の上面の一部に接するように設けられている。

[0015] ある実施形態において、前記ソース電極および前記ドレイン電極のそれぞれは、前記半導体層の下面の一部に接するように設けられている。

[0016] 本発明の他の実施形態による半導体装置は、基板と、前記基板に支持された薄膜トランジスタとを備える半導体装置であって、前記薄膜トランジスタは、ゲート電極と、半導体層と、前記ゲート電極および前記半導体層の間に設けられたゲート絶縁層と、それぞれが前記半導体層に接するソース電極およびドレイン電極とを有し、前記ソース電極および前記ドレイン電極のそれぞれは、前記半導体層の下面の一部に接するように設けられており、前記ソース電極および前記ドレイン電極のそれぞれは、アルミニウムまたは銅を含む主層と、前記主層の前記基板とは反対側に配置された上層であって、高融点金属を含む第1層を有する上層とを有しており、前記上層は、前記主層の上面を覆い、かつ、前記主層の側面のうちの少なくとも前記半導体層に重なる部分を覆うように設けられている。

[0017] ある実施形態において、前記ゲート電極は、前記半導体層よりも前記基板の近くに配置されている。

[0018] ある実施形態において、前記半導体層は、前記ゲート電極よりも前記基板の近くに配置されている。

[0019] ある実施形態において、前記高融点金属は、チタン、モリブデン、タングステン、タンタルまたはクロムである。

- [0020] ある実施形態において、前記半導体層は、酸化物半導体を含む。
- [0021] ある実施形態において、前記酸化物半導体は、 In-Ga-Zn-O 系の半導体を含む。
- [0022] ある実施形態において、前記 In-Ga-Zn-O 系の半導体は、結晶質部分を含む。
- [0023] ある実施形態において、前記薄膜トランジスタは、前記半導体層のチャネル領域を覆うエッチストップ層をさらに有する。
- [0024] ある実施形態において、上述した半導体装置は、アクティブマトリクス基板である。
- [0025] 本発明の実施形態による表示装置は、上述した半導体装置を備える表示装置である。
- [0026] 本発明の実施形態による半導体装置の製造方法は、基板を用意する工程と、前記基板上に、半導体層、ゲート電極、ソース電極、ドレイン電極およびゲート絶縁層を有する薄膜トランジスタを形成する工程とを包含する半導体装置の製造方法であって、前記薄膜トランジスタを形成する工程は、アルミニウムまたは銅を含む主層と、前記主層の前記基板とは反対側に配置された上層であって、高融点金属を含む第1層を有する上層とをそれぞれが有する前記ソース電極および前記ドレイン電極を形成する工程を含み、前記ソース電極および前記ドレイン電極を形成する工程において、前記上層は、前記主層の上面を覆い、かつ、前記主層の側面のうちの少なくとも前記半導体層に重なる部分を覆うように形成される。
- [0027] ある実施形態において、前記ソース電極および前記ドレイン電極を形成する工程は、高融点金属を含む第1層を有する上部導電膜を前記主層上に形成した後、前記上部導電膜をパターニングすることによって前記上層を形成する工程を含む。
- [0028] ある実施形態において、前記ソース電極および前記ドレイン電極を形成する工程は、さらに、高融点金属を含む第2層を有する下部導電膜、およびアルミニウムまたは銅を含む中間導電膜を順次形成した後、前記下部導電膜お

よび前記中間導電膜をパターニングすることによって、前記主層の前記基板側に配置された下層であって、高融点金属を含む第2層を有する下層および前記主層を形成する工程を含む。

発明の効果

[0029] 本発明の実施形態によれば、TFTを備える半導体装置の信頼性を比較的簡易な構成によって向上させることができる。

図面の簡単な説明

[0030] [図1] (a) は、本発明の実施形態によるTFT基板が備える薄膜トランジスタ10の模式的な断面図であり、(b) は、薄膜トランジスタ10におけるチャネル領域Rcの近傍を拡大して示す図である。

[図2] (a) は、積層構造を有するソース電極およびドレイン電極を備えた参考例の薄膜トランジスタ50の模式的な断面図であり、(b) は、薄膜トランジスタ50におけるチャネル領域Rcの近傍を拡大して示す図である。

[図3] (a) ～ (f) は、薄膜トランジスタ10を備えるTFT基板の製造方法を説明するための工程断面図である。

[図4] 本発明の他の実施形態によるTFT基板が備える薄膜トランジスタ20の模式的な断面図である。

[図5] (a) ～ (e) は、薄膜トランジスタ20を備えるTFT基板の製造方法を説明するための工程断面図である。

[図6] 本発明のさらに他の実施形態によるTFT基板が備える薄膜トランジスタ30の模式的な断面図である。

[図7] (a) ～ (f) は、薄膜トランジスタ30を備えるTFT基板の製造方法を説明するための工程断面図である。

[図8] 薄膜トランジスタ10の改変例である薄膜トランジスタ10Aの模式的な断面図である。

[図9] (a) ～ (e) は、薄膜トランジスタ10Aを備えるTFT基板の製造方法を説明するための工程断面図である。

[図10] 薄膜トランジスタ10の他の改変例である薄膜トランジスタ10Bの

模式的な断面図である。

[図11]薄膜トランジスタ10のさらに他の改変例である薄膜トランジスタ10Cの模式的な断面図である。

[図12]薄膜トランジスタ10のさらに他の改変例である薄膜トランジスタ10Dの模式的な断面図である。

[図13]薄膜トランジスタ10のさらに他の改変例である薄膜トランジスタ10Eの模式的な断面図である。

[図14]薄膜トランジスタ20の改変例である薄膜トランジスタ20Aの模式的な断面図である。

発明を実施するための形態

[0031] 以下、図面を参照して、本発明の実施形態による半導体装置、表示装置およびその製造方法を説明するが、本発明は、例示する実施形態に限定されない。本発明の実施形態による半導体装置は、少なくとも1つのTFTを備えていればよく、そのようなTFTを備える各種基板、各種表示装置、各種電子機器であってよい。以下では、表示装置（例えば液晶表示装置）用のTFT基板（アクティブマトリクス基板）を例として説明を行う。

[0032] まず、図1（a）および（b）を参照して、本発明の実施形態によるTFT基板が備える薄膜トランジスタ10の構造を説明する。図1（a）は、薄膜トランジスタ10の模式的な断面を示し、図1（b）は、薄膜トランジスタ10におけるチャネル領域Rcの近傍を拡大して示す。なお、以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略することがある。

[0033] 図1（a）に示すように、薄膜トランジスタ10は、TFT基板の基板（典型的には透明基板）11に支持されている。薄膜トランジスタ10は、基板11上に設けられたゲート電極12と、半導体層16と、ゲート電極12および半導体層16の間に設けられたゲート絶縁層14と、それぞれが半導体層16に接するソース電極18sおよびドレイン電極18dとを有する。後述するように、ソース電極18sおよびドレイン電極18dは、同一の積

層膜から形成される。薄膜トランジスタ 10 を覆うように、層間絶縁層 19 が形成されている。なお、図 1 (a) では、画素電極の図示は省略されている。

[0034] ここでは、薄膜トランジスタ 10 の半導体層 16 は、酸化物半導体を含む。つまり、半導体層 16 は、酸化物半導体層である。

[0035] 図 1 (a) に例示する薄膜トランジスタ 10 は、ボトムゲート・トップコンタクト構造を有する。すなわち、図示する例では、ゲート電極 12 は、半導体層 16 よりも基板 11 の近くに配置されている。また、ソース電極 18 s およびドレイン電極 18 d のそれぞれは、半導体層 16 の上面の一部に接するように設けられている。ソース電極 18 s およびドレイン電極 18 d は、それぞれ、半導体層 16 のソース領域 R s およびドレイン領域 R d に電氣的に接続されている。

[0036] ソース領域 R s およびドレイン領域 R d は、それぞれ、半導体層 16 のうち、ソース電極 18 s とオーバーラップする領域およびドレイン電極 18 d とオーバーラップする領域である。また、半導体層 16 のうち、ソース領域 R s とドレイン領域 R d との間に位置し、かつ、ゲート電極 12 とオーバーラップする領域は、チャネル領域 R c と呼ばれる。薄膜トランジスタ 10 のチャネル長 L は、ソース電極 18 s におけるチャネル領域 R c 側のエッジと、ドレイン電極 18 d におけるチャネル領域 R c 側のエッジとの間の距離（図 1 (a) 中、矢印 L で示す長さ）である。

[0037] 図 1 (a) に示したように、ソース電極 18 s およびドレイン電極 18 d のそれぞれは、主層 18 b と、主層 18 b の基板 11 側（主層 18 b の下面側）に配置された下層 18 a と、主層 18 b の基板 11 とは反対側（主層 18 b の上面側）に配置された上層 18 c とを有している。つまり、ソース電極 18 s およびドレイン電極 18 d のそれぞれは、下層 18 a、主層 18 b および上層 18 c が基板 11 側からこの順で積層された積層構造を有している。主層 18 b は、Al または Cu を含む。これに対し、下層 18 a および上層 18 c は、それぞれ高融点金属（例えば後述する Ti）を含む。

[0038] 上層 18c は、主層 18b の上面 S t を覆っている。また、薄膜トランジスタ 10 では、上層 18c は、主層 18b の上面 S t だけでなく、主層 18b の側面 S g も覆うように設けられている。より具体的には、上層 18c は、主層 18b の全ての側面 S g をその全体にわたって覆っている。

[0039] 図 1 (a) および (b) に示したように、主層 18b の側面 S g は、基板法線に対して傾斜している。主層 18b の側面 S g (例えばチャネル領域 R c 側の側面 S g 1) と基板面とがなす角 θ (図 1 (b) 参照) の大きさは、例えば 70° である。上層 18c は、主層 18b の上面 S t と、基板面に対して傾斜した、主層 18b の側面 S g とを覆っており、したがって、ソース電極 18s の側面 S s およびドレイン電極 18d の側面 S d は、基板法線に対して傾斜している。

[0040] ここで、積層構造を有するソース電極およびドレイン電極を備えた参考例の薄膜トランジスタと比較して、本実施形態の T F T 基板が備える薄膜トランジスタによる効果を説明する。

[0041] 図 2 (a) は、参考例の薄膜トランジスタ 50 の模式的な断面を示し、図 2 (b) は、薄膜トランジスタ 50 におけるチャネル領域 R c の近傍を拡大して示す。図 2 (a) に示すように、薄膜トランジスタ 50 のソース電極 58s およびドレイン電極 58d は、T i 層 58a、A l 層 58b および T i 層 58c が基板 11 側からこの順で積層された積層構造を有している。なお、本明細書では、積層膜の構造を上方に位置する膜から順に表す場合がある。これに従うと、ソース電極 58s およびドレイン電極 58d のそれぞれは、T i / A l / T i と表される。

[0042] 図 2 (a) および (b) に示したように、薄膜トランジスタ 50 では、A l 層 58b の側面 C S g は、A l 層 58b の上面側に配置された T i 層 58c によって覆われていない。このような従来の構成では、半導体層 16 と A l 層 58b との間に T i 層 58a が配置されているので、半導体層 16 と A l 層 58b とが直接接触することを避けられるものの、A l 層 58b の側面 (例えばチャネル領域 R c 側の側面 C S g 1) から A l がチャネル領域 R c

付近に拡散してTFT特性が劣化するおそれがある。また、配線抵抗を小さくするためにソース配線層を厚膜化すると、ソース電極58sおよびドレイン電極58dの側面形状が急峻化し、ソース配線層上に設けられた層間絶縁層19に段切れが発生しやすくなる。段切れから水分等が浸入すると、Alの拡散が著しく促進されてしまう。Al層58bの代わりに、Cu層をTi層58aおよびTi層58cの間に配置した場合にも、同様の問題が発生し得る。

[0043] 上記の問題は、最近注目されている酸化物半導体TFTにおいても発生すると考えられる。酸化物半導体はAlやCuの拡散の影響を受けやすいと考えられており、特に、チャネルエッチ型の構造を採用した場合に、半導体装置の歩留りが低下するおそれがある。

[0044] これに対し、図1(a)および(b)に示した薄膜トランジスタ10では、主層18bの側面Sgが、高融点金属を含む上層18cによって覆われている。したがって、主層18bの側面Sgからの、AlやCuの半導体層16内部への拡散を抑制することができる。また、薄膜トランジスタ10を覆う層間絶縁層19に段切れが生じて段切れから水分が浸入した場合であっても、主層18bの側面Sgからの、AlやCuの半導体層16内部への拡散を抑制して、TFT特性の劣化を抑制することができる。このように、本発明の実施形態によると、AlやCuの半導体層内部への拡散が抑制され、TFT基板の信頼性が向上する。

[0045] なお、主層18bの側面Sgのうちの少なくとも半導体層16に重なる部分を上層18cによって覆えば、上述した効果が得られる。したがって、例えば、主層18bの側面Sgのうち、チャネル領域Rcとは反対側にある側面Sg2の一部または全体が上層18cによって覆われないような態様も採用し得る。ただし、主層18bの全ての側面Sgがその全体にわたって覆われるように上層18cを形成することにより、AlやCuの半導体層16内部への拡散をより確実に抑制することができる。

[0046] 上述の説明では、半導体層16が酸化物半導体層である場合を例示したが

、半導体層 16 の材料としては、他の半導体材料を用いてもよい。例えば、半導体層 16 の材料として、アモルファスシリコン (a-Si) や微結晶シリコンを用いてもよい。なお、用いる半導体材料によっては、ソース領域 R_s およびソース電極 18_s の間と、ドレイン領域 R_d およびドレイン電極 18_d の間とに、オーミック接合を形成するためのコンタクト層が形成されていてもよい。つまり、半導体層 16 は、ソース領域 R_s、ドレイン領域 R_d およびチャネル領域 R_c を含む活性層に加え、コンタクト層を含んでいてもよい。

[0047] 次に、図 3 (a) ~ 図 3 (f) を参照して、薄膜トランジスタ 10 を備える TFT 基板の製造方法の例を説明する。図 3 (a) ~ 図 3 (f) は、薄膜トランジスタ 10 を備える TFT 基板の製造方法を説明するための工程断面図である。

[0048] まず、基板 11 を用意する。基板 11 としては、ガラス基板、シリコン (Si) 基板、耐熱性を有するプラスチック基板 (樹脂基板) 等を用いることができる。プラスチック基板 (樹脂基板) の材料としては、ポリエチレンテレフタレート (polyethylene terephthalate (PET))、ポリエチレンナフタレート (polyethylene naphthalate (PEN))、ポリエーテルサルホン (polyether sulfone (PES))、アクリル樹脂、ポリイミド等を好適に用いることができる。これらの樹脂材料に充填剤 (ファイバーや不織布等) を混合したプラスチック複合材料を用いてもよい。ここでは、ガラス基板を用いる。

[0049] 次に、図 3 (a) に示すように、基板 11 上に、ゲート電極 12 を形成する。ゲート電極 12 は、スパッタリング法等により基板 11 上に導電膜 (以下、「ゲートメタル膜」) を堆積した後、フォトリソグラフィプロセスを用いてゲートメタル膜をパターンニングすることによって形成することができる。典型的には、ゲートメタル膜は、基板 11 のほぼ全面に堆積される。ゲートメタル膜から形成されるゲートメタル層は、ゲート電極 12 と一体に形成されるゲートバスラインや、CS 電極および CS 電極と一体に形成される C

Sバスラインを含み得る（いずれも不図示）。

[0050] ゲートメタル膜の材料としては、Al、タングステン（W）、Mo、タンタル（Ta）、クロム（Cr）、Ti、Cu等の金属もしくはその合金、または、その窒化物を用いることができる。さらに、ゲートメタル膜は、上記の材料から形成された単層膜だけでなく、上記の材料から形成された積層膜であってもよい。ここでは、例えば、スパッタリング法で、Ta_xN_y膜（膜厚：50nm）およびW膜（膜厚：370nm）を順に堆積した後、フォトリソグラフィおよびドライエッチングを用いてゲートメタル膜をパターニングし、ゲート電極12を形成する。

[0051] 次に、図3（b）に示すように、ゲート電極12を覆うようにゲート絶縁層14を形成する。ゲート絶縁層14は、例えばCVD（Chemical Vapor Deposition）法を用いて形成することができる。典型的には、ゲート絶縁層14を形成するための絶縁膜（ゲート絶縁膜）は、基板11のほぼ全面に堆積される。

[0052] ゲート絶縁膜の材料としては、例えば、酸化珪素（SiO_x）、窒化珪素（SiN_x）、酸化窒化珪素（SiO_xN_y、 $x > y$ ）、窒化酸化珪素（SiN_xO_y、 $x > y$ ）等を用いることができる。ゲート絶縁膜は、単層膜であってもよいし、積層膜であってもよい。ゲート絶縁膜を2層膜とするときは、例えば、基板11からの不純物等の拡散を防止するために、下層絶縁膜を、例えば、窒化珪素（SiN_x）または窒化酸化珪素（SiN_xO_y、 $x > y$ ）等を用いて形成し、上層絶縁膜を、例えば、酸化珪素（SiO_x）、酸化窒化珪素（SiO_xN_y、 $x > y$ ）等を用いて形成することが好ましい。また、反応ガスにアルゴン（Ar）等の希ガスを混合することによって、比較的低い温度で、緻密な絶縁膜を堆積することができる。緻密な絶縁膜は、ゲートリーク電流を低減させる効果を有し得る。ここでは、例えば、CVD法で、SiN膜（膜厚：325nm）およびSiO₂膜（膜厚：50nm）を順に堆積し、ゲート絶縁層14を形成する。

[0053] 次に、図3（c）に示すように、ゲート絶縁層14上に、島状の半導体層

16を形成する。半導体層16は、スパッタリング法またはCVD法等によりゲート絶縁層14上に半導体膜を堆積した後、フォトリソグラフィプロセスを用いて半導体膜をパターニングすることによって形成することができる。半導体層16の少なくとも一部は、基板11の法線方向から見たとき、ゲート絶縁層14を介してゲート電極12と重なるように配置される。ここでは、例えば、スパッタリング法で、酸化物半導体膜（膜厚：30～100nm）を堆積した後、フォトリソグラフィプロセスを用いて酸化物半導体膜をパターニングし、島状の酸化物半導体層を形成する。

[0054] 酸化物半導体層は、例えばIn-Ga-Zn-O系の半導体（以下、「In-Ga-Zn-O系半導体」と略する。）を含む。ここで、In-Ga-Zn-O系半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。本実施形態では、酸化物半導体層は、In、Ga、Znを、例えばIn:Ga:Zn=1:1:1の割合で含むIn-Ga-Zn-O系半導体層であってもよい。

[0055] In-Ga-Zn-O系半導体層を有するTFTは、高い移動度（a-SiTFTに比べ20倍超）および低いリーク電流（a-SiTFTに比べ100分の1未満）を有しているので、駆動TFTおよび画素TFTとして好適に用いられる。In-Ga-Zn-O系半導体層を有するTFTを用いれば、表示装置の消費電力を大幅に削減することが可能になる。

[0056] In-Ga-Zn-O系半導体は、アモルファスでもよいし、結晶質部分を有していてもよい。結晶質In-Ga-Zn-O系半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系半導体が好ましい。このようなIn-Ga-Zn-O系半導体の結晶構造は、例えば、特開2012-134475号公報に開示されている。参考のために、特開2012-134475号公報の開示内容の全てを本明細書に援用する。

[0057] 酸化物半導体層は、In-Ga-Zn-O系半導体の代わりに、他の酸化

物半導体を含んでいてもよい。例えばZn-O系半導体（ZnO）、In-Zn-O系半導体（IZO（登録商標））、Zn-Ti-O系半導体（ZTO）、Cd-Ge-O系半導体、Cd-Pb-O系半導体、InGaO₃（ZnO）₅、酸化マグネシウム亜鉛（Mg_xZn_{1-x}O）、酸化カドミウム亜鉛（Cd_xZn_{1-x}O）、酸化カドニウム（CdO）、Mg-Zn-O系半導体、In-Sn-Zn-O系半導体（例えばIn₂O₃-SnO₂-ZnO）、In-Ga-Sn-O系半導体等を含んでいてもよい。Zn-O系半導体としては、1族元素、13族元素、14族元素、15族元素または17族元素等のうち一種、または複数種の不純物元素が添加されたZnOの非晶質（アモルファス）状態、多結晶状態または非晶質状態と多結晶状態が混在する微結晶状態のもの、または何も不純物元素が添加されていないものを用いることができる。

[0058] 次に、半導体層16上に、ソース電極18sおよびドレイン電極18dを含むソース配線層を形成する。このとき、まず、下層18aおよび主層18bの積層体（例えばAl/Ti）を形成した後、この積層体を所定の形状にパターニングする。その後、主層18bを覆うように導電膜（例えばTi膜）を堆積し、この導電膜をパターニングすることによって上層18cを形成する。すなわち、ソース電極18sおよびドレイン電極18dを形成する工程においては、2回、パターニングが行われる。

[0059] 以下、図3（d）～図3（f）を参照しながら、ソース電極18sおよびドレイン電極18dを形成する工程をより詳細に説明する。

[0060] まず、半導体層16上に、下部導電膜を堆積する。下部導電膜の材料は、例えば、高融点金属もしくはその合金、または、その窒化物である。高融点金属の例は、Ti、Mo、W、Ta、Crである。コンタクト抵抗を低減する観点からは、これらのうち、Tiが好ましい。ここでは、例えば、スパッタリング法で、Ti膜（膜厚：30nm）を堆積することによって、下部導電膜を形成する。典型的には、下部導電膜は、基板11のほぼ全面に堆積される。

- [0061] 従来、酸化物半導体 T F T において、酸化物半導体層と接するように T i 層を配置することによって、酸化物半導体層と T i 層との界面に反応層が形成される結果、コンタクト抵抗を低減できることが知られている。本明細書では、このような反応層と、酸化物半導体層とをまとめて「半導体層」ということがある。
- [0062] 次に、下部導電膜上に、中間導電膜を堆積する。中間導電膜の材料としては、A l、C u またはその合金を用いることができる。ここでは、例えば、スパッタリング法で、A l 膜（膜厚：300 nm）を堆積することによって、中間導電膜を形成する。典型的には、中間導電膜も、基板 11 のほぼ全面に堆積される。
- [0063] 次に、図 3（d）に示すように、下部導電膜および中間導電膜をパターニングすることによって、下層 18 a および主層 18 b を形成する。このとき、フォトリソグラフィおよびドライエッチングを用いてパターニングを行う。ドライエッチングのエッチングガスとしては、例えば塩素（C l₂）および A r の混合ガスを用いることができる。
- [0064] C l₂ および A r の流量比、エッチングガスの圧力、高周波電源のパワーを適宜調節することによって、所定のテーパ形状を有する主層 18 b を形成することができる。このとき、主層 18 b の側面 S g と基板面とがなす角 θ （図 1（b）参照）の大きさは、70° 以下であることが好ましい。主層 18 b の側面と基板面とがなす角 θ を上記範囲に調整することによって、より確実に主層 18 b の側面 S g を上層 18 c で覆うことが可能になる。
- [0065] 次に、図 3（e）に示すように、主層 18 b 上に、上部導電膜 18 f を堆積する。上部導電膜 18 f の材料は、例えば、上述した高融点金属もしくははその合金、または、その窒化物である。ここでは、例えば、スパッタリング法で、T i 膜（膜厚：30 nm）を堆積することによって、上部導電膜 18 f を形成する。典型的には、上部導電膜 18 f は、基板 11 のほぼ全面に堆積される。したがって、主層 18 b の上面 S t および側面 S g は、上部導電膜 18 f によって覆われる。

[0066] 次に、図3（f）に示すように、上部導電膜18fをパターニングすることによって、上層18cを形成する。このとき、フォトリソグラフィおよびドライエッチングを用いてパターニングを行う。パターニングは、主層18bの上面S_tと、主層18bの側面S_gのうちの少なくとも半導体層16に重なる部分との上に上部導電膜18fを残すように実行される。これにより、主層18bの上面S_tを覆い、かつ、主層18bの側面S_gのうちの少なくとも半導体層16に重なる部分を覆う上層18cを形成することができる。

[0067] 図3（f）からも明らかなように、半導体層16のチャネル領域R_cは、上部導電膜18fのパターニングによって画定される。したがって、本発明の実施形態によると、薄膜トランジスタのチャネル長Lを比較的容易に制御することができるという利点を得られる。

[0068] ソース配線層を形成するための導電膜を単純に積層膜とした従来の構成では、配線の厚膜化に伴ってエッチングシフトのばらつきが増大し、チャネル長Lのばらつきが増大する。すなわち、配線の厚膜化に伴ってTFT特性のばらつきが増大してしまう。これに対し、本発明の実施形態では、下部導電膜および中間導電膜の積層膜のパターニング後に上部導電膜18fを堆積し、上部導電膜18fのパターニングを行ってソース電極18sおよびドレイン電極18dを形成する。そのため、下部導電膜および中間導電膜の積層膜を厚膜化してエッチングシフトのばらつきが増大した場合であっても、上部導電膜18fのエッチングによってチャネル長Lを制御することができる。したがって、本発明の実施形態によると、TFT特性のばらつきを低減でき、特に、精細度の高い表示装置に用いられるTFT基板の歩留まりを向上させることができる。

[0069] このようにして、AlまたはCuを含む主層18bと、主層18bの基板11側に配置された下層であって、高融点金属を含む下層18aと、主層18bの基板11とは反対側に配置された上層であって、高融点金属を含む上層18cとをそれぞれが有するソース電極18sおよびドレイン電極18d

を形成することができる。ここでは、ソース電極 18 s およびドレイン電極 18 d の積層構造に注目してこれらの断面構造を図示したが、ソース配線層に含まれるソース配線（不図示）も、ソース電極 18 s およびドレイン電極 18 d と同様の積層構造を有し得る。

[0070] ソース電極 18 s およびドレイン電極 18 d の形成後、薄膜トランジスタを覆う層間絶縁層 19 を形成する（不図示）。層間絶縁層 19 を形成するための絶縁膜（層間絶縁膜）は、例えばプラズマ CVD 法やスパッタリング法を用いて形成することができる。典型的には、層間絶縁膜は、基板 11 のほぼ全面に堆積される。

[0071] 層間絶縁膜の材料としては、例えば、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y 、 $x > y$ ）、窒化酸化珪素（ SiN_xO_y 、 $x > y$ ）等を用いることができる。層間絶縁膜は、単層膜であってもよいし、2 層以上の積層膜であってもよい。ここでは、例えば、CVD 法で、 SiO_2 膜（膜厚：200～300 nm）を堆積する。その後、エッチングにより、ドレイン電極 18 d と、後述する画素電極とを接続するためのコンタクトホールを形成する。これにより、層間絶縁層 19 が得られる。層間絶縁層 19 上に、有機絶縁材料から形成された有機絶縁層をさらに形成してもよい。

[0072] コンタクトホールの形成後、TFT 基板全体に熱処理を行う。熱処理の温度は、例えば 250℃ 以上 450℃ 以下であり、熱処理の時間は、1～2 時間程度である。熱処理を行うことにより、反応層を形成して、コンタクト抵抗を小さくすることができる。また、酸化物半導体層のチャネル領域が酸化される結果、チャネル領域内の酸素欠損を低減でき、所望の TFT 特性を実現できる。

[0073] 次に、層間絶縁層 19 上に、画素電極（ここでは透明電極、不図示）を形成する。画素電極は、スパッタリング法等により層間絶縁層 19 上に透明導電膜を堆積した後、フォトリソグラフィプロセスを用いて透明導電膜をパターンニングすることによって形成することができる。透明導電膜の材料としては、ITO、IZO、ZnO 等の金属酸化物を用いることができる。これに

より、本発明の実施形態によるTFT基板が得られる。

[0074] 上述した工程によって得られるTFT基板は、例えば、液晶表示装置のTFT基板として用いられ得る。この場合、画素電極上には、さらに必要に応じて配向膜等が形成され、別途作製される対向基板との間に液晶層が配置される。

[0075] 次に、本発明の他の実施形態によるTFT基板が備える薄膜トランジスタ20の構造を説明する。図4に、薄膜トランジスタ20の模式的な断面を示す。図4に例示する薄膜トランジスタ20は、ボトムゲート・ボトムコンタクト構造を有する。すなわち、図示する例では、ゲート電極12は、半導体層16よりも基板11の近くに配置されている。また、ソース電極18sおよびドレイン電極18dのそれぞれは、半導体層16の下面の一部に接するように設けられている。

[0076] 薄膜トランジスタ20においても、主層18bの上面Stおよび側面Sgが、高融点金属を含む上層18cによって覆われているので、主層18bと半導体層16とが直接接することが防止されるとともに、主層18bの側面Sgからの、AlやCuの半導体層16内部への拡散が抑制される。したがって、AlやCuの半導体層16内部への拡散によるTFT特性の劣化を抑制することができる。

[0077] 以下、図5(a)～(e)を参照して、薄膜トランジスタ20を備えるTFT基板の製造方法の例を説明する。図5(a)～(e)は、薄膜トランジスタ20を備えるTFT基板の製造方法を説明するための工程断面図である。

[0078] 図3(a)～(f)を参照しながら前述した、薄膜トランジスタ10を備えるTFT基板の製造方法では、半導体層16を形成する工程の後に、ソース電極18sおよびドレイン電極18dを形成する工程が実行される。これに対して、薄膜トランジスタ20を備えるTFT基板の製造方法では、ソース電極18sおよびドレイン電極18dを形成する工程の後に、半導体層16を形成する工程が実行される。以下では、薄膜トランジスタ20を備える

TFT基板の製造方法のうち、薄膜トランジスタ10を備えるTFT基板の製造方法と共通する部分についての説明および工程図を省略することがある。

[0079] まず、図5(a)に示すように、基板11上にゲート電極12を形成した後、ゲート電極12を覆うゲート絶縁層14を形成する。

[0080] 次に、ゲート絶縁層14上に、ソース電極18sおよびドレイン電極18dを形成する。より詳細には、まず、ゲート絶縁層14上に、下部導電膜（例えばTi膜）を堆積する。続けて、下部導電膜上に、中間導電膜（例えばAl膜）を堆積する。

[0081] その後、図5(b)に示すように、下部導電膜および中間導電膜をパターニングすることによって、下層18aおよび主層18bを形成する。このとき、フォトリソグラフィおよびドライエッチングを用いてパターニングを行い、所定のテーパー形状を有する主層18bを形成する。

[0082] 次に、図5(c)に示すように、主層18b上に、上部導電膜（例えばTi膜）18fを堆積する。典型的には、上部導電膜18fは、基板11のほぼ全面に堆積される。したがって、主層18bの上面Stおよび側面Sgは、上部導電膜18fによって覆われる。

[0083] 次に、図5(d)に示すように、上部導電膜18fをパターニングすることによって、上層18cを形成する。このとき、フォトリソグラフィおよびドライエッチングを用い、主層18bの上面Stおよび側面Sgの上に上部導電膜18fを残すようにパターニングを実行する。これにより、ソース電極18sとドレイン電極18dとを分離して、薄膜トランジスタ20のチャネル長Lを画定することができる。

[0084] 次に、図5(e)に示すように、上層18c上に半導体膜（例えば酸化物半導体膜）を堆積し、半導体膜をパターニングすることによって、島状の半導体層16を形成する。島状の半導体層16は、その下面の一部がソース電極18sおよびドレイン電極18dのそれぞれに接するように配置される。このとき、半導体層16の少なくとも一部は、基板11の法線方向から見た

とき、ゲート絶縁層 14 を介してゲート電極 12 と重なるように配置される。なお、上層 18c を形成する工程における上部導電膜 18f のパターニングは、主層 18b の上面 S_t と、主層 18b の側面 S_g のうちの少なくとも半導体層 16 に重なる部分との上に上部導電膜 18f を残すように実行されればよい。

[0085] 半導体層 16 の形成後、薄膜トランジスタを覆う層間絶縁層 19 を形成する（不図示）。その後、層間絶縁層 19 上に、画素電極（ここでは透明電極、不図示）を形成する。以上により、薄膜トランジスタ 20 を備える T F T 基板が得られる。

[0086] 次に、本発明のさらに他の実施形態による T F T 基板が備える薄膜トランジスタ 30 の構造を説明する。図 6 に、薄膜トランジスタ 30 の模式的な断面を示す。図 6 に例示する薄膜トランジスタ 30 は、トップゲート・ボトムコンタクト構造を有する。すなわち、図示する例では、半導体層 16 は、ゲート電極 12 よりも基板 11 の近くに配置されている。また、ソース電極 18s およびドレイン電極 18d のそれぞれは、半導体層 16 の下面の一部に接するように設けられている。薄膜トランジスタ 30 においても、主層 18b の上面 S_t および側面 S_g が、高融点金属を含む上層 18c によって覆われているので、主層 18b の側面 S_g からの、Al や Cu の半導体層 16 内部への拡散による T F T 特性の劣化を抑制することができる。

[0087] 以下、図 7 (a) ~ (f) を参照して、薄膜トランジスタ 30 を備える T F T 基板の製造方法の例を説明する。図 7 (a) ~ (f) は、薄膜トランジスタ 30 を備える T F T 基板の製造方法を説明するための工程断面図である。

[0088] 図 3 (a) ~ (f) を参照しながら前述した、薄膜トランジスタ 10 を備える T F T 基板の製造方法、および図 5 (a) ~ (e) を参照しながら前述した、薄膜トランジスタ 20 を備える T F T 基板の製造方法では、ゲート電極 12 を形成する工程の後に、ソース電極 18s およびドレイン電極 18d を形成する工程を形成する工程が実行される。これに対して、薄膜トランジ

スタ３０を備えるＴＦＴ基板の製造方法では、ソース電極１８ｓおよびドレイン電極１８ｄを形成する工程の後に、ゲート電極１２を形成する工程が実行される。以下では、薄膜トランジスタ３０を備えるＴＦＴ基板の製造方法のうち、薄膜トランジスタ１０を備えるＴＦＴ基板の製造方法または薄膜トランジスタ２０を備えるＴＦＴ基板の製造方法と共通する部分についての説明および工程図を省略することがある。

[0089] まず、基板１１上に、ソース電極１８ｓおよびドレイン電極１８ｄを形成する。より詳細には、図７（ａ）に示すように、基板１１上に、下部導電膜（例えばＴｉ膜）および中間導電膜（例えばＡｌ膜）を順次堆積し、下部導電膜および中間導電膜をパターニングすることによって、下層１８ａおよび主層１８ｂを形成する。このとき、フォトリソグラフィおよびドライエッチングを用いてパターニングを行い、所定のテーパー形状を有する主層１８ｂを形成する。

[0090] 次に、図７（ｂ）に示すように、主層１８ｂ上に、上部導電膜（例えばＴｉ膜）１８ｆを堆積する。このとき、主層１８ｂの上面Ｓｔおよび側面Ｓｇは、上部導電膜１８ｆによって覆われる。

[0091] 次に、図７（ｃ）に示すように、上部導電膜１８ｆをパターニングすることによって、上層１８ｃを形成する。このとき、フォトリソグラフィおよびドライエッチングを用い、主層１８ｂの上面Ｓｔおよび側面Ｓｇの上に上部導電膜１８ｆを残すようにパターニングを実行する。これにより、基板１１上に、ソース電極１８ｓおよびドレイン電極１８ｄを形成することができる。

[0092] 次に、図７（ｄ）に示すように、上層１８ｃ上に半導体膜（例えば酸化物半導体膜）を堆積し、半導体膜をパターニングすることによって、島状の半導体層１６を形成する。次に、図７（ｅ）に示すように、ソース電極１８ｓ、ドレイン電極１８ｄおよび半導体層１６を覆うゲート絶縁層１４を形成する。次に、図７（ｆ）に示すように、ゲート絶縁層１４上に、ゲート電極１２を形成する。より詳細には、ゲート絶縁層１４上にゲートメタル膜を堆積

した後、フォトリソグラフィプロセスを用いてゲート金属膜をパターニングすることによってゲート電極 12 を形成する。

[0093] ゲート電極 12 の形成後、薄膜トランジスタを覆う層間絶縁層 19 を形成する（不図示）。その後、ドレイン電極 18 d と、後述する画素電極とを接続するためのコンタクトホールを層間絶縁層 19 およびゲート絶縁層 14 に形成し、層間絶縁層 19 上に、画素電極（ここでは透明電極、不図示）を形成する。以上により、薄膜トランジスタ 30 を備える TFT 基板が得られる。

[0094] 上述の説明では、薄膜トランジスタの素子構造として、ボトムゲート・トップコンタクト構造、ボトムゲート・ボトムコンタクト構造およびトップゲート・ボトムコンタクト構造を例示したが、薄膜トランジスタの素子構造は、トップゲート・トップコンタクト構造であってもよい。

[0095] また、上述の説明では、下層 18 a および上層 18 c が単層である場合を例示したが、下層 18 a および上層 18 c は、積層構造を有していてもよい。下層 18 a および上層 18 c のそれぞれは、高融点金属を含む少なくとも 1 層を有していればよい。以下、このような改変例を説明する。なお、以下に説明する、下層 18 a および上層 18 c の積層構造は、上述の薄膜トランジスタ 10、薄膜トランジスタ 20 および薄膜トランジスタ 30 のいずれにも適用し得る。ここでは、ボトムゲート・トップコンタクト構造を有する薄膜トランジスタ 10 の改変例を説明する。

[0096] 図 8 は、薄膜トランジスタ 10 の改変例である薄膜トランジスタ 10 A の模式的な断面を示す。薄膜トランジスタ 10 A のソース電極 18 s およびドレイン電極 18 d に含まれる下層 18 a および上層 18 c は、それぞれ、2 層の積層構造を有している。ここで、主層 18 b は、Al または Cu（以下、「第 1 の金属」と称する。）を含む層であり、下層 18 a および上層 18 c は、それぞれ、Ti または Mo（以下、「第 2 の金属」と称する。）の窒化物からなる金属窒化物層と、第 2 の金属からなる金属層とを有する。

[0097] より詳細には、下層 18 a は、主層 18 b 側から、第 2 の金属の窒化物か

らなる下部金属窒化物層 18 a 1 と、第 2 の金属からなる下部金属層 18 a 2 とをこの順で含んでいる。また、上層 18 c は、主層 18 b 側から、第 2 の金属の窒化物からなる上部金属窒化物層 18 c 1 と、第 2 の金属からなる上部金属層 18 c 2 とをこの順で含んでいる。例えば、第 1 の金属として Al、第 2 の金属として Ti を用いた場合、下層 18 a および上層 18 c は、それぞれ、主層 18 b 側から窒化チタン (TiN) 層および Ti 層をこの順で含む。なお、本明細書では、下部金属層および上部金属層をまとめて「金属層」ということがある。

[0098] 第 2 の金属 (Ti または Mo) からなる金属層と主層 18 b との間に、その金属の窒化物層 (TiN 層または窒化モリブデン (MoN) 層) を配置することにより、TF T 特性の低下 (オン抵抗の増大) を抑制することが可能になる。その理由は、以下の通りである。

[0099] Al 層 (または Cu 層) を Ti 層で挟んだ構造 (Ti / Al / Ti (または Ti / Cu / Ti)) を有するソース電極およびドレイン電極の形成後に、何らかの熱処理を行うと、Al 層 (または Cu 層) と Ti 層との間でメタルが相互に拡散し、Al 層 (または Cu 層) の純度が低下して抵抗が上昇するおそれがある。例えば半導体層に酸化物半導体を用いた場合における、酸化物半導体層の酸素欠損を低減するための熱処理 (例えば 250℃ 以上 450℃ 以下) を行うと、Al 層 (または Cu 層) の抵抗が上昇するおそれがある。Ti 層に代えて Mo 層を用いる場合も同様の問題がある。

[0100] 第 2 の金属からなる金属層 (ここでは下部金属層 18 a 2 および上部金属層 18 c 2) と主層 18 b との間に、その金属の窒化物層 (ここでは下部金属窒化物層 18 a 1 および上部金属窒化物層 18 c 1) を配置すると、主層 18 b と金属層とのメタルの相互拡散が抑制される。その結果、ソース電極 18 s およびドレイン電極 18 d やソース配線の抵抗上昇による TF T 特性の低下が抑制される。

[0101] 図示する例では、下部金属層 18 a 2 は、半導体層 16 と接している。このとき、半導体層 16 の材料として酸化物半導体を用い、第 2 の金属として

Tiを用いた場合、下部金属層18a2としてのTi層は、酸化物半導体層と接する。そうすると、上述したように、酸化物半導体層とTi層との界面に反応層が形成される結果、コンタクト抵抗が低減する。このように、酸化物半導体層と接するように下部金属層18a2を配置することによって、コンタクト抵抗を低減できるという利点を得られる。なお、ボトムコンタクト構造を採用した場合も、半導体層16と接するように上部金属層18c2を配置することにより、同様にコンタクト抵抗を低減し得る。

[0102] 後に詳しく説明するように、ソース電極18sおよびドレイン電極18dは、上述した層に加えて、他の導電層を含んでいてもよい。その場合でも、金属層と主層18bとの間に金属窒化物層が介在していれば、上述した効果を得られる。下部金属窒化物層18a1は主層18bの下面と接していてもよく、上部金属窒化物層18c1は主層18bの上面と接していてもよい。主層18bが金属窒化物層（ここでは下部金属窒化物層18a1または上部金属窒化物層18c1）と接していれば、より効果的に金属層と主層18bとの間の相互拡散を抑制できる。

[0103] ここで、図9（a）～（e）を参照して、薄膜トランジスタ10Aを備えるTFET基板の製造方法の例を説明する。図9（a）～（e）は、薄膜トランジスタ10Aを備えるTFET基板の製造方法を説明するための工程断面図である。なお、薄膜トランジスタ10Aを備えるTFET基板の製造方法は、下層18aを形成するための下部導電膜および上層18cを形成するための上部導電膜が積層膜である点以外は、図3（a）～（f）を参照しながら前述した、薄膜トランジスタ10を備えるTFET基板の製造方法と同様である。したがって、ここでは、ソース電極18sおよびドレイン電極18dを形成する工程の説明を行い、他の工程の説明および工程図を省略する。

[0104] 図9（a）に示すように、半導体層16の形成後、半導体層16上に、第2の金属からなる下部金属膜18h2および第2の金属の窒化物からなる下部金属窒化物膜18h1を順次堆積する。これにより、高融点金属を含む層を有する下部導電膜18hを形成することができる。ここでは、例えば、ス

パッタリング法で、Ti膜およびTiN膜を順次堆積することによって、下部導電膜18hを形成する。典型的には、下部導電膜18hは、基板11のほぼ全面に堆積される。

[0105] 下部金属窒化物膜18h1の厚さは、下部金属膜18h2の厚さよりも小さくなるように設定されることが好ましい。より好ましくは下部金属膜18h2の厚さの1/2未満に設定される。このように下部金属窒化物膜18h1の厚さを抑えることで、成膜装置（例えばPVD（Physical Vapor Deposition）装置）のチャンバ側壁に堆積する堆積膜の膜ストレスを緩和し、膜剥がれによるパーティクルの発生を抑制できる。Ti膜およびTiN膜を順次堆積する場合、Ti膜の厚さは、例えば50nm以上200nm以下に設定され、TiN膜の厚さは、例えば5nm以上50nm以下に設定される。TiN膜の厚さが5nm以上であれば、Ti膜と、後述する中間導電膜18gとしてのAl膜（またはCu膜）との間のメタルの拡散をより効果的に抑制できる。また、TiN膜の厚さが50nm以下であれば、上述したような膜剥がれの問題を抑制できる。Ti膜およびTiN膜の代わりにMo膜およびMoN膜をそれぞれ用いる場合、Mo膜およびMoN膜の厚さの範囲は、それぞれ、Ti膜およびTiN膜の厚さの範囲と同様であってもよい。

[0106] 次に、図9（b）に示すように、下部金属膜18h2および下部金属窒化物膜18h1の積層膜（下部導電膜18h）上に、中間導電膜18gを堆積する。中間導電膜の厚さは、例えば100nm以上400nm以下である。ここでは、例えば、スパッタリング法で、Al膜を堆積することによって、中間導電膜18gを形成する。典型的には、中間導電膜18gも、基板11のほぼ全面に堆積される。

[0107] 次に、図9（c）に示すように、下部導電膜18hおよび中間導電膜18gの積層膜をパターニングすることによって、下層18aおよび主層18bを形成する。このとき、フォトリソグラフィおよびドライエッチングを用いてパターニングを行い、所定のテーパー形状を有する主層18bを形成する。

[0108] 次に、図9（d）に示すように、主層18b上に、第2の金属の窒化物からなる上部金属窒化物膜18f1および第2の金属からなる上部金属膜18f2を順次堆積する。これにより、高融点金属を含む層を有する上部導電膜18fを主層18b上に形成することができる。ここでは、例えば、スパッタリング法で、TiN膜およびTi膜を順次堆積することによって、上部導電膜18fを形成する。典型的には、上部金属窒化物膜18f1および上部金属膜18f2は、基板11のほぼ全面に堆積される。したがって、主層18bの上面Stおよび側面Sgは、上部金属窒化物膜18f1および上部金属膜18f2の積層膜（上部導電膜18f）によって覆われる。

[0109] 上部金属窒化物膜18f1および上部金属膜18f2の厚さの範囲は、それぞれ、下部金属窒化物膜18h1および下部金属膜18h2の厚さの範囲と同様であってもよい。下部導電膜18hの場合と同様に、上部金属窒化物膜18f1の厚さは、上部金属膜18f2の厚さよりも小さくなるように設定されることが好ましい。ソース配線層の厚さは、例えば50nm以上500nm以下である。

[0110] 次に、図9（e）に示すように、上部導電膜18fをパターニングすることによって、上層18cを形成する。このとき、フォトリソグラフィおよびドライエッチングを用い、主層18bの上面Stと、主層18bの側面Sgのうちの少なくとも半導体層16に重なる部分との上に上部導電膜18fを残すようにパターニングを行う。

[0111] その後、層間絶縁層19（不図示）や画素電極等を形成することによって、薄膜トランジスタ10Aを備えるTF T基板が得られる。

[0112] 図10は、薄膜トランジスタ10の他の改変例の模式的な断面を示す。図10に示す薄膜トランジスタ10Bは、酸化物半導体層16xを備える酸化物半導体TF Tである。

[0113] ソース電極18sおよびドレイン電極18dの下層18aは、第2の金属の窒化物からなる他の金属窒化物層をさらに含んでもよい。図10に例示する構成では、酸化物半導体層16xと、下層18aに含まれる下部金属

層 18a2 との間にさらに金属窒化物層 18a3 が配置されている。図示するように、この金属窒化物層 18a3 は、酸化物半導体層 16x と接するように配置されている。図 10 に例示する構成において、薄膜トランジスタ 10B のソース電極 18s およびドレイン電極 18d の下層 18a は、例えば TiN/Ti/TiN の 3 層構造を有する。

[0114] 上述したように、酸化物半導体 TFT において、酸化物半導体層と接するように Ti 層を配置することによって、コンタクト抵抗を低減できることが知られている。しかしながら、このような構成において、ソース電極およびドレイン電極を形成した後に何らかの目的で熱処理（例えば 200℃ 以上）を行うと、酸化物半導体層と Ti 層との接触部分において酸化物半導体と Ti との酸化還元反応が生じ、TFT 特性が変動するおそれがある。具体的には、閾値が大きくマイナス側にシフトするおそれがある。

[0115] 図 10 に示したように、Ti 層（下部金属層 18a2）と酸化物半導体層 16x との間に、酸化物半導体層 16x と接するように TiN 層（金属窒化物層 18a3）を設けることにより、Ti と酸化物半導体との酸化還元反応を抑制して、酸化物半導体層 16x の酸素欠損に起因する TFT の閾値の変動を抑制することができる。したがって、所望の TFT 特性をより確実に実現できる。なお、酸化物半導体層と接するように TiN 層を配置する構成では、上述した反応層が形成されにくい、コンタクト抵抗については、例えばコンタクト面積を大きくする等の他の方法によって低減することが可能である。

[0116] Ti の代わりに Mo を用いても同様の効果が得られる。例えば、下層 18a が MoN/Mo/MoN の 3 層構造を有し、最下層の MoN 層が酸化物半導体層 16x と接するように配置されていてもよい。

[0117] ソース電極 18s の下層 18a およびドレイン電極 18d の下層 18a は、上記以外の他の導電層を有していてもよい。その場合でも、第 2 の金属からなる金属層（Ti 層または Mo 層）と酸化物半導体層 16x との間に、第 2 の金属の窒化物からなる金属窒化物層（TiN 層または MoN 層）が介在

していれば、上述した効果を得ることができる。なお、ボトムコンタクト構造を採用した場合は、ソース電極 18 s およびドレイン電極 18 d の上層 18 c が、上部金属層 18 c 2 の主層 18 b と反対側に金属窒化物層をさらに含み、その金属窒化物層が酸化物半導体層 16 x と接していれば、上述した効果を得ることができる。

[0118] 薄膜トランジスタ 10 B を備える T F T 基板の製造方法は、下層 18 a を形成するための積層膜が異なる点以外は、図 9 (a) ~ (e) を参照しながら前述した、薄膜トランジスタ 10 A を備える T F T 基板の製造方法と同様である。すなわち、半導体層 16 上に、第 2 の金属からなる下部金属膜 18 h 2 および第 2 の金属の窒化物からなる下部金属窒化物膜 18 h 1 を順次堆積する前に、第 2 の金属の窒化物からなる他の金属窒化物膜を堆積しておけばよい。

[0119] 図 11 は、薄膜トランジスタ 10 のさらに他の改変例の模式的な断面を示す。図 11 に示すように、ソース電極 18 s およびドレイン電極 18 d の上層 18 c が、第 2 の金属の窒化物からなる他の金属窒化物層をさらに含んでもよい。図 11 に例示する構成では、層間絶縁層 19 x と、上層 18 c に含まれる上部金属層 18 c 2 との間にさらに金属窒化物層 18 c 3 が配置されている。図示するように、この金属窒化物層 18 c 3 は、層間絶縁層 19 x と接するように配置されている。層間絶縁層 19 x は、酸化絶縁層（ここではシリコン酸化物 (SiO_x) 層）である。図 11 に例示する構成において、薄膜トランジスタ 10 C のソース電極 18 s およびドレイン電極 18 d の上層 18 c は、例えば $\text{TiN}/\text{Ti}/\text{TiN}$ の 3 層構造を有する。

[0120] Ti 層と層間絶縁層（酸化絶縁層）とが接する構成において、層間絶縁層を形成した後に何らかの目的で熱処理（例えば 200°C 以上）を行うと、 Ti 層と層間絶縁層との酸化還元反応によって Ti 層の表面が酸化し、ソース電極およびドレイン電極と層間絶縁層との密着性が低下する可能性がある。ソース電極およびドレイン電極と層間絶縁層との密着性が低下すると、層間絶縁層が剥がれ、歩留まり低下を引き起こすおそれがある。

[0121] 図11に示したように、Ti層（上部金属層18c2）と層間絶縁層19xとの間に、層間絶縁層19xと接するようにTiN層（金属窒化物層18c3）を設けることにより、Tiと層間絶縁層19x（酸化絶縁層）との酸化還元反応を抑制できる。これにより、層間絶縁層19xとソース電極18sおよびドレイン電極18dとの密着性の低下を抑制し、歩留まりを高めることが可能である。なお、Tiの代わりにMoを用いても同様の効果が得られる。例えば、上層18cがMoN/Mo/MoNの3層構造を有し、最上層のMoN層が層間絶縁層19xと接するように配置されていてもよい。

[0122] なお、ソース電極18sの上層18cおよびドレイン電極18dの上層18cは、上記以外の他の導電層を有していてもよい。その場合でも、第2の金属からなる金属層（Ti層またはMo層）と層間絶縁層19xとの間に、第2の金属の窒化物からなる金属窒化物層（TiN層またはMoN層）が介在していれば、上述した効果を得ることができる。

[0123] 薄膜トランジスタ10Cを備えるTFET基板の製造方法は、上層18cを形成するための積層膜が異なる点以外は、図9(a)～(e)を参照しながら前述した、薄膜トランジスタ10Aを備えるTFET基板の製造方法と同様である。すなわち、主層18b上に、第2の金属の窒化物からなる上部金属窒化物膜18f1および第2の金属からなる上部金属膜18f2を順次堆積し、さらに、第2の金属の窒化物からなる他の金属窒化物膜を順次堆積すればよい。

[0124] 上述した構成は、互いに組み合わせられてもよい。図12に、薄膜トランジスタ10のさらに他の改変例である薄膜トランジスタ10Dの模式的な断面を示す。図12に示す薄膜トランジスタ10Dは、図10に示した薄膜トランジスタ10Bと同様に、酸化物半導体層16xを備える酸化物半導体TFETである。

[0125] 図12に示すように、ソース電極18sおよびドレイン電極18dの下層18aおよび上層18cのそれぞれが、TiN/Ti/TiNの3層構造を有していてもよい。TiN/Ti/TiNの3層構造の代わりに、MoN/

Mo/MoNの3層構造を採用してもよい。このように、ソース電極18sおよびドレイン電極18dの下層18aが、下部金属層18a2と酸化物半導体層16xとの間に配置された金属窒化物層18a3（下部金属窒化物表面層18a3ともいう。）をさらに含み、ソース電極18sおよびドレイン電極18dの上層18cが、上部金属層18c2と層間絶縁層19x（酸化絶縁層）との間に配置された金属窒化物層18c3（上部金属窒化物表面層18c3ともいう。）をさらに含んでいてもよい。なお、図12に例示する構成では、下部金属窒化物表面層18a3は、酸化物半導体層16xと接し、上部金属窒化物表面層18c3は、層間絶縁層19xと接している。

[0126] 薄膜トランジスタ10Dの下層18aは、図10に示した薄膜トランジスタ10Bの下層18aと同様にして形成することができ、薄膜トランジスタ10Dの上層18cは、図11に示した薄膜トランジスタ10Cの上層18cと同様にして形成することができる。したがって、製造方法の説明および工程図は省略する。

[0127] 図13は、薄膜トランジスタ10のさらに他の改変例の模式的な断面を示す。図13に示す薄膜トランジスタ10Eは、半導体層16のチャネル領域Rcを覆うエッチストップ層17を有している。エッチストップ層17を形成することにより、半導体層16に生じるプロセスダメージを低減できる。

[0128] 図示する例では、エッチストップ層17は、半導体層16およびゲート絶縁層14を覆うように形成されている。エッチストップ層17には、ソース領域Rsを露出する第1開口部17aおよびドレイン領域Rdを露出する第2開口部17bが設けられており、ソース電極18sおよびドレイン電極18dは、それぞれ、第1開口部17aおよび第2開口部17bを介して半導体層16に電氣的に接続されている。この場合において、チャネル長Lは、第1開口部17aと第2開口部17bとの距離である（図13参照）。

[0129] エッチストップ層17は、半導体層16の形成後、ソース電極18sおよびドレイン電極18dの形成前に、半導体層16上に保護膜を堆積し、この保護膜をパターニングすることによって形成することができる。より詳細に

は、半導体層 16 の形成後、例えば、CVD 法により、半導体層 16 上に、保護膜（厚さ：例えば 30 nm 以上 200 nm 以下）を堆積する。保護膜の例は、酸化シリコン膜（例えば SiO₂ 膜）、窒化シリコン膜、酸化窒化シリコン膜またはこれらの積層膜である。続けて、フォトリソグラフィプロセスを用いてパターニングを行うことによって、エッチストップ層 17 を形成することができる。パターニングは、半導体層 16 のうちチャネル領域 R_c となる領域がエッチストップ層 17 によって覆われるように実行される。これにより、半導体層 16 のうちチャネル領域 R_c となる部分を覆うエッチストップ層 17 を形成することができる。

[0130] 半導体層 16 の材料として酸化物半導体を用いる場合、エッチストップ層 17 は、シリコン酸化物層などの酸化物層を含むことが好ましい。エッチストップ層 17 が酸化物層を含んでいることにより、酸化物半導体に酸素欠損が生じた場合に、酸化物層に含まれる酸素によって酸素欠損を回復することが可能となるので、酸化物半導体の酸素欠損を低減できる。

[0131] なお、ボトムコンタクト構造を採用する場合、上述した下層 18a は、省略され得る。図 14 に、薄膜トランジスタ 20 の改変例である薄膜トランジスタ 20A の模式的な断面を示す。図示する例では、主層 18b の上面 S_t および側面 S_g は、高融点金属を含む上層 18c によって覆われており、主層 18b と半導体層 16 との間には、上層 18c が介在している。つまり、薄膜トランジスタ 20A では、主層 18b と半導体層 16 とは直接接しておらず、主層 18b の上面 S_t および側面 S_g からの、Al や Cu の半導体層 16 内部への拡散が抑制される。したがって、Al や Cu の半導体層 16 内部への拡散による TFT 特性の劣化を抑制することができる。

[0132] トップゲート・ボトムコンタクト構造を採用する場合（例えば図 6 参照）であっても同様に、下層 18a を省略し得る。上層 18c に、図 8～12 に例示したような積層構造を適用してもよい。

[0133] 薄膜トランジスタ 20A を備える TFT 基板の製造方法は、下層（下部導電膜）を形成するための工程が省略される点以外は、図 5（a）～（e）を

参照しながら前述した、薄膜トランジスタ 20 を備える TFT 基板の製造方法と同様である。したがって、製造方法の説明および工程図は省略する。

産業上の利用可能性

[0134] 本発明の実施形態は、アクティブマトリクス基板等の回路基板、液晶表示装置、有機エレクトロルミネセンス（EL（Electro Luminescence））表示装置および無機エレクトロルミネセンス表示装置等の表示装置、イメージセンサー装置等の撮像装置、画像入力装置や指紋読み取り装置等の電子装置などの薄膜トランジスタを備えた装置に広く適用できる。本発明の実施形態は、特に、高精細の液晶表示装置等に好適に適用され得る。

符号の説明

[0135] 10、20、30 薄膜トランジスタ（TFT）

- 11 基板
- 12 ゲート電極
- 14 ゲート絶縁層
- 16 半導体層
- 18s ソース電極
- 18d ドレイン電極
- 18a 下層
- 18b 主層
- 18c 上層
- 19 層間絶縁層

請求の範囲

- [請求項1] 基板と、前記基板に支持された薄膜トランジスタとを備える半導体装置であって、
- 前記薄膜トランジスタは、
- ゲート電極と、
- 半導体層と、
- 前記ゲート電極および前記半導体層の間に設けられたゲート絶縁層と、
- それぞれが前記半導体層に接するソース電極およびドレイン電極と、
- を有し、
- 前記ソース電極および前記ドレイン電極のそれぞれは、
- アルミニウムまたは銅を含む主層と、
- 前記主層の前記基板側に配置された下層であって、高融点金属を含む第1層を有する下層と、
- 前記主層の前記基板とは反対側に配置された上層であって、高融点金属を含む第2層を有する上層と、
- を有しており、
- 前記上層は、前記主層の上面を覆い、かつ、前記主層の側面のうちの少なくとも前記半導体層に重なる部分を覆うように設けられている、半導体装置。
- [請求項2] 前記ソース電極および前記ドレイン電極のそれぞれは、前記半導体層の上面の一部に接するように設けられている、請求項1に記載の半導体装置。
- [請求項3] 前記ソース電極および前記ドレイン電極のそれぞれは、前記半導体層の下面の一部に接するように設けられている、請求項1に記載の半導体装置。
- [請求項4] 基板と、前記基板に支持された薄膜トランジスタとを備える半導体

装置であって、
前記薄膜トランジスタは、
ゲート電極と、
半導体層と、
前記ゲート電極および前記半導体層の間に設けられたゲート絶縁層と、
それぞれが前記半導体層に接するソース電極およびドレイン電極と、
を有し、
前記ソース電極および前記ドレイン電極のそれぞれは、前記半導体層の下面の一部に接するように設けられており、
前記ソース電極および前記ドレイン電極のそれぞれは、
アルミニウムまたは銅を含む主層と、
前記主層の前記基板とは反対側に配置された上層であって、高融点金属を含む第1層を有する上層と、
を有しており、
前記上層は、前記主層の上面を覆い、かつ、前記主層の側面のうちの少なくとも前記半導体層に重なる部分を覆うように設けられている、半導体装置。

[請求項5] 前記ゲート電極は、前記半導体層よりも前記基板の近くに配置されている、請求項1から4のいずれかに記載の半導体装置。

[請求項6] 前記半導体層は、前記ゲート電極よりも前記基板の近くに配置されている、請求項1から4のいずれかに記載の半導体装置。

[請求項7] 前記高融点金属は、チタン、モリブデン、タングステン、タンタルまたはクロムである、請求項1から6のいずれかに記載の半導体装置。

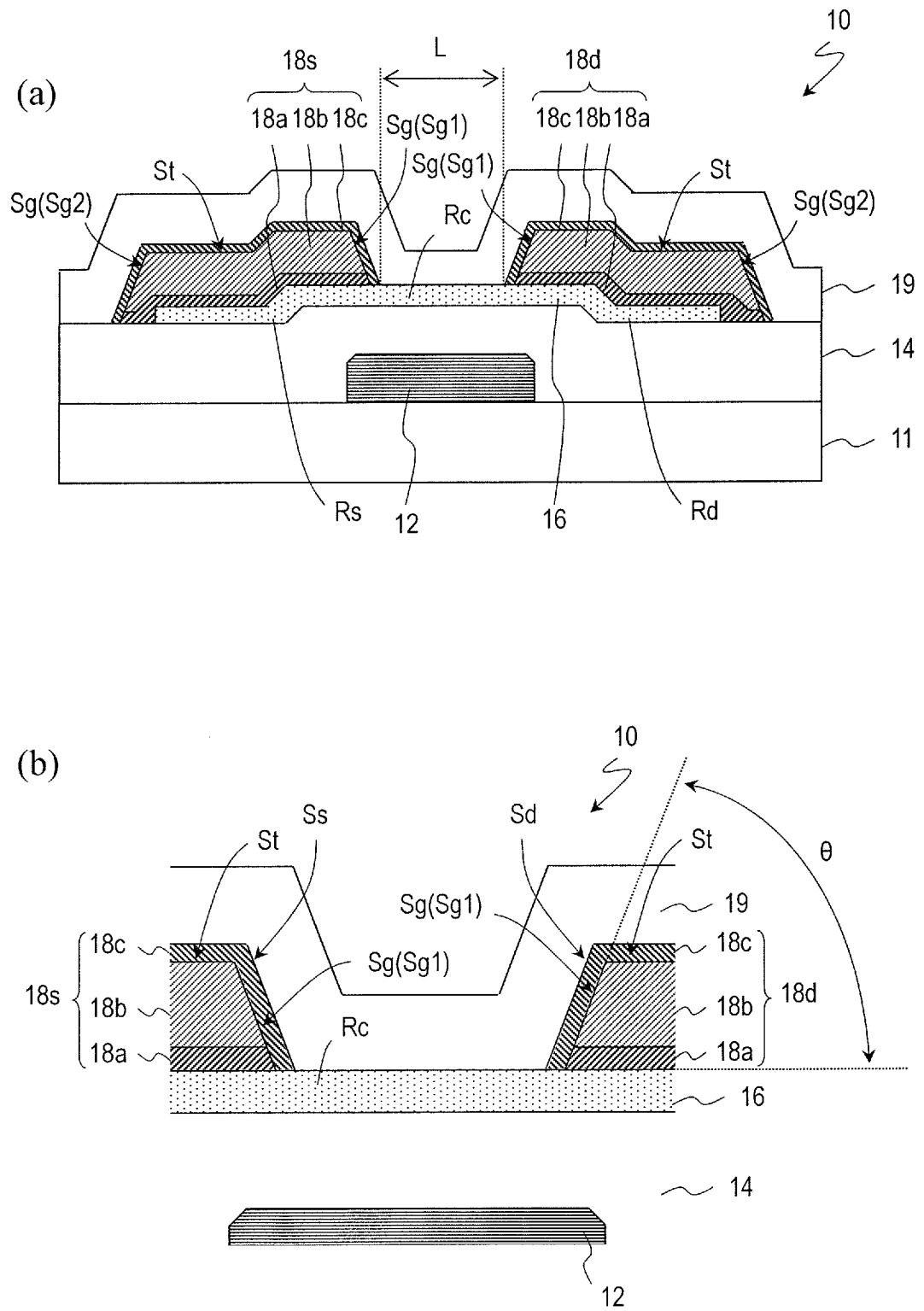
[請求項8] 前記半導体層は、酸化物半導体を含む、請求項1から7のいずれかに記載の半導体装置。

- [請求項9] 前記酸化物半導体は、 In-Ga-Zn-O 系の半導体を含む、請求項8に記載の半導体装置。
- [請求項10] 前記 In-Ga-Zn-O 系の半導体は、結晶質部分を含む、請求項9に記載の半導体装置。
- [請求項11] 前記薄膜トランジスタは、前記半導体層のチャネル領域を覆うエッチストップ層をさらに有する、請求項1から10のいずれかに記載の半導体装置。
- [請求項12] アクティブマトリクス基板である、請求項1から11のいずれかに記載の半導体装置。
- [請求項13] 請求項12に記載の半導体装置を備える表示装置。
- [請求項14] 基板を用意する工程と、
前記基板上に、半導体層、ゲート電極、ソース電極、ドレイン電極およびゲート絶縁層を有する薄膜トランジスタを形成する工程とを包含する半導体装置の製造方法であって、
前記薄膜トランジスタを形成する工程は、
アルミニウムまたは銅を含む主層と、前記主層の前記基板とは反対側に配置された上層であって、高融点金属を含む第1層を有する上層とをそれぞれが有する前記ソース電極および前記ドレイン電極を形成する工程を含み、
前記ソース電極および前記ドレイン電極を形成する工程において、前記上層は、前記主層の上面を覆い、かつ、前記主層の側面のうちの少なくとも前記半導体層に重なる部分を覆うように形成される、半導体装置の製造方法。
- [請求項15] 前記ソース電極および前記ドレイン電極を形成する工程は、
高融点金属を含む第1層を有する上部導電膜を前記主層上に形成した後、前記上部導電膜をパターンニングすることによって前記上層を形成する工程を含む、請求項14に記載の半導体装置の製造方法。
- [請求項16] 前記ソース電極および前記ドレイン電極を形成する工程は、さらに

、

高融点金属を含む第2層を有する下部導電膜、およびアルミニウムまたは銅を含む中間導電膜を順次形成した後、前記下部導電膜および前記中間導電膜をパターンニングすることによって、前記主層の前記基板側に配置された下層であって、高融点金属を含む第2層を有する下層および前記主層を形成する工程を含む、請求項15に記載の半導体装置の製造方法。

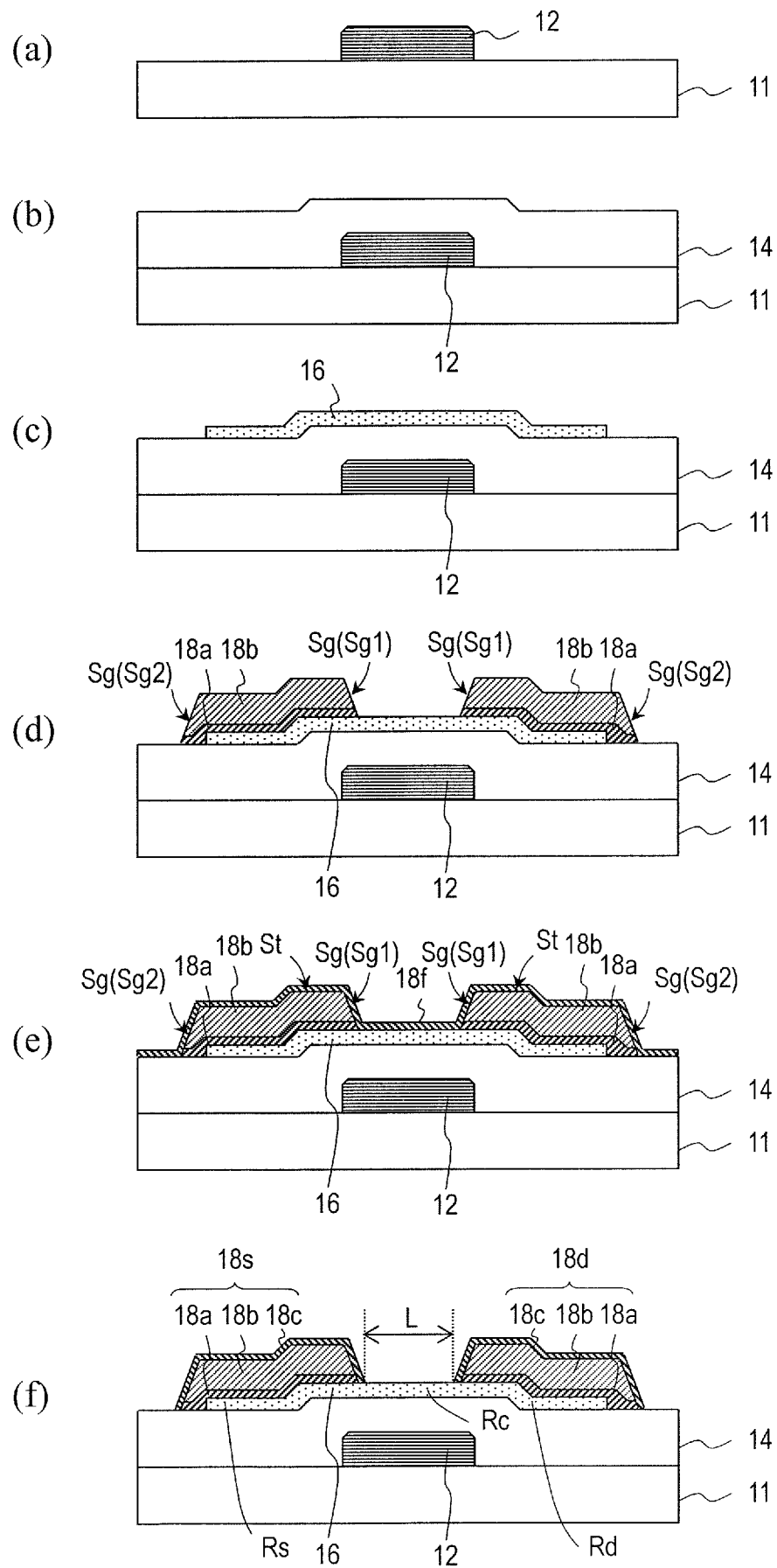
[図1]



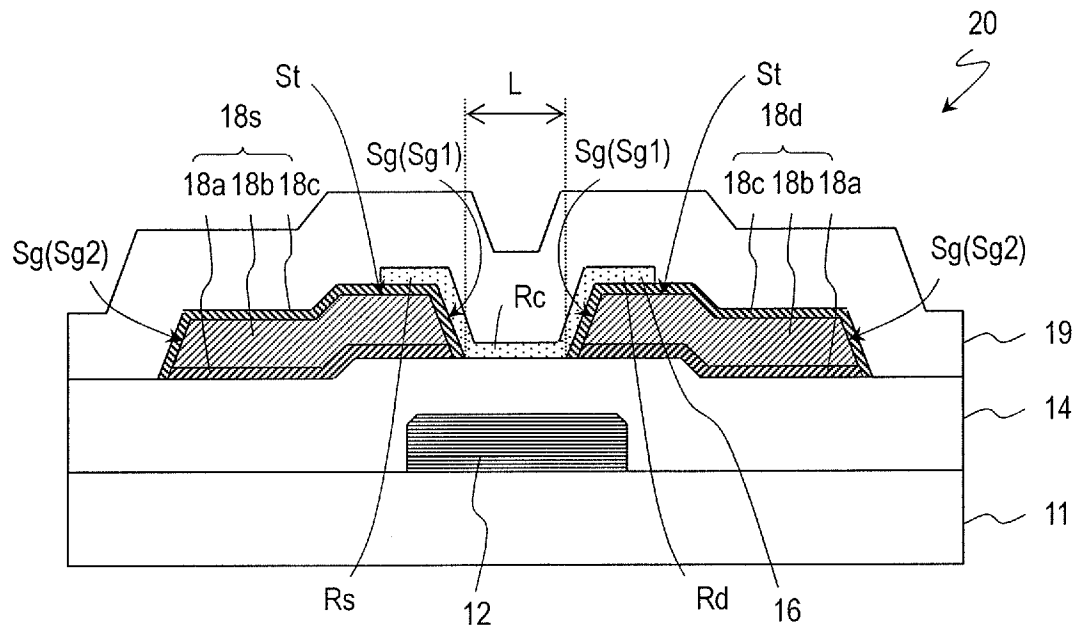
(b)

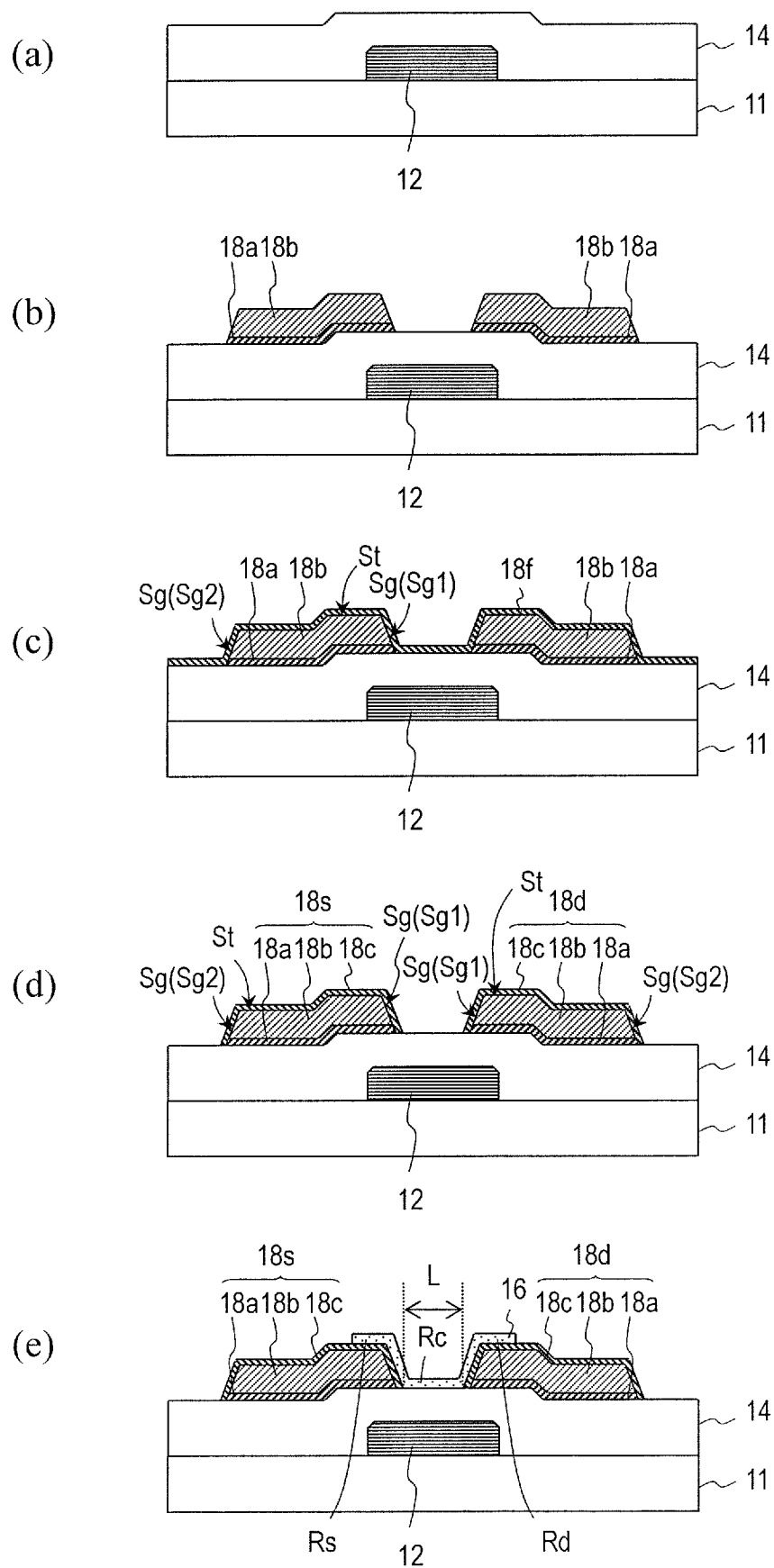
Diagram (b) is a cross-sectional view of a semiconductor device. It features a central cavity with a bottom surface labeled Rc . The cavity is flanked by two side structures, each consisting of three stacked layers labeled 58a, 58b, and 58c. These side structures are collectively labeled 58s on the left and 58d on the right. The top surface of the side structures is labeled 58c. The top surface of the central cavity is labeled $CSg(CSg1)$. The bottom surface of the central cavity is also labeled $CSg(CSg1)$. The entire structure is supported by a substrate labeled 16. A layer labeled 19 is located above the side structures. A layer labeled 14 is located below the substrate. A layer labeled 12 is located below the layer 14. A layer labeled 50 is located above the layer 19. A layer labeled 10 is located below the layer 12.

[図3]



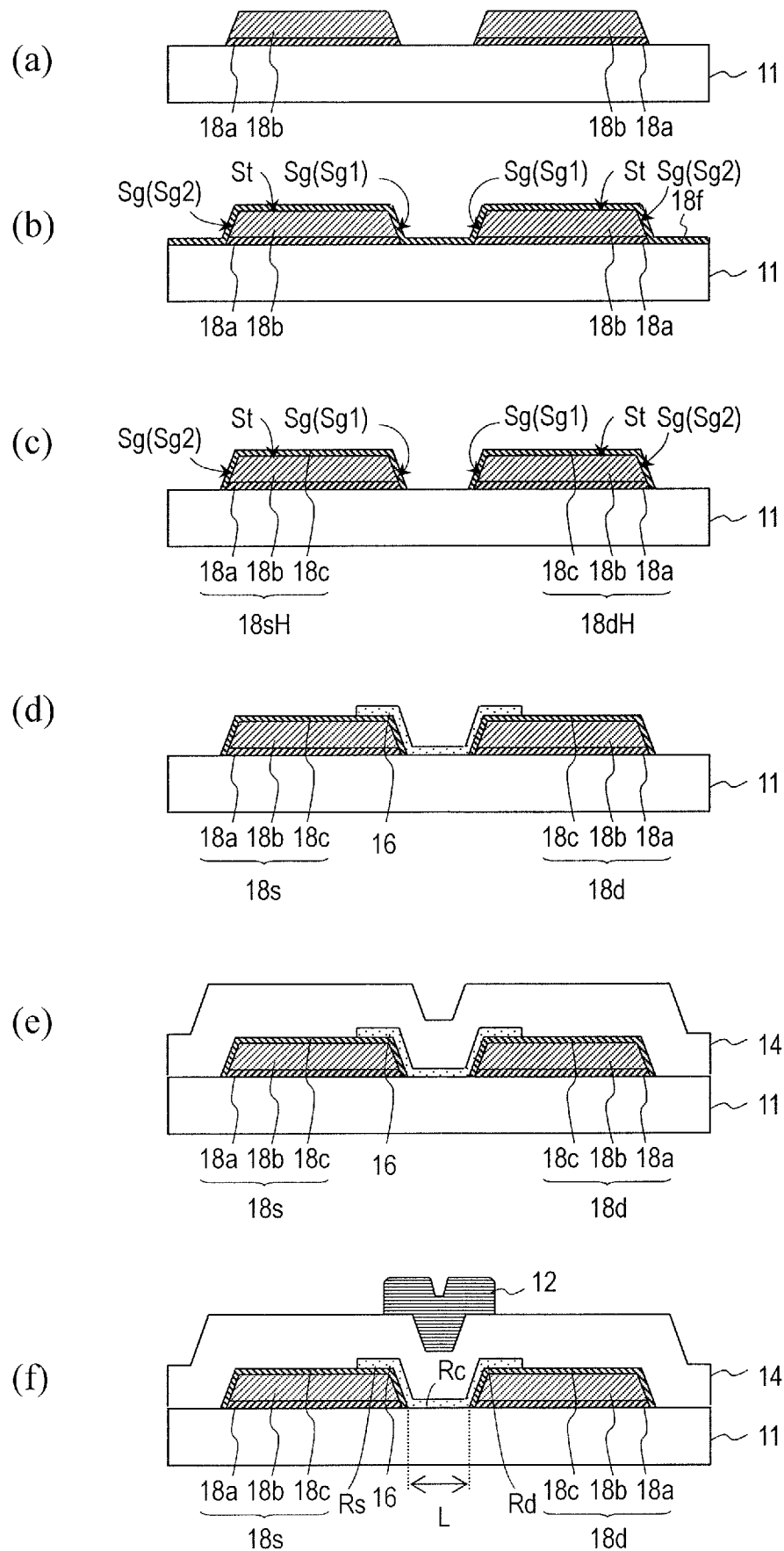
[図4]

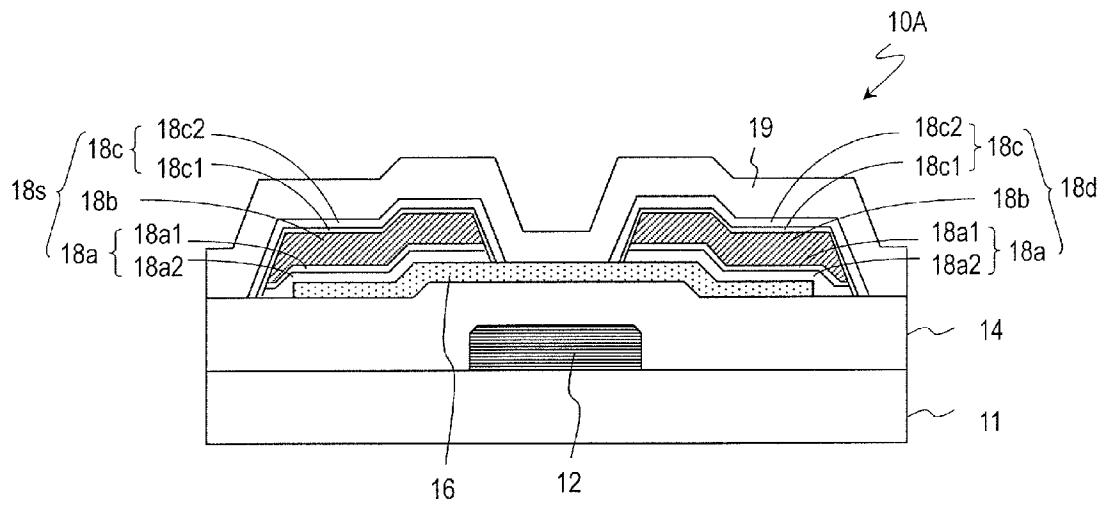




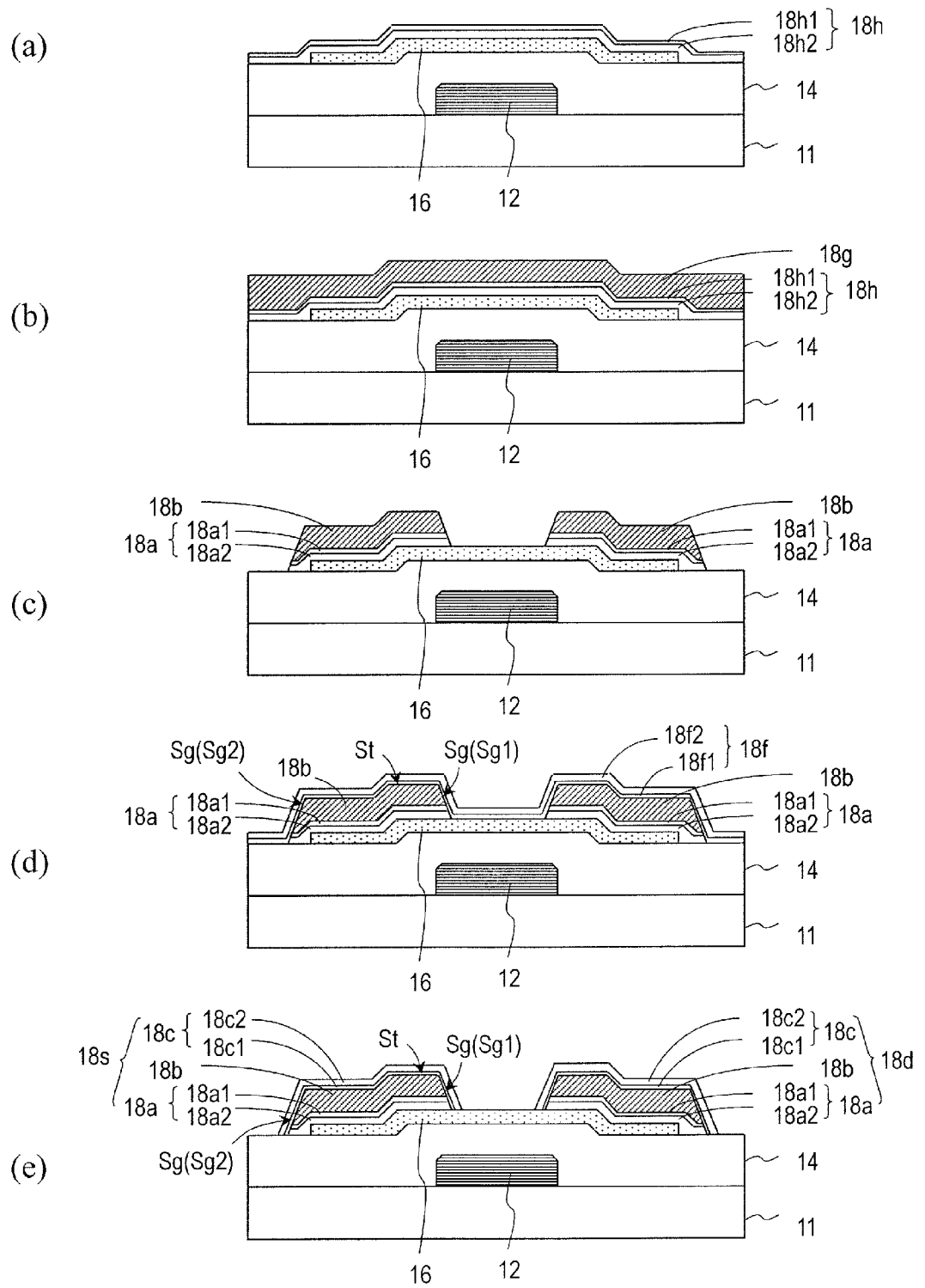
[illegible]

[図7]

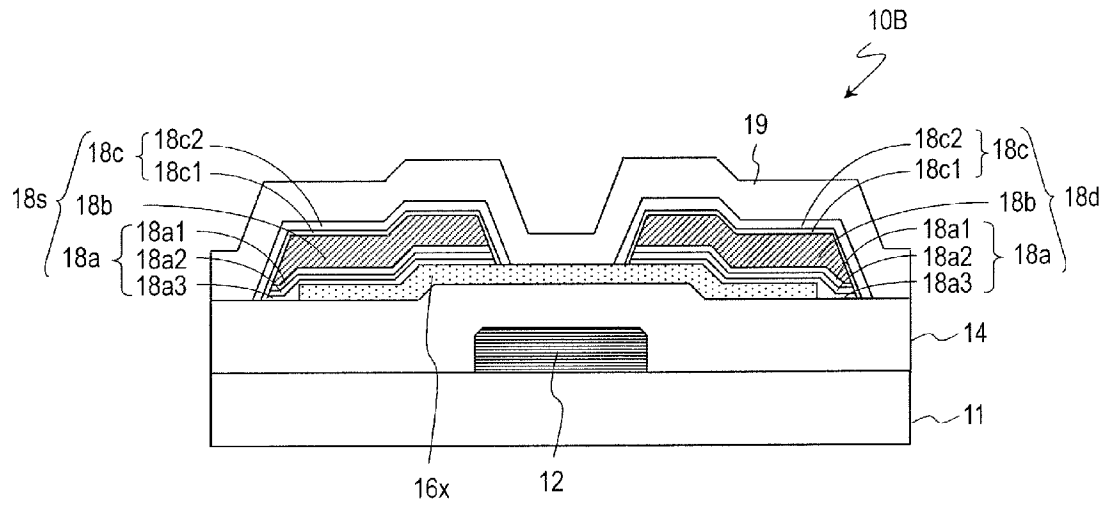




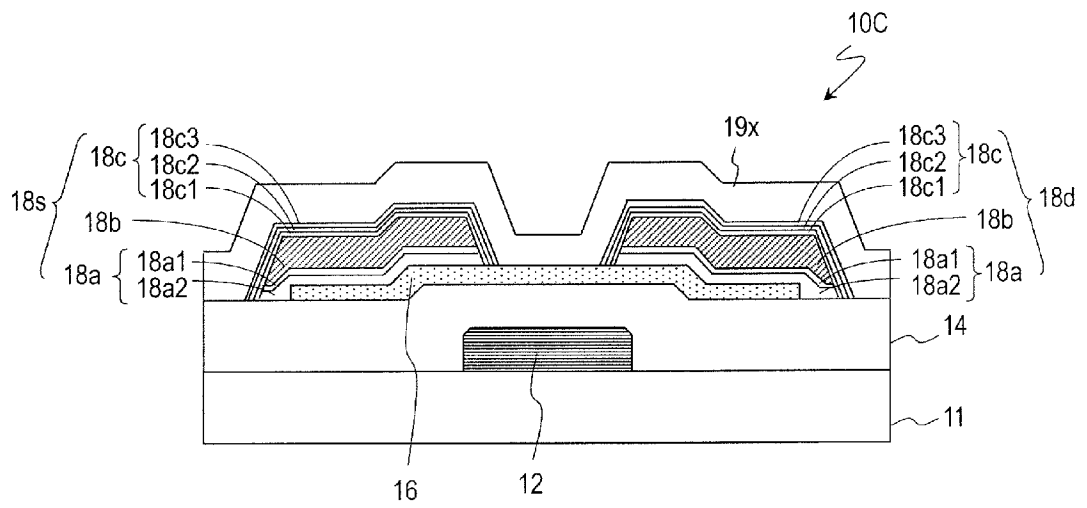
[図9]



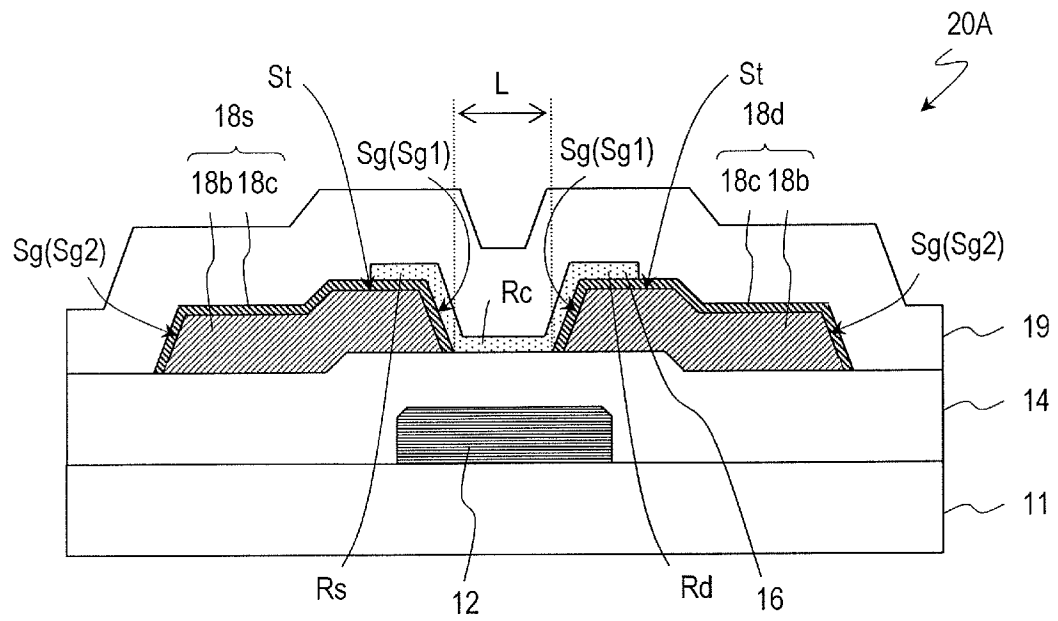
[図10]



[図11]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/071257

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/28(2006.01)i,
H01L21/336(2006.01)i, H01L29/417(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, G02F1/1368, H01L21/28, H01L21/336, H01L29/417

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-331066 A (Sony Corp.), 22 December 1997 (22.12.1997), paragraphs [0039] to [0066]; fig. 2, 3 (Family: none)	1, 2, 4, 6, 7, 12-16
Y		3, 5, 8-11
Y	JP 2011-86923 A (Semiconductor Energy Laboratory Co., Ltd.), 28 April 2011 (28.04.2011), paragraphs [0025] to [0048]; fig. 10(B) & US 2011/0062436 A1 & EP 2478554 A1 & WO 2011/033936 A1 & CN 102498553 A & KR 10-2012-0056870 A & TW 201207997 A	3, 5, 8-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
10 November, 2014 (10.11.14)

Date of mailing of the international search report
18 November, 2014 (18.11.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/071257

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-199566 A (Semiconductor Energy Laboratory Co., Ltd.), 09 September 2010 (09.09.2010), paragraphs [0035], [0054]; fig. 2 & US 2010/0193783 A1 & CN 101794822 A & KR 10-2010-0088565 A & TW 201036166 A	5, 8, 9, 11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L29/417(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, G02F1/1368, H01L21/28, H01L21/336, H01L29/417

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 9-331066 A（ソニー株式会社）1997. 12. 22, 段落 0039-0066、図 2, 3（ファミリーなし）	1, 2, 4, 6, 7, 12-16
Y		3, 5, 8-11
Y	JP 2011-86923 A（株式会社半導体エネルギー研究所）2011. 04. 28, 段落 0025-0048、図 10(B) & US 2011/0062436 A1 & EP 2478554 A1 & WO 2011/033936 A1 & CN 102498553 A & KR 10-2012-0056870 A & TW 201207997 A	3, 5, 8-10

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 1 1 . 2 0 1 4

国際調査報告の発送日

1 8 . 1 1 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

岩本 勉

5 F

9 3 5 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-199566 A (株式会社半導体エネルギー研究所) 2010. 09. 09, 段落 0035、段落 0054、図 2 & US 2010/0193783 A1 & CN 101794822 A & KR 10-2010-0088565 A & TW 201036166 A	5, 8, 9, 11