



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년10월05일

(11) 등록번호 10-1904410

(24) 등록일자 2018년09월27일

(51) 국제특허분류(Int. Cl.)

H01L 25/10 (2006.01) *H01L 21/48* (2006.01)
H01L 23/28 (2006.01) *H01L 23/31* (2006.01)
H01L 23/495 (2006.01) *H01L 23/498* (2006.01)

(21) 출원번호 10-2014-7013295

(22) 출원일자(국제) 2012년10월16일

심사청구일자 2017년10월16일

(85) 번역문제출일자 2014년05월16일

(65) 공개번호 10-2014-0085517

(43) 공개일자 2014년07월07일

(86) 국제출원번호 PCT/US2012/060402

(87) 국제공개번호 WO 2013/059181

국제공개일자 2013년04월25일

(30) 우선권주장

13/404,408 2012년02월24일 미국(US)

(뒷면에 계속)

(56) 선행기술조사문헌

JP11145323 A*

JP2007123595 A*

JP3157134 B2*

JP2006108588 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

인베스 코포레이션

미국 캘리포니아 산 호세 오처드 파크웨이 3025
(우편번호 95134)

(72) 발명자

차우 엘리스

미국 95134 캘리포니아주 샌 호세 오처드 파크웨이 3025

코 레이날도

미국 95134 캘리포니아주 샌 호세 오처드 파크웨이 3025

(뒷면에 계속)

(74) 대리인

유미특허법인

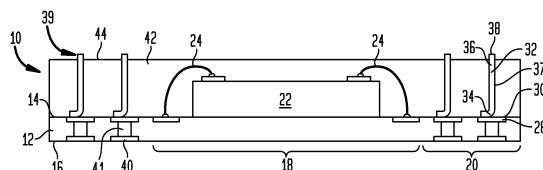
전체 청구항 수 : 총 27 항

심사관 : 안경민

(54) 발명의 명칭 와이어 본드 비아를 갖는 패키지-온-패키지 어셈블리

(57) 요 약

미소전자 패키지(10)는 와이어 본드(32)를 포함할 수 있으며, 와이어 본드(32)는, 기판(12) 상의 각각의 도전성 요소(28)에 분당된 베이스(34)와, 베이스(34) 반대쪽의 단부(36)를 갖는다. 유전체 인캡슐레이션층(42)이 기판(12)으로부터 연장하며, 와이어 본드(32)의 덮여진 부분이 인캡슐레이션층(42)에 의해 서로 분리되도록 와이어 본드(32)의 일부분을 덮으며, 여기서 와이어 본드(32)의 인캡슐레이션되지 않은 부분(39)이 인캡슐레이션층(42)에 의해 덮여지지 않은 와이어 본드(32)의 부분에 의해 규정된다. 인캡슐레이션되지 않은 부분(39)은 인접한 와이어 본드(32)의 베이스(34)를 사이의 제1 최소 피치보다 큰 최소 피치를 갖는 패턴의 위치에 배치될 수 있다.

대 표 도 - 도1

(72) 발명자

알라토레 로제

미국 95134 캘리포니아주 샌 호세 오처드 파크웨이
3025

데버그 필립

미국 95014 캘리포니아주 쿠퍼티노 클리어크릭 코
트 22117

왕 웨이-순

미국 95134 캘리포니아주 샌 호세 오처드 파크웨이
3025

양세영

미국 95134 캘리포니아주 샌 호세 오처드 파크웨이
3025

자오 지준

미국 95134 캘리포니아주 샌 호세 오처드 파크웨이
3025

(30) 우선권주장

13/404,458 2012년02월24일 미국(US)

13/405,108 2012년02월24일 미국(US)
61/547,930 2011년10월17일 미국(US)

명세서

청구범위

청구항 1

미소전자 패키지에 있어서,

제1 영역 및 제2 영역을 가지며, 또한 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되는 제2 표면을 갖는 기판;

상기 제1 영역 내의 상기 제1 표면 위에 위치하는 하나 이상의 미소전자 요소;

상기 제2 영역 내의 상기 기판의 제1 표면과 제2 표면 중 적어도 하나에서 노출되어 있고, 그 중 적어도 몇몇이 상기 하나 이상의 미소전자 요소에 전기 접속되는 전기 도전성 요소;

예지 표면을 규정하는 와이어 본드로서, 상기 와이어 본드가 상기 도전성 요소의 각각의 도전성 요소에 본딩되는 베이스를 가지며, 상기 베이스가 상기 도전성 요소를 따라 연장하는 상기 예지 표면의 제1 부분을 포함하며, 상기 예지 표면의 각각의 제2 부분이 상기 제1 부분에 대하여 25° 와 90° 사이의 각도를 이루게 되며, 상기 와이어 본드가 상기 기판으로부터 원격으로 위치되고 또한 상기 베이스로부터 원격으로 위치되어 있는 단부를 갖는, 와이어 본드; 및

상기 제1 표면 또는 상기 제2 표면 중의 적어도 하나로부터 연장하는 유전체 인캡슐레이션층으로서, 상기 인캡슐레이션층은 상기 인캡슐레이션층에 의해 덮여지는 상기 와이어 본드의 일부분이 상기 인캡슐레이션층에 의해 서로 분리되도록 상기 와이어 본드의 일부분을 덮으며, 상기 인캡슐레이션층이 상기 기판의 적어도 제2 영역 위에 위치하며, 상기 와이어 본드의 인캡슐레이션되지 않은 부분이 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 부분에 의해 규정되며, 상기 인캡슐레이션되지 않은 부분이 상기 단부를 포함하며, 상기 도전성 요소가 복수의 도전성 요소의 각각의 인접한 도전성 요소들 사이의 제1 최소 피치를 갖는 패턴의 위치에 배치되며, 상기 인캡슐레이션되지 않은 부분이 복수의 와이어 본드의 인접한 와이어 본드의 각각의 단부들 사이의 제2 최소 피치를 갖는 패턴의 위치에 배치되며, 상기 제2 최소 피치가 상기 제1 최소 피치보다 큰, 유전체 인캡슐레이션층

을 포함하고,

적어도 몇몇의 와이어 본드의 단부가 적어도 몇몇의 와이어 본드의 각각의 팀으로서 규정되며, 상기 적어도 몇몇의 와이어 본드 중 적어도 하나의 와이어 본드의 팀이 상기 적어도 하나의 와이어 본드의 원통형부에 비하여 테이퍼되고 상기 원통형부로부터 연장되며, 상기 원통형부는 상기 적어도 하나의 와이어 본드의 팀과 일체로 되고, 상기 적어도 하나의 와이어 본드의 팀은 상기 적어도 하나의 와이어 본드의 베이스로부터 연장되는 상기 원통형부의 축으로부터 방사상 방향으로 오프셋되는 중심을 가지는, 미소전자 패키지.

청구항 2

제1항에 있어서,

상기 각도가 80° 와 90° 사이인 것인, 미소전자 패키지.

청구항 3

제1항에 있어서,

상기 와이어 본드의 인캡슐레이션되지 않은 부분 중 적어도 일부가 볼 형상부를 포함하고, 각각의 볼 형상부는 상기 와이어 본드의 원통형부와 일체로 되며, 각각의 볼 형상부 및 각각의 원통형부는 구리, 구리 합금 또는 금으로 필수적으로 이루어지는 코어를 적어도 가지는, 미소전자 패키지.

청구항 4

제3항에 있어서,

상기 볼 형상부와 일체로 되는 원통형부는 상기 인캡슐레이션층의 표면을 지나 돌출되는, 미소전자 패키지.

청구항 5

제1항에 있어서,

적어도 몇몇의 상기 와이어 본드는, 1차 금속(primary metal)의 코어와, 상기 1차 금속 위에 위치하고 상기 1차 금속과는 상이한 제2 금속을 포함하는 금속성 마무리(metallic finish)를 가지는, 미소전자 패키지.

청구항 6

제5항에 있어서,

상기 1차 금속은 구리이고, 상기 금속성 마무리는 은의 층을 포함하는, 미소전자 패키지.

청구항 7

제1항에 있어서,

상기 도전성 요소는 제1 도전성 요소이고,

상기 미소전자 패키지는 상기 와이어 본드의 인캡슐레이션되지 않은 부분에 전기 접속되는 복수의 제2 도전성 요소를 더 포함하며, 상기 제2 도전성 요소가 상기 제1 도전성 요소와 접촉하지 않는 것인, 미소전자 패키지.

청구항 8

제7항에 있어서,

상기 제2 도전성 요소는 상기 인캡슐레이션층을 형성한 후에 상기 와이어 본드의 인캡슐레이션되지 않은 부분과 접촉하게 하는 플레이팅(plating)에 의해 형성되는, 미소전자 패키지.

청구항 9

제1항에 있어서,

상기 와이어 본드의 하나 이상의 와이어 본드의 단부가, 적어도 도전성 요소들 간의 최소 피치와 100 미크론 중의 하나와 동일한 거리만큼, 자신의 베이스로부터 상기 기판의 제1 표면에 평행한 방향으로 변위되고, 상기 와이어 본드의 하나 이상의 와이어 본드가 상기 하나 이상의 와이어 본드의 베이스와 인캡슐레이션되지 않은 부분 사이에 하나 이상의 곡선부(bend)를 포함하고, 상기 하나 이상의 와이어 본드의 곡선부가 상기 하나 이상의 와이어 본드의 베이스와 인캡슐레이션되지 않은 부분으로부터 이격되어 있는, 미소전자 패키지.

청구항 10

제9항에 있어서,

상기 곡선부의 반경은 하나 이상의 상기 와이어 본드의 원통형부의 직경의 12배보다 큰 것인, 미소전자 패키지.

청구항 11

제9항에 있어서,

상기 곡선부의 반경은 하나 이상의 상기 와이어 본드의 원통형부의 직경의 10배보다 작은 것인, 미소전자 패키지.

청구항 12

제9항에 있어서,

하나 이상의 상기 와이어 본드의 인캡슐레이션되지 않은 부분은 상기 기판의 제1 표면에 대한 수직선의 25° 이내의 방향으로 상기 인캡슐레이션층 위에 돌출되는, 미소전자 패키지.

청구항 13

제1항에 있어서,

상기 도전성 요소가 비-솔더 마스크로 형성된 것인, 미소전자 패키지.

청구항 14

제1항에 있어서,

상기 와이어 본드의 베이스의 부분에 결합되고 그 위에 위치하는 볼 본드(ball bond)를 더 포함하는, 미소전자 패키지.

청구항 15

제1항에 있어서,

상기 하나 이상의 미소전자 요소는 상기 제1 영역 내의 상기 제1 표면 위에 위치하는 제1 및 제2 미소전자 요소를 포함하며, 상기 도전성 요소 중의 적어도 몇몇이 상기 제1 미소전자 요소와 접속되며, 적어도 몇몇의 도전성 요소가 상기 제2 미소전자 요소와 접속되며, 상기 제1 미소전자 요소 및 상기 제2 미소전자 요소가 상기 미소전자 패키지 내에서 서로 전기 접속되는, 미소전자 패키지.

청구항 16

미소전자 패키지로서,

제1 영역 및 제2 영역을 가지며, 또한 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되는 제2 표면을 갖는 기판;

상기 제1 영역 내의 상기 제1 표면 위에 위치하는 하나 이상의 미소전자 요소;

상기 제2 영역 내의 상기 기판의 제1 표면 및 제2 표면 중 적어도 하나에서 노출되어 있고, 그 중 적어도 몇몇이 상기 하나 이상의 미소전자 요소에 전기 접속되는 제1 전기 도전성 요소;

상기 제1 전기 도전성 요소의 각각에 본딩되는 베이스와, 상기 기판으로부터 원격으로 위치되고 상기 베이스로 부터 원격으로 위치되는 단부 표면을 갖는 와이어 본드로서, 각각의 와이어 본드는 상기 와이어 본드의 상기 베이스와 단부 표면 사이에 연장하는 애지 표면을 규정하는, 와이어 본드; 및

상기 제1 표면 또는 제2 표면 중 적어도 하나로부터 연장되는 유전체 인캡슐레이션층으로서, 상기 와이어 본드들 사이의 공간을 채워서 상기 와이어 본드가 상기 인캡슐레이션층에 의해 서로 분리되도록 하고, 상기 인캡슐레이션층은 적어도 상기 기판의 제2 영역 위에 위치되고, 상기 와이어 본드의 인캡슐레이션되지 않은 부분이 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 단부 표면의 적어도 일부분에 의해 규정되는, 유전체 인캡슐레이션층

을 포함하고,

상기 인캡슐레이션층은 주표면 및 상기 주표면에 대해 경사진 정렬 표면을 가지고, 상기 와이어 본드의 하나 이상의 인캡슐레이션되지 않은 부분이 상기 주표면 상에 위치되고, 상기 정렬 표면은 상기 인캡슐레이션되지 않은 부분에 인접한 지점에서 상기 주표면에 근접해 있어서, 상기 정렬 표면이 상기 정렬 표면 위에 배치된 전기 도전성 돌기를 상기 와이어 본드의 인캡슐레이션되지 않은 부분 쪽으로 안내하도록 구성되고,

적어도 몇몇의 와이어 본드의 단부가 적어도 몇몇의 와이어 본드의 각각의 팀으로서 규정되며, 상기 적어도 몇몇의 와이어 본드 중 적어도 하나의 와이어 본드의 팀이 상기 적어도 하나의 와이어 본드의 원통형부에 비하여 테이퍼되고 상기 원통형부로부터 연장되며, 상기 원통형부는 상기 적어도 하나의 와이어 본드의 팀과 일체로 되고, 상기 적어도 하나의 와이어 본드의 팀은 상기 적어도 하나의 와이어 본드의 베이스로부터 연장되는 상기 원통형부의 축으로부터 방사상 방향으로 오프셋되는 중심을 가지는, 미소전자 패키지.

청구항 17

제16항에 있어서,

상기 돌기는 본드 금속을 포함하는, 미소전자 패키지.

청구항 18

제17항에 있어서,

상기 본드 금속은 회로 요소에 부착된 솔더 볼을 포함하는, 미소전자 패키지.

청구항 19

제16항에 있어서,

상기 인캡슐레이션층은 상기 인캡슐레이션층의 코너 영역을 규정하고, 상기 인캡슐레이션층은, 상기 코너 영역 내에 위치되고 상기 주표면보다 상기 기판으로부터 더 떨어져 위치되는 하나 이상의 부표면을 더 포함하고, 상기 정렬 표면은 상기 부표면과 상기 주표면 사이에서 연장되는, 미소전자 패키지.

청구항 20

제16항에 있어서,

상기 주표면은 상기 기판의 제1 영역 위에 위치하는 제1 주표면이고, 상기 인캡슐레이션층은, 상기 제2 영역 위에 위치하고 상기 주표면보다 상기 기판에 더 가깝게 위치되는 제2 주표면을 더 규정하고, 상기 정렬 표면이 상기 제1 주표면과 상기 제2 주표면 사이에서 연장되는, 미소전자 패키지.

청구항 21

미소전자 어셈블리로서,

제16항에 따른 제1 미소전자 패키지;

전면 및 상기 전면 상의 단자를 갖는 제2 미소전자 패키지; 및

상기 와이어 본드의 인캡슐레이션되지 않은 부분의 적어도 몇몇을 상기 단자의 각각의 단자와 접속시키는 복수의 도전성 돌기를 포함하고,

상기 도전성 돌기의 하나 이상이 상기 정렬 표면의 일부분과 접촉하게 위치되는, 미소전자 어셈블리.

청구항 22

제21항에 있어서,

상기 도전성 돌기는 솔더 볼을 포함하는, 미소전자 어셈블리.

청구항 23

미소전자 패키지에 있어서,

제1 영역 및 제2 영역을 가지며, 또한 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되어 있는 제2 표면을 갖는 기판;

상기 제1 영역 내의 상기 제1 표면 위에 위치하는 하나 이상의 미소전자 요소;

상기 제2 영역 내의 상기 기판의 제1 표면 및 제2 표면 중의 적어도 하나에서 노출되어 있고, 그 중 적어도 몇몇이 상기 하나 이상의 미소전자 요소에 전기 접속되는 전기 도전성 요소;

적어도 몇몇의 상기 도전성 요소에 결합되는 볼 본드;

예지 표면을 규정하는 와이어 본드로서, 상기 와이어 본드가 적어도 몇몇의 상기 도전성 요소의 볼 본드에 본딩되는 베이스를 가지며, 상기 베이스가 상기 도전성 요소를 따라 연장하는 상기 예지 표면의 제1 부분을 포함하며, 상기 예지 표면의 각각의 제2 부분이 상기 제1 부분에 대하여 25° 와 90° 사이의 각도를 이루게 되며, 상기 와이어 본드가 상기 기판으로부터 원격으로 위치되고 또한 상기 베이스로부터 원격으로 위치되어 있는 단부를 갖는, 와이어 본드; 및

상기 제1 표면 또는 상기 제2 표면 중의 적어도 하나로부터 연장하는 유전체 인캡슐레이션층으로서, 상기 인캡슐레이션층은 상기 인캡슐레이션층에 의해 덮여지는 상기 와이어 본드의 일부분이 상기 인캡슐레이션층에 의해

서로 분리되도록 상기 와이어 본드의 일부분을 덮으며, 상기 인캡슐레이션층이 상기 기판의 적어도 제2 영역 위에 위치하며, 상기 와이어 본드의 인캡슐레이션되지 않은 부분이 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 부분에 의해 규정되며, 상기 인캡슐레이션되지 않은 부분이 상기 단부를 포함하는, 유전체 인캡슐레이션층

을 포함하고,

적어도 몇몇의 와이어 본드의 단부가 적어도 몇몇의 와이어 본드의 각각의 팀으로서 규정되며, 상기 적어도 몇몇의 와이어 본드 중 적어도 하나의 와이어 본드의 팀이 상기 적어도 하나의 와이어 본드의 원통형부에 비하여 테이퍼되고 상기 원통형부로부터 연장되며, 상기 원통형부는 상기 적어도 하나의 와이어 본드의 팀과 일체로 되고, 상기 적어도 하나의 와이어 본드의 팀은 상기 적어도 하나의 와이어 본드의 베이스로부터 연장되는 상기 원통형부의 축으로부터 방사상 방향으로 오프셋되는 중심을 가지는, 미소전자 패키지.

청구항 24

미소전자 어셈블리에 있어서,

제1항에 따른 제1 미소전자 패키지로서, 상기 제1 미소전자 패키지의 기판의 제2 표면에서 노출되는 복수의 단자와, 상기 제1 미소전자 패키지의 기판의 제1 표면과 제2 표면 사이의 방향으로 연장하는 주변 에지를 더 포함하는, 제1 미소전자 패키지;

제2 미소전자 패키지로서, 컨택을 위해 갖는 기판과, 상기 컨택에 전기 접속되는 제2 미소전자 요소와, 상기 제2 미소전자 패키지의 기판의 표면에서 노출되고 상기 컨택을 통해 상기 제2 미소전자 요소에 전기 접속되는 단자를 포함하며, 상기 제2 미소전자 요소의 단자가 상기 와이어 본드의 각각의 인캡슐레이션되지 않은 부분을 바라보고 있고 이 인캡슐레이션되지 않은 부분과 전기 접속되는, 제2 미소전자 패키지;

회로 패널로서, 제1 표면 및 상기 회로 패널의 제1 표면에 노출되어 있는 패널 컨택을 포함하고, 상기 제1 미소전자 패키지가 상기 회로 패널 위에 위치하고, 상기 회로 패널의 패널 컨택에 결합되는 상기 제1 미소전자 패키지의 단자를 갖는, 회로 패널; 및

상기 제1 미소전자 패키지의 주변 에지 중의 하나 이상의 주변 에지 위에 위치하며, 상기 제1 미소전자 패키지의 단자와 상기 회로 패널의 패널 컨택 사이의 조인트를 둘러싸는 공간 내에 배치되며, 상기 제1 미소전자 패키지와 상기 제2 미소전자 패키지의 단자 사이의 조인트를 둘러싸는 공간 내에 배치되는, 모노리식 언더필(*monolithic underfill*)

을 포함하는 미소전자 어셈블리.

청구항 25

미소전자 패키지에 있어서,

제1 영역 및 제2 영역을 가지며, 또한 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되어 있는 제2 표면을 갖는 기판;

상기 제1 영역 내의 상기 제1 표면 위에 위치하는 하나 이상의 미소전자 요소;

상기 제2 영역 내의 상기 기판의 제1 표면 및 제2 표면 중의 적어도 하나에서 노출되어 있고, 그 중 적어도 몇몇이 상기 하나 이상의 미소전자 요소에 전기 접속되는 제1 전기 도전성 요소;

상기 제1 전기 도전성 요소의 각각에 본딩되는 베이스와, 상기 기판으로부터 원격으로 위치되고 상기 베이스로 부터 원격으로 위치되는 단부 표면을 갖는 와이어 본드로서, 각각의 와이어 본드는 상기 와이어 본드의 상기 베이스와 단부 표면 사이에 연장하는 에지 표면을 규정하는, 와이어 본드; 및

상기 제1 표면으로부터 연장되는 유전체 인캡슐레이션층으로서, 상기 와이어 본드들 사이의 공간을 채워서 상기 와이어 본드가 상기 인캡슐레이션층에 의해 서로 분리되도록 하는, 유전체 인캡슐레이션층을 포함하고,

상기 인캡슐레이션층은, 상기 기판의 제1 영역 위에 위치하는 영역에서의 상기 제1 표면 위의 제1 높이의 제1 표면 부분과, 상기 기판의 제2 영역 위에 위치하는 영역에서의 상기 제1 표면 위의 제2 높이의 제2 표면 부분을 규정하고, 상기 제2 높이는 상기 제1 높이보다 작고, 상기 와이어 본드의 인캡슐레이션되지 않은 부분이 상기 인캡슐레이션층에 의해 덮히지 않은 와이어 본드의 단부 표면의 적어도 일부분에 의해 규정되고,

적어도 몇몇의 와이어 본드의 단부가 적어도 몇몇의 와이어 본드의 각각의 팀으로서 규정되며, 상기 적어도 몇몇의 와이어 본드 중 적어도 하나의 와이어 본드의 팀이 상기 적어도 하나의 와이어 본드의 원통형부에 비하여 테이퍼되고 상기 원통형부로부터 연장되며, 상기 원통형부는 상기 적어도 하나의 와이어 본드의 팀과 일체로 되고, 상기 적어도 하나의 와이어 본드의 팀은 상기 적어도 하나의 와이어 본드의 베이스로부터 연장되는 상기 원통형부의 축으로부터 방사상 방향으로 오프셋되는 중심을 가지는, 미소전자 패키지.

청구항 26

제25항에 있어서,

상기 미소전자 요소는 상기 제1 표면 위에 이격된 제3 높이의 전면을 가지며, 상기 제2 높이는 상기 제3 높이보다 작은 것인, 미소전자 패키지.

청구항 27

삭제

청구항 28

삭제

청구항 29

미소전자 패키지에 있어서,

제1 영역 및 제2 영역을 가지며, 또한 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되어 있는 제2 표면을 갖는 기판;

상기 제1 영역 내의 상기 제1 표면 위에 위치하는 하나 이상의 미소전자 요소;

상기 제2 영역 내의 상기 기판의 제1 표면 및 제2 표면 중의 적어도 하나에서 노출되어 있고, 그 중 적어도 몇몇이 상기 하나 이상의 미소전자 요소에 전기 접속되는 제1 전기 도전성 요소;

상기 제1 전기 도전성 요소의 적어도 몇몇에 결합되는 베이스와, 상기 기판으로부터 원격으로 위치되고 또한 상기 베이스로부터 원격으로 위치되는 단부 표면을 갖는 와이어 본드로서, 각각의 와이어 본드는 상기 와이어 본드의 상기 베이스와 단부 표면 사이에 연장하는 예지 표면을 규정하고, 적어도 두 개의 상기 와이어 본드가 복수의 제1 전기 도전성 요소의 각각의 제1 전기 도전성 요소에 결합되는, 와이어 본드; 및

상기 제1 표면 또는 제2 표면 중 적어도 하나로부터 연장되는 유전체 인캡슐레이션층으로서, 상기 와이어 본드들 사이의 공간을 채워서 상기 와이어 본드가 상기 인캡슐레이션층에 의해 서로 분리되도록 하고, 상기 인캡슐레이션층이 상기 기판의 적어도 제2 영역 위에 위치되는, 유전체 인캡슐레이션층을 포함하고,

상기 와이어 본드의 인캡슐레이션되지 않는 부분이 상기 인캡슐레이션층에 의해 덮히지 않은 와이어 본드의 단부 표면의 적어도 일부분에 의해 규정되고,

적어도 몇몇의 와이어 본드의 단부가 적어도 몇몇의 와이어 본드의 각각의 팀으로서 규정되며, 상기 적어도 몇몇의 와이어 본드 중 적어도 하나의 와이어 본드의 팀이 상기 적어도 하나의 와이어 본드의 원통형부에 비하여 테이퍼되고 상기 원통형부로부터 연장되며, 상기 원통형부는 상기 적어도 하나의 와이어 본드의 팀과 일체로 되고, 상기 적어도 하나의 와이어 본드의 팀은 상기 적어도 하나의 와이어 본드의 베이스로부터 연장되는 상기 원통형부의 축으로부터 방사상 방향으로 오프셋되는 중심을 가지는, 미소전자 패키지.

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 모두가 2012년 2월 24일자로 출원되고 "Package-On-Package Assembly with Wire Bond Vias"를 발명의 명칭으로 하는 미국 특허 출원 번호 13/404,408; 13/404,458, 및 13/405,108의 계속 출원이고, 2011년 10월 17일자로 출원된 미국 가특허 출원 번호 61/547,930호의 출원 일자의 이점을 청구하며, 이들 특허 출원의 개시 내용은 원용에 의해 본 명세서에 통합되어 있다.

[0003] 본 발명은 와이어 본드 비아를 갖는 패키지-온-패키지 어셈블리에 관한 것이다.

배경기술

[0004]

반도체칩과 같은 미소전자 디바이스는 통상적으로 다른 전자 부품에 대한 다수의 입력 및 출력 접속을 요구한다. 반도체칩 또는 기타 필적할 수 있는 디바이스의 입력 및 출력 컨택들이 일반적으로 디바이스의 표면(흔히 "영역 어레이"로 지칭됨)을 실질적으로 덮는 그리드와 같은 패턴으로 배치되거나 또는 디바이스의 전면에 평행하고 디바이스의 전면의 각각의 에지에 인접하게 연장할 수 있는 기다란 행으로 배치되거나, 또는 디바이스의 전면에 배치된다. 통상적으로, 칩과 같은 디바이스는 인쇄회로 기판과 같은 기판 상에 물리적으로 실장되어야 하고, 디바이스의 컨택은 회로 기판의 전기 도전성 특징부에 전기 접속되어야 한다.

[0005]

반도체칩은 흔히 제조 동안 및 칩을 회로 기판 또는 기타 회로 패널과 같은 외부 기판 상에 실장하는 동안 칩의 핸들링을 용이하게 하는 패키지로 제공된다. 예컨대, 다수의 반도체칩은 표면 실장에 적합한 패키지로 제공된다. 이러한 일반적인 타입의 다수의 패키지는 다수의 어플리케이션을 위해 제작되었다. 가장 흔하게는, 이러한 패키지는 유전체 상의 플레이팅된(plated) 또는 에칭된 금속성 구조체로서 형성된 단자를 갖는 "칩 캐리어"로서 흔히 지칭되는 유전체 요소를 포함한다. 이들 단자는 통상적으로 칩 캐리어 자체를 따라 연장하는 얇은 트레이스와 같은 특징부에 의해 그리고 칩의 컨택과 단자 또는 트레이스 사이에서 연장하는 미세한 리드 또는 와이어에 의해 칩 자체의 컨택에 접속된다. 표면 실장 작업에서, 패키지는 패키지 상의 각각의 단자가 회로 기판 상의 대응하는 컨택 패드와 정렬되도록 회로 기판 상에 위치된다. 단자와 컨택 패드 사이에는 솔더 또는 기타 본딩 재료가 제공된다. 패키지는 솔더를 용융시키거나 "리플로우(reflow)"하기 위해 또는 그렇지 않은 경우에는 본딩 재료를 활성화시키기 위해 어셈블리를 가열함으로써 제위치에 영구적으로 본딩될 수 있다.

[0006]

다수의 패키지는 통상적으로 직경이 약 0.1 mm와 약 0.8 mm(5 및 30 mils)이고 패키지의 단자에 부착되는 솔더 볼 형태의 솔더 매스(solder mass)를 포함한다. 솔더 볼의 어레이가 바닥면으로부터 돌출하고 있는 패키지는 흔히 볼 그리드 어레이(BGA) 패키지로서 지칭된다. 랜드 그리드 어레이(LGA) 패키지로서 지칭되는 다른 패키지는 얇은 층에 의해 또는 솔더로 형성된 랜드에 의해 기판에 고정된다. 이 타입의 패키지는 상당히 소형으로 될 수 있다. 흔히 "칩 스케일 패키지"로서 지칭되는 어떠한 패키지는 패키지에 통합되는 디바이스의 면적과 동일하거나 또는 단지 약간 더 큰 회로 기판의 면적을 점유한다. 이것은 어셈블리의 전체적인 크기를 감소시키고 기판 상의 다양한 디바이스들 사이에 짧은 상호접속의 사용을 가능하게 하여, 디바이스들 간의 신호 전파 시간을 제한하고 그에 따라 어셈블리의 고속의 작동을 용이하게 한다는 점에서 이롭다.

[0007]

패키징된 반도체칩은, 예컨대 회로 기판 상에 하나의 패키지가 제공되고, 제1 패키지의 정부(top) 상에 또 다른 패키지가 실장되는 "적층" 배열로 제공되는 경우가 있다. 이들 배열은 다수의 상이한 칩이 회로 기판 상의 단일 점유공간 내에 실장될 수 있도록 하며, 패키지를 간의 짧은 상호접속을 제공함으로써 고속 동작을 추가로 용이하게 할 수 있다. 이러한 상호접속부 거리는 칩 자체의 두께보다 단지 약간 더 큰 경우가 많다. 칩 패키지의 스택 내에 탈성될 상호접속을 위해, 각각의 패키지의 양쪽 면(최상위의 패키지는 제외) 상에 기계적 및 전기적 접속을 위한 구조체를 제공할 필요가 있다. 이것은 예컨대 칩이 실장되는 기판의 양쪽 면 상에 컨택 패드 또는 랜드를 제공함으로써 이루어지며, 패드는 도전성 비아 등에 의해 기판을 통해 접속된다. 아래쪽 기판의 정부 상의 컨택들과 그 바로 위의 기판의 바닥면 상의 컨택들 사이의 갭을 브리지하기 위해 솔더 볼 등이 이용되었다. 솔더 볼은 컨택들을 접속하기 위해 칩의 높이보다 높아야 한다. 적층 칩 배열 및 상호접속부 구조체의 예가 미국 특허 공개 번호 2010/0232129('129 공보로 지칭함)에 제공되어 있으며, 이 공개 특허의 개시 내용 또한 그 전체 내용이 원용에 의해 본 명세서에 통합된다.

[0008]

미소전자 패키지를 회로 기판에 접속하고 또한 미소전자 패키징에서의 기타 접속을 위해 기다란 포스트 또는 핀(pin) 형태의 마이크로 컨택 요소가 이용될 수 있다. 몇몇 경우에, 마이크로 컨택은 마이크로 컨택을 형성하기 위해 하나 이상의 금속성 층을 포함하는 금속성 구조체를 에칭함으로써 형성된다. 에칭 프로세스는 마이크로 컨택의 크기를 제한한다. 종래의 에칭 프로세스는 통상적으로 본 명세서에서 "종횡비"로 지칭되는 높이 대 최대폭의 커다란 비율을 갖는 마이크로 컨택을 형성할 수 없다. 상당한 높이를 갖고 인접한 마이크로 컨택들 간의 매우 작은 피치 또는 간격을 갖는 마이크로 컨택의 어레이를 형성하는 것이 곤란하거나 불가능하였다. 더욱이, 종래의 에칭 프로세스에 의해 형성된 마이크로 컨택의 구성은 한계가 있었다.

발명의 내용

해결하려는 과제

[0009]

본 기술 분야에서의 전술한 진전에도 불구하고, 미소전자 패키지를 구성하고 시험하기 위한 추가의 개선이 여전

히 바람직할 것이다.

과제의 해결 수단

- [0010] 미소전자 패키지는, 기판 상의 각각의 도전성 요소에 본딩된 베이스와 베이스 반대쪽의 단부를 갖는 와이어 본드를 포함할 수 있다. 기판으로부터 연장하는 유전체 인캡슐레이션층은, 상기 인캡슐레이션층에 의해 덮여지는 상기 와이어 본드의 일부분이 상기 인캡슐레이션층에 의해 서로 분리되도록, 상기 와이어 본드의 일부분을 덮으며, 상기 와이어 본드의 인캡슐레이션되지 않은 부분이 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 부분에 의해 규정된다. 인캡슐레이션되지 않은 부분은 인접한 와이어 본드의 베이스들 간의 제1 최소 피치보다 큰 최소 피치를 갖는 패턴의 위치에 배치될 수 있다.
- [0011] 본 명에서에서는 예컨대 기판 상의 도전성 패드와 같은 도전성 요소로부터 위쪽으로 연장하는 수직 접속부로서 기능하는 와이어 본드를 통합하는 다양한 패키지 구조체가 개시되어 있다. 이러한 와이어 본드는 유전체 인캡슐레이션의 표면 위에 위치하는 미소전자 패키지로 패키지 온 패키지 전기 접속을 구성하는데 이용될 수 있다. 또한, 본 명세서에는 미소전자 패키지 또는 미소전자 어셈블리를 제조하는 방법들의 여러 실시예가 개시되어 있다.
- [0012] 본 발명의 특징에 따른 미소전자 패키지는, 제1 영역 및 제2 영역을 갖고, 또한 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되어 있는 제2 표면을 갖는 기판을 포함할 수 있다. 하나 이상의 미소전자 요소가 상기 제1 영역 내의 상기 제1 표면 위에 위치할 수 있다. 전기 도전성 요소가 상기 제2 영역 내의 상기 기판의 제1 표면 및 제2 표면 중의 적어도 하나에서 노출될 수 있고, 상기 제2 영역 내에서 노출될 수 있다. 상기 전기 도전성 요소의 몇몇 또는 전부가 상기 하나 이상의 미소전자 요소와 전기 접속될 수 있다.
- [0013] 와이어 본드는 에지 표면을 규정하고, 상기 와이어 본드가 상기 도전성 요소의 각각의 도전성 요소에 본딩되는 베이스를 가질 수 있다. 상기 와이어 본드의 상기 베이스는 상기 도전성 요소를 따라 연장하는 상기 에지 표면의 제1 부분을 포함하고, 상기 제1 부분에 대하여 25° 와 90° 사이의 각도로 배치된 상기 에지 표면의 각각의 제2 부분을 가질 수 있다. 상기 와이어 본드는, 상기 기판으로부터 원격으로 위치되고 또한 상기 베이스로부터 원격으로 위치되어 있는 단부를 가질 수 있다.
- [0014] 유전체 인캡슐레이션층은 상기 제1 표면 또는 상기 제2 표면 중의 적어도 하나로부터 연장할 수 있다. 상기 인캡슐레이션층은 상기 인캡슐레이션층에 의해 덮여지는 상기 와이어 본드의 일부분이 상기 인캡슐레이션층에 의해 서로 분리되도록 상기 와이어 본드의 일부분을 덮을 수 있다. 상기 인캡슐레이션층은 상기 기판의 적어도 제2 영역 위에 위치하며, 제1 영역과 같은 또 다른 부분 위에 위치할 수도 있다. 상기 와이어 본드의 인캡슐레이션되지 않은 부분은 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 부분에 의해 규정될 수 있다. 상기 인캡슐레이션되지 않은 부분은 상기 단부를 포함할 수 있다. 상기 도전성 요소는 복수의 도전성 요소의 각각의 인접한 도전성 요소들 사이의 제1 최소 피치를 갖는 패턴의 위치에 배치될 수 있다. 상기 인캡슐레이션되지 않은 부분은 복수의 와이어 본드의 인접한 와이어 본드의 각각의 단부들 사이의 제2 최소 피치를 갖는 패턴의 위치에 배치될 수 있다. 일례에서, 상기 제2 피치가 상기 제1 피치보다 커도 된다.
- [0015] 일례에서, 상기 에지 표면의 각각의 부분이 배치될 수 있는 상기 각도는 80° 와 90° 사이이어도 된다.
- [0016] 일례에서, 상기 와이어 본드의 인캡슐레이션되지 않은 부분의 적어도 몇몇의 부분의 각각이 볼 형상부를 포함할 수 있다. 각각의 상기 볼 형상부는 상기 와이어 본드의 원통형부와 일체로 될 수 있다. 일례에서, 각각의 상기 볼 형상부 및 각각의 원통형부가 적어도 기본적으로 구리, 구리 합금 또는 금을 포함하는 코어를 가질 수 있다. 일례에서, 상기 볼 형상부와 일체로 되는 상기 원통형부는 상기 인캡슐레이션층의 표면을 지나 돌출한다.
- [0017] 일례에서, 적어도 몇몇의 상기 와이어 본드는, 1차 금속(primary metal)의 코어와, 상기 1차 금속 위에 위치하고 상기 1차 금속과는 상이한 제2 금속을 포함하는 금속성 마무리(metallic finish)를 갖는다. 일례에서, 상기 1차 금속은 구리이어도 되고, 상기 금속성 마무리는 은의 층을 포함할 수 있다.
- [0018] 일례에서, 상기 도전성 요소는 제1 도전성 요소이어도 된다. 상기 미소전자 패키지는 상기 와이어 본드의 인캡슐레이션되지 않은 부분에 전기 접속되는 복수의 제2 도전성 요소를 더 포함하며, 상기 제2 도전성 요소가 상기 제1 도전성 요소와 접촉하지 않아도 된다. 일례에서, 상기 제2 도전성 요소는 상기 인캡슐레이션층을 형성한 후에 상기 와이어 본드의 인캡슐레이션되지 않은 부분과 접촉하게 하는 플레이팅(plating)에 의해 형성될 수 있다.
- [0019] 일례에서, 상기 와이어 본드 중의 적어도 하나의 와이어 본드의 단부가, 적어도 상기 도전성 요소들 간의 최소

피치와 100 미크론 중의 하나의 거리와 동일한 거리만큼, 자신의 베이스로부터 상기 기판의 제1 표면에 평행한 방향으로 변위될 수 있다. 상기 와이어 본드 중의 하나 이상의 와이어 본드는 상기 와이어 본드의 베이스와 상기 와이어 본드의 인캡슐레이션되지 않은 부분 사이에 하나 이상의 곡선부(bend)를 포함할 수 있다. 하나 이상의 상기 와이어 본드의 상기 곡선부는 상기 와이어 본드의 베이스 및 상기 와이어 본드의 인캡슐레이션되지 않은 부분으로부터 원격으로 위치된 지점에 있을 수 있어도 된다. 일례에서, 상기 곡선부의 반경은 하나 이상의 상기 와이어 본드의 원통형부의 직경의 12배보다 커도 된다. 일례에서, 상기 곡선부의 반경은 하나 이상의 상기 와이어 본드의 원통형부의 직경의 10보다 작아도 된다. 일례에서, 하나 이상의 상기 와이어 본드의 인캡슐레이션되지 않은 부분은 상기 기판의 제1 표면에 대한 수직선의 25° 이내의 방향으로 상기 인캡슐레이션층 위에 돌출할 수 있다.

[0020] 일례에서, 상기 도전성 요소는 NSMD(non-solder mask defined)이어도 된다.

[0021] 일례에서, 볼 본드(ball bond)가 상기 와이어 본드의 베이스의 일부분에 결합되고 그 위에 위치할 수 있다.

[0022] 일례에서, 상기 하나 이상의 미소전자 요소는 상기 제1 영역 내의 상기 제1 표면 위에 위치하는 제1 및 제2 미소전자 요소를 포함할 수 있다. 상기 도전성 요소 중의 몇몇 또는 전부가 상기 제1 미소전자 요소와 접속될 수 있으며, 상기 도전성 요소 중의 몇몇 또는 전부가 상기 제2 미소전자 요소와 접속될 수 있다. 상기 제1 미소전자 요소 및 상기 제2 미소전자 요소가 상기 미소전자 패키지 내에서 서로 전기 접속될 수 있다.

[0023] 본 발명의 특징에 따라, 인캡슐레이션층은 주표면 및 상기 주표면에 대해 경사진 정렬 표면을 가질 수 있다. 상기 와이어 본드의 하나 이상의 인캡슐레이션되지 않은 부분이 상기 주표면 상에 위치될 수 있으며, 상기 정렬 표면은 상기 인캡슐레이션되지 않은 부분에 인접한 지점에서 상기 주표면에 근접해 있다. 이로써, 상기 정렬 표면은 상기 정렬 표면 위에 배치된 전기 도전성 돌기를 상기 와이어 본드의 인캡슐레이션되지 않은 부분 쪽으로 안내하도록 구성될 수 있다. 일례에서, 상기 돌기는 다른 가능한 구성을 중에서도 회로 요소에 부착된 솔더 볼과 같은 본드 금속을 포함할 수 있다.

[0024] 일례에서, 상기 인캡슐레이션층은 상기 인캡슐레이션층의 코너 영역을 규정할 수 있으며, 상기 인캡슐레이션층은, 상기 코너 영역 내에 위치되고 상기 주표면보다 상기 기판으로부터 더 떨어져 위치되는 하나 이상의 부표면을 더 포함할 수 있다. 상기 정렬 표면은 상기 부표면과 상기 주표면 사이에서 연장할 수도 있다. 일례에서, 상기 주표면은 상기 기판의 제1 영역 위에 위치하는 제1 주표면이어도 된다. 상기 인캡슐레이션층은, 상기 제2 영역 위에 위치하고 상기 주표면보다 상기 기판에 더 가깝게 위치되는 제2 주표면을 추가로 규정할 수 있다. 상기 정렬 표면이 상기 제1 주표면과 상기 제2 주표면 사이에서 연장할 수 있다.

[0025] 본 발명의 특징에 따른 미소전자 어셈블리는, 위에서 설명한 바와 같은 정렬 표면을 갖는 제1 미소전자 패키지와, 전면 및 상기 전면 상의 단자를 갖는 제2 미소전자 패키지를 포함할 수 있다. 복수의 도전성 돌기가 상기 와이어 본드의 인캡슐레이션되지 않은 부분의 적어도 몇몇을 상기 단자의 각각의 단자와 접속한다. 이러한 어셈블리에서, 상기 도전성 돌기의 하나 이상이 상기 정렬 표면의 일부분과 접촉하게 위치될 수 있다. 일례에서, 상기 도전성 돌기는 솔더 볼을 포함할 수 있다.

[0026] 전술한 바와 같은 미소전자 패키지의 변형예에서, 상기 도전성 요소의 적어도 몇몇의 가장 위에 볼 본드가 제공될 수 있으며, 와이어 본드의 베이스를 규정하는 와이어 본드의 에지 표면이 상기 도전성 요소의 가장 위에 있는 이러한 볼 본드 위에 형성되어 결합될 수 있다.

[0027] 본 발명의 특징에 따라, 위에서 기술된 바와 같은 제1 미소전자 패키지를 포함하는 미소전자 어셈블리가 제공될 수 있으며, 상기 제1 미소전자 패키지는, 상기 기판의 제1 표면의 반대쪽의 제2 표면에서 노출되는 복수의 단자와, 상기 기판의 제1 표면과 제2 표면 사이의 방향으로 연장하는 주변 에지를 갖는다. 제2 미소전자 패키지는, 그 위에 컨택을 갖는 기판과, 상기 컨택에 전기 접속되는 제2 미소전자 요소를 가질 수 있다. 또한, 상기 제2 미소전자 패키지는, 상기 기판의 표면에서 노출되고 상기 컨택을 통해 상기 제2 미소전자 요소에 전기 접속되는 단자를 가질 수 있다. 상기 제2 미소전자 요소의 단자는 상기 와이어 본드의 각각의 인캡슐레이션되지 않은 부분을 바라보고, 이 인캡슐레이션되지 않은 부분과 전기 접속될 수 있다.

[0028] 회로 패널은 제1 표면 및 상기 표면에서 노출되어 있는 패널 컨택을 가질 수 있다. 상기 제1 미소전자 패키지는 상기 회로 패널 위에 위치하고, 상기 회로 패널의 패널 컨택에 결합되는 단자를 가질 수 있다. 모노리식 언더필(monolithic underfill)은 상기 제1 미소전자 패키지의 주변 에지 중의 하나 이상의 주변 에지 위에 위치하며, 상기 제1 미소전자 패키지의 단자와 상기 회로 패널의 패널 컨택 사이의 조인트를 둘러싸는 공간 내에 배치될 수 있다. 상기 언더필은 상기 제1 미소전자 패키지와 상기 제2 미소전자 패키지의 단자 사이의 조인트를 둘

러싸는 공간 내에 배치될 수 있다.

[0029] 특정한 예에 따른 미소전자 패키지에서, 유전체 인캡슐레이션층은, 상기 기판의 제1 영역 위에 위치하는 영역에서의 상기 제1 표면 위의 제1 높이의 제1 표면 부분과, 상기 기판의 제2 영역 위에 위치하는 영역에서의 상기 제1 표면 위의 제2 높이의 제2 표면 부분을 규정할 수 있다. 상기 제2 높이는 상기 제1 높이보다 작아도 된다. 일례에서, 상기 미소전자 요소는 상기 제1 표면 위에 이격된 제3 높이의 전면을 가질 수 있다. 상기 제2 높이는 상기 제3 높이보다 작아도 된다.

[0030] 특정한 예에 따른 미소전자 패키지에서, 예컨대 기판의 도전성 요소에 결합되는 것과 같은 본딩된 에지 표면을 갖는 대신, 와이어 본드는 제1 도전성 요소의 각각의 도전성 요소에 결합되는 볼-본드 베이스를 가져도 된다. 상기 와이어 본드의 단부 표면은, 상기 기판으로부터 원격으로 위치되고 또한 상기 베이스의 직경의 3배보다 작은 거리로 상기 베이스로부터 원격으로 위치될 수 있다. 각각의 상기 와이어 본드는 상기 와이어 본드의 상기 베이스와 상기 단부 표면 사이에 연장하는 에지 표면을 규정할 수 있다. 일례에서, 상기 볼-본드 베이스는, 각각의 도전성 요소에 결합된 제1 볼 본드와, 상기 제1 볼 본드의 상면으로부터 연장하는 위치에서 상기 제1 볼 본드에 결합된 제2 볼 본드를 포함할 수 있다. 상기 와이어 본드는 상기 단부 표면과 상기 제2 볼 본드 사이에서 연장할 수 있다.

[0031] 본 발명에 따른 미소전자 패키지에서, 2개 이상의 와이어 본드가 결합될 수 있으며, 예컨대 기판의 복수의 도전성 요소의 개별 도전성 요소에 본딩될 수 있다. 그 예에서, 이러한 와이어 본드는, 본 명세서에 설명된 바와 같은 기술을 이용하여, 개별 도전성 요소에 본딩된 볼 본드를 갖는 것으로 형성되거나, 또는 개별 도전성 요소에 본딩된 자신의 에지 표면을 갖는 것으로 형성되거나, 또는 이러한 방법의 조합으로 형성될 수 있다.

[0032] 일례에 따른 미소전자 패키지에서, 인캡슐레이션층은 주표면 및 상기 주표면에 대해 각도를 이루는 정렬 표면을 포함하도록 형성될 수 있다. 상기 와이어 본드의 하나 이상의 인캡슐레이션되지 않은 부분이 상기 주표면에서 노출될 수 있으며, 상기 정렬 표면은 상기 주표면으로부터 연장할 수 있으며, 예컨대 상기 정렬 표면이 상기 정렬 표면 위에 배치된 전기 도전성 돌기를 상기 와이어 본드의 인캡슐레이션되지 않은 부분 쪽으로 안내하도록 구성되도록, 상기 인캡슐레이션되지 않은 부분에 근접한 위치에서 상기 주표면과 교차할 수 있다. 일례에서, 상기 인캡슐레이션층은 상기 인캡슐레이션층의 코너 영역을 규정하도록 형성되며, 상기 코너 영역 내에 위치되는 하나 이상의 부표면을 더 포함할 수 있다. 상기 부표면은 상기 주표면보다 상기 기판으로부터 더 떨어져 위치될 수 있다. 상기 정렬 표면은 상기 부표면과 상기 주표면 사이에서 연장할 수 있다.

[0033] 일례에서, 상기 인캡슐레이션층의 주표면은 상기 기판의 제1 영역 위에 위치하는 제1 주표면이어도 된다. 상기 인캡슐레이션층은, 상기 제2 영역 위에 위치하고 상기 주표면보다 상기 기판에 더 근접하게 위치되는 제2 주표면을 규정하도록 형성될 수 있다. 상기 정렬 표면은 상기 부표면과 상기 주표면 사이에서 연장할 수 있다.

[0034] 본 발명의 특징에 따른 미소전자 패키지를 제조하는 방법은, 여기에서 설명된 바와 같은 제1 미소전자 패키지에 제2 미소전자 패키지를 정렬하는 단계를 포함할 수 있다. 상기 제2 미소전자 패키지는, 예컨대 위에 노출되어 있는 접촉 패드와 같은 컨택을 갖는 제1 표면을 규정하는 기판을 포함할 수 있다. 몇몇 경우에, 상기 컨택은 상기 컨택에 결합되는 도전성 매스를 포함할 수 있다. 상기 제2 미소전자 패키지는 상기 정렬 표면 및 적어도 하나의 상기 와이어 본드의 적어도 단부 표면 둘 모두와 접촉하도록 도전성 매스의 적어도 하나를 이동시킴으로써 상기 제1 미소전자 패키지와 정렬될 수 있다. 예컨대 제2 미소전자 패키지의 컨택과 와이어 본드의 인캡슐레이션되지 않은 부분 사이의 조인트와 같은 전기 접속부를 구성하기 위해 도전성 매스의 가열 또는 경화가 수행될 수 있다.

[0035] 본 발명의 특징에 따라, 미소전자 어셈블리를 제조하는 방법은, 제2 미소전자 패키지를 여기에서 설명한 바와 같은 구조를 갖는 제1 미소전자 패키지와 정렬하는 단계를 포함할 수 있으며, 여기에서, 인캡슐레이션층의 표면이 제2 미소전자 패키지의 대향 표면의 에지를 지나 측방향으로 연장한다. 이러한 방법은, 제2 미소전자 패키지가 제1 미소전자 패키지의 인캡슐레이션층의 가장 위에 위치된 후에 또는 가능하게는 위치되기 전에, 디스펜싱 영역(dispensing area) 상에 언더필 재료를 침적하는 단계를 포함한다. 언더필 재료(underfill material)가 상기 인캡슐레이션층과 상기 제2 미소전자 패키지의 기판의 제1 표면 사이에 규정된 공간 내로 흐를 수 있다. 또한, 상기 디스펜싱 영역 상에 침적된 다양한 언더필이 상기 제1 미소전자 패키지와 상기 제2 미소전자 패키지의 대향 표면 사이의 공간 내로 흐를 수 있다.

[0036] 일례에서, 상기 제2 미소전자 패키지는 4개의 에지 표면을 포함하며, 상기 디스펜싱 영역은 상기 제2 미소전자 패키지를 둘러싸도록 상기 4개의 에지 표면 모두를 지나 측방향으로 연장하는 상기 인캡슐레이션층의 부분에 의

해 규정될 수 있다.

[0037] 일례에서, 상기 제2 미소전자 패키지는 4개의 에지 표면을 포함하며, 상기 디스펜싱 영역은 상기 에지 표면 중의 2개의 인접한 에지 표면을 지나 측방향으로 연장하는 상기 인캡슐레이션층의 부분에 의해 규정될 수 있다.

[0038] 일례에서, 상기 제2 미소전자 패키지는 4개의 에지 표면을 포함하며, 상기 디스펜싱 영역은 하나의 에지 표면을 지나 측방향으로 연장하는 상기 인캡슐레이션층의 부분에 의해 규정될 수 있다.

[0039] 본 발명의 특징에 따른 미소전자 어셈블리를 제조하는 방법은, 예컨대 와이어 본드의 인캡슐레이션되지 않은 부분에 의해 규정되거나, 또는 인캡슐레이션되지 않은 부분과 접촉하는 제2 도전성 요소를 갖는 제1 미소전자 패키지의 단자에 대해, 제1 미소전자 패키지와 제2 미소전자 패키지의 각각의 패키지의 단자의 사이에 복수의 도전성 매스를 갖는 상태로 제1 미소전자 패키지와 제2 미소전자 패키지를 위치시키는 단계를 포함할 수 있다. 상기 제1 미소전자 패키지와 상기 제2 미소전자 패키지의 에지 표면 주위에 컴플라이언트 베젤(compliant bezel)이 조립될 수 있다. 결합하는 단계는 예컨대 각각의 제1 접촉 패드와 제2 접촉 패드를 결합하기 위해 도전성 매스를 가열하거나, 리플로우(reflow)하거나, 또는 경화함으로써 수행될 수 있다.

[0040] 일례에 따른 미소전자 패키지를 제조하는 방법에서, 사전에 정해진 길이를 갖는 금속 와이어 세그먼트를 본딩 틀의 캐필러리(capillary)의 밖으로 공급될 수 있다. 상기 캐필러리의 면은 상기 금속 와이어 세그먼트를 상기 캐필러리의 외부 벽을 따르는 방향으로 위쪽으로 돌출하는 제1 부분을 갖는 형상으로 만들기 위해 형성 유닛의 제1 및 제2 표면 위에서 이동될 수 있다. 본딩 틀은 금속 와이어의 제2 부분을 기판의 제1 표면에서 노출되는 도전성 요소에 결합된 볼 본드에 본딩하도록 이용될 수 있다. 상기 금속 와이어의 제2 부분이 상기 도전성 요소를 따라 연장하도록 위치될 수 있다. 일례에서, 상기 제1 부분이 상기 제2 부분에 대하여 약 25° 와 90° 사이의 각도로 위치될 수 있다.

[0041] 일례에 따른 미소전자 패키지를 제조하는 방법에서, 위에서 설명한 바와 같은 상기 제1 미소전자 패키지의 노출된 부분을 둘러싸는 모노리식 언더필이 형성될 수 있다. 모노리식 언더필은 상기 제1 미소전자 패키지의 단자와 이러한 패키지 아래에 있는 회로 패널 사이의 조인트를 둘러싸는 공간을 채우도록 형성될 수 있다. 모노리식 언더필을 형성하는 단계는 또한 상기 제1 미소전자 패키지 위에 배치된 상기 제2 미소전자 패키지의 단자들 사이의 조인트를 둘러싸는 공간을 채울 수 있으며, 이러한 단자는 제1 미소전자 패키지의 와이어 본드의 각각의 인캡슐레이션되지 않은 부분을 바라보고, 이 인캡슐레이션되지 않은 부분에 결합된다.

[0042] 미소전자 패키지를 제조하는 방법은, 인-프로세스 유닛(in-process unit) 상의 유전체 인캡슐레이션층의 표면 위에 희생 재료층을 형성하는 단계를 포함할 수 있다. 상기 인-프로세스 유닛은 와이어 본드를 포함하며, 상기 와이어 본드가, 단부 표면과, 단부로부터 원격으로 위치되고 상기 인캡슐레이션층 내에 위치되는 베이스를 가지며, 각각의 상기 와이어 본드가 상기 베이스와 상기 단부 표면 사이에서 연장하는 에지 표면을 규정한다. 상기 인캡슐레이션층은, 상기 와이어 본드의 인캡슐레이션되지 않은 부분이 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 에지 표면의 일부분 및 상기 단부 표면에 의해 규정되도록, 상기 와이어 본드의 일부분을 덮을 수 있다. 상기 희생 재료층은 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 일부분을 덮을 수 있다. 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 일부분이 사전에 정해진 실질적으로 균일한 높이에 도달하도록 상기 희생 재료층의 일부분 및 상기 와이어 본드의 일부분이 평탄화될 수 있다. 본 방법은 또한 상기 인캡슐레이션층으로부터 상기 희생 재료층의 임의의 나머지 부분을 제거하는 단계를 포함할 수 있다.

[0043] 일례에 따른 미소전자 어셈블리를 제조하는 방법은, 기판의 도전성 요소에 결합된 와이어 본드와, 기판에 접속된 미소전자 요소의 면 상의 지점에 있는 도전성 요소를 갖는 인-프로세스 유닛을 이용하여 수행될 수 있다. 예컨대, 와이어 본드는 미소전자 요소의 배면에 접속될 수 있다. 와이어 본드의 적어도 일부분을 덮는 인캡슐레이션층을 형성한 후, 본 방법은, 상기 와이어 본드가, 기판의 도전성 요소에 결합되는 접속 비아(connection via)와 미소전자 요소의 면에 결합되는 열 비아(thermal via)로 세그먼트화되도록, 상기 인캡슐레이션층의 일부분 및 상기 와이어 본드의 일부분을 동시에 제거하는 단계를 포함할 수 있다. 상기 접속 비아 및 상기 열 비아들 모두가, 예컨대 제거하는 단계 후에 상기 인캡슐레이션층의 표면에서 노출되는, 상기 베이스로부터 원격으로 위치되는 단부 표면을 가질 수 있다. 상기 제거하는 단계는 또한 상기 와이어 본드의 인캡슐레이션되지 않은 부분이 상기 인캡슐레이션층에 의해 덮여지지 않은 단부 표면의 적어도 일부분에 의해 규정되도록 이루어질 수 있다.

[0044] 본 발명의 특징에 따른 미소전자 패키지를 제조하는 방법은, 제1 표면 및 상기 제1 표면으로부터 원격으로 위치

되는 제2 표면을 갖는 기판을 포함하는 인-프로세스 유닛 상에, 복수의 와이어 본드를 형성하는 단계를 포함할 수 있다. 미소전자 요소가 상기 기판의 제1 표면에 실장될 수 있으며, 복수의 도전성 요소가 상기 제1 표면에서 노출되어 있고, 그 중 적어도 몇몇이 상기 미소전자 요소에 전기 접속될 수 있다. 상기 와이어 본드는, 상기 도전성 요소에 결합되는 베이스와, 상기 베이스로부터 원격으로 위치되는 단부 표면을 가질 수 있다. 각각의 상기 와이어 본드는 상기 베이스와 상기 단부 표면 사이에 연장하는 에지 표면을 규정할 수 있다. 일례에서, 2개 이상의 상기 와이어 본드가 상기 도전성 요소의 개개의 도전성 요소 상에 형성될 수 있다. 상기 인-프로세스 유닛 상에 유전체 인캡슐레이션층이 형성될 수 있으며, 상기 인캡슐레이션층은 상기 와이어 본드의 일부분 및 상기 제1 표면을 적어도 부분적으로 덮도록 형성될 수 있다. 상기 와이어 본드의 인캡슐레이션되지 않은 부분이 상기 인캡슐레이션층에 의해 덮여지지 않은 단부 표면 또는 에지 표면 중의 적어도 하나의 표면의 일부분에 의해 규정된다.

[0045] 본 발명의 특징에 따른 미소전자 패키지를 제조하는 방법은, 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되는 제2 표면을 갖는 기판을 포함하는 인-프로세스 유닛 상에, 희생 구조체를 형성하는 단계를 포함할 수 있다. 미소전자 요소는 상기 기판의 제1 표면에 실장될 수 있다. 복수의 도전성 요소가 상기 제1 표면에서 노출되어 있고, 그 중 적어도 몇몇이 상기 미소전자 요소에 전기 접속될 수 있다. 상기 희생 구조체는 상기 도전성 요소 중의 적어도 하나를 노출시키는 개구부를 가질 수 있다. 상기 희생 구조체는, 상기 개구부에 인접하고 상기 기판의 제1 표면으로부터 원격으로 위치되는 표면을 규정할 수 있다. 상기 방법은 상기 도전성 요소에 결합되는 베이스와 상기 베이스로부터 원격으로 위치되는 단부 표면을 갖는 복수의 와이어 본드를 형성하는 단계를 포함할 수 있으며, 각각의 와이어 본드가 상기 베이스와 상기 단부 표면 사이에 연장하는 에지 표면을 규정하며, 또한 상기 개구부 외측에 있고 상기 희생 구조체의 표면에 인접해 있는 지점에서 상기 와이어 본드를 잘라내는 단계를 포함할 수 있다. 그 후, 희생 구조체가 제거될 수 있으며, 본 방법은 또한 인-프로세스 유닛 상에 유전체 인캡슐레이션층을 형성하는 단계를 더 포함할 수 있다. 인캡슐레이션층은 상기 와이어 본드의 일부분 및 상기 제1 표면을 적어도 부분적으로 덮도록 형성될 수 있다. 상기 와이어 본드의 인캡슐레이션되지 않은 부분은 상기 인캡슐레이션층에 의해 덮여지지 않은 단부 표면 또는 에지 표면 중의 적어도 하나의 표면의 일부분에 의해 규정될 수 있다.

[0046] 본 발명의 특징에 따른 미소전자 패키지를 제조하는 방법은, 사전에 정해진 길이를 갖는 금속 와이어 세그먼트를 본딩 툴의 캐필러리(capillary)의 밖으로 공급하는 단계를 포함할 수 있다. 상기 캐필러리의 면은, 상기 금속 와이어 세그먼트를 상기 캐필러리의 외부 벽을 따르는 방향으로 위쪽으로 돌출하는 제1 부분을 갖는 형상으로 만들기 위해 형성 유닛의 제1 및 제2 표면 위에서 이동될 수 있다. 본딩 툴은 금속 와이어의 제2 부분을 기판의 제1 표면에서 노출되는 도전성 요소에 본딩하도록 이용될 수 있다. 상기 금속 와이어의 제2 부분이 상기 도전성 요소를 따라 연장하도록 위치될 수 있으며, 상기 제1 부분이 상기 제2 부분에 대하여 예컨대 약 25° 와 90° 사이의 각도로 위치된다. 상기한 단계들은 복수의 금속 와이어를 상기 기판의 복수의 도전성 요소에 본딩하기 위해 반복될 수 있다. 상기 기판의 표면 위에 위치하도록 유전체 인캡슐레이션층이 형성될 수 있다. 상기 인캡슐레이션층은 상기 와이어 본드의 일부분 및 상기 기판의 표면을 적어도 부분적으로 덮도록 형성될 수 있다. 상기 와이어 본드의 인캡슐레이션되지 않은 부분은 상기 인캡슐레이션층에 의해 덮여지지 않은 단부 표면 또는 에지 표면 중의 적어도 하나의 표면의 일부분에 의해 규정될 수 있다.

[0047] 일례에서, 상기 와이어 본드의 제1 와이어 본드는 제1 신호 전기 전위를 전달하도록 적합화될 수 있고, 상기 와이어 본드의 제2 와이어 본드는 상기 제1 신호 전기 전위와는 상이한 제2 신호 전기 전위를 동시에 전달하도록 적합화된다.

[0048] 일례에서, 상기 방법은 미소전자 요소를 기판에 실장하고 전기적으로 상호접속하는 단계를 포함할 수 있으며, 또한 미소전자 요소를 와이어 본드의 적어도 몇몇과 전기적으로 상호접속하는 단계를 포함할 수 있다.

[0049] 일례에서, 기판은 회로 패널이어야 된다. 일례에서, 기판은 리드 프레임이어야 되며, 상기 방법은 미소전자 요소를 리드 프레임에 실장하고 전기적으로 상호접속하는 단계를 포함할 수 있으며, 미소전자 요소가 와이어 본드의 적어도 몇몇과 전기적으로 상호접속될 수 있다.

[0050] 일례에서, 기판은 제1 미소전자 요소이어야 된다. 상기 방법은 제2 미소전자 요소를 제1 미소전자 요소에 실장하고 전기적으로 상호접속하는 단계를 포함할 수 있다. 상기 방법은 또한 제2 미소전자 요소를 제1 미소전자 요소를 통해 와이어 본드의 적어도 몇몇과 전기적으로 상호접속하는 단계를 포함할 수 있다.

[0051] 일례에서, 금속 와이어 세그먼트는 제1 금속 와이어 세그먼트이어야 된다. 상기 방법은, 위쪽으로 돌출하는 부분을 형성한 후, (i) 제1 금속 와이어 세그먼트와 일체로 되는 제2 금속 와이어 세그먼트를 밖으로 공급하는

단계와, (ii) 상기 제2 금속 와이어 세그먼트를 상기 캐필러리의 외부 벽을 따라 위쪽으로 돌출하는 제2 부분을 갖는 형상으로 만들기 위해 형성 유닛의 제3 표면 위에서 캐필러리의 면을 이동시키는 단계를 포함할 수 있다. 일례에서, 제2 부분은 금속 와이어의 제3 부분에 의해 위쪽으로 돌출하는 제1 부분에 접속될 수 있다.

[0052] 이러한 예에서, 초기의 인캡슐레이션층이 형성될 수 있으며, 그리고나 초기 인캡슐레이션층의 적어도 일부분이, 인캡슐레이션층을 형성하고 와이어 본드의 인캡슐레이션되지 않은 부분을 규정하도록 리세스될 수 있다. 일례에서, 리세스하는 단계는 초기 인캡슐레이션층을 레이저 어블레이션(laser ablation)하는 단계를 포함한다. 일례에서, 리세스하는 단계는 초기 인캡슐레이션층을 습식 어블레이션(wet ablation)하는 단계를 포함한다.

[0053] 일례에서, 상기 방법은 인캡슐런트와 몰드의 플레이트 사이의 임시 필름과 함께 인캡슐레이션층을 몰딩하는 단계를 포함할 수 있다. 와이어 본드는 임시 필름 내로 연장될 수 있다. 임시 필름은 와이어 본드의 인캡슐레이션되지 않은 부분을 노출시키기 위해 제거될 수 있다.

[0054] 일례에서, 상기 방법은 임시 필름의 연속적인 시트의 일부분을 몰드 플레이트에 입히는 단계를 포함할 수 있다. 상기 방법은 적어도 부분적으로 몰드 플레이트에 의해 규정된 캐비티에 인캡슐레이션층을 형성할 수 있다. 그 후, 임시 필름의 현재 부분은 임시 필름의 연속적인 시트의 또 다른 부분으로 대체될 수 있다.

[0055] 일례에서, 인캡슐레이션층을 형성한 후, 상기 방법은 와이어 본드의 인캡슐레이션되지 않은 부분과 접촉하는 제2 도전성 요소를 형성하는 단계를 포함할 수 있다.

[0056] 일례에서, 제2 도전성 요소를 형성하는 단계는 와이어 본드의 인캡슐레이션되지 않은 부분 상에 전기 도전성 재료를 침적하는 단계를 포함할 수 있다.

[0057] 일례에서, 제2 도전성 요소를 형성하는 단계는 와이어 본드의 인캡슐레이션되지 않은 부분 상에 금속층을 플레이팅하는 단계를 포함할 수 있다.

[0058] 일례에서, 제2 도전성 요소를 형성하는 단계는 와이어 본드의 인캡슐레이션되지 않은 부분 상에 전기 도전성 페이스트(paste)를 침적하는 단계를 포함할 수 있다.

[0059] 일례에서, 전기 도전성 재료를 침적하는 단계는 와이어 본드의 인캡슐레이션되지 않은 부분 상에 디스펜싱(dispensing), 스텐실링(stenciling), 스크린 프린팅, 또는 스프레이팅(spraying) 중의 적어도 하나를 행하는 단계를 포함할 수 있다.

[0060] 일실시예에서, 캐필러리의 외부 벽은 실질적으로 수직을 이룰 수 있다. 형성 유닛의 제2 표면 위에서 캐필러리의 면을 이동시키는 단계는, 금속 와이어 세그먼트의 제1 부분이 제2 부분에 대해 약 80° 와 90° 사이로 되도록 수행될 수 있다.

[0061] 일례에서, 도전성 요소의 각각의 도전성 요소 상에 2개 이상의 와이어 본드가 형성될 수 있다.

[0062] 일례에서, 캐필러리는, 금속 와이어 세그먼트가 공급되는 개구부와, 개구부 주위에서부터 외부 벽으로 형성된 에지까지 연장하는 전면 벽을 규정할 수 있다. 전면은 에지에 인접한 상승 부분을 규정할 수 있다. 단계 (b) 동안, 상승 부분은 제1 부분에 근접한 지점에서 금속 와이어 내로 프레스될 수 있다.

[0063] 일례에서, 인캡슐레이션층은 주표면 및 상기 주표면에 대해 각을 이루는 정렬 표면을 포함하도록 형성될 수 있다. 와이어 본드의 적어도 하나의 인캡슐레이션되지 않은 부분이 주표면 및 인캡슐레이션되지 않은 부분에 근접한 지점에서 주표면과 교차하는 정렬 표면 상에 위치될 수 있다. 이러한 경우, 정렬 표면은 정렬 표면 위에 배치된 전기 도전성 돌기를 와이어 본드의 인캡슐레이션되지 않은 부분 쪽으로 안내하도록 구성될 수 있다.

[0064] 일례에서, 인캡슐레이션층은 코너 영역을 규정하도록 형성될 수 있고, 또한 코너 영역 내에 위치되고 주표면보다 기판에 더 멀리 위치되는 적어도 하나의 부표면을 포함하도록 형성될 수 있으며, 정렬 표면이 부표면과 주표면 사이에 연장한다.

[0065] 일례에서, 인캡슐레이션층의 주표면은 기판의 제1 영역 위에 위치하는 제1 주표면이며, 인캡슐레이션층은, 제2 영역 위에 위치하고 주표면보다 기판에 가깝게 위치되는 제2 주표면을 규정하도록 형성될 수 있다. 정렬 표면은 부표면과 주표면 사이에 연장할 수 있다.

[0066] 일례에서, 제2 부분을 도전성 요소에 본딩한 후에 금속 와이어의 제2 부분 위에 연장하도록 볼 본드가 형성될 수 있다.

[0067] 본 발명의 특징에 따른 방법은 제2 미소전자 패키지를 본 발명의 특징에 따라 구성된 제1 미소전자 패키지와 정

렬하는 단계를 포함할 수 있다. 제2 미소전자 패키지는, 접촉 패드가 위에 노출되어 있는 제1 표면을 규정하는 기판과, 접촉 패드에 결합되는 도전성 매스를 포함할 수 있다. 제2 미소전자 패키지는 정렬 표면 및 적어도 하나의 와이어 본드의 적어도 단부 표면과 접촉하게 되도록 솔더 볼 중의 적어도 하나를 이동시킴으로써 제1 미소전자 패키지와 정렬될 수 있다. 도전성 매스는 와이어 본드의 인캡슐레이션되지 않은 부분의 각각의 인캡슐레이션되지 않은 부분과 도전성 매스를 결합하기 위해 가열되거나, 리플로우되거나, 또는 경화될 수 있다.

[0068] 본 발명의 특징에 따른 방법은, 제2 미소전자 패키지 위에 제1 미소전자 패키지를 위치시키는 단계를 포함하며, 제1 미소전자 패키지는 단자가 위에 노출되어 있는 제1 표면을 갖는 기판을 포함하며, 단자는 제1 표면으로부터 멀어지도록 돌출하는 결합 요소를 포함한다.

[0069] 제2 미소전자 패키지는, 제1 영역 및 제2 영역을 갖고, 또한 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되어 있는 제2 표면을 갖는 기판을 포함할 수 있다. 하나 이상의 미소전자 요소가 상기 제1 영역 내의 상기 제1 표면 위에 위치할 수 있다. 전기 도전성 요소가 상기 제2 영역 내의 상기 기판의 제1 표면 및 제2 표면 중의 적어도 하나에서 노출될 수 있고, 상기 전기 도전성 요소의 적어도 몇몇이 상기 하나 이상의 미소전자 요소와 전기 접속될 수 있다. 예지 표면을 규정하는 와이어 본드는 도전성 요소의 각각의 도전성 요소에 본딩된 베이스를 가질 수 있다. 상기 베이스는 상기 도전성 요소를 따라 연장하는 상기 예지 표면의 제1 부분을 포함하고, 상기 예지 표면의 각각의 제2 부분이 상기 제1 부분에 대하여 25° 와 90° 사이의 각도로 된다. 상기 와이어 본드는, 상기 기판으로부터 원격으로 위치되고 또한 상기 베이스로부터 원격으로 위치되어 있는 단부를 가질 수 있다. 유전체 인캡슐레이션층은 상기 제1 표면 또는 상기 제2 표면 중의 적어도 하나로부터 연장할 수 있으며, 상기 인캡슐레이션층에 의해 덮여지는 상기 와이어 본드의 일부분이 상기 인캡슐레이션층에 의해 서로 분리되도록 상기 와이어 본드의 일부분을 덮을 수 있으며, 상기 인캡슐레이션층은 상기 기판의 적어도 제2 영역 위에 위치한다. 상기 와이어 본드의 인캡슐레이션되지 않은 부분은 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 부분에 의해 규정될 수 있다. 상기 인캡슐레이션되지 않은 부분은 상기 단부를 포함할 수 있다. 결합 요소는 예컨대 제2 미소전자 패키지의 인캡슐레이션되지 않은 와이어 본드 부분과 결합하도록 가열되거나, 경화되거나, 리플로우될 수 있다.

[0070] 일례에서, 상기 방법은, 제1 미소전자 패키지와 제2 미소전자 패키지의 대향 표면 사이에 규정된 공간을 채우고, 제1 미소전자 패키지의 단자와 제2 미소전자 패키지의 인캡슐레이션되지 않은 와이어 본드 부분 사이의 도전성 돌기를 둘러싸는 언더필을 형성하는 단계를 더 포함할 수 있다.

[0071] 본 발명의 특징에 따른 미소전자 패키지는, 제1 영역 및 제2 영역을 갖고, 또한 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되어 있는 제2 표면을 갖는 기판을 포함할 수 있다. 미소전자 요소가 상기 제1 영역 내와 같은 상기 제1 표면 위에 위치할 수 있다. 전기 도전성 요소가 상기 제2 영역 내의 상기 기판의 제1 표면 및 제2 표면 중의 적어도 하나에서 노출될 수 있다. 상기 전기 도전성 요소의 적어도 몇몇이 하나 이상의 미소전자 요소와 전기 접속될 수 있다. 와이어 본드는 예지 표면을 규정하며, 도전성 요소의 각각의 도전성 요소에 본딩된 베이스를 갖는다. 상기 베이스는 상기 도전성 요소를 따라 연장하는 상기 예지 표면의 제1 부분을 포함하고, 상기 예지 표면의 각각의 제2 부분이 상기 제1 부분에 대하여 예컨대 25° 와 90° 사이와 같은 각도를 이룬다. 상기 와이어 본드는, 상기 기판으로부터 원격으로 위치되고 또한 상기 베이스로부터 원격으로 위치되어 있는 단부를 가질 수 있다. 유전체 인캡슐레이션층은 상기 제1 표면 또는 상기 제2 표면 중의 적어도 하나로부터 연장할 수 있으며, 상기 와이어 본드의 일부분을 덮을 수 있다. 상기 인캡슐레이션층에 의해 덮여지는 상기 와이어 본드의 일부분은 상기 인캡슐레이션층에 의해 서로 분리될 수 있다. 상기 인캡슐레이션층은 상기 기판의 제2 영역 위에 위치할 수도 있고, 마찬가지로 제1 영역 또는 또 다른 영역 위에 위치할 수도 있다. 상기 와이어 본드의 인캡슐레이션되지 않은 부분은 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 부분에 의해 규정될 수 있다. 상기 인캡슐레이션되지 않은 부분은, 예컨대 도전성 요소로부터 원격으로 위치되는 와이어 본드의 단부와 같은, 와이어 본드의 단부를 포함할 수 있다.

[0072] 일례에서, 예지 표면의 제1 부분과 제2 부분 사이의 각도는 45° 와 90° 사이이어도 된다. 예컨대, 와이어 본드의 제1 와이어 본드는 제1 신호 전기 전위를 전달하도록 구성되는 것과 같이 적합화되고, 상기 와이어 본드의 제2 와이어 본드는 상기 제1 신호 전기 전위와는 상이한 제2 신호 전기 전위를 동시에 전달하도록 구성되는 것과 같이 적합화된다.

[0073] 각각의 와이어 본드는 베이스와 단부 사이에 연장하는 예지 표면을 가질 수 있다. 와이어 본드의 인캡슐레이션되지 않은 부분은 와이어 본드의 단부 및 인캡슐레이션층에 의해 덮여지지 않은 단부에 인접한 예지 표면의 일부분에 의해 규정된다.

- [0074] 적어도 몇몇의 와이어 본드의 단부는 테이퍼된 팁을 포함할 수 있다. 일례에서, 테이퍼된 팁은 와이어 본드의 원통형부의 축으로부터 방사상으로 오프셋되는 중심(centroid)을 가질 수 있다.
- [0075] 일례에서, 인캡슐레이션되지 않은 부분은 그 위에 본딩 툴 마크를 가질 수 있다.
- [0076] 일례에서, 와이어 본드의 적어도 몇몇의 인캡슐레이션되지 않은 부분의 각각은 볼 형상부를 포함한다. 각각의 볼 형상부는 이러한 와이어 본드의 원통형부와 일체로 될 수 있다. 각각의 볼 형상부와 각각의 원통형부는 적어도 기본적으로 구리, 구리 합금 또는 금을 포함하는 코어를 갖는다.
- [0077] 일례에서, 볼 형상부는 이 볼 형상부와 일체로 되는 원통형부의 직경보다 큰 직경을 가질 수 있다. 이러한 예 또는 다른 예에서, 볼 형상부와 일체로 되는 원통형부는 인캡슐레이션층에 완전히 덮여질 수 있다. 일례에서, 볼 형상부는 인캡슐레이션층에 의해 부분적으로 덮여질 수 있다.
- [0078] 일례에서, 산화 보호층이 와이어 본드의 인캡슐레이션되지 않은 부분의 적어도 몇몇과 접촉할 수 있다.
- [0079] 일례에서, 와이어 본드의 적어도 몇몇은 1차 금속의 코어와, 1차 금속 위에 위치하는 1차 금속과는 상이한 제2 금속을 포함하는 금속성 마무리를 갖는다. 일례에서, 금속성 마무리는 팔라듐을 포함할 수 있다.
- [0080] 일례에서, 와이어 본드의 적어도 몇몇은 1차 금속 위에 위치하는 니켈의 층 및 니켈의 층 위에 위치하는 금 또는 은의 층과 함께 1차 금속으로 형성될 수 있다. 일례에서, 1차 금속은 금 또는 구리 중의 하나일 수 있다.
- [0081] 일례에서, 도전성 요소는 제1 도전성 요소이어도 되며, 미소전자 패키지는 와이어 본드의 인캡슐레이션되지 않은 부분에 전기 접속되는 복수의 제2 도전성 요소를 더 포함한다. 제2 도전성 요소는 제1 도전성 요소와 접촉하지 않도록 배치될 수 있다.
- [0082] 일례에서, 제2 도전성 요소는 기본적으로 단일 금속을 포함하는 모노리식 금속층을 포함할 수 있다. 일례에서, 단일 금속은 니켈, 금, 구리, 팔라듐 또는 은 중의 하나이어도 된다.
- [0083] 일례에서, 제2 도전성 요소는 와이어 본드의 인캡슐레이션되지 않은 부분과 접촉하는 도전성 페이스트를 포함할 수 있다.
- [0084] 일례에서, 와이어 본드 중의 적어도 하나의 와이어 본드의 단부는, 적어도 복수의 도전성 요소의 인접한 도전성 요소들 간의 최소 피치, 또는 100 미크론 중의 하나와 동일한 거리로 자신의 베이스로부터 기판의 제1 표면에 평행한 방향으로 변위될 수 있다.
- [0085] 일례에서, 와이어 본드 중의 적어도 하나는 베이스와 인캡슐레이션되지 않은 부분 사이에 하나 이상의 곡선부를 포함한다.
- [0086] 일례에서, 하나 이상의 와이어 본드의 곡선부는 베이스 및 인캡슐레이션되지 않은 부분으로부터 원격으로 위치될 수 있다.
- [0087] 일례에서, 하나 이상의 와이어 본드의 인캡슐레이션되지 않은 부분은 미소전자 요소의 주표면 위에 위치할 수 있다.
- [0088] 일례에서, 와이어 본드의 베이스는 복수의 와이어 본드의 각각의 인접한 베이스들 간의 제1 최소 피치를 갖는 제1 패턴의 위치에 배치될 수 있으며, 와이어 본드의 인캡슐레이션되지 않은 부분은 복수의 와이어 본드의 각각의 인접한 인캡슐레이션되지 않은 부분들 사이의 제2 최소 피치를 갖는 제2 패턴의 위치에 배치될 수 있으며, 제2 최소 피치가 제1 피치보다 크다.
- [0089] 일례에서, 하나 이상의 미소전자 요소는 제1 영역 내의 제1 표면 위에 위치하는 제1 및 제2 미소전자 요소를 포함할 수 있으며, 도전성 요소의 적어도 몇몇이 제1 미소전자 요소와 접속된다. 일례에서, 적어도 몇몇의 도전성 요소는 제2 미소전자 요소와 접속될 수 있다. 특정한 예에서, 제1 미소전자 요소 및 제2 미소전자 요소는 미소전자 패키지 내에서 서로 전기 접속된다.
- [0090] 일례에서, 제1 도전성 요소 중의 하나 이상이 그 도전성 요소에 결합된 2개 이상의 와이어 본드를 가질 수 있다.
- [0091] 본 발명의 특징에 따른 미소전자 어셈블리는 제1 미소전자 패키지를 포함할 수 있다. 제1 미소전자 패키지는, 제1 영역 및 제2 영역을 갖고, 또한 제1 표면 및 상기 제1 표면으로부터 원격으로 위치되어 있는 제2 표면을 갖는 기판을 포함할 수 있다. 하나 이상의 미소전자 요소가 상기 제1 영역 내의 상기 제1 표면 위에 위치할 수

있다. 전기 도전성 요소가 상기 제2 영역 내의 상기 기판의 제1 표면 및 제2 표면 중의 적어도 하나에서 노출될 수 있다. 상기 전기 도전성 요소의 적어도 몇몇이 하나 이상의 미소전자 요소와 전기 접속될 수 있다. 예지 표면을 규정하는 와이어 본드는, 도전성 요소의 각각의 도전성 요소에 본딩된 베이스를 갖는다. 상기 베이스는 상기 도전성 요소를 따라 연장하는 상기 예지 표면의 제1 부분을 포함하고, 상기 예지 표면의 각각의 제2 부분이 상기 제1 부분에 대하여 예컨대 25° 와 90° 사이와 같은 각도를 이루며 연장한다. 상기 와이어 본드는, 상기 기판으로부터 원격으로 위치되고 또한 상기 베이스로부터 원격으로 위치되어 있는 단부를 가질 수 있다. 유전체 인캡슐레이션층은 상기 제1 표면 또는 상기 제2 표면 중의 적어도 하나로부터 연장할 수 있으며, 와이어 본드의 덮여진 부분이 인캡슐레이션층에 의해 서로 분리되도록 상기 와이어 본드의 일부분을 덮을 수 있다. 상기 인캡슐레이션층은 상기 기판의 적어도 제2 영역 위에 위치할 수 있다. 상기 와이어 본드의 인캡슐레이션되지 않은 부분은 상기 인캡슐레이션층에 의해 덮여지지 않은 상기 와이어 본드의 부분에 의해 규정될 수 있다. 상기 인캡슐레이션되지 않은 부분은 단부를 포함할 수 있다.

[0092] 본 발명의 이러한 특징은 제2 미소전자 패키지를 포함할 수 있으며, 상기 제2 미소전자 패키지는, 제2 미소전자 요소와, 상기 제2 미소전자 요소에 전기 접속되고, 제2 미소전자 패키지의 표면에서 노출되는 단자를 포함한다. 복수의 도전성 돌기가 와이어 본드의 인캡슐레이션되지 않은 부분의 적어도 몇몇을 제2 미소전자 패키지의 단자의 각각의 단자에 전기 접속할 수 있다.

[0093] 일례에서, 제1 미소전자 패키지의 인캡슐레이션층은 주표면 및 상기 주표면으로부터 멀어지도록 위쪽으로 경사지는 경사 표면을 가질 수 있다. 와이어 본드의 적어도 하나의 인캡슐레이션되지 않은 부분은 주표면 상에 위치될 수 있으며, 정렬 표면은 주표면에 근접하고 와이어 본드의 적어도 하나의 인캡슐레이션되지 않은 부분에 근접한 위치까지 연장할 수 있다. 이러한 경우, 와이어 본드의 적어도 하나의 인캡슐레이션되지 않은 부분에 접속하는 도전성 돌기는 정렬 표면과 접촉할 수 있다.

[0094] 일례에서, 제1 미소전자 패키지와 제2 미소전자 패키지의 대향 표면들 사이 및 복수의 도전성 돌기의 각각의 인접한 도전성 돌기를 사이에 규정된 공간 내에 언더필이 배치될 수 있다.

도면의 간단한 설명

[0095] 도 1은 본 발명의 실시예에 따른 미소전자 패키지를 도시하는 단면도이다.

도 2는 도 1의 미소전자 패키지의 평면도이다.

도 3은 도 1에 도시된 실시예의 변형예에 따른 미소전자 패키지를 도시하는 단면도이다.

도 4는 도 1에 도시된 실시예의 변형예에 따른 미소전자 패키지를 도시하는 단면도이다.

도 5a는 도 1에 도시된 실시예의 변형예에 따른 미소전자 패키지를 도시하는 단면도이다.

도 5b는 본 발명의 실시예에 따른 와이어 본드의 인캡슐레이션되지 않은 부분(unencapsulated portion) 상에 형성된 도전성 요소를 도시하는 부분 단면도이다.

도 5c는 도 5b에 도시된 실시예의 변형예에 따른 와이어 본드의 인캡슐레이션되지 않은 부분 상에 형성된 도전성 요소를 도시하는 부분 단면도이다.

도 5d는 도 5b에 도시된 실시예의 변형예에 따른 와이어 본드의 인캡슐레이션되지 않은 부분 상에 형성된 도전성 요소를 도시하는 부분 단면도이다.

도 6은 전술한 실시예 중의 하나 이상의 실시예에 따른 미소전자 패키지와 이 패키지에 전기 접속되는 추가의 미소전자 패키지 및 회로 패널을 포함하는 미소전자 어셈블리를 예시하는 단면도이다.

도 7은 본 발명의 실시예에 따른 미소전자 패키지를 예시하는 평면도이다.

도 8은 본 발명의 실시예에 따른 미소전자 패키지를 예시하는 부분 평면도이다.

도 9는 본 발명의 실시예에 따른 리드 프레임 타입 기판을 포함하는 미소전자 패키지를 예시하는 평면도이다.

도 10은 도 9에 도시된 미소전자 패키지의 대응하는 단면도이다.

도 11은 도 6에 도시된 실시예의 변형예에 따른 함께 전기 접속되고 언더필(underfill)로 강화된 복수의 미소전자 패키지를 포함하는 미소전자 어셈블리의 단면도이다.

도 12는 제1 콤포넌트의 와이어 본드와 이 제1 콤포넌트에 부착된 제2 콤포넌트의 솔더 매스 사이에 본드를 갖는 어셈블리를 나타내는 사진 이미지이다.

도 13a는 본 발명의 실시예에 따른 미소전자 패키지에서의 와이어 본드 비아를 예시하는 부분 단면도이다.

도 13b는 본 발명의 실시예에 따른 미소전자 패키지에서의 와이어 본드 비아를 예시하는 부분 단면도이다.

도 13c는 도 13b에 도시된 실시예에 따른 미소전자 패키지에서의 와이어 본드 비아를 예시하는 부분 단면도이다.

도 13d는 본 발명의 실시예에 따른 미소전자 패키지에서의 와이어 본드 비아를 예시하는 부분 단면도이다.

도 13e는 도 13d에 도시된 실시예에 따른 미소전자 패키지에서의 와이어 본드 비아를 예시하는 부분 단면도의 확대도이다.

도 13f는 본 발명의 실시예에 따른 미소전자 패키지에서의 와이어 본드 비아를 예시하는 부분 단면도이다.

도 14는 본 발명의 실시예에 따른 도전성 요소에 와이어 세그먼트를 본딩하기 전에 금속 와이어 세그먼트를 형성하는 방법의 단계들을 예시하는 도면이다.

도 15는 도 14에 도시된 바와 같은 방법 및 이러한 방법에 사용하기에 적합한 형성 유닛을 추가로 도시하는 도면이다.

도 16은 본 발명의 실시예에 따라 형성된 와이어 본드를 예시하는 평면도이다.

도 17은 본 발명의 실시예에 따른 도전성 요소에 와이어 세그먼트를 본딩하기 전에 금속 와이어 세그먼트를 형성하는 방법에서의 단계들을 도시하는 도면이다.

도 18 및 도 19는 본 발명의 실시예에 따른 미소전자 패키지의 인캡슐레이션층을 형성하는 방법에서의 하나의 단계와 그 단계에 후속하는 또 다른 단계를 도시하는 단면도이다.

도 20은 도 19에 따른 단계를 추가로 예시하는 확대 단면도이다.

도 21은 본 발명의 실시예에 따른 미소전자 패키지의 인캡슐레이션층을 제조하는 단계를 예시하는 단면도이다.

도 22는 도 21에 도시된 단계에 후속하는 미소전자 패키지의 인캡슐레이션층을 제조하는 단계를 예시하는 단면도이다.

도 23a 및 도 23b는 또 다른 실시예에 따른 와이어 본드를 예시하는 부분 단면도이다.

도 24a 및 도 24b는 다른 실시예에 따른 미소전자 패키지의 단면도이다.

도 25a 및 도 25b는 다른 실시예에 따른 미소전자 패키지의 단면도이다.

도 26은 또 다른 실시예에 따른 미소전자 패키지의 단면도이다.

도 27a 내지 도 27c는 다른 실시예에 따른 미소전자 패키지의 실시예의 예들을 도시하는 단면도이다.

도 28a 내지 도 28d는 개시 발명의 실시예에 따른 미소전자 어셈블리를 형성하는 단계들 동안의 미소전자 패키지의 다양한 실시예들을 도시하는 도면이다.

도 29는 개시 발명의 실시예에 따른 미소전자 어셈블리를 형성하는 단계들 동안의 미소전자 패키지의 또 다른 실시예를 도시하는 도면이다.

도 30a 내지 도 30c는 개시 발명의 또 다른 실시예에 따른 미소전자 어셈블리를 형성하는 단계들 동안의 미소전자 패키지의 실시예를 도시하는 도면이다.

도 31a 내지 도 31c는 개시 발명의 또 다른 실시예에 따른 미소전자 어셈블리를 형성하는 단계들 동안의 미소전자 패키지의 실시예를 도시하는 도면이다.

도 32a 및 도 32b는 본 발명의 또 다른 실시예에 따른 방법의 다양한 단계에서의 다양한 와이어 본드 비아를 형성하는데 사용될 수 있는 기계의 일부분을 도시하는 도면이다.

도 33은 본 발명의 또 다른 실시예에 따른 방법에 따른 다양한 와이어 본드 비아를 형성하는데 사용될 수 있는 기계의 일부분을 도시하는 도면이다.

도 34a 내지 도 34c는 본 발명의 실시예에 따른 와이어 본드를 구성하는 방법에 사용될 수 있는 기기의 다양한 형태를 도시하는 도면이다.

도 35는 본 발명의 또 다른 실시예에 따른 방법에 따른 다양한 와이어 본드 비아를 형성하는데 사용될 수 있는 기계의 일부분을 도시하는 도면이다.

도 36은 본 발명의 또 다른 실시예에 따른 방법에 따른 다양한 와이어 본드 비아를 형성하는데 사용될 수 있는 기계의 일부분을 도시하는 도면이다.

도 37a 내지 도 37d는 본 발명의 실시예에 따른 미소전자 패키지를 제조하는 단계들을 예시하는 단면도이다.

도 38a 및 도 38b는 본 발명의 또 다른 실시예에 따른 미소전자 패키지를 제조하는 단계들을 예시하는 단면도이다.

도 39a 내지 도 39c는 본 발명의 또 다른 실시예에 따른 미소전자 패키지를 제조하는 단계들을 예시하는 단면도이다.

도 40은 본 발명의 실시예에 따른 미소전자 패키지를 도시하는 도면이다.

도 41 내지 도 44는 본 발명의 실시예에 따른 미소전자 패키지의 다양한 제조 단계들 동안의 미소전자 패키지를 도시하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0096]

유사한 특징부를 나타내기 위해 유사한 도면 부호가 사용되어 있는 도면을 참조하면, 도 1에는 본 발명의 실시예에 따른 미소전자 어셈블리(10)가 도시되어 있다. 도 1의 실시예는 컴퓨터 또는 기타 전자 어플리케이션에서 사용되는 반도체칩 어셈블리와 같은 패키징된 미소전자 요소의 형태의 미소전자 어셈블리이다.

[0097]

도 1의 미소전자 어셈블리(10)는 제1 표면(14) 및 제2 표면(16)을 갖는 기판(12)을 포함한다. 기판(12)은 통상적으로 실질적으로 평탄한 유전체 요소의 형태이다. 유전체 요소는 시트형이어도 되고 또한 얇아도 된다. 특정 실시예에서, 유전체 요소는 반드시 이러한 것으로 한정되지는 않지만 폴리이미드, 폴리테트라플루오로에틸렌("PTFE"), 에폭시, 에폭시-글래스, FR-4, BT 수지, 열가소성 수지(thermoplastic), 열경화성 플라스틱 재료(thermoset plastic material)와 같은 유기 유전체 재료 또는 복합 유전체 재료의 하나 이상의 층을 포함할 수 있다. 기판은 회로 패널, 예컨대 회로 기판과의 추가의 전기적 상호접속을 위한 단자를 갖는 패키지의 기판이어야 된다. 이와 달리, 기판은 회로 패널 또는 회로 보드이어야 된다. 기판의 일례에서, 기판은 듀얼-인라인 메모리 모듈(DIMM)의 모듈 보드이어야 된다. 또 다른 변형예에서, 기판은 예컨대 집적회로 등의 형태의 복수의 능동 소자를 구현하는 반도체칩이어야 되거나 또는 이러한 반도체칩을 포함하는 포함하는 것과 같은 미소전자 요소일 수 있다.

[0098]

제1 표면(14) 및 제2 표면(16)은 서로 실질적으로 평행한 것이 바람직하고, 기판(12)의 두께를 규정하는 표면(14, 16)에 직각을 이루는 거리로 떨어져 이격되어 있다. 기판(12)의 두께는 제공된 어플리케이션에 대해 전반적으로 수용 가능한 두께의 범위 내에 있는 것이 바람직하다. 실시예에서, 제1 표면(14)과 제2 표면(16) 간의 거리는 약 25 내지 500 μm 사이이다. 본 발명에 대한 설명을 위해, 제1 표면(14)은 제2 표면(16)의 반대쪽에 위치되거나 또는 제2 표면(16)으로부터 이격되어 있는 것으로서 기술될 수 있다. 이러한 설명뿐만 아니라 이러한 요소의 수직 또는 수평 위치를 언급하는 본 명세서에서 사용된 요소의 상대적 위치에 대한 임의의 다른 설명은, 예시를 위해 단지 도면 내에서의 요소의 위치에만 해당하는 것이며, 이러한 것으로 한정하는 것은 아니다.

[0099]

바람직한 실시예에서, 기판(12)은 제1 영역(18) 및 제2 영역(20)으로 분할되는 것으로서 고려된다. 제1 영역(18)은 제2 영역(20) 내에 놓여 있으며, 기판(12)의 중앙부를 포함하고, 기판의 중앙부로부터 외측으로 연장한다. 제2 영역(20)은 실질적으로 제1 영역(18)을 둘러싸고, 제1 영역으로부터 기판(12)의 외곽 에지 쪽으로 외측으로 연장한다. 본 실시예에서, 기판 자체의 특정한 특성에 의해 2개의 영역으로 물리적으로 분할되는 것은 아니고, 이들 영역은 이들 영역에 대한 취급 또는 이들 영역에 적용되거나 이들 영역에 포함되는 특징부에 대한 본 명세서에서의 설명을 위해 경계가 표시된 것이다.

[0100]

미소전자 요소(22)는 제1 영역(18) 내의 기판(12)의 제1 표면(14)에 실장될 수 있다. 미소전자 요소(22)는 반도체칩 또는 또 다른 필적할만한 디바이스이어야 된다. 도 1의 실시예에서, 미소전자 요소(22)는 종래의 방식 또는 "페이스-업(face-up)" 방식으로 알려진 방식으로 제1 표면(14)에 실장된다. 이러한 실시예에서, 미소전자 요소(22)를 제1 표면(14)에서 노출되어 있는 복수의 도전성 요소(28) 중의 몇몇에 전기 접속하기 위해 와이어

리드(24)가 이용될 수 있다. 와이어 리드(24)는 도전성 요소(28)에 접속되는 기판(12) 내의 트레이스(도시하지 않음) 또는 기타 도전성 특징부에 결합될 수 있다.

[0101] 도전성 요소(28)는 기판(12)의 제1 표면(14)에서 노출되어 있는 각각의 "컨택" 또는 패드(30)를 포함한다. 본 설명에서 사용된 바와 같이, 전기 도전성 요소가 유전체 구조물을 갖는 또 다른 요소의 표면에서 "노출되어 있는" 것으로서 설명되는 때에, 이것은 전기 도전성 구조물이 유전체 구조물의 외측으로부터 유전체 구조물의 표면을 향하여 유전체 구조물의 표면에 직각을 이루는 방향으로 이동하는 이론 상의 점과의 접촉에 이용할 수 있다는 것을 나타낸다. 그러므로, 유전체 구조물의 표면에서 노출되어 있는 단자 또는 기타 도전성 구조물은 이러한 표면으로부터 돌출할 수도 있거나, 이러한 표면과 동평면을 이룰 수도 있거나, 또는 이러한 표면에 대하여 리세스되고, 유전체의 구멍 또는 오목한 부분을 통해 노출될 수도 있다. 도전성 요소(28)는 기판(12)의 제1 표면(14)에서 패드(30)가 노출되어 있는 평탄하고 얇은 요소이어도 된다. 일실시예에서, 도전성 요소(28)는 실질적으로 원형일 수 있고, 트레이스(도시하지 않음)에 의해 서로 간에 또는 미소전자 요소(22)에 상호접속될 수 있다. 도전성 요소(28)는 적어도 기판(12)의 제2 영역(20) 내에 형성될 수 있다. 이에 부가하여, 특정 실시예에서, 도전성 요소(28)는 또한 제1 영역(18) 내에 형성될 수 있다. 이러한 배열은 미소전자 요소(122)(도 3) 상의 컨택이 미소전자 요소(122) 아래에 위치되는 솔더 범프(126) 등에 의해 제1 영역(118) 내에서 도전성 요소(128)에 접속될 수 있는 "플립-칩" 구성으로서 알려져 있는 구성으로 미소전자 요소(122)를 기판(112)에 실장할 때에 특히 유용하다. 실시예에서, 도전성 요소(28)는 구리, 금, 니켈, 또는 구리, 금, 니켈 또는 이들의 조합 중의 하나 이상을 포함하는 다양한 합금을 포함한 이러한 어플리케이션에 수용 가능한 기타 재료와 같은 고체 상태의 금속 재료로 형성된다.

[0102] 도전성 요소(28) 중의 적어도 몇몇은 기판(12)의 제2 표면(16)에서 노출되어 있는 도전성 패드와 같은 대응하는 제2 도전성 요소(40)에 상호접속될 수 있다. 이러한 상호접속은 기판(12)에 형성된 비아(41)를 이용하여 완성될 수 있으며, 이러한 비아는 도전성 요소(28, 40)와 동일한 재료일 수 있는 도전성 금속으로 라이닝되거나 채워질 수 있다. 필요한 경우, 도전성 요소(40)는 기판(12) 상의 트레이스에 의해 추가로 상호접속될 수 있다.

[0103] 미소전자 어셈블리(10)는 도전성 요소(28)의 패드(30) 상에와 같은 도전성 요소(28)의 적어도 몇몇에 결합되는 복수의 와이어 본드(32)를 추가로 포함한다. 와이어 본드(32)는 와이어 본드의 예지 표면(37)의 일부분을 따라 도전성 요소(28)에 본딩된다. 이러한 본딩의 예는 스티치 본딩(stitch bonding), 웨지 본딩(wedge bonding) 등을 포함한다. 아래에 더욱 상세하게 설명되는 바와 같이, 와이어 본드 툴은 와이어 본딩 툴의 캐필러리로부터 도전성 요소(28)까지 연장하는 와이어의 세그먼트를 스티치 본딩하면서 캐필러리에서의 와이어의 공급부로부터 와이어의 스티치 본딩된 단부를 절단하도록 이용될 수 있다. 와이어 본드는 자신의 각각의 "베이스"(34)에서 도전성 요소(28)에 스티치 본딩된다. 이 후, 이러한 스티치 본딩된 와이어 본드(32)의 "베이스"(34)는 도전성 요소(28)와의 조인트를 형성하는 와이어 본드의 위치를 지칭한다. 이와 달리, 와이어 본드는 볼 본드를 이용하여 도전성 요소의 적어도 몇몇에 결합될 수 있으며, 그 예가 공동 계류 중이고 공동 양수된 미국 특허 출원에 도시되고 설명되어 있으며, 이 특허 출원의 전체 개시 내용이 원용에 의해 본 명세서에 통합된다.

[0104] 다양한 형태의 예지 본드의 통합은, 여기에서 설명된 바와 같이, 도전성 요소(28)가 NSMD(non-solder-mask-defined) 타입 도전성 요소가 될 수 있도록 할 수 있다. 예컨대 솔더 볼 등과 같은 도전성 요소에 대한 다른 타입을 접속을 이용하는 패키지에서, 도전성 요소는 SMD(solder-mask-defined)이다. 즉, 도전성 요소가 솔더 마스크 재료층에 형성된 개구부에서 노출된다. 이러한 배열에서, 솔더 마스크층은 부분적으로 도전성 요소 위에 위치할 수 있거나, 또는 도전성 요소의 예지를 따라 도전성 요소에 접촉할 수 있다. 반대로, NSMD 도전성 요소는 솔더 마스크층에 의해 접촉되지 않는 도전성 요소이다. 예컨대, 도전성 요소는 솔더 마스크층을 갖지 않는 기판의 표면 상에 노출될 수 있거나, 또는 존재하는 경우, 표면 상의 솔더 마스크층은 도전성 요소로부터 멀어지게 이격된 예지를 갖는 개구부를 가질 수 있다. 이러한 NSMD 도전성 요소는 또한 라운드되지 않은 형상으로 형성될 수 있다. SMD 패드는 이러한 표면 상의 전반적으로 라운드 프로파일을 형성하는 솔더 매스를 통해 요소에 본딩하도록 사용하고자 할 때에는 라운드될 수 있는 경우가 많다. 예컨대 도전성 요소에 부착하기 위해 예지 본드를 사용할 때, 본드 프로파일 자체가 라운드되지 않아서, 라운드되지 않은 도전성 요소를 허용할 수 있다. 이러한 라운드되지 않은 도전성 요소는 예컨대 타원형, 직사각형, 또는 모서리가 라운드된 직사각 형상일 수 있다. 이들은 또한 본드를 수용하도록 가장자리 본드의 방향으로 더 길게 되면서 와이어 본드(32)의 폭의 방향으로 더 짧게 되도록 구성될 수 있다. 이것은 기판(12) 레벨에서의 더 미세한 피치(finer pitch)를 허용할 수 있다. 일례에서, 도전성 요소(28)는 둘 모두의 방향에서 베이스(34)의 의도된 크기보다 약 10% 내지 25% 더 크게 될 수 있다. 이것은 베이스(34)가 위치되는 정밀도에서의 어느 정도의 변동 및 본딩 프로세스에서의 어느 정도의 변동을 허용할 수 있다.

[0105]

몇몇 실시예에서, 스티치 본드의 형태일 수 있는 전술한 바와 같은 에지 본딩된 와이어 본드는 볼 본드(ball bond)과 조합될 수 있다. 도 23a에 도시된 바와 같이, 볼 본드(1333)는 도전성 요소(1328) 상에 형성될 수 있으며, 와이어 본드(1332)는 베이스(1338)가 에지 표면(1337)의 일부분을 따라 볼 본드(1372)에 스티치 본딩되는 것으로 형성될 수 있다. 또 다른 예에서, 볼 본드의 일반적인 크기 및 배치는 도면부호 1372'으로 나타낸 바와 같이 될 수 있다. 도 23b에 도시된 또 다른 변형예에서, 와이어 본드(1332)는 전술한 바와 같이 스티치 본딩에 의해서와 같이 도전성 요소(1328)를 따라 에지 본딩될 수 있다. 볼 본드(1373)는 와이어 본드(1334)의 베이스(1338)의 상면 상에 형성될 수 있다. 일례에서, 볼 본드의 크기 및 배치는 도면부호 1373'으로 나타낸 바와 같이 될 수 있다. 각각의 와이어 본드(32)는 이러한 와이어 본드의 베이스(34)로부터 멀리 떨어져 있고 또한 기판(12)으로부터 멀리 떨어져 있는 자유 단부(36)까지 연장할 수 있다. 와이어 본드(32)의 단부(36)는 이들 단부가 미소전자 요소(22), 또는 미소전자 요소(22)에 접속되는 미소전자 어셈블리(10) 내의 임의의 다른 도전성 특징부에 전기 접속되지 않거나 결합되지 않는다는 점에서 자유로운 상태인 것을 특징으로 한다. 즉, 자유 단부(36)는 여기에서 설명된 솔더 볼 또는 기타 특징부를 통해서와 같이 어셈블리(10) 외부의 도전성 특징부에 직접적으로 또는 간접적으로 중의 하나로 전기 접속하는데 이용할 수 있다. 단부(36)가 예컨대 인캡슐레이션층(42)에 의해 사전에 정해진 위치에 유지되거나, 또는 또 다른 도전성 특징부에 결합되거나 전기 접속된다는 사실은, 이러한 특징부의 어떠한 것도 미소전자 요소(22)에 전기 접속되지 않는 한은, 여기에서 설명된 바와 같이 "자유롭지" 않다는 것을 의미하지 않는다. 반대로, 베이스(34)는 여기에서 설명된 바와 같이 미소전자 요소(22)에 직접적으로 또는 간접적으로 중의 하나로 전기 접속됨에 따라 자유롭지 않은 것이 된다. 도 1에 도시된 바와 같이, 와이어 본드(32)의 베이스(34)는 통상적으로 각각의 도전성 요소(28)와의 자신의 스티치-본드(또는 기타 에지-본딩된) 조인트에서 곡선을 이룬다. 각각의 와이어 본드는 이러한 와이어 본드의 베이스(34)와 단부(36) 사이에서 연장하는 에지 표면(37)을 갖는다. 베이스(34)의 특정 크기 및 형상은 와이어 본드(32)를 형성하기 위해 사용된 재료의 타입, 와이어 본드(32)와 도전성 요소(28) 간의 접속의 요구된 강도, 또는 와이어 본드(32)를 형성하기 위해 이용되는 특정한 프로세스에 따라 바뀔 수 있다. 와이어 본드(2728)를 구성하기 위한 일례의 방법은 Otremba에게 허여된 미국 특허 제7,391,121호 및 미국 특허 공개 번호 2005/0095835(와이어 본딩의 형태로 고려될 수 있는 웨지-본딩 과정을 기술하는)에 개시되어 있으며, 이를 특허 또는 공개 특허는 그 전체 내용이 원용에 의해 본 명세서에 통합된다. 와이어 본드(2732)가 이에 부가하여 또는 이와 달리 기판(2712)의 제2 표면(2716) 상에 노출되어 제2 표면으로부터 멀어지도록 연장하는 도전성 요소(2740)에 결합되는 다른 실시예도 가능하다. 볼-본딩된 와이어 본드의 예가 Reynaldo Co 및 Laura Mirkarimi를 발명자로 하고 "METHOD FOR PACKAGE-ON-PACKAGE ASSEMBLY WITH WIRE BONDS TO ENCAPSULATION SURFACE"를 발명의 명칭으로 하는 공동 소유의 공동 계류 중인 미국 특허 출원 번호 13/405,125에 도시되고 설명되어 있으며, 이 특허 출원의 개시 내용은 원용에 의해 본 명세서에 통합된다.

[0106]

도 40에 도시된 대안의 배열에서, 베이스(2734)는 베이스(2734)와 단부(2736) 사이에 형성된 와이어 본드(2732)의 에지 표면(2737)으로부터 외측으로 연장하는 실질적으로 라운드된 형상으로 될 수 있다. 베이스(2734)의 특정한 크기 및 형상은 와이어 본드(2732)를 형성하기 위해 사용된 재료의 타입, 와이어 본드(2732)와 도전성 요소(2728) 간의 접속의 요구된 강도, 또는 와이어 본드(2732)를 형성하기 위해 이용되는 특정한 프로세스에 따라 바뀔 수 있다. 와이어 본드(2728)를 구성하기 위한 일례의 방법은 Otremba에게 허여된 미국 특허 제7,391,121호 및 미국 특허 공개 번호 2005/0095835(와이어 본딩의 형태로 고려될 수 있는 웨지-본딩 과정을 기술하는)에 개시되어 있으며, 이를 특허 또는 공개 특허는 그 전체 내용이 원용에 의해 본 명세서에 통합된다. 와이어 본드(2732)가 이에 부가하여 또는 이와 달리 기판(2712)의 제2 표면(2716) 상에 노출되어 제2 표면으로부터 멀어지도록 연장하는 도전성 요소(2740)에 결합되는 다른 실시예도 가능하다. 볼-본딩된 와이어 본드의 예가 Reynaldo Co 및 Laura Mirkarimi를 발명자로 하고 "METHOD FOR PACKAGE-ON-PACKAGE ASSEMBLY WITH WIRE BONDS TO ENCAPSULATION SURFACE"를 발명의 명칭으로 하는 공동 소유의 공동 계류 중인 미국 특허 출원 번호 13/405,125에 도시되고 설명되어 있으며, 이 특허 출원의 개시 내용은 원용에 의해 본 명세서에 통합된다.

[0107]

특정한 예에서, 와이어 본드(32)의 제1 와이어 본드는 제1 신호 전위를 전달하도록 적합화될 수 있으며, 즉 제1 신호 전위를 전달하도록 구성되거나, 배열되거나, 또는 이를 위한 기판 상의 기타 회로에 전기 접속될 수 있으며, 와이어 본드(32)의 제2 와이어 본드는 제1 신호 전위와는 상이한 제2 신호 전위를 동시에 운반하도록 적합화될 수 있다. 그러므로, 도 1 및 도 2에 나타낸 바와 같은 미소전자 패키지가 에너지 공급될 때, 제1 및 제2 와이어 본드는 제1 및 제2의 상이한 신호 전위를 동시에 전달할 수 있다.

[0108]

와이어 본드(32)는 구리, 구리 합금 또는 금과 같은 도전성 재료로 구성될 수 있다. 이에 부가하여, 와이어 본드(32)는 구리 또는 알루미늄과 같은 도전성 재료의 코어와 이 코어 위에 도포된 코팅과 같은 재료의 조합으로 구성될 수 있다. 코팅은 알루미늄, 니켈 등과 같은 제2 도전성 재료로 이루어질 수 있다. 이와 달리, 코팅은 절연 재킷과 같은 절연 재료로 이루어질 수 있다.

[0109]

특정 실시예에서, 와이어 본드는 1차 금속의 코어 및 1차 금속 위에 놓여지는 1차 금속과는 상이한 제2 금속을 포함한 금속성 마무리를 가질 수 있다. 예컨대, 와이어 본드는 구리, 구리 합금 또는 금의 1차 금속 코어를 가질 수 있으며, 금속성 마무리는 팔라듐을 포함할 수 있다. 팔라듐은 구리와 같은 코어 금속의 산화를 방지할 수 있으며, 아래에 추가로 설명되는 바와 같이 와이어 본드의 인캡슐레이션되지 않은 부분(39)과 또 다른 콤포

넌트 간의 솔더 조인트에서의 금과 같은 솔더-용해 가능 금속(solder-soluble metal)의 확산을 방지하기 위한 확산 장벽으로서 작용할 수 있다. 그러므로, 일실시예에서, 와이어 본드는 와이어 본딩 툴의 캐필러리를 통해 공급될 수 있는 팔라듐 코팅된 구리 와이어 또는 팔라듐 코팅된 금 와이어로 형성될 수 있다.

[0110] 실시예에서, 와이어 본드(32)를 형성하기 위해 사용되는 와이어는 약 15 μm 내지 150 μm 사이의 두께, 즉 와이어의 길이를 가로지르는 치수를 가질 수 있다. 일반적으로, 와이어 본드는 본 기술 분야에 공지되어 있는 특수 장비를 이용하여 도전성 요소(28), 패드, 트레이스 등과 같은 도전성 요소 상에 형성된다. 와이어 본드(32)의 자유 단부(36)는 단부 표면(38)을 갖는다. 단부 표면(38)은 컨택의 적어도 일부분을 복수의 와이어 본드(32)의 각각의 단부 표면(38)에 의해 형성된 어레이로 형성할 수 있다. 도 2는 단부 표면(38)에 의해 형성된 이러한 컨택의 어레이를 위한 일례의 패턴을 도시하고 있다. 이러한 어레이에는 면적 어레이 구성으로 형성될 수 있으며, 그 변형예가 본 명세서에 설명된 구조물을 이용하여 구현될 수 있다. 이러한 어레이에는 미소전자 어셈블리(10)를 인쇄회로 기판(PCB)과 같은 또 다른 미소전자 구조물에, 또는 도 6에 그 예가 도시되어 있는 다른 패키징된 미소전자 요소에, 전기적으로 및 기계적으로 접속하기 위해 이용될 수 있다. 이러한 적층식 배열에서, 와이어 본드(32) 및 도전성 요소(28, 40)는, 상이한 신호가 단일 스택에서의 상이한 미소전자 요소에 의해 처리될 수 있도록 하기 위해 각각이 상이한 신호 전위를 갖는 복수의 전자 신호를 전달할 수 있다. 예컨대 단부 표면(38)을 도전성 요소(40)에 전자적으로 및 기계적으로 부착함으로써 이러한 스택에서의 미소전자 어셈블리들을 상호접속하기 위해 솔더 매스(52)가 이용될 수 있다.

[0111] 미소전자 어셈블리(10)는 유전체 재료로 형성된 인캡슐레이션층(42)을 더 포함한다. 도 1의 실시예에서, 인캡슐레이션층(42)은 미소전자 요소(22)에 의해 덮여지지 않거나 점유되지 않은 기판(12)의 제1 표면(14)의 부분, 또는 도전성 요소(28) 위에 형성된다. 유사하게, 인캡슐레이션층(42)은 도전성 요소(28)의 패드(30)를 포함한 와이어 본드(32)에 의해 덮여지지 않은 도전성 요소(28)의 부분 위에 형성된다. 인캡슐레이션층(42)은 또한 미소전자 요소(22), 와이어 본드(32), 와이어 본드(32)의 베이스(34), 및 에지 표면(37)의 적어도 일부분을 실질적으로 덮을 수 있다. 인캡슐레이션되지 않은 부분(39)으로 지칭될 수 있는 와이어 본드(32)의 일부분은 인캡슐레이션층(42)에 의해 덮여지지 않은 채로 남겨질 수 있으며, 이에 의해 와이어 본드를 인캡슐레이션층(42)의 외측에 위치된 특징부 또는 요소에 대한 전기 접속에 이용할 수 있게 된다. 실시예에서, 와이어 본드(32)의 단부 표면(38)은 인캡슐레이션층(42)의 주요 표면(44) 내에서 인캡슐레이션층(42)에 의해 덮여지지 않은 채로 남겨진다. 단부 표면(38)을 인캡슐레이션층(42)에 의해 덮여지지 않는 상태로 남게 되도록 하는 것에 부가하여 또는 이와 같이 하는 것의 대안으로서, 에지 표면(37)의 일부분을 인캡슐레이션층(42)에 의해 덮여지지 않게 하는 다른 실시예도 가능하다. 즉, 인캡슐레이션층(42)은, 와이어 본드(36)의 단부 표면(38), 에지 표면(37), 또는 이 둘의 조합과 같은 와이어 본드(36)의 일부분을 제외하고는, 제1 표면(14)으로부터 그 위의 미소전자 어셈블리(10)의 전부를 덮을 수 있다. 도면에 도시된 실시예들에서, 인캡슐레이션층(42)의 주요 표면(44)과 같은 표면은 미소전자 요소(22)를 덮기에 아주 충분한 거리로 기판(12)의 제1 표면(14)으로부터 떨어져 이격될 수 있다. 이에 따라, 와이어 본드(32)의 단부(38)가 주요 표면(44)과 동평면을 이루는 미소전자 어셈블리(10)의 실시예들은, 미소전자 요소(22)보다 더 높은 와이어 본드(32)와, 플립 칩 접속을 위한 임의의 하부 솔더 범프(underlying solder bump)를 포함할 것이다. 그러나, 인캡슐레이션층(42)에 대한 다른 다른 구성도 가능하다. 예컨대, 인캡슐레이션층은 높이가 상이한 복수의 표면을 가질 수 있다. 이러한 구성에서, 그 안에 단부(38)가 위치되는 표면(44)은, 그 아래에 미소전자 요소(22)가 위치되는 상방향으로 바라보는 표면보다 더 높게 되거나 또는 더 낮게 될 수 있다.

[0112] 인캡슐레이션층(42)은 미소전자 어셈블리(10) 내의 다른 요소, 구체적으로 와이어 본드(32)를 보호하도록 작용한다. 이것은 미소전자 어셈블리의 시험에 의해 또는 운송 또는 다른 미소전자 구조체에의 조립 동안 손상될 가능성을 감소시키는 더욱 견고한 구조물을 가능하게 한다. 인캡슐레이션층(42)은 미국 특허 공개 번호 2010/0232129에 개시된 바와 같은 절연 특성을 갖는 유전체 재료로 형성될 수 있으며, 이 공개 특허의 개시 내용은 원용에 의해 본 명세서에 통합된다.

[0113] 도 3은 와이어 본드(132)의 단부(136)가 와이어 본드의 각각의 베이스(34)의 똑바로 위쪽에 위치되지 않는 와이어 본드(132)를 갖는 미소전자 어셈블리(110)의 실시예를 도시한다. 즉, 기판(112)의 제1 표면(114)이 실질적으로 평면을 형성하기 위해 2개의 측면 방향으로 연장하는 것으로서 고려할 때, 단부(136) 또는 와이어 본드(132) 중의 적어도 하나의 와이어 본드가 베이스(134)의 대응하는 측면 위치로부터 이들 측면 방향 중의 적어도 하나의 방향으로 변위된다. 도 3에 도시된 바와 같이, 와이어 본드(132)는 도 1의 실시예에서와 같이 자신의 길이 방향 축을 따라 실질적으로 일직선을 이룰 수 있으며, 이 길이 방향 축이 기판(112)의 제1 표면(114)에 대한 각도(146)로 경사를 이루고 있다. 도 3의 횡단면도가 단지 제1 표면(114)에 직각을 이루는 제1 평면을 통해

각도(146)를 나타내지만, 와이어 본드(132)는 또한 그 제1 평면 및 제1 표면(114) 둘 모두에 각각을 이루는 또 다른 평면에서 제1 표면(114)에 대해 각도를 이루게 될 수 있다. 이러한 각도는 각도(146)와 실질적으로 동일 할 수도 있고, 또는 상이할 수도 있다. 즉, 베이스(134)에 관련한 단부(136)의 변위는 2개의 측면 방향으로 이루어질 수 있으며, 이들 방향의 각각에서 동일하거나 상이한 거리만큼 이루어질 수 있다.

[0114]

실시예에서, 와이어 본드(132)의 여러 와이어 본드가 어셈블리(110) 도처에서 상이한 방향으로 상이한 양만큼 변위될 수 있다. 이러한 배열은 어셈블리(110)가 기판(12)의 레벨에 비하여 표면(144)의 레벨에서 상이하게 구성되는 어레이를 갖도록 할 수 있다. 예컨대, 어레이는 기판(112)의 제1 표면(114)의 면적에 비하여 더 작은 전체적인 면적을 덮을 수 있거나, 또는 표면(144) 상의 더 작은 피치를 가질 수 있다. 또한, 몇몇 와이어 본드(132)는 상이한 크기의 패키징된 미소전자 요소의 적층 배열을 수용하기 위해 미소전자 요소(122) 위에 위치되는 단부(138)를 가질 수 있다. 또 다른 예에서, 와이어 본드(132)는 하나의 와이어 본드의 단부가 실질적으로 제2 와이어 본드의 베이스 위에 위치되고, 그 제2 와이어 본드의 단부가 그 밖의 다른 곳에 위치되도록 구성될 수 있다. 이러한 배열은 제2 표면(116) 상의 대응하는 컨택 어레이의 위치에 비하여 컨택의 어레이 내의 컨택 단부 표면(136)의 상대 위치를 변화시키는 것으로서 지칭될 수 있다. 도 8에 도시된 또 다른 예에서, 와이어 본드(132)는, 하나의 와이어 본드(132A)의 단부(136A)가 실질적으로 또 다른 와이어 본드(134B)의 베이스(134B) 위에 위치되고, 그 와이어 본드(134B)의 단부(132B)가 그 밖의 다른 곳에 위치되도록, 구성될 수 있다. 이러한 배열은 제2 표면(116) 상의 대응하는 컨택 어레이의 위치에 비하여 컨택의 어레이 내의 컨택 단부 표면(136)의 상대 위치를 변화시키는 것으로서 지칭될 수 있다. 이러한 어레이 내에서, 컨택과 표면의 상대적 위치는 미소전자 어셈블리의 어플리케이션 또는 기타 요건에 따라 요구된 바대로 변화되거나 변경될 수 있다. 도 4는 와이어 본드(232)의 단부(236)가 베이스(234)에 대하여 변위된 측방향 위치에 있는 와이어 본드(232)를 갖는 미소전자 서브어셈블리(210)의 다른 실시예를 도시하고 있다. 도 4의 실시예에서, 와이어 본드(132)는 그 안에 곡선부(248)를 포함함으로써 이러한 측방향 변위를 달성한다. 곡선부(248)는 와이어 본드 형성 프로세스 동안의 추가의 단계에서 형성될 수 있고, 예컨대 와이어부가 요구된 길이로 인발(drawn out)고 있는 동안에 발생할 수 있다. 이 단계는 단일 기계를 이용하는 것을 포함할 수 있는 이용 가능한 와이어-본딩 장비를 이용하여 수행될 수 있다.

[0115]

곡선부(248)는 와이어 본드(232)의 단부(236)의 요구된 위치를 달성하기 위해 필요에 따라 다양한 형상을 취할 수 있다. 예컨대, 곡선부(248)는 도 4에 도시된 것 또는 더 매끄러운 형태의 것(도 5에 도시된 것과 같은)과 같은 다양한 형상의 S-곡선으로서 형성될 수 있다. 이에 부가하여, 곡선부(248)는 단부(236)보다 베이스(234)에 더 근접하게 위치될 수 있거나, 또는 베이스(234)보다 단부(236)에 더 근접하게 위치될 수 있다. 곡선부(248)는 또한 나선형 또는 루프의 형태로 될 수 있거나, 또는 복수 방향의 곡선 또는 상이한 형상 또는 문자의 곡선을 포함한 복합적인 형상으로 될 수 있다.

[0116]

도 26에 도시된 다른 예에서, 와이어 본드(132)는 그 베이스(134)가 피치를 갖는 제1 패턴으로 배열되도록 배열될 수 있다. 와이어 본드(132)는, 단부 표면(138)을 포함한 인캡슐레이션되지 않은 부분(139)이, 복수의 베이스(134)의 인접한 베이스들 사이의 최소 피치보다 큰, 인캡슐레이션층의 표면(44)에서 노출된 와이어 본드(32)의 인접한 인캡슐레이션되지 않은 부분(38)들 사이의 최소 피치를 갖는 패턴의 위치에 배치될 수 있도록 구성될 수 있으며, 그에 따라 베이스가 도전성 요소(128)에 결합된다. 이를 달성하기 위해, 와이어 본드는 도 26에 도시된 바와 같은 도전성 요소에 대한 수직 방향에 관련하여 하나 이상의 각도로 연장하는 부분을 포함할 수 있다. 또 다른 예에서, 와이어 본드는 단부(238)가 전술한 바와 같이 베이스(134)로부터 하나 이상의 측면 방향으로 변위되도록 예컨대 도 4에 도시된 바와 같이 굽어질 수 있다. 도 26에 도시된 바와 같이, 도전성 요소(128) 및 단부(138)는 각각의 행 또는 열로 배열될 수 있으며, 이들이 결합되는 기판 상의 각각의 도전성 요소로부터의, 단부의 하나의 행에서와 같은, 적어도 몇몇 지점에서의 단부 표면(138)의 측방향 변위는 이들이 접속되는 각각의 도전성 요소로부터의 다른 지점에서의 인캡슐레이션되지 않은 부분의 측방향 변위보다 크게 될 수 있다. 이를 달성하기 위해, 와이어 본드(132)는 예컨대 기판(112)의 표면(116)에 대하여 상이한 각도(146A, 146B)로 될 수 있다.

[0117]

도 5a는 베이스(334)와 단부(336) 사이의 다양한 상대적 측방향 변위를 야기하는 다양한 형상을 갖는 와이어 본드(332)의 조합을 갖는 미소전자 패키지(310)의 다른 예의 실시예를 도시하고 있다. 와이어 본드(332A)의 몇몇은 실질적으로 일직선으로 되어 단부(336A)가 자신의 각각의 베이스(334A) 위에 위치되는 한편, 다른 와이어 본드(332B)는 단부(336B)와 베이스(334B) 사이의 다소 약간의 상대적 측방향 변위를 야기하는 완만한 곡선부(348B)를 포함한다. 또한, 몇몇 와이어 본드(332C)는 단부(336C)의 거리보다 더 큰 거리로 상대 베이스(334C)로부터 측방향으로 변위되는 단부(336C)를 발생하는 급격한 형상(sweeping shape)을 갖는 곡선부(348C)를 포함

한다. 도 5는 또한 기판 레벨 어레이의 동일한 행에 위치된 베이스(334C i, 334C ii) 및 대응하는 표면 레벨 어레이의 상이한 행에 위치된 단부(336C i, 336C ii)를 갖는 일례의 이러한 와이어 본드의 쌍(332C i, 332C ii)을 도시하고 있다. 몇몇 경우에, 와이어 본드(332C i, 332C ii)에서의 만곡부의 반경(radius of bend)은 와이어 본드에서의 곡선이 연속적으로 보일 수 있도록 크게 될 수 있다. 다른 경우에, 만곡부의 반경은 비교적 작을 수도 있으며, 와이어 본드는 심지어는 와이어 본드에서의 만곡부들 사이에 일직선 부분 또는 비교적 일직선의 부분을 가질 수도 있다. 더욱이, 몇몇 경우에, 와이어 본드의 인캡슐레이션되지 않은 부분은 기판의 컨택(328)들 사이의 적어도 하나의 최소 퍼치만큼 자신의 베이스로부터 변위될 수 있다. 다른 경우에, 와이어 본드의 인캡슐레이션되지 않은 부분은 적어도 200 미크론만큼 자신의 베이스로부터 변위될 수 있다.

[0118] 인캡슐레이션층(342)의 측벽(47) 상에서 인캡슐레이션층(342)에 의해 덮여지지 않도록 구성되는 다른 변형의 와이어 본드(332D)가 도시되어 있다. 그러나, 자유 단부(336D)가 덮여지지 않은 것으로 도시된 실시예에서, 예지 표면(337D)의 일부분이 이에 부가하여 또는 이와 달리 인캡슐레이션층(342)에 의해 덮여지지 않을 수 있다. 이러한 구성은 미소전자 어셈블리(10)를 전기 접속에 의해 적절한 특징부에 그라운딩하거나 또는 미소전자 어셈블리(310)의 측방향으로 배치된 다른 특징부에 대한 기계적 또는 전기적 접속을 위해 이용될 수 있다. 이에 부가하여, 도 5는 주요 표면(342)보다 기판(12)에 더 근접하게 위치되는 리세스된 표면(345)을 형성하도록 예칭 제거되거나, 몰딩되거나, 또는 형성된 인캡슐레이션층(342)의 영역을 도시하고 있다. 와이어 본드(332A)와 같은 하나 이상의 와이어 본드는 리세스된 표면(345)을 따르는 영역 내에서 덮여지지 않을 수 있다. 도 5에 도시된 일례의 실시예에서, 단부 표면(338A)과 예지 표면(337A)의 일부분은 인캡슐레이션층(342)에 의해 덮여지지 않는다. 이러한 구성은 솔더가 예지 표면(337A)을 따라 위킹(wicking)하도록 하고 단부 표면(338)에 결합하는 것에 부가하여 예지 표면에 결합하도록 함으로써 솔더 볼 등에 의해서와 같이 또 다른 도전성 요소에의 접속을 제공할 수 있다. 와이어 본드의 일부분이 리세스 표면(345)을 따라 인캡슐레이션층(342)에 의해 덮여지지 않을 수 있는 다른 구성이 가능하며, 이러한 구성은 단부 표면이 리세스 표면(345) 또는 인캡슐레이션층(342)의 임의의 다른 표면에 대해 본 명세서에서 나타낸 다른 구성과 실질적으로 동평면을 이루는 구성을 포함한다. 유사하게, 와이어 본드(332D)의 일부분이 표면(347) 옆에서 인캡슐레이션층(342)에 의해 덮여지지 않는 다른 구성은 인캡슐레이션층의 주요 표면의 변형에 대한 본 명세서의 다른 부분에서 설명된 것과 유사할 수 있다.

[0119] 도 5a는 미소전자 요소 350을 미소전자 요소 322 상에 페이스-업 방식으로 적층한 일례의 배열의 2개의 미소전자 요소(322, 350)를 갖는 미소전자 어셈블리(310)를 도시하고 있다. 이 배열에서, 미소전자 요소(322)를 기판(312) 상의 도전성 특징부에 전기 접속하기 위해 리드(324)가 이용된다. 미소전자 요소(350)를 미소전자 어셈블리(310)의 다양한 다른 특징부에 전기 접속하기 위해 다양한 리드가 이용된다. 예컨대, 리드 380은 미소전자 요소(350)를 기판(312)의 도전성 특징부에 전기 접속하고, 리드 382는 미소전자 요소(350)를 미소전자 요소(322)에 전기 접속한다. 또한, 와이어 본드(332)의 다양한 와이어 본드와 구조가 유사할 수 있는 와이어 본드(384)는 미소전자 요소(350)에 전기 접속되는 인캡슐레이션층(342)의 표면(344) 상의 접촉 표면(386)을 형성하기 이용된다. 이것은 또 다른 미소전자 어셈블리의 특징부를 인캡슐레이션층(342) 위에서부터 미소전자 요소(350)에 직접 전기 접속하기 위해 이용될 수 있다. 미소전자 요소(322)가 그 위에 부착되는 미소전자 요소(350) 없이 제공되는 경우를 포함하여, 미소전자 요소(322)에 접속되는 이러한 리드 또한 포함될 수 있다. 인캡슐레이션층(342)의 표면(344)으로부터 예컨대 리드(380)를 따라 어떠한 점까지 연장하는 개구부(도시하지 않음)가 형성되어, 표면(344) 외측에 위치된 요소에 의한 그 점까지의 전기 접속을 위해 리드(380)에 대한 액세스를 제공할 수 있다. 다른 리드 또는 와이어 본드(332) 중의 임의의 것 위에, 예컨대 와이어 본드(333C)의 단부(336C)로부터 멀리 떨어진 어떠한 점에서의 와이어 본드(332C) 위에, 유사한 개구부가 형성될 수 있다. 이러한 실시예에서, 단부(336C)가 표면(344) 아래에 위치되어, 개구부가 그 단부에 대한 전기 접속을 위한 유일한 액세스를 제공할 수 있다.

[0120] 복수의 미소전자 요소를 갖는 미소전자 패키지를 위한 추가의 배열이 도 27a 내지 도 27c에 도시되어 있다. 이들 배열은 예컨대 도 5a에 도시된 와이어 본드 배열 및 아래에 추가로 설명되는 도 6의 적층 패키지 배열과 함께 이용될 수 있다. 구체적으로, 도 27a는 하위 미소전자 요소(1622)가 기판(1612)의 표면(1614) 상의 도전성 요소(1628)에 플립-칩 본딩되는 배열을 도시하고 있다. 제2 미소전자 요소(1650)가 제1 미소전자 요소(1622) 위에 놓여지고, 와이어 본드(1688)를 통해서와 같이 기판 상의 추가의 도전성 요소(1628)에 페이스-업 방식으로 접속될 수 있다. 도 27b는 제1 미소전자 요소(1722)가 표면(1714) 상에 페이스-업 방식으로 실장되고, 와이어 본드(1788)를 통해 도전성 요소(1728)에 접속되는 배열을 도시하고 있다. 제2 미소전자 요소(1750)는, 기판으로부터 면 쪽으로 바라보고 있는 제1 미소전자 요소(1722)의 면에 있는 대응하는 컨택을 바라보고 이 컨택에 결합되는 제2 미소전자 요소(1750)의 면에서 노출되어 있는 컨택을 가질 수 있다. 제1 미소전자 요소(1722)의 전면 상의 대응하는 컨택을 바라보고 이 컨택에 결합되는 제2 미소전자 요소(1750)의 컨택(1726)의 세트를 통해.

제2 미소전자 요소의 대응하는 컨택에 결합되는 제1 미소전자 요소(1722)의 이들 컨택은 그 다음으로 제1 미소전자 요소(1722)의 회로 패턴을 통해 접속될 수 있고, 와이어 본드(1788)에 의해 기판(1712) 상의 도전성 요소(1728)에 접속될 수 있다.

[0121] 도 27c는 제1 및 제2 미소전자 요소(1822, 1850)가 기판(1812)의 표면(1814)을 따르는 방향으로 서로 떨어져 이격되어 있는 배열을 도시하고 있다. 미소전자 요소(및 추가의 미소전자 요소)의 둘 중 어느 하나 또는 둘 모두가 본 명세서에 설명되는 페이스-업 방식으로 또는 플립-칩 구성으로 실장될 수 있다. 또한, 이러한 배열에서 채용되는 미소전자 요소의 어떠한 것도 이러한 미소전자 요소 중의 하나 또는 둘 모두 상의, 또는 기판 상의, 또는 미소전자 요소와 기판 둘 모두 상의 회로 패턴을 통해 서로 접속될 수 있으며, 이들 회로 패턴은 미소전자 요소들이 전기 접속되는 각각의 도전성 요소(1828)들을 전기 접속한다.

[0122] 도 5b는 제2 도전성 요소(43)가 인캡슐레이션층(42)의 표면(44)에서 노출되어 있거나 이 표면 위에 돌출하여 있는 와이어 본드의 인캡슐레이션되지 않은 부분(39)과 접촉하는 상태로 형성될 수 있고, 제2 도전성 요소가 제1 도전성 요소(28)(도 1)와 접촉하고 있지 않은, 전술한 실시예의 변형예에 따른 구조를 도시하고 있다. 도 5b에 도시된 바와 같은 일실시예에서, 제2 도전성 요소는, 콤포넌트의 본딩 금속 또는 본딩 재료로 콤포넌트에 결합하기 위해 표면을 제공할 수 있는, 인캡슐레이션층의 표면(44) 상에서 연장하는 패드(45)를 포함할 수 있다.

[0123] 이와 달리, 도 5c에 나타낸 바와 같이, 제2 도전성 요소(48)는 와이어 본드의 인캡슐레이션되지 않은 부분(39) 상에 선택적으로 형성된 금속성 마무리이어도 된다. 둘 중 하나의 경우, 일례로, 제2 도전성 요소(43 또는 48)는, 예컨대 플레이팅 등에 의해, 와이어 본드의 인캡슐레이션되지 않은 부분(39)과 접촉하고 와이어 본드의 코어 위에 위치하는 니켈층, 및 니켈층 위에 위치하는 금 또는 은의 층으로 형성될 수 있다. 또 다른 예에서, 제2 도전성 요소는 기본적으로 단일 금속으로 이루어지는 모노리식 금속층이어도 된다. 일례에서, 단일 금속층은 니켈, 금, 구리, 팔라듐 또는 은이어도 된다. 또 다른 예에서, 제2 도전성 요소(43 또는 48)는 와이어 본드의 인캡슐레이션되지 않은 부분(39)과 접촉하는 도전성 페이스트(conductive paste)로 형성되거나 포함할 수 있다. 와이어 본드의 인캡슐레이션되지 않은 부분(39) 상에 제2 도전성 요소(43 또는 48)를 형성하기 위해, 스텐실링(stenciling), 디스펜싱(dispensing), 스크린 프린팅, 제어된 스프레이(controlled spraying), 예컨대, 잉크젯 프린팅과 유사한 프로세스, 또는 트랜스퍼 몰딩(transfer molding)이 이용될 수 있다.

[0124] 도 5d는 위에서 도전성 요소(43, 48)에 대해 설명한 바와 같이 금속 또는 다른 전기 도전성 재료로 형성될 수 있는 제2 도전성 요소(43D)를 도시하고 있으며, 제2 도전성 요소(43D)는 인캡슐레이션층(42)의 외부 표면(44) 내로 연장하는 개구부(49) 내에 적어도 일부분이 형성된다. 일례에서, 개구부(49)는 인캡슐레이션층을 경화하거나 또는 부분적으로 경화한 후에 인캡슐레이션층의 일부분을 제거하여 그 아래의 와이어 본드의 일부분을 동시에 노출시켜서 와이어 본드의 인캡슐레이션되지 않은 부분이 되도록 함으로써 형성될 수 있다. 예컨대, 개구부(49)는 레이저 어블레이션(laser ablation), 에칭 등에 의해 형성될 수 있다. 또 다른 예에서, 용해 가능한 재료가 인캡슐레이션층을 형성하기 전에 개구부의 위치에 사전에 위치될 수 있으며, 이 사전에 위치된 재료는 개구부를 형성하도록 인캡슐레이션층을 형성한 후에 제거될 수 있다.

[0125] 추가의 예에서, 도 24a 및 도 24b에 나타낸 바와 같이, 복수의 와이어 본드(1432)는 하나의 도전성 요소(1428)와 결합된 베이스를 가질 수 있다. 와이어 본드(1432)의 이러한 그룹은 도전성 요소(1428)와의 전기 접속을 위해 인캡슐레이션층(1442) 위에 추가의 접속 점을 만들기 위해 이용될 수 있다. 공통으로 결합된 와이어 본드(1432)의 노출된 부분(1439)은 예컨대 대략 도전성 요소(1428) 자체의 크기의 면적 또는 와이어 본드(1432) 그룹과의 외부 접속을 이루기 위한 본딩 매스의 의도된 크기와 비슷한 또 다른 면적의 인캡슐레이션층(1442)의 표면(1444) 상에 함께 그룹화될 수 있다. 도시된 바와 같이, 이러한 와이어 본드(1432)는 전술한 바와 같이 도전성 요소(1428) 상에 볼-본딩되거나(ball-bonded)(도 24a) 또는 에지 본딩됨(edge bonded)(도 24b) 수 있거나, 또는 도 23a 또는 도 23b 중의 하나 이상에 대해 위에서 설명한 바와 같은 도전성 요소에 본딩될 수 있다.

[0126] 도 25a 및 도 25b에 도시된 바와 같이, 볼-본딩된 와이어 본드(1532)는 도전성 요소(1528)의 적어도 몇몇 도전성 요소 상의 스터드 범프(stud bump)로서 형성될 수 있다. 여기에서 설명되는 바와 같이, 스터드 범프는 베이스(1534)와 단부 표면(1538) 사이에 연장하는 와이어의 세그먼트가 볼-본딩된 베이스(1534)의 직경의 기껏해야 300%의 길이를 갖는 볼-본딩된 와이어 본드이다. 다른 실시예에서와 같이, 단부 표면(1538) 및 필요한 경우 스터드 범프의 에지 표면(1537)의 일부분은 인캡슐레이션층(1542)에 의해 인캡슐레이션되지 않을 수 있다. 도 25b에 도시된 바와 같이, 이러한 스터드 범프(1532A)는 와이어 본드의 베이스(1534)로부터 인캡슐레이션층(1542)의 표면(1544)까지 연장하는 와이어 세그먼트를 갖는 2개의 볼 본드로 이루어진 와이어 본드(1532)의 베이스(1534)를 형성하기 위해 또 다른 스터드 범프(1532B)의 정부(top) 상에 형성될 수 있다. 이러한 와이어 본

드(1532)는 예컨대 본 명세서의 다른 곳에서 설명된 와이어 본드보다 작은 높이를 가질 수 있다. 이에 따라, 인캡슐레이션층은, 예컨대 미소전자 요소(1522) 위에 놓여지는 영역에 있는 주요 표면(1544)과, 주요 표면(1544)의 높이 미만의 높이로 기판(1512)의 표면(1514) 위에 이격된 부표면(minor surface)(1545)을 포함할 수 있다. 이러한 배열은 또한 정렬 특징부를 형성하고, 와이어 본드(1532)의 인캡슐레이션되지 않은 부분(1539)을 또 다른 미소전자 패키지(1588) 상의 컨택(1543)과 접속시킬 수 있는 도전성 매스(1552)를 수용하면서도, 본 명세서에 개시된 다른 타입의 와이어 본드뿐만 아니라 스터드 범프 타입 와이어 본드를 채용하는 패키지의 전체 높이를 감소시키기 위해 이용될 수 있다.

[0127] 도 6은 미소전자 어셈블리(410, 488)의 적층 패키지를 도시하고 있다. 이러한 배열에서, 솔더 매스(452)는 어셈블리(410)의 단부 표면(438)을 어셈블리(488)의 도전성 요소(440)에 전기적으로 및 기계적으로 접속한다. 적층 패키지는 추가 어셈블리를 포함할 수 있고, 최종적으로는 전자 디바이스에서 사용하기 위한 PCB(490) 등 상의 컨택(492)에 부착될 수 있다. 이러한 적층 배열에서, 와이어 본드(432) 및 도전성 요소(430)는 상이한 신호가 하나의 스택에서의 미소전자 요소 422 또는 미소전자 요소 489와 같은 상이한 미소전자 요소에 의해 처리될 수 있도록 하기 위해 각각이 상이한 신호 전위를 갖는 복수의 전자 신호를 전달할 수 있다.

[0128] 도 6의 일례의 구성에서, 와이어 본드(432)는 와이어 본드(432)의 단부(436)의 적어도 몇몇이 미소전자 요소(422)의 주표면(424) 위에 위치하는 영역 내로 연장하도록 곡선부(448)를 갖도록 구성된다. 이러한 영역은 미소전자 요소(422)의 외주에 의해 정해질 수 있으며, 그로부터 위쪽으로 연장한다. 이러한 구성의 예가 도 18에서 기판(412)의 제1 표면(414) 쪽으로 바라보는 것으로부터 나타내어져 있으며, 여기서 와이어 본드(432)는 와이어 본드의 전면(425)에서 기판(412)에 플립-칩 본딩되어 있는 미소전자 요소(422)의 뒤쪽 주표면 위에 위치한다. 또 다른 구성(도 5)에서, 미소전자 요소(422)는 전면(325)이 기판(312)의 면 쪽으로 바라보고 있고, 적어도 하나의 와이어 본드(336)가 미소전자 요소(322)의 전면 위에 위치하는 페이스-업 방식으로 기판(312)에 실장될 수 있다. 일실시예에서, 이러한 와이어 본드(336)는 미소전자 요소(322)와 전기적으로 접속되지 않는다. 기판(312)에 본딩되는 와이어 본드(336)는 또한 미소전자 요소(350)의 전면 또는 배면 위에 위치할 수도 있다. 도 7에 도시된 미소전자 어셈블리(410)의 실시예는 도전성 요소(428)가 제1 어레이를 형성하는 패턴으로 배열되도록 되어 있으며, 이 어레이에서는, 도전성 요소(428)가 미소전자 요소(422)를 둘러싸는 열파 행으로 배열되고, 개개의 도전성 요소(428)들 사이의 사전에 정해진 피치를 가질 수 있다. 와이어 본드(432)는 각각의 베이스(434)가 도전성 요소(428)에 의해 이루어진 바와 같은 제1 어레이의 패턴을 따르도록 도전성 요소(428)에 결합된다. 그러나, 와이어 본드(432)는 와이어 본드의 각각의 단부(436)가 제2 어레이 구성에 따라 상이한 패턴으로 배열될 수 있도록 구성된다. 도시된 실시예에서, 제2 어레이의 피치는 제1 어레이의 피치와는 상이할 수 있고, 몇몇 경우에는 제1 어레이의 피치보다 더 미세할 수 있다. 그러나, 제2 어레이의 피치가 제1 어레이의 피치보다 크거나, 또는 도전성 요소(428)가 사전에 정해진 어레이로 배열되지 않고, 와이어 본드(432)의 단부(436)가 사전에 정해진 어레이로 배열되는, 다른 실시예도 가능하다. 또한, 도전성 요소(428)는 기판(412) 전반에 걸쳐 위치된 어레이의 세트로 구성될 수 있으며, 와이어 본드(432)는 단부(436)가 상이한 세트의 어레이 또는 하나의 어레이에 있도록 구성될 수 있다.

[0129] 도 6은 또한 미소전자 요소(422)의 표면을 따라 연장하는 절연층(421)을 도시하고 있다. 절연층(421)은 와이어 본드를 형성하기 전에 유전체 또는 기타 전기 절연 재료로 형성될 수 있다. 절연층(421)은 미소전자 요소를 그 위에 연장하는 와이어 본드(423)의 어떠한 것과 접촉하는 것으로부터 보호할 수 있다. 구체적으로, 절연층(421)은 와이어 본드들 간의 전기적 단락 회로 및 와이어 본드와 미소전자 요소(422) 간의 단락 회로를 방지할 수 있다. 이로써, 절연층(421)은 와이어 본드(432)와 미소전자 요소(422) 간의 원하지 않은 전기 접촉으로 인한 고장 또는 가능한 손상을 방지하는데 도움을 줄 수 있다.

[0130] 도 6 및 도 7에 도시된 와이어 본드 구성은 예컨대 미소전자 어셈블리(488)와 미소전자 요소(422)의 상대적인 크기가 허용되지 않을 특정한 환경에서 미소전자 어셈블리(488)와 같은 또 다른 미소전자 어셈블리에 미소전자 어셈블리(410)를 접속하는 것을 가능하게 할 수 있다. 도 6의 실시예에서, 미소전자 어셈블리(488)는 접촉 패드(440)의 몇몇이 미소전자 요소(422)의 앞쪽 표면 또는 뒤쪽 표면(424 또는 426)의 면적보다 작은 면적 내에서 어레이를 이루도록 하는 크기로 된다. 와이어 본드(432) 대신에 필러(pillar)와 같은 실질적으로 수직의 도전성 특징부를 갖는 미소전자 어셈블리에서, 도전성 요소(428)와 패드(440) 간의 직접 접촉이 가능하지 않을 것이다. 그러나, 도 6에 도시된 바와 같이, 적절하게 구성된 곡선부(448)를 갖는 와이어 본드(432)는 미소전자 어셈블리 410과 미소전자 어셈블리 488 간의 필수적인 전기 접속을 이루기 위해 적절한 위치에 단부(436)를 가질 수 있다. 이러한 배열은, 미소전자 어셈블리(418)가 예컨대 사전에 정해진 패드 어레이를 갖는 DRAM 칩 등이고, 미소전자 요소(422)가 DRAM 칩을 제어하도록 구성된 로직 칩인, 적층 패키지를 구성하기 위해 이용될

수 있다. 이것은, 한 가지 타입의 DRAM 칩이, 와이어 본드(432)가 DRAM 칩과의 요구된 접속을 이루기 위해 필요한 어느 곳에도 위치될 수 있기 때문에 DRAM 칩보다 큰 로직 칩을 포함한 다양한 크기의 여러 개의 상이한 로직 칩과 함께 사용될 수 있도록 할 수 있다. 다른 실시예에서, 미소전자 패키지(410)는 와이어 본드(432)의 인캡슐레이션되지 않은 표면(436)이 회로 기판(490)의 패드(492)에 전기 접속되는 또 다른 구성에서의 인쇄회로 기판(490) 상에 실장될 수 있다. 또한, 이러한 실시예에서, 패키지(488)의 수정된 버전과 같은 또 다른 미소전자 패키지는 패드(440)에 결합된 솔더 볼(452)에 의해 패키지(410) 상에 실장될 수 있다.

[0131]

도 9 및 도 10은 와이어 본드(532)가 리드-프레임 구조 상에 형성되는 미소전자 어셈블리(510)의 다른 실시예를 도시하고 있다. 리드 프레임 구조의 예는 미국 특허 제7,176,506호 및 제6,765,287호에 도시되고 개시되어 있으며, 이들 특허의 개시 내용은 원용에 의해 본 명세서에 통합된다. 일반적으로, 리드 프레임은 복수의 리드를 포함한 세그먼트로 패터닝되는 구리와 같은 도전성 금속의 시트로 형성된 구조이며, 패들(paddle) 및 프레임을 더 포함할 수 있다. 프레임은 어셈블리의 제조 동안 리드 및 패들(사용된 경우)을 고정하기 위해 이용된다. 실시예에서, 다이 또는 칩과 같은 미소전자 요소는 패들에 페이스-업 방식으로 결합되고, 와이어 본드를 이용하여 리드에 전기 접속될 수 있다. 이와 달리, 미소전자 요소는 미소전자 요소 아래에서 연장할 수 있는 리드 상에 직접 실장될 수 있다. 이러한 실시예에서, 미소전자 요소 상의 컨택은 솔더 볼 등에 의해 각각의 리드에 전기 접속될 수 있다. 리드는 그리고나서 전자 신호 전위를 미소전자 요소에 전달하고 미소전자 요소로부터 전자 신호 전위를 전달하기 위해 다양한 다른 도전성 구조체에 대한 전기 접속을 형성하기 위해 이용될 수 있다. 그 위에 인캡슐레이션층을 형성하는 것을 포함할 수 있는 구조체의 어셈블리가 완성될 때, 프레임의 임시적인 요소는 개별 리드를 형성하기 위해 리드 프레임의 리드 및 패들로부터 제거될 수 있다. 본 발명의 목적을 위해, 개별 리드(513) 및 패들(515)은 도전성 요소(528)와 일체로 형성되는 부분에 도전성 요소(528)를 포함하는 기판(512)을 형성하는 것의 세그먼트 부분(segmented portion)인 것으로 고려된다. 또한, 본 실시예에서, 패들(515)은 기판(512)의 제1 영역(518) 내에 있도록 고려되고, 리드(513)는 제2 영역(520) 내에 있도록 고려된다. 도 10의 입면도에도 도시되어 있는 와이어 본드(524)는 패들(515) 상에 운반되는 미소전자 요소(22)를 리드(515)의 도전성 요소(528)에 접속한다. 와이어 본드(532)는 와이어 본드의 베이스(534)에서 리드(515) 상의 추가의 도전성 요소(528)에 결합될 수 있다. 인캡슐레이션층(542)은 와이어 본드(532)의 단부(538)가 표면(544) 내의 지점에서 덮여지지 않은 채로 남겨지도록 어셈블리(510) 상에 형성된다. 와이어 본드(532)는 본 명세서의 다른 실시예에 대하여 설명한 것에 대응하는 구조에서의 인캡슐레이션층(542)에 의해 덮여지지 않은 추가의 또는 다른 부분을 가질 수 있다.

[0132]

도 11은 하나의 패키지(610A)의 와이어 본드(632)와 그 위에 실장된 또 다른 패키지(610B)의 솔더 매스(652) 사이의 조인트를 기계적으로 보강하기 위한 언더필(620)의 사용을 예시하고 있다. 도 11에 도시된 바와 같이, 언더필(620)이 패키지(610A, 610B)의 대향 표면들(642, 644) 사이에 배치될 필요가 있지만, 언더필(620)은 패키지(610A)의 에지 표면들을 접촉할 수 있고, 패키지(610)가 실장되는 회로 패널(690)의 제1 표면(692)에 접촉할 수 있다. 또한, 패키지(610A, 610B)의 에지 표면들을 따라 연장하는 언더필(620)의 부분은 패키지가 그 위에 배치되는 회로 패널의 주표면에 대하여 0° 와 90° 사이의 각도로 배치될 수 있으며, 회로 패널에 인접한 곳은 커다란 두께를 갖고 회로 패널 위의 높은 곳 및 하나 또는 그 이상의 패키지에 인접한 곳에서는 더 작은 두께를 갖도록 테이퍼될 수 있다.

[0133]

도 28a 내지 도 28d에 도시된 패키지 배열은 언더필층 및 구체적으로 패키지 1910A의 표면(1942) 및 패키지 1910B의 표면(1916)과 같은 패키지(1910A, 1910B)의 대향 면들 사이에 배치되는 언더필층의 일부분을 구성하기 위한 한 가지 기술로 구현될 수 있다. 도 28a에 도시된 바와 같이, 예컨대 인캡슐레이션층(1942)의 표면(1944)이 패키지 1910B의 외측에서 노출되는 부분을 갖도록, 패키지 1910A는 패키지 1910B의 에지 표면(1947)을 지나 연장할 수 있다. 이러한 영역은 디스펜싱 영역(dispensing area)(1949)으로서 이용될 수 있으며, 이 영역에 의해 디바이스가 언더필 재료를 디스펜싱 영역에 대하여 수직 위치로부터 디스펜싱 영역 상에 유동 상태(flowable state)로 침적할 수 있게 된다. 이러한 배열에서, 디스펜싱 영역(1949)은, 언더필 재료가 패키지 1910B 아래로 흐르기에 충분한 양에 도달하는 동안 표면의 에지에서 흘러내리지 않고 표면 상에 덩어리(mass)로 침적되고, 그곳에서 솔더 매스 등과 같은 패키지 1910A와 1910B의 대향 표면들 사이의 임의의 조인트 주위를 포함한 이들 대향 표면 사이의 영역 내로 모세관 현상에 의해 인입될 수 있도록 하는 크기로 될 수 있다. 언더필 재료가 대향 표면들 사이에 인입됨에 따라, 패키지 1910A의 에지를 넘어서 크게 흘러내리지 않는 연속적인 흐름이 달성되도록 추가의 재료가 디스펜싱 영역 상에 침적될 수 있다. 도 28b에 도시된 바와 같이, 디스펜싱 영역(1949)은 패키지 1910B를 둘러쌀 수 있으며, 패키지 1910B의 각각의 변에서의 패키지 1910B의 주변 에지로부터 멀어지는 직교 방향으로의 디스펜싱 영역의 치수 D가 약 1 mm이어야 된다. 이러한 배열은 순차적으로 또는 동시적으로 중의 어느 하나로 패키지 1910B의 한 변 또는 하나보다 많은 변 상에서의 디스펜싱을 허용할 수 있다.

디스펜싱 영역(1949)이 패키지 1910B의 단지 2개의 인접한 변을 따라 연장하고, 제2 패키지의 주변 에지로부터 멀어지는 직교 방향으로의 디스펜싱 영역의 치수 D'이 약 1 mm인 다른 배열이 도 28c에 도시되어 있으며, 디스펜싱 영역(1949)이 패키지 1910B의 하나의 변을 따라 연장하고, 패키지의 주변 에지로부터 멀어지는 직교 방향으로의 디스펜싱 영역의 치수 D"이 예컨대 1.5 mm 내지 2 mm이어도 되는 다른 배열이 도 28d에 도시되어 있다.

[0134]

미소전자 패키지(2010A, 2010B)가 수평적 프로파일이 유사한 크기의 것인 배열에서, 미소전자 패키지(2010A, 2010B)를 함께 결합하기 위해, 예컨대 제2 패키지의 단자를 와이어 본드(2032)의 인캡슐레이션되지 않은 부분(2039)을 포함하는 요소들과 결합함으로써, 예컨대 도전성 매스(2052)의 가열 또는 경화에 의해, 예컨대 솔더 매스의 리플로우에 의해, 부착 동안 미소전자 패키지(2010A, 2010B)를 고정하기 위해, 컴플라이언트 베젤(compliant bezel)(2099)이 이용될 수 있다. 이러한 배열은 미소전자 패키지(2010B)가 도전성 매스(2052), 예컨대 미소전자 패키지(2010B) 상의 단자(2043)에 결합된 솔더 매스로 미소전자 패키지(2010A) 위에 조립된다. 미소전자 패키지는 전술한 바와 같이 솔더 매스(2052)가 미소전자 패키지(2010A)의 와이어 본드(2032)의 인캡슐레이션되지 않은 부분(2039)과 정렬하거나 또는 와이어 본드(2032)의 단부 표면(2038)과 결합된 제2 도전성 요소와 정렬하도록 정렬될 수 있다. 베젤(2099)은 제2 패키지의 단자가 제1 패키지의 와이어 본드(2032) 또는 제2 도전성 요소와 결합되는 가열 공정 동안 이러한 정렬을 유지하기 위해 미소전자 패키지(2010A, 2010B) 주위에 조립될 수 있다. 예컨대, 솔더 매스(2052)를 리플로우시켜 제2 패키지의 단자를 와이어 본드(2032) 또는 제2 도전성 요소와 본딩하기 위해 가열 공정이 이용될 수 있다. 베젤(2099)은 또한 리플로우 전과 리플로우 동안에 패키지를 간의 접촉을 유지하기 위해 미소전자 패키지(2010B)의 표면(2044)의 일부분 및 미소전자 패키지(2010A)의 표면(2016)을 따라 안쪽으로 연장할 수 있다. 베젤(2099)은 고무, TPE, PTFE(폴리테트라플루오로에틸렌), 실리콘 등과 같은 탄력 복원성으로 휙기 쉬운 재료로 이루어질 수 있고, 정위치에 있을 때 베젤에 의해 압박력이 가해지도록 조립 패키지의 크기에 비하여 작은 크기로 될 수 있다. 베젤(2099)은 또한 언더필 재료를 가하는 동안 정위치에 잔류될 수 있으며, 이러한 재료를 가하는 것을 수용하기 위해 개구부를 포함할 수 있다. 컴플라이언트 베젤(2099)은 패키지 조립 후에 제거될 수 있다.

[0135]

이에 부가하여 또는 이와 달리, 도 30a 내지 도 30f에 도시된 바와 같은 미소전자 패키지(2110A, 2110B)의 어셈블리에서, 하위 패키지(2110A)는 적어도 하나의 정렬 표면(2151)을 포함할 수 있다. 이것의 일례는 정렬 표면(2151)이 미소전자 패키지(2110B)의 코너에 인접한 인캡슐레이션층(2142)에 포함되어 있는 도 30a에 도시되어 있다. 정렬 표면은 주표면에 대하여 경사져 있으며, 몇몇 지점에서는 주표면(2144)에 대하여 약 0° 와 90° 이하 사이의 각도를 형성하며, 정렬 표면이 주표면(2144) 및 주표면(2144)보다 더 큰 거리로 기판(2112) 위에 이격되어 있는 각각의 부표면(2145)에 근접한 지점을 연장한다. 부표면(2145)은 미소전자 패키지(2110A)의 코너에 인접하게 배치될 수 있고, 그 교차면들 사이에 부분적으로 연장할 수 있다. 도 30b에 도시된 바와 같이, 정렬 표면은 또한 미소전자 패키지(2110A)의 교차면들 반대쪽의 내측 코너를 형성할 수 있고, 미소전자 패키지(2110A)의 모든 코너, 예컨대 4개의 코너를 따라 유사한 형태로 포함될 수 있다. 도 30c에 예시된 바와 같이, 정렬 표면(2151)은, 예컨대 도전성 매스 또는 솔더 볼과 같은 전기 도전성 돌기(protrusion)와 같은 돌기가 결합되는 제2 패키지(2110B)가 패키지(2110A)의 정부 상에 적층될 때, 정렬 표면(2151)이 솔더 볼을 정렬 표면(2151)에 대응하는 와이어 본드(2132)의 인캡슐레이션되지 않은 부분 위에 놓여지는 적절한 위치 내로 안내하도록, 대응하는 와이어 본드(2132)의 인캡슐레이션되지 않은 부분으로부터 적합한 거리에 위치될 수 있다. 그리고나서, 솔더 볼은 패키지(2110A)의 와이어 본드(2132)의 인캡슐레이션되지 않은 부분과 결합하도록 리플로우될 수 있다.

[0136]

정렬 표면(2251)을 채용하는 다른 배열이 도 31a 내지 도 31c에 도시되어 있으며, 이 도면에서는 정렬 표면(2251)이 상승 내측 표면(2244)과 하위 외측 표면(2245) 사이에서 연장한다. 이러한 배열에서, 내측 표면(2244)은 미소전자 요소(2222) 위에 위치할 수 있고, 그에 따라 기판(2212) 위에 이격될 수 있다. 외측 표면(2245)은 기판의 두께의 방향으로 기판(2212)에 더 근접하게 이격될 수 있으며, 기판(2212)의 표면(2214)과 미소전자 요소(2222)의 표면(2223) 사이에 수직으로 위치될 수 있다. 와이어 본드(2232)의 하나 이상의 인캡슐레이션되지 않은 부분은 솔더 볼(2252) 또는 도 30a 내지 도 30c에 대하여 설명한 바와 같은 다른 도전성 돌기의 정렬을 달성하도록 정렬 표면(2251)에 대하여 위치될 수 있다. 전술한 바와 같이, 이러한 계단형 배열은 특정한 본드 매스 크기가 주어지면 전체적인 하위 어셈블리 높이를 달성하기 위해 전술한 정렬 기능과 함께 이용될 수도 있고 또는 전술한 정렬 기능 없이 이용될 수도 있다. 또한, 상승 내측 표면(2244)의 통합은 와핑(warping)에 대한 패키지(2210A)의 증가된 저항을 초래할 수 있다.

[0137]

도 12는 제1 콤포넌트(610A)의 와이어 본드(632)와 미소전자 패키지(610B)와 같은 제2 콤포넌트의 대응하는 솔더 매스(652) 간의 일례의 조인트를 보여주는 사진 이미지이다. 도 12에서, 도면부호 620은 언더필이 배치될

수 있는 곳을 나타낸다.

[0138] 도 13a, 도 13b, 도 13c, 도 13d, 도 13e 및 도 13f는 도 1에 관련하여 위에서 설명한 바와 같은 와이어 본드(32)의 구조에서의 몇몇 가능한 변형을 예시한다. 예컨대, 도 13a에 나타낸 바와 같이, 와이어 본드(732A)는 상방향 연장 부분(736)을 가질 수 있으며, 이 부분은 이 부분(736)의 반경과 동일한 반경을 갖는 단부(738A)에서 종단한다.

[0139] 도 13b는 단부(738B)가 부분(736)에 비하여 테이퍼되는 팁이 되는 변형예를 예시하고 있다. 이에 부가하여, 도 13c에 나타낸 바와 같이, 와이어 본드(732A)의 테이퍼된 팁(738B)은 테이퍼된 팁과 일체로 되는 와이어 본드의 원통형부의 축으로부터 방사상 방향(741)으로 오프셋되는 중심(740)을 가질 수 있다. 이러한 형상은 아래에 추가로 설명되는 바와 같이 와이어 본드를 형성하는 공정으로부터 발생하는 본딩 툴 마크이어도 된다. 이와 달리, 도면부호 738B로 나타낸 것 이외의 본딩 툴 마크가 와이어 본드의 인캡슐레이션되지 않은 부분 상에 제공될 수도 있다. 도 13a에 추가로 나타낸 바와 같이, 와이어 본드의 인캡슐레이션되지 않은 부분(739)은 도전성 요소(728)가 배치되는 기판의 표면(730)에 대한 수직선의 25도 이내의 각도(750)로 기판(712)으로부터 멀어지게 돌출할 수 있다.

[0140] 도 13d는 와이어 본드(732D)의 인캡슐레이션되지 않은 부분이 볼 형상부(738D)를 포함할 수 있다는 것을 예시하고 있다. 패키지 상의 와이어 본드의 몇몇 또는 전부가 이러한 구조를 가질 수 있다. 도 13d에 나타낸 바와 같이, 볼 형상부(738D)는 와이어 본드(732D)의 원통형부(736)와 일체로 될 수 있으며, 볼 형상부와 적어도 와이어 본드의 원통형부의 코어는 기본적으로 구리, 구리 합금 또는 금을 포함한다. 아래에 추가로 설명되는 바와 같이, 볼 형상부는 기판의 도전성 요소(728)에 와이어 본드를 스티치 본딩하기 전에 사전-성형 공정(pre-shaping process) 동안 본딩 툴의 캐필러리의 개구부에 노출된 와이어의 부분을 용융시킴으로써 형성될 수 있다. 도 13d에 나타낸 바와 같이, 볼 형상부(738D)의 직경(744)은 볼 형상부와 일체로 되는 원통형 와이어 본드 부분(736)의 직경(746)보다 클 수 있다. 도 13d에 도시된 것과 같은 특정 실시예에서, 볼 형상부(738D)와 일체로 되는 와이어 본드(732D)의 원통형부는 패키지의 인캡슐레이션층(751)의 표면(752)을 지나 돌출할 수 있다. 이와 달리, 도 13e에 나타낸 바와 같이, 와이어 본드(732D)의 원통형부는 인캡슐레이션층에 의해 전체적으로 덮여질 수도 있다. 이러한 경우, 도 13e에 나타낸 바와 같이, 와이어 본드(732D)의 볼 형상부(738D)는 몇몇 경우에 인캡슐레이션층(751)에 의해 부분적으로 덮여져도 된다.

[0141] 도 13f는, 전술한 바와 같이 1차 금속의 코어(731) 및 그 위의 금속성 마무리(733)를 갖고, 금속성 마무리가 팔라듐-피복 구리 와이어(palladium-clad copper wire) 또는 팔라듐-피복 금 와이어와 같은 1차 금속 위에 위치하는 제2 금속을 포함하는, 와이어 본드(732F)를 예시하고 있다. 또 다른 예에서, 와이어 본드의 인캡슐레이션되지 않은 부분이 또 다른 콤포넌트의 대응하는 컨택에 결합될 때까지, 와이어 본드의 인캡슐레이션되지 않은 부분의 산화를 방지하기 위해 인캡슐레이션되지 않은 부분 상에 상업적으로 이용 가능한 "OSP(organic solderability preservative)"와 같은 비금속성 재료의 산화 보호층이 형성될 수 있다.

[0142] 도 14는 본 명세서에 설명된 바와 같은 와이어 본드(32)(도 1)가 성형될 수 있고, 그 후 기판 상의 도전성 요소(28)에 스티치 본딩될 수 있는 방법을 예시하고 있다. 단계 A에서 나타낸 바와 같이, 도 1에 관련하여 전술한 바와 같은 금 또는 구리 와이어 또는 복합 와이어와 같은 금속 와이어의 세그먼트(800), 즉 사전에 정해진 길이(802)를 갖는 일체부가 본딩 툴의 캐필러리(804)의 밖으로 공급된다. 금속 와이어의 사전에 정해진 길이가 캐필러리로부터 공급되도록 하기 위해, 초기 와이어 길이는 영(0)으로 될 수 있거나, 또는 처리를 위해 와이어를 밖으로 공급하려고 시작하기 전에, 캐필러리로부터 연장하는 와이어를 스티치 본딩하는 본딩 툴에 의하여 알고 있는 길이로 설정될 수 있다. 이 때, 세그먼트는 캐필러리의 면(806)에 직각을 이루는 직선 방향(801)으로 연장할 수 있다. 단계 B에 나타낸 바와 같이, 캐필러리(804)의 면(806)은 직각 방향으로부터 멀어지게 금속 와이어 세그먼트(800)를 굽어지게 하기 위해 형성 유닛(810)의 제1 표면(812)을 따라, 즉 제1 표면에 평행하게 적어도 제1 방향(814)으로 이동된다. 형성 유닛(810)은 금속 와이어 세그먼트를 기판의 도전성 요소에 본딩하기 전에 금속 와이어 세그먼트의 형성, 즉 성형을 지원하기에 적합한 표면을 갖는 특수하게 설계된 툴이어도 된다.

[0143] 단계 B에 나타낸 바와 같이, 사전 형성 공정 동안, 세그먼트(800)의 일부분은 표면(812)에 평행한 방향으로 연장할 수도 있다. 그 후, 단계 C에 나타낸 바와 같이, 캐필러리가 제2 표면(816) 위에서 이동되어, 세그먼트(800)의 적어도 일부분이 캐필러리의 외부 벽(820)을 따라 방향 818로 위쪽으로 돌출하게 한다. 이러한 방식으로 금속 와이어 세그먼트(800)를 사전 형성한 후, 본딩 툴의 캐필러리가 형성 유닛(810)으로부터 멀어지게 이동되고, 기판의 도전성 요소(28)(도 1)를 향해 이동되어, 이곳에서 캐필러리 개구부(808) 및 캐필러리 면(806)에 인접한 금속 와이어 세그먼트의 일부분(822)을 도전성 요소에 스티치 본딩한다. 그 결과, 캐필러리 개구부

(808)로부터 떨어져 있는 금속 와이어 세그먼트(800)의 단부(838)가 도전성 요소(28)로부터 떨어져 있는 와이어 본드의 단부(38)(도 1)가 된다.

[0144] 도 15는 본 발명의 실시예에 따른 방법에서 형성 유닛(810)의 표면 위의 캐필러리의 이동의 예를 예시하는 도면이다. 이 도면에 나타낸 바와 같이, 형성 유닛(810)은 세그먼트(800)가 형성 공정의 단계 A에서 캐필러리의 개구부(808)의 밖으로 공급될 때에 캐필러리(804)가 배치되는 제1 디프레션(830)을 가질 수도 있다. 디프레션은 단계 B에서 세그먼트(800)를 표면(812) 상으로 안내하는데 도움을 줄 수 있는 채널 또는 홈(832)을 포함할 수 있다. 또한, 형성 유닛은 공정의 단계 B에서 세그먼트(800)를 안내하기 위한 채널(834) 또는 홈을 포함할 수 있다. 도 15에 더 자세히 나타낸 바와 같이, 형성 유닛은, 캐필러리가 공정의 단계 C에서 이동하여 금속 와이어 세그먼트를 캐필러리의 외부 벽(820)에 기대어 방향 818로 굽어지도록 하는 내부 표면(816)을 갖는 추가의 디프레션(840)을 포함하여도 된다. 일례에서의 디프레션(840)은 도 15에 나타낸 바와 같이 3각형 형상을 가질 수도 있다.

[0145] 실시예에서, 수직 또는 비수직 측벽(2820)을 통합하는 도 14에 도시된 캐필러리의 변형이 이용될 수 있다. 도 35에 도시된 바와 같이, 캐필러리(2804)의 측벽(2820)은 실질적으로 수직, 즉 와이어 세그먼트(2800)에 평행하거나 또는 캐필러리(2804)의 면에 직각을 이룰 수 있다. 이것은, 도 14에 도시된 캐필러리와 같은 실질적으로 90° 미만의 측정치를 갖는 각도를 형성하는 캐필러리의 외부에 있는 측벽에 의해 달성되는 것보다, 기판의 제1 표면의 표면으로부터 면 쪽으로 수직에 더 가까운, 즉 90° 의 각도에 더 가까운 와이어 본드(도 1에서의 32)의 형성을 가능하게 할 수 있다. 예컨대, 형성 툴(2810)을 이용하여, 제1 와이어 부분(2822)에 대하여 25° 와 90° 사이, 또는 약 45° 와 90° 사이, 또는 약 80° 와 90° 사이로 연장하는 제1 부분으로부터의 각도로 배치되는 와이어 본드가 달성될 수 있다.

[0146] 또 다른 변형에서, 캐필러리(3804)는 캐필러리의 면(3806)을 지나 돌출하는 표면(3808)을 포함할 수 있다. 이 표면(3808)은 예컨대 측벽(3820)의 에지 위에 포함될 수 있다. 와이어 본드(예컨대, 도 1의 32)를 형성하는 방법에서, 캐필러리(3804)는 와이어 세그먼트의 형성 동안, 예컨대 캐필러리가 표면(3812)으로부터 떨어지는 방향으로 연장하는 형성 표면(3816)을 따르는 방향으로 연장할 때에, 와이어 세그먼트(3800)의 제1 부분(3822)에 대해 프레스될 수 있다. 이 예에서, 표면(3808)은 나머지 와이어 세그먼트(3800)가 연장하는 곡선부 부근의 지점에서 제1 부분(3822)으로 프레스된다. 이것은 와이어 세그먼트(3800)의 변형을 야기할 수 있어서, 캐필러리(3804)의 벽부(3820)에 기대도록 프레스하고, 캐필러리(3804)가 제거된 후에 다소의 보다 수직 위치로 이동시킬 수 있다. 다른 경우, 표면(3808)으로부터의 변형은 캐필러리(3804)가 제거되는 때에 와이어 세그먼트(3800)의 위치가 실질적으로 유지될 수 있도록 이루어질 수 있다.

[0147] 도 16은 본 명세서에 개시된 방법 중의 하나 이상의 방법에 따라 형성된 와이어 본드(932)가 이를 와이어 본드의 각각의 베이스(934)로부터 오프셋되는 단부(938)를 가질 수 있다는 것을 보여주는 사진 이미지이다. 일례에서, 와이어 본드의 단부(938)는 단부(938)가 접속되는 도전성 요소의 주변부를 지나 기판의 표면에 평행한 방향으로 변위되도록 와이어 본드의 각각의 베이스(934)로부터 변위될 수 있다. 또 다른 예에서, 와이어 본드의 단부(938)는 단부가 접속되는 도전성 요소의 주변부(933)를 지나 기판의 표면에 평행한 방향으로 변위되도록 와이어 본드의 각각의 베이스(934)로부터 변위될 수 있다.

[0148] 도 17은, 곡선부를 갖는 와이어 본드(332C ii)(도 5)를 형성하기 위해 사용될 수 있고, 와이어 본드의 베이스(1034)로서 도전성 요소에 스티치-본딩될 부분(1022)으로부터 측면 방향(1014A)으로 변위되는 단부(1038)를 갖는, 전술한 사전 성형 공정의 변형예를 도시하고 있다.

[0149] 도 17에 나타낸 바와 같이, 이 공정의 최초의 3개의 단계 A, B 및 C는 도 14를 참조하여 위에서 설명한 것과 동일할 수 있다. 그러므로, 여기에서 단계 C 및 단계 D를 참조하면, 캐필러리(804)의 면(806)에 인접한 와이어 본드의 부분(1022A)은 형성 유닛과 일체로 될 수 있는 툴에 의해 클램프된다. 클램핑은 형성 유닛 위에서의 캐필러리의 이동의 결과로서 액티브 방식으로 또는 패시브 방식으로 수행될 수 있다. 일례에서, 클램핑은 금속 와이어 세그먼트의 움직임을 가능하지 않게 하기 위해 논슬립 표면(non-slip surface)을 갖는 플레이트를 금속 와이어 세그먼트(800) 상으로 프레스함으로써 형성될 수 있다.

[0150] 금속 와이어 세그먼트(800)가 이러한 방식으로 클램프되는 한편, 도 17에 도시된 단계 D에서, 캐필러리 툴은 형성 유닛(1010)의 제3 표면(1018)을 따르는 방향으로 이동하고, 제3 표면(1018)을 따라 이동된 거리와 동등한 길이의 와이어를 밖으로 공급한다. 그 후, 단계 E에서, 캐필러리는 와이어의 일부분을 캐필러리(804)의 외부 표면(102)을 따라 위쪽으로 굽어지게 하도록 형성 유닛의 제3 표면(1024)을 따라 아래쪽으로 이동된다. 이러한 방식으로, 와이어의 위쪽으로 돌출하는 부분(1026)은 금속 와이어의 제3 부분(1048)에 의해 또 다른 위쪽으로

돌출하는 부분(1036)에 접속될 수 있다.

[0151] 도 40에 도시된 바와 같이 볼 분당된 와이어 본드(2732)를 갖는 미소전자 패키지(2710)를 형성하는 방법은 도 41 내지 도 44에 예시된 바와 같은 다양한 단계들을 포함한다. 도 41은 미소전자 요소(2722)가 제1 표면(2714) 상에서 그리고 제1 영역(2718) 내에서 기판(2712)에 전기적으로 및 기계적으로 접속되는 단계의 미소전자 어셈블리(2710')를 도시하고 있다. 미소전자 요소(2722)는 솔더 매스(2726)에 의해 플립-칩 배열로 기판(2712) 상에 실장되는 것으로서 도 14에 도시되어 있다. 이와 달리, 도 40에서 나타낸 바와 같이 페이스-업 본딩이 그 대신 이용될 수 있다. 도 11에 도시된 방법 단계의 실시예에서, 유전체 언더필층(2766)이 미소전자 요소(2722)와 기판(2712) 사이에 제공될 수도 있다.

[0152] 도 42는 기판(2712)의 제1 표면(2714) 상에 노출된 도전성 요소(2728)의 패드(2730)에 적용된 와이어 본드(2732)를 갖는 미소전자 어셈블리(10")를 도시하고 있다. 논의되는 바와 같이, 와이어 본드(2732)는 와이어 세그먼트의 단부를 가열하여 연성화함으로써 이 단부를 도전성 웃(2728)에 대해 프레스할 때에 도전성 요소(2728)에 대한 침적 본드(deposition bond)를 형성하여 베이스(2734)를 형성하도록 적용될 수 있다. 와이어는 그 후 도전성 요소(2728)로부터 면 쪽으로 인발(drawn out)되고, 요구되는 경우 절단되기 전에 특정한 형상으로 절단되거나, 또는 와이어 본드(2732)의 단부(36) 및 단부 표면(2738)을 형성하도록 잘려진다. 이와 달리, 와이어 본드(2732)는 예컨대 웃지 본딩에 의해 알루미늄 와이어로 형성될 수 있다. 웃지 본딩은, 와이어의 단부에 인접한 와이어의 부분을 가열하고, 그 부분을 그곳에 가해지는 압력으로 도전성 요소(2728)를 따라 드래그함으로써 형성된다. 이러한 공정은 미국 특허 제7,391,121호에 상세하게 개시되며, 이 특허의 개시 내용이 원용에 의해 본 명세서에 통합된다.

[0153] 도 43에서, 인캡슐레이션층(2742)은 기판의 제1 표면(2714) 위에 이 제1 표면으로부터 와이어 본드(2732)의 에지 표면(2737)을 따라 위쪽으로 연장하도록 도포함으로써 미소전자 어셈블리(2710")에 추가된다. 인캡슐레이션층(2742)은 또한 언더필층(2766)을 덮는다. 인캡슐레이션층(2742)은 도 42에 도시된 미소전자 어셈블리(2710') 위에 수지를 침적함으로써 형성될 수 있다. 이것은 어셈블리(2710')를 수용할 수 있는 인캡슐레이션층(2742)의 요구된 형상의 캐비티를 갖는 적절하게 구성된 몰드에 어셈블리(2710')를 위치시킴으로써 행해질 수 있다. 이러한 몰드 및 이러한 몰드로 인캡슐레이션층을 형성하는 방법은 미국 공개 특허 번호 2010/0232129에 도시되고 설명된 바와 같이 이루어질 수 있으며, 이 공개 특허의 개시 내용은 원용에 의해 본 명세서에 통합된다. 이와 달리, 인캡슐레이션층(2742)은 적어도 부분적으로 컴플라이언트성을 갖는 재료로 요구된 형상으로 사전 제조될 수 있다. 이 구성에서, 유전체 재료의 컴플라이언트 성질은 인캡슐레이션층(2742)이 와이어 본드(2732) 및 미소전자 요소(2722) 위의 위치에 프레스될 수 있도록 한다. 이러한 단계에서, 와이어 본드(2732)는 그 안에 각각의 구멍을 형성하고 있는 컴플라이언트 재료 내로 침투하게 되고, 그 구멍을 따라 인캡슐레이션층(2742)이 에지 표면(2737)과 접촉하게 된다. 또한, 미소전자 요소(2722)는 컴플라이언트 재료를 변형시켜 그 안에 수용될 수 있다. 컴플라이언트 유전체 재료는 외측 표면(2744) 상에 단부 표면(2738)을 노출시키도록 압박될 수 있다. 이와 달리, 임의의 과잉의 컴플라이언트 유전체 재료가 인캡슐레이션층으로부터 제거되어 와이어 본드(2732)의 단부 표면(2738)이 덮여지지 않는 표면(2744)을 형성할 수 있거나, 또는 표면(2763) 내의 지점에서 단부 표면(28)을 덮지 않는 캐비티(2764)가 형성될 수 있다.

[0154] 도 43에 도시된 실시예에서, 인캡슐레이션층은 처음에 그 표면(2744)이 와이어 본드(2732)의 단부 표면(2738) 위에 이격되도록 형성된다. 단부 표면(2738)을 노출시키기 위해, 단부 표면(2738) 위의 인캡슐레이션층(2742)의 부분이 제거되어, 도 44에 도시된 바와 같이 단부 표면(2742)과 실질적으로 동평면을 이루는 새로운 표면(2744')을 노출시킬 수 있다. 이와 달리, 단부 표면(2738)이 인캡슐레이션층(2742)에 의해 덮이지 않는 캐비티(도시하지 않음)가 형성될 수 있다. 다른 대안에서, 인캡슐레이션층(2742)은 표면(2744)이 이미 단부 표면(2738)과 실질적으로 동평면을 이루도록 또는 표면(2744)이 단부 표면(2738) 아래에 위치되도록 형성될 수 있다. 필요한 경우, 인캡슐레이션층(2742)의 일부분의 제거는 그라인딩, 건식 에칭, 레이저 에칭, 습식 에칭, 래핑 등에 의해 달성될 수 있다. 요구되는 경우, 와이어 본드(2732)의 단부(2738)의 일부분은 또한 표면(2744)과 실질적으로 동평면을 이루는 실질적으로 평면형의 단부 표면(2738)을 달성하기 위해 동일한 단계 또는 추가의 단계에서 제거될 수 있다. 요구되는 경우, 이러한 단계 후에 캐비티가 형성될 수 있거나, 또는 스터드 범프가 적용될 수 있다. 그 결과의 미소전자 어셈블리(2710)가 그 후 PCB 상에 부착되거나, 또는 예컨대 도 6에 도시된 바와 같이 예컨대 적층 패키지와 같은 추가의 어셈블리에 통합될 수 있다.

[0155] 와이어 세그먼트의 형성 및 와이어 본드를 형성하기 위해 특히 전술한 볼 본드 타입으로 와이어 세그먼트를 도전성 요소에 본딩한 후, 와이어 본드(예컨대 도 1에서의 32)는 캐필러리(도 32a의 804와 같은) 내의 와이어의 나머지 부분으로부터 분리된다. 이것은 와이어 본드(32)의 베이스(34)로부터 멀리 떨어진 임의의 지점에서 행

해질 수 있으며, 적어도 와이어 본드(32)의 요구된 높이를 형성하기에 충분한 거리로 베이스(34)로부터 떨어진 지점에서 행해지는 것이 바람직하다. 이러한 분리는 면(806)과 와이어 본드(32)의 베이스(34) 사이에서 캐필러리(804)의 외측에 배치되거나 캐필러리(804) 내에 배치되는 기구에 의해 수행될 수 있다. 한 가지 방법에서, 와이어 세그먼트(800)는 요구된 분리 점에서의 와이어(800)를 효과적으로 완전히 베닝(burning)함으로써 분리될 수 있으며, 이것은 스팍크 또는 플레임(flame)을 그 점에 가하는 것에 의해 행해질 수 있다. 와이어 본드 높이의 더 큰 정확도를 달성하기 위해, 와이어 세그먼트(800)를 절단하는 상이한 형태가 시행될 수 있다. 본 명세서에서 설명되는 바와 같이, 절단이라는 표현은 와이어를 요구된 지점에서 약화시킬 수 있는 부분적인 절단 또는 와이어 본드(32)를 나머지 와이어 세그먼트(800)로부터 전체 분리하기 위해 와이어를 완전하게 절단하는 것을 기술하기 위해 이용될 수 있다.

[0156] 도 32에 도시된 일례에서, 절단 블레이드(805)가 캐필러리(804) 내와 같은 본드 헤드 어셈블리 내에 통합될 수 있다. 도시된 바와 같이, 캐필러리(804)의 측벽(820)에 개구부(807)가 포함될 수 있으며, 이 개구부를 통해 절단 블레이드(805)가 연장할 수 있다. 절단 블레이드(805)는 캐필러리(804) 내부의 안과 밖으로 이동할 수 있어서, 번갈아 가며 와이어(800)를 자유롭게 통과하게 하거나 또는 와이어(800)를 움직이지 못하게 할 수 있다. 이에 따라, 절단 블레이드(805)가 캐필러리 내부의 외측의 위치에 있게 한 상태에서, 와이어(800)가 인발될 수 있고, 와이어 본드(32)가 형성되고, 도전성 요소(28)에 본딩된다. 본드 형성 후, 와이어 세그먼트(800)는 와이어의 위치를 고정하기 위해 본드 헤드 어셈블리에 통합된 클램프(803)를 이용하여 클램프될 수 있다. 절단 블레이드(803)가 그 후 와이어 세그먼트 내로 이동되어, 와이어를 완전히 절단하거나, 또는 와이어를 부분적으로 절단하거나 약화시킬 수 있다. 완전한 절단은 와이어 본드(32)의 단부 표면(38)을 형성할 수 있으며, 그 점에서 캐필러리(804)가 예컨대 또 다른 와이어 본드를 형성하기 위해 와이어 본드(32)로부터 떨어지도록 이동될 수 있다. 유사하게, 와이어 세그먼트(800)가 절단 블레이드(805)에 의해 약화되면, 와이어가 와이어 클램프(803)에 의해 여전히 유지되어 있는 본드 헤드 유닛의 이동은 부분 절단에 의해 약화된 영역에서 와이어(800)를 깨뜨림으로써 분리를 야기할 수 있다.

[0157] 절단 블레이드(805)의 이동은 오프셋 캠을 이용한 서보 모터에 의해 또는 공기역학(pneumatics)에 의해 작동될 수 있다. 다른 예에서, 절단 블레이드(805) 이동은 스프링 또는 다이아프램에 의해 작동될 수 있다. 절단 블레이드(805) 작동을 위한 트리거링 신호는 볼 본드의 형성에서부터 카운트 다운된 시간 지연량에 기초하여 이루어질 수 있거나, 또는 와이어 본드 베이스(34) 위의 사전에 정해진 높이로의 캐필러리(804)의 이동에 의해 작동될 수 있다. 이러한 신호는 절단 블레이드(805) 위치가 임의의 후속 본드 형성 이전에 리셋될 수 있도록 본딩 기계를 작동하는 다른 소프트웨어에 링크될 수 있다. 절단 기구는 또한 와이어를 사이에 두고 절단 블레이드(805)와 병치되는(juxtaposed) 지점에 제2 블레이드(도시하지 않음)를 포함하여, 일례에서와 같이 와이어의 상호 반대쪽 측면으로부터 제1 블레이드와 제2 블레이드 중의 다른 블레이드에 대한 제1 블레이드와 제2 블레이드 중의 하나 이상의 블레이드의 이동에 의해 와이어를 절단할 수 있다.

[0158] 또 다른 예에서, 레이저(809)는 본드 헤드 유닛에 조립되고, 와이어를 절단하도록 위치될 수 있다. 도 33에 도시된 바와 같이, 레이저 헤드(809)는 캐필러리(804) 또는 캐필러리(804)를 포함하는 본드 헤드 유닛 상의 또 다른 점에 실장함으로써와 같이 캐필러리(804)의 외측에 위치될 수 있다. 레이저는 와이어(800)를 절단하도록 도 32의 절단 블레이드(805)에 대해 전술한 것과 같은 요구된 시간에 작동되어, 베이스(34) 위의 요구된 높이에서 와이어 본드(32)의 단부 표면(38)을 형성할 수 있다. 다른 구현예에서, 레이저(809)는 절단 빔을 캐필러리(804) 자체를 관통하여 지향시키도록 또는 캐필러리(804) 자체 내로 지향시키도록 위치될 수 있고, 본드 헤드 유닛의 내부에 있을 수 있다. 일례에서, 탄소 가스 레이저(carbon dioxide laser)가 이용될 수 있거나, 또는 대안으로서 Nd:YAG 또는 Cu 증기 레이저(Cu vapor laser)가 이용될 수 있다.

[0159] 또 다른 실시예에서, 와이어 본드(32)를 나머지 와이어 세그먼트(800)로부터 분리하기 위해 도 34a 내지 도 34c에 도시된 바와 같은 스텐실 유닛(stencil unit)(824)이 이용될 수 있다. 도 34a에 도시된 바와 같이, 스템실(824)은 와이어 본드(32)의 요구된 높이에 또는 그 부근에 상위 표면(826)을 형성하는 몸체부를 갖는 구조로 될 수 있다. 스템실(824)은 도전성 요소(28)들 또는 도전성 요소(28)들 사이에서 스템실에 접속되는 기판(12) 또는 패키지 구조체의 임의의 부분을 접촉하도록 구성될 수 있다. 스템실은 도전성 요소(28) 위와 같은 와이어 본드(32)에 대한 요구된 지점에 대응할 수 있는 복수의 구멍(828)을 포함한다. 구멍(828)은, 캐필러리가 볼 본딩 등에 의해서와 같이 와이어(800)를 도전성 요소(28)에 본딩하여 베이스(34)를 형성하기 위한 도전성 요소(28)에 대한 위치까지 구멍 내로 연장할 수 있도록, 본드 헤드 유닛의 캐필러리(804)를 그 안에 수용하도록 하는 크기로 될 수 있다. 일례에서, 스템실은 도전성 요소의 개개의 도전성 요소를 노출시키는 구멍을 가질 수 있다. 또 다른 예에서, 복수의 도전성 요소가 스템실의 하나의 구멍에 의해 노출될 수 있다. 예컨대, 구멍은

도전성 요소의 행 또는 열이 스텐실의 상단 표면(826)에서 노출되는 스텨실 내의 리세스 또는 채널 형상 개구부 이어도 된다.

[0160] 그러므로, 캐필러리(804)는 와이어 세그먼트를 요구된 길이로 인발하면서 구멍(828)의 밖으로 수직으로 이동될 수 있다. 구멍(828)으로부터 떨어져 있게 된 후, 와이어 세그먼트는 클램프(803)에 의해서와 같이 본드 헤드 유닛 내에 클램프될 수 있으며, 캐필러리(804)는 구멍(828)의 표면과 스텨실(824)의 외측 표면(826)의 교차부에 의해 형성된 스텨실(824)의 에지(829)와 접촉하도록 와이어 세그먼트(800)를 이동시키기 위해 측면 방향(스텐실(824)의 표면(826)에 평행한 것과 같은)으로 이동될 수 있다. 이러한 이동은 캐필러리(804) 내에 여전히 유지되어 있는 와이어 세그먼트(800)의 나머지 부분으로부터 와이어 본드(32)의 분리를 야기할 수 있다. 이 프로세스는 요구된 지점에 요구된 수의 와이어 본드(32)를 형성하기 위해 반복될 수 있다. 일구현예에서, 캐필러리는 나머지 와이어 세그먼트가 후속의 볼 본드를 형성하기에 충분한 거리(802)로 캐필러리(804)의 면(806)을 지나 돌출하도록 와이어 분리 이전에 수직으로 이동될 수 있다. 도 34b는 구멍(828)이 표면(826)에서는 제1 직경을 갖고 표면(826)으로부터 면 쪽에서는 더 큰 직경을 갖는 상태로 직경이 증가하도록 테이퍼될 수 있는 스텨실(824)의 변형예를 도시하고 있다. 또 다른 변형예에서, 도 34c에 도시된 바와 같이, 기판(12)으로부터의 요구된 거리로 표면(826)으로부터 떨어져 이격하기에 충분한 두께를 갖는 외측 프레임(821)을 갖는 스텨실이 형성될 수 있다. 프레임(821)은, 구멍(828)을 포함하는 스텨실(824)의 부분이 기판(12) 위에 위치될 때에 기판(12)으로부터 떨어져 이격되도록, 표면(826)과 개구 영역(823) 사이에 연장하는 스텨실(824)의 두께로, 기판(12)에 인접하게 위치되도록 구성된 캐비티(823)를 적어도 부분적으로 둘러쌀 수 있다.

[0161] 도 18, 도 19 및 도 20은 와이어 본드의 인캡슐레이션되지 않은 부분(39)(도 1)이 인캡슐레이션층(42)의 표면(44)을 지나 돌출하도록 하기 위해 몰딩에 의해 인캡슐레이션층을 형성할 때에 사용될 수 있는 한 가지 기술을 예시하고 있다. 그러므로, 도 18에 나타낸 바와 같이, 기판, 기판에 결합된 와이어 본드(1132), 및 미소전자 요소와 같은 콤포넌트를 포함하는 서브어셈블리가 결합될 수도 있는 캐비티(1112)와 몰드의 플레이트(1110) 사이에 임시 필름(1102)이 배치되는 필름-보조 몰딩 기술(film--assisted molding technique)이 이용될 수 있다. 도 18은 또한 제1 플레이트(1110) 반대쪽에 배치될 수 있는 몰드의 제2 플레이트(1111)를 도시하고 있다.

[0162] 그리고나서, 도 19 및 도 20에 나타낸 바와 같이, 몰드 플레이트(1110, 1111)가 함께 모아질 때, 와이어 본드(1132)의 단부(1138)가 임시 필름(1102) 내로 돌출할 수 있다. 몰드 화합물이 인캡슐레이션층(1142)을 형성하기 위해 캐비티(1112) 내로 흐르게 될 때, 몰드 화합물은 와이어 본드의 단부(1138)가 임시 필름(1102)에 의해 덮여 있기 때문에 단부(1138)와 접촉하지 않는다. 이 단계 후, 몰드 플레이트(1110, 1111)가 인캡슐레이션층(1142)으로부터 제거되고, 임시 필름(1102)이 몰드 표면(1144)로부터 제거될 수 있으며, 그 후 인캡슐레이션층의 표면(1144)을 지나 돌출하는 와이어 본드(1132)의 단부(1138)가 남겨지게 된다.

[0163] 필름-보조 몰딩 기술은 대량 생산에 아주 적합할 수 있다. 예컨대, 공정의 일례에서, 임시 필름의 연속 시트의 일부분이 몰드 플레이트에 입혀질 수 있다. 그리고나서, 몰드 플레이트에 의해 적어도 부분적으로 정해지는 캐비티(1112)에 인캡슐레이션층이 형성될 수 있다. 그리고나서, 몰드 플레이트(1110) 상의 임시 필름(1102)의 현재 부분이 자동화된 수단에 의해 임시 필름의 연속 시트의 또 다른 부분으로 교체될 수 있다.

[0164] 필름-보조 몰딩 기술의 변형예에서, 전술한 바와 같이 제거 가능한 필름을 사용하는 대신, 인캡슐레이션층을 형성하기 전에 몰드 플레이트(1110)의 내측 표면 상에 수용성 필름이 배치될 수 있다. 몰드 플레이트가 제거될 때, 수용성 필름은 전술한 바와 같이 인캡슐레이션층의 표면(1144)을 지나 돌출하는 와이어 본드의 단부를 남겨 두기 위해 수용성 필름을 씻어냄(washing)에 의해 제거될 수 있다.

[0165] 도 18 및 도 19의 방법의 일례에서, 인캡슐레이션층(1142)의 표면(1144) 위의 와이어 본드(1132)의 높이는 도 37a에 도시된 바와 같이 와이어 본드(1132)들 간에 변경될 수 있다. 와이어 본드(1132)가 실질적으로 균일한 높이로 표면(1142) 위에 돌출하도록 패키지(1110)를 추가로 처리하는 방법이 도 37b 내지 도 37d에 도시되어 있으며, 이 방법은 표면(1144) 위에 희생 재료층(1178)을 입힘으로써 와이어 본드(1132)의 인캡슐레이션되지 않은 부분 위에 형성될 수 있는 희생 재료층(1178)을 이용한다. 희생 재료층(1178)은 그 높이를 와이어 본드(1132)에 대한 요구된 높이까지 감소시키기 위해 평탄화(planarization)될 수 있으며, 이것은 랩핑, 그라인딩, 또는 폴리싱 등에 의해 행해질 수 있다. 또한 도면에 예시된 바와 같이, 희생 재료층(1178)의 평탄화는 그 높이를 와이어 본드(1132)가 희생 재료층(1178)의 표면에서 노출된 상태로 되는 점까지로 감소시키는 것에 의해 개시될 수 있다. 평탄화 공정은 또한 희생 재료층(1178)의 높이가 지속적으로 감소됨에 따라 와이어 본드(1132)의 높이 또한 감소되도록 희생 재료층(1178)과 동시에 와이어 본드(1132)를 평탄화할 수 있다. 평탄화는 와이어 본드(1132)에 대한 요구된 높이가 도달된 후에 중지될 수 있다. 이러한 공정에서, 와이어 본드(1132)는 처음에는

자신의 높이가 비록 불균일하지라도 목표로 하는 균일한 높이보다 모두 크도록 형성될 수 있다는 점에 유의하기 바란다. 평탄화에 의해 와이어 본드(1132)가 요구된 높이로 감소된 후, 희생 재료층(1178)은 예칭 등에 의해 제거될 수 있다. 희생 재료층(1178)은 인캡슐런트 재료에 크게 영향을 주지 않을 에칠툰트를 이용하여 예칭함으로써 제거가 허용될 수 있는 재료로 형성될 수 있다. 일례에서, 희생 재료층(1178)은 수용성 플라스틱 재료로 이루어질 수 있다.

[0166] 도 21 및 도 22는 인캡슐레이션층의 표면을 지나 돌출하는 와이어 본드의 인캡슐레이션되지 않은 부분을 형성할 수 있는 또 다른 방법을 예시하고 있다. 그러므로, 도 21에 나타낸 예에서, 먼저, 와이어 본드(1232)가 인캡슐레이션층(1242)의 표면(1244)과 동평면으로 될 수 있거나 또는 인캡슐레이션층(1242)의 표면(1244)에서 노출되지 않을 수도 있다. 그리고나서, 도 22에 나타낸 바와 같이, 예컨대 몰딩된 인캡슐레이션층과 같은 인캡슐레이션층의 일부분이 제거되어, 단부(1238)를 수정된 인캡슐레이션층 표면(1246)을 지나 돌출하도록 할 수 있다. 그러므로, 일례에서, 평면형 리세스 표면(1246)을 형성하기 위해 인캡슐레이션층을 균일하게 리세스하기 위해 레이저 어블레이션을 이용될 수 있다. 이와 달리, 레이저 어블레이션은 인캡슐레이션층의 영역에 선택적으로 수행되어 개별 와이어 본드를 인접하도록 할 수 있다.

[0167] 와이어 본드에 대해 선택적으로 인캡슐레이션층의 적어도 일부분을 제거하기 위해 이용될 수 있는 또 다른 기술은 "웨트 블래스팅(wet blasting)" 기술을 포함한다. 웨트 블래스팅에서는, 액체 매체(liquid medium)에 의해 운반된 연마 입자의 스트립이 타겟의 표면으로부터 재료를 제거하기 위해 타겟 쪽으로 지향된다. 연마 입자의 스트립은 웨트 블래스팅 후에 남아 있게 될 와이어 본드와 같은 다른 구조체에 대해 선택적으로 재료의 제거를 용이하게 하거나 가속화시킬 수 있는 화학적 에칠툰트와 조합되는 경우도 있다.

[0168] 도 38a 및 도 38b에 도시된 예에서, 도 21 및 도 22에 도시된 방법의 변형예로, 일단에는 도전성 요소(1228) 상의 베이스(1234A)를 갖고, 타단(1234B)에서 미소전자 요소(1222)의 표면에 부착되는 와이어 본드 루프(1232')가 형성될 수 있다. 와이어 본드 루프(1232')를 미소전자 요소(1222)에 부착하기 위해, 미소전자 요소(1223)의 표면은 스퍼터링, 화학적 기상 증착, 플레이팅 등에 의해서 금속화될 수 있다. 베이스(1234A)는 도시된 바와 같이 볼 본딩되거나, 또는 단부(1232B)가 미소전자 요소(1222)에 결합되는 바와 같이 예지 본딩될 수 있다. 도 38a에 추가로 나타낸 바와 같이, 유전체 인캡슐레이션층(1242)은 와이어 본드 루프(1232')를 덮기 위해 기판(1212) 위에 형성될 수 있다. 인캡슐레이션층(1242)의 높이를 감소시키고, 와이어 본드 루프(1232')를, 도전성 요소(1228)에 대한 전기 접속을 위해 적어도 단부 표면(1238)에 결합하는데 이용할 수 있는 접속 와이어 본드(1232A)와, 미소전자 요소(1222)에 결합되는 방열 본드(1232B)로 분리시키기 위해, 인캡슐레이션층(1242)이 그라인딩, 래핑, 폴리싱 등에 의해 평탄화될 수 있다. 방열 본드는 미소전자 요소(1222)의 어떠한 회로에도 전기 접속되지 않고, 미소전자 요소(1222)로부터의 열을 인캡슐레이션층(1242)의 표면(1244)에 열 전도하도록 위치될 수 있다. 본 명세서의 다른 곳에서 설명된 바와 같이 그 결과의 패키지(1210')에 추가의 처리 방법이 적용될 수 있다.

[0169] 와이어 본드(2632)를 사전에 정해진 높이로 형성하기 위한 또 다른 방법이 도 39a 내지 도 39c에 도시되어 있다. 이러한 방법에서는, 희생 인캡슐레이션층(2678)이 기판(2612)의 표면(2614) 위에, 적어도 기판의 제2 영역(2620)에, 형성될 수 있다. 희생 인캡슐레이션층(2678)은 또한 도 1에 대하여 위에서 설명한 인캡슐레이션층과 유사한 방식으로 미소전자 요소(2622)를 덮기 위해 기판(2612)의 제1 영역(2618) 위에 형성될 수 있다. 희생 인캡슐레이션층(2678)은 도전성 요소(2628)를 노출시키기 위해 적어도 하나의 개구부(2679) 및 몇몇 실시예에서는 복수의 개구부(2679)를 포함한다. 개구부(2679)는 희생 인캡슐레이션층(2678)의 몰딩 동안 또는 몰딩 후에 예칭, 드릴링 등에 의해 형성될 수 있다. 일실시예에서는 도전성 요소(2628)의 전보를 노출시키기 위해 커다란 개구부(2679)가 형성될 수 있는 한편, 다른 실시예에서는 도전성 요소(2628)의 각각의 그룹을 노출시키기 위해 복수의 커다란 개구부(2679)가 형성될 수 있다. 다른 실시예에서는, 개개의 도전성 요소(2628)에 대응하는 개구부(2629)가 형성될 수 있다. 와이어 본드(2632)의 베이스(2634)를 도전성 요소(2628)에 본딩하고, 그리고나서 와이어를 희생 인캡슐레이션층(2678)의 표면(2677)에 도달하도록 인발함으로써, 와이어 본드(2632)가 형성될 수 있도록, 와이어 본드(2632)에 대해 요구된 높이의 표면(2677)을 갖는 희생 인캡슐레이션층(2678)이 형성된다. 그리고나서, 와이어 본드는 희생 인캡슐레이션층(2678)의 표면(2677)의 일부분 위에 위치하도록 개구부의 측방향으로 잡아당겨질 수 있다. 본드 형성 기기의 캐필러리(도 14에 도시된 바와 같은 캐필러리(804)와 같은)는 와이어 세그먼트를 프레스하여 표면(2677)과 접촉하게 되도록 이동될 수 있으며, 이로써 표면(2677)과 캐필러리 사이의 와이어에 미치는 압력에 의해 와이어가 도 39a에 도시된 바와 같이 표면(2677) 상에서 잘려지게 된다.

[0170] 그 후, 예칭 또는 또 다른 유사 공정에 의해 희생 인캡슐레이션층(2678)이 제거될 수 있다. 일례에서, 희생 인

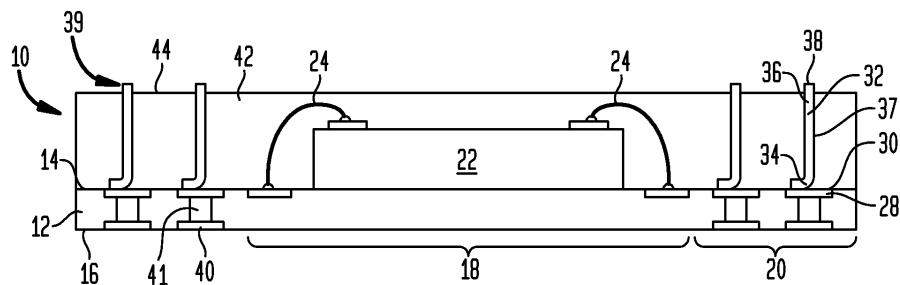
캡슐레이션층(2678)은 인-프로세스 유닛(in-process unit)(2610")의 다른 콤포넌트에 영향을 주지 않고 물에 대한 노출에 의해 제거될 수 있도록 수용성 플라스틱 재료로 형성될 수 있다. 또 다른 실시예에서, 회생 인캡슐레이션층(2678)은 광원에의 노출에 의해 제거될 수 있도록 포토레지스트와 같은 광화상화 가능 재료(photoimageable material)로 이루어질 수 있다. 회생 인캡슐레이션층(2678')의 일부분이 미소전자 요소(2622)와 기판(2612)의 표면(2614) 사이에 잔류되어, 솔더 볼(2652)을 둘러싸는 언더필로서 작용할 수 있다. 회생 인캡슐레이션층(2678)의 제거 후, 패키지(2610)를 형성하기 위해 인-프로세스 유닛 위에 인캡슐레이션층(2642)이 형성된다. 인캡슐레이션층(2642)은 전술한 것과 유사한 것으로 될 수 있고, 기판(2612)의 표면과 미소전자 요소(2622)를 실질적으로 덮을 수 있다. 인캡슐레이션층(2642)은 또한 와이어 본드(2632)를 지지하고 분리할 수 있다. 도 29c에 도시된 패키지(2610)에서, 와이어 본드는, 인캡슐런트(2642)의 표면(2644)에서 노출되고 그 표면에 실질적으로 평행하게 연장하는 예지 표면(2637)의 일부분을 포함한다. 다른 실시예에서, 와이어 본드(2632) 및 인캡슐레이션층(2642)은 표면(2644)을 형성하도록 평탄화될 수 있으며, 와이어 본드가 표면(2644) 위에 노출되고 표면(2644)과 실질적으로 동평면을 이루는 단부 표면을 갖게 된다.

[0171]

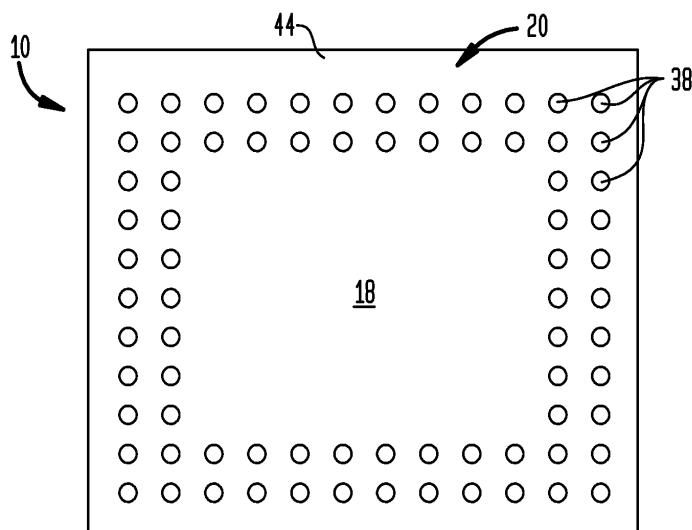
본 발명의 전술한 실시예 및 변형에는 위에서 구체적으로 설명된 것 이외의 방식으로 조합될 수 있다. 본 발명은 본 발명의 사상 및 범위 내에 있는 이러한 변형에 모두를 포함하는 것으로 한다.

도면

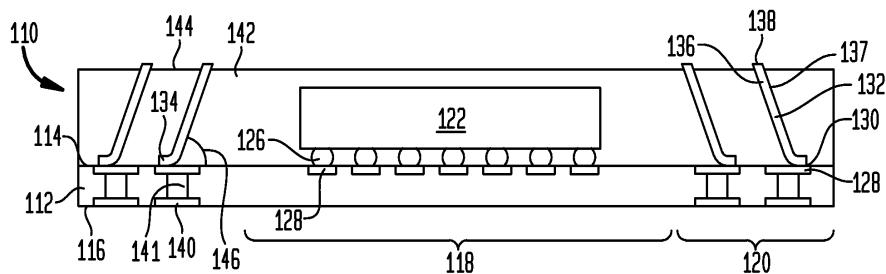
도면1



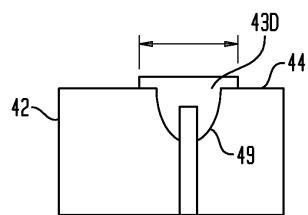
도면2



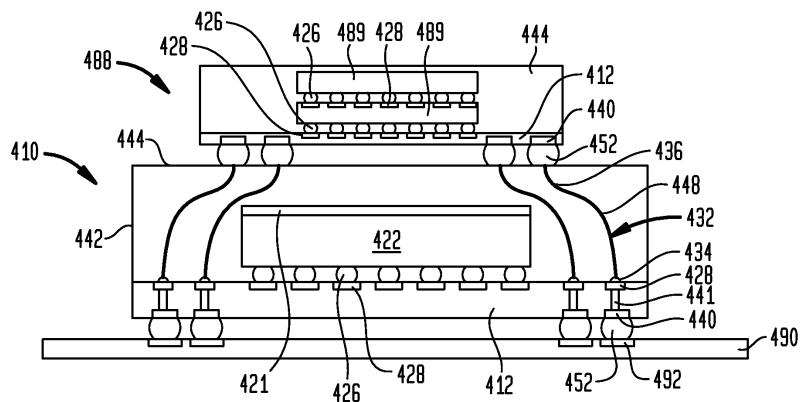
도면3



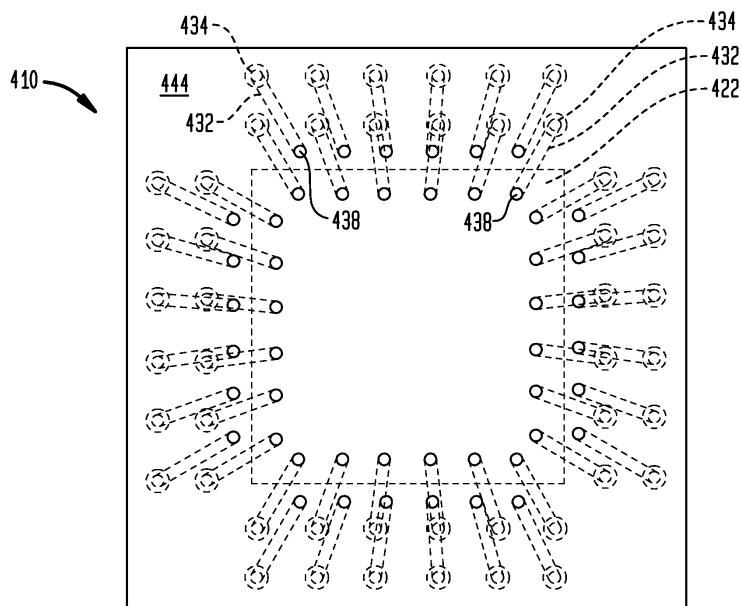
도면5d



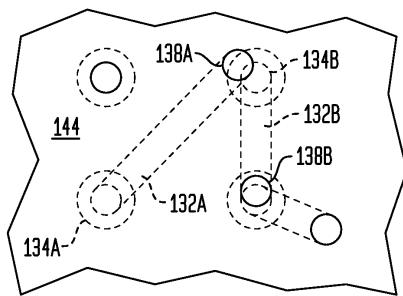
도면6



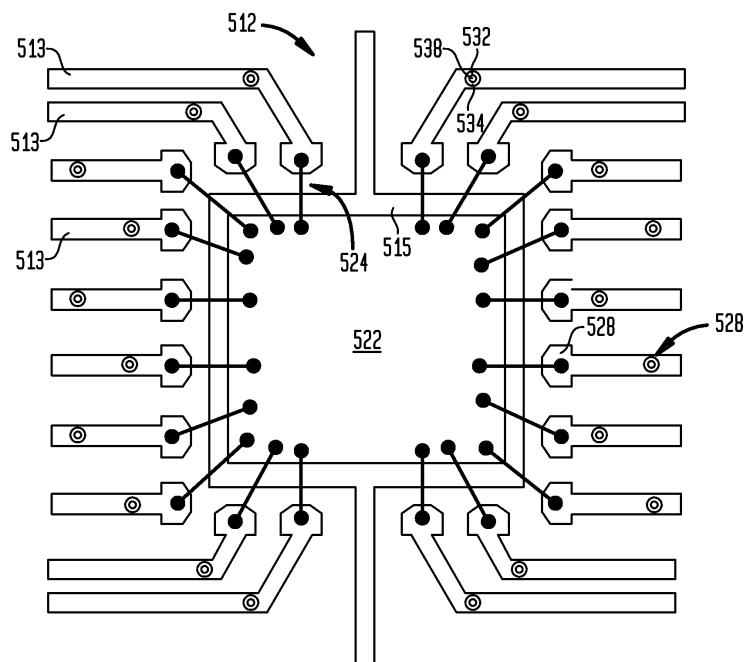
도면7



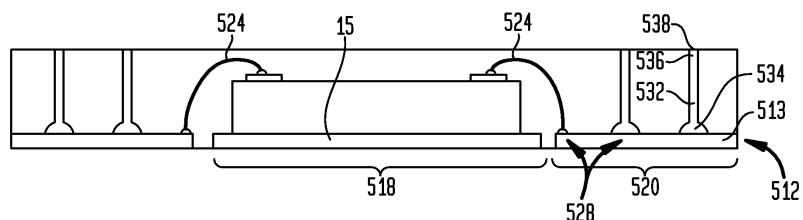
도면8



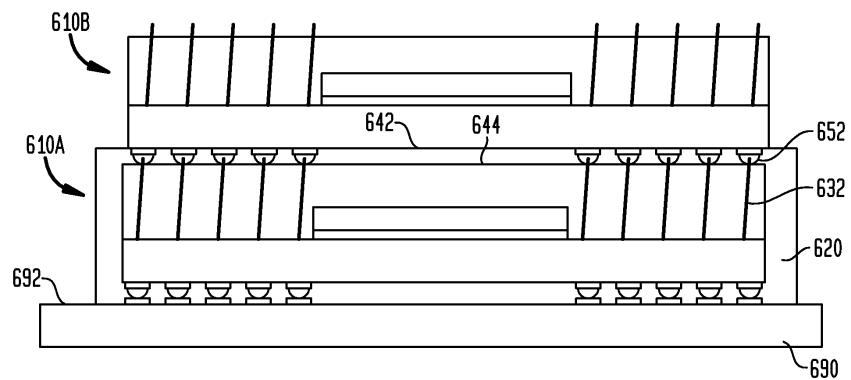
도면9



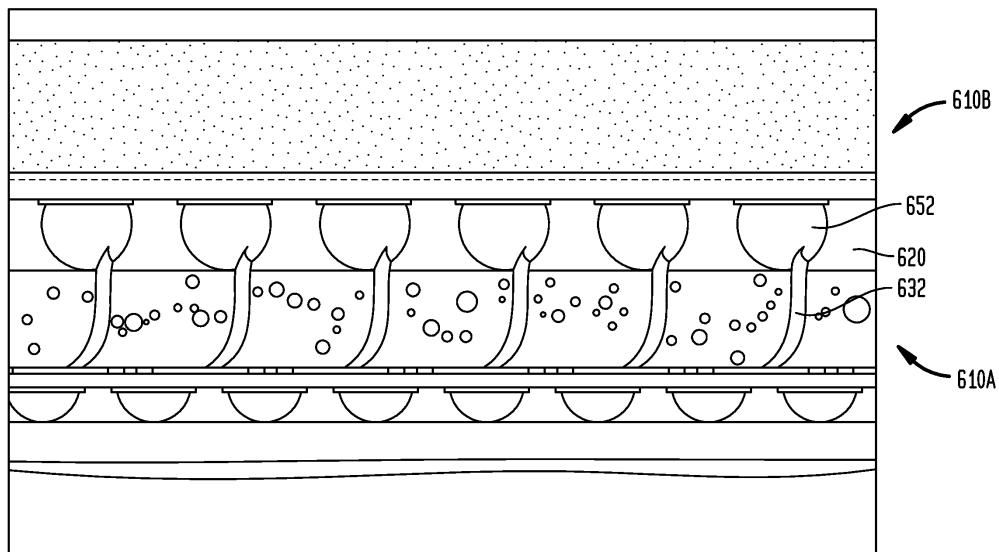
도면10



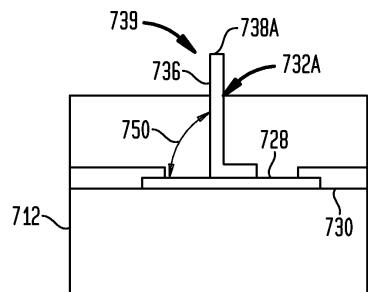
도면11



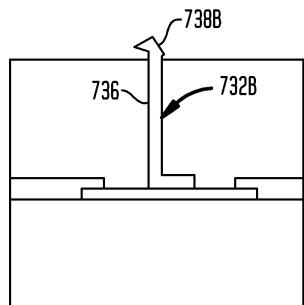
도면12



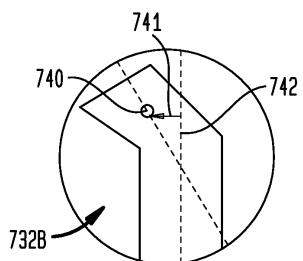
도면13a



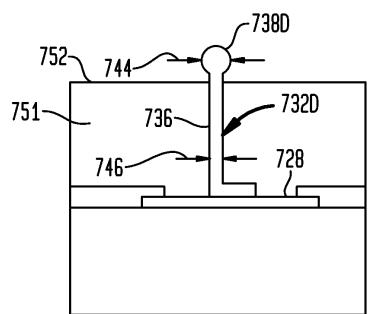
도면13b



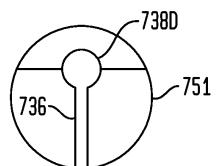
도면13c



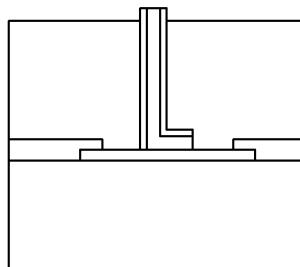
도면13d



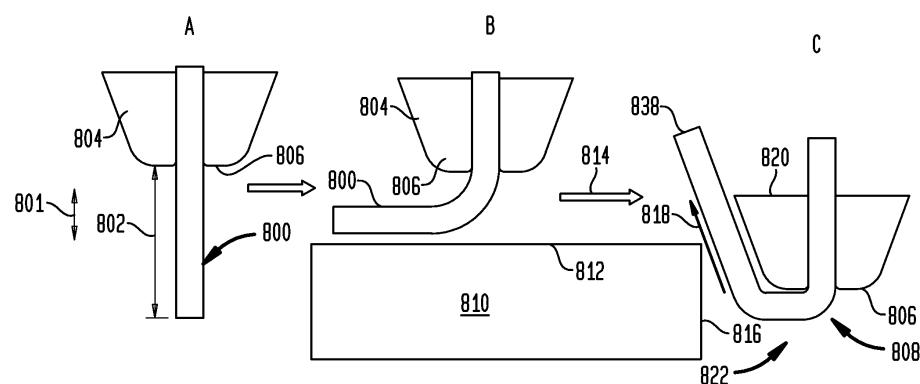
도면13e



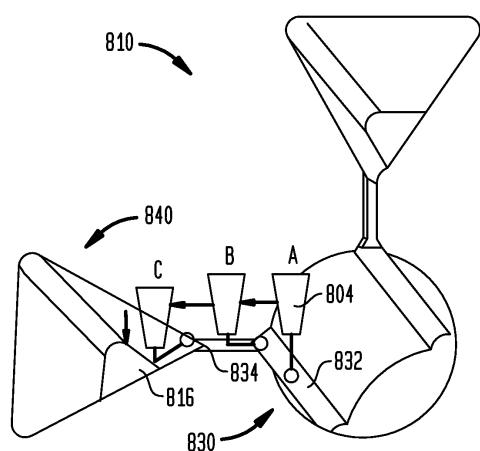
도면13f



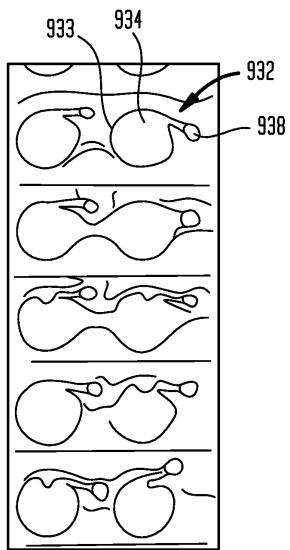
도면14



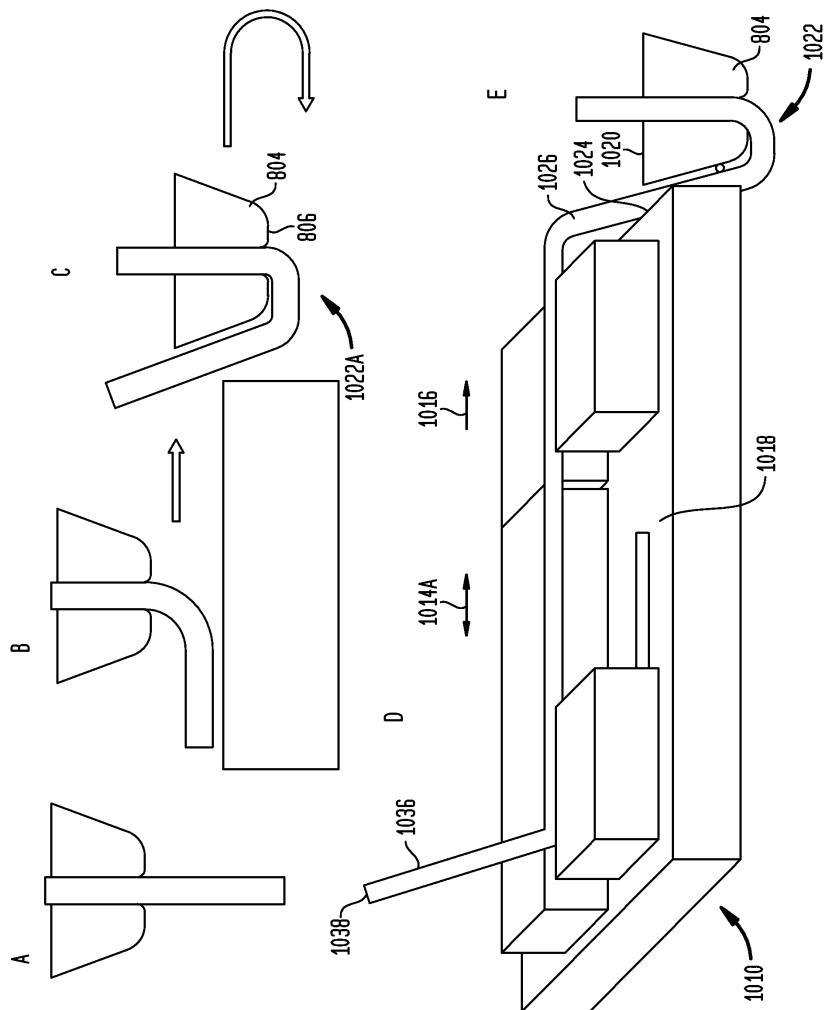
도면15



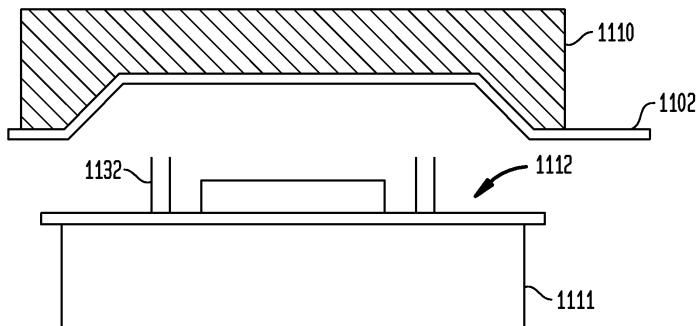
도면16



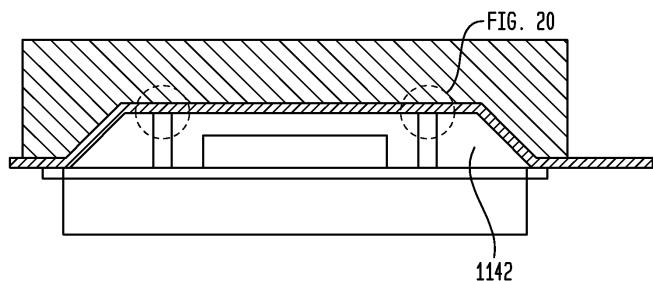
도면17



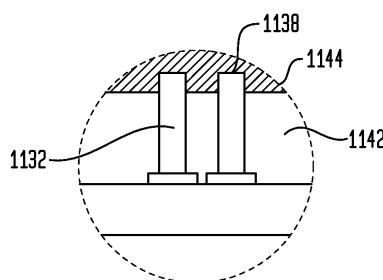
도면18



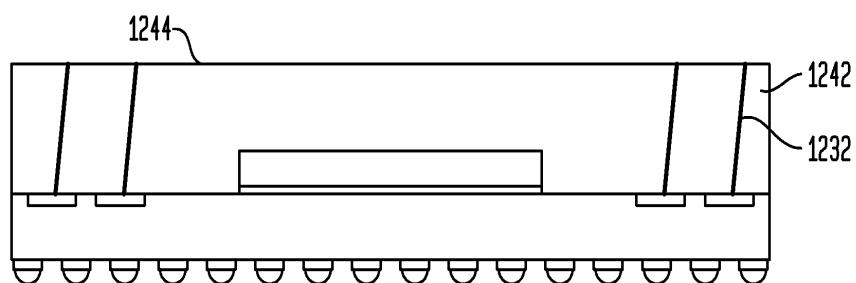
도면19



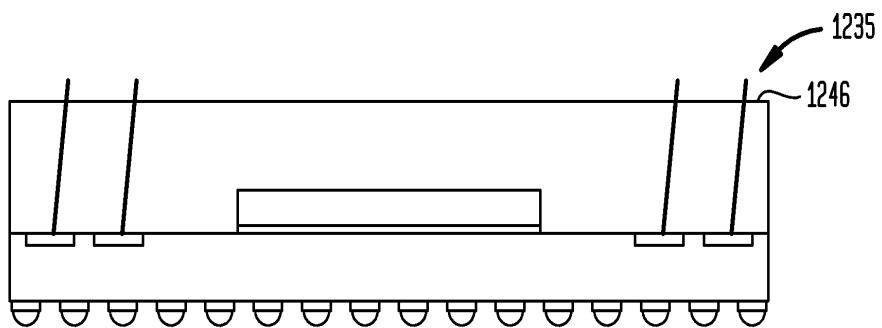
도면20



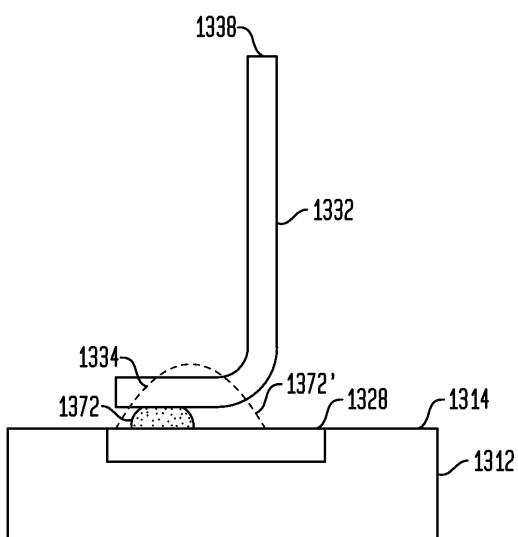
도면21



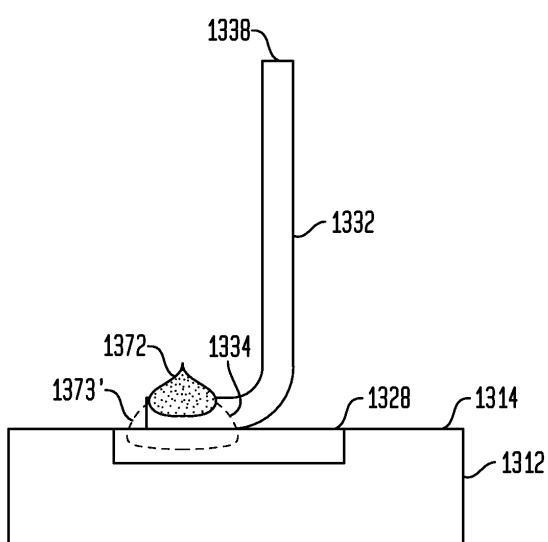
도면22



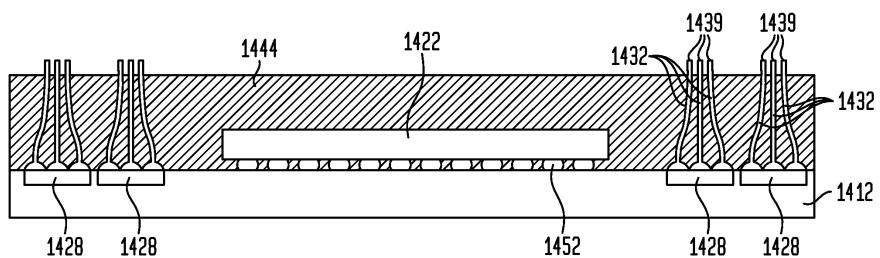
도면23a



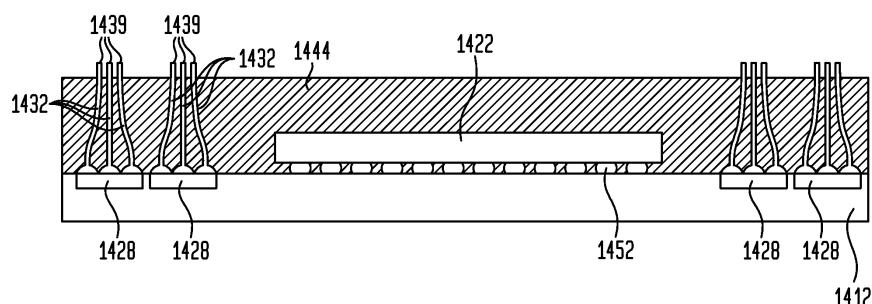
도면23b



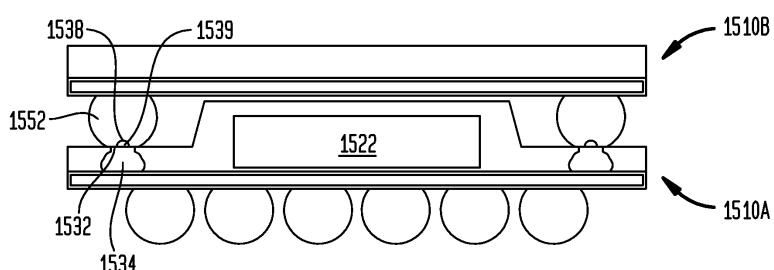
도면24a



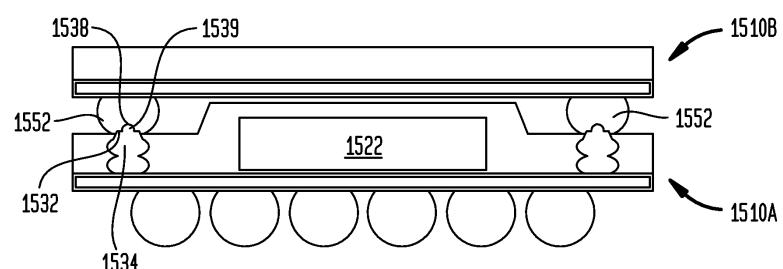
도면24b



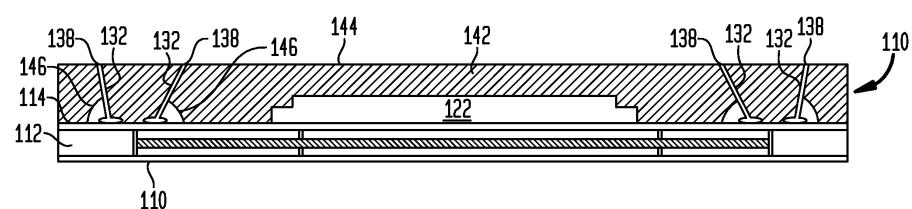
도면25a



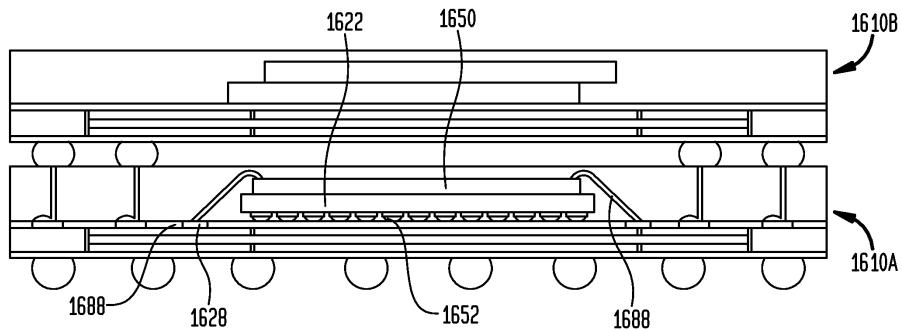
도면25b



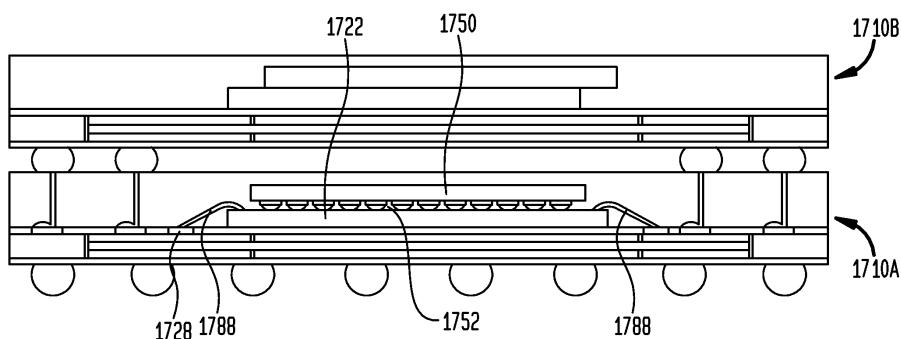
도면26



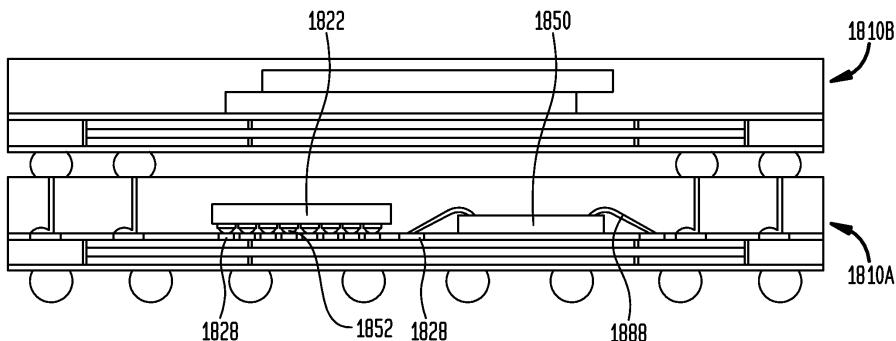
도면27a



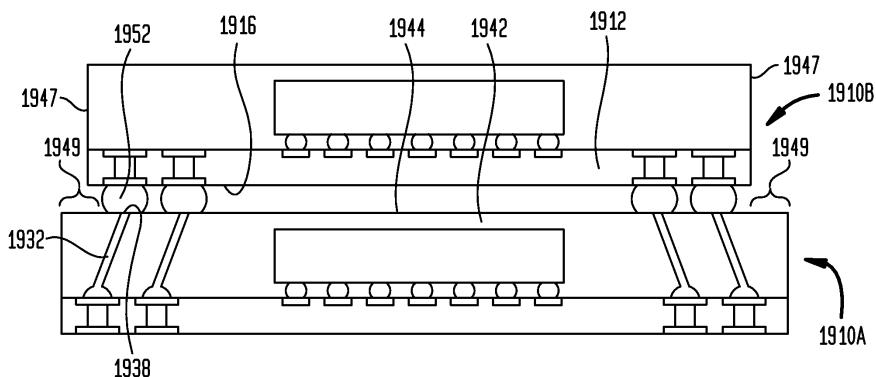
도면27b



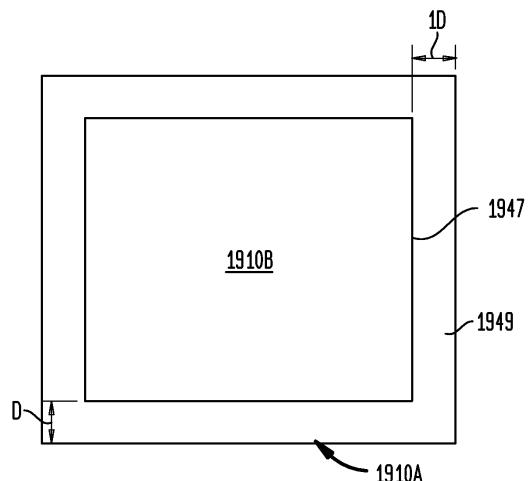
도면27c



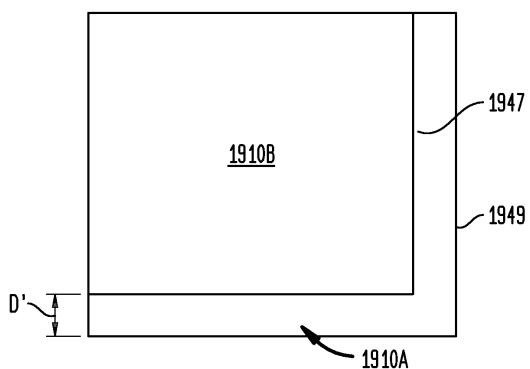
도면28a



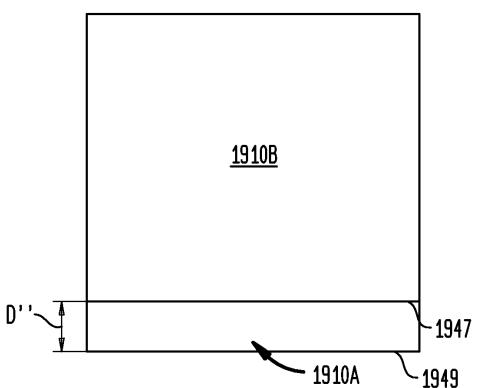
도면28b



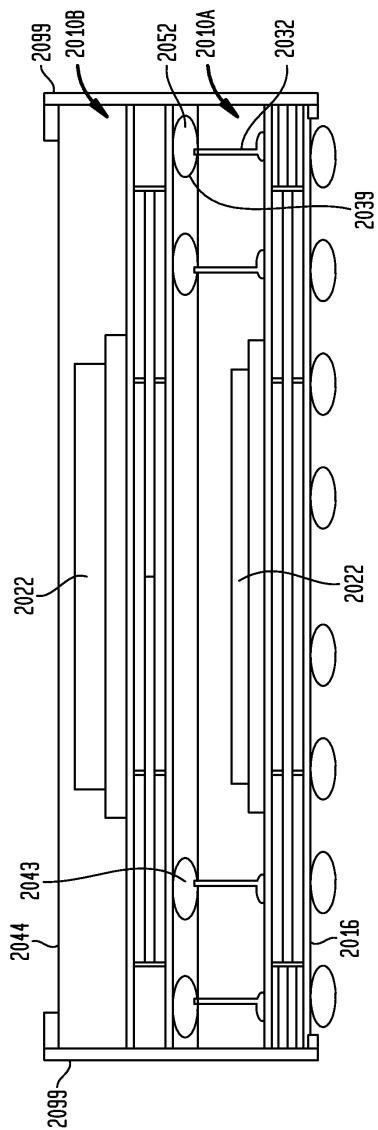
도면28c



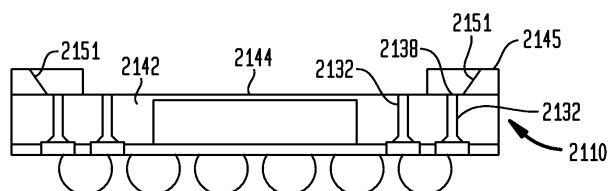
도면28d



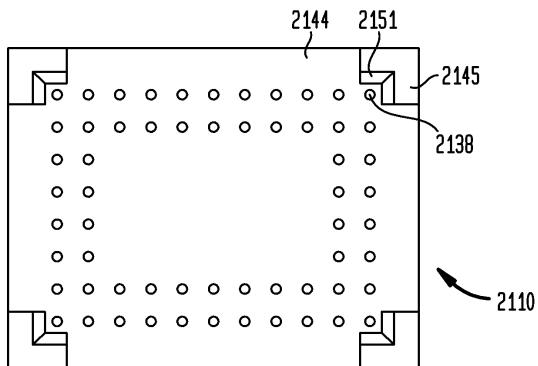
도면29



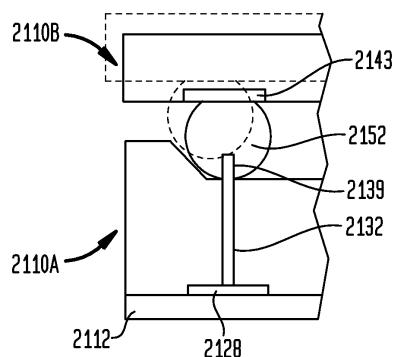
도면30a



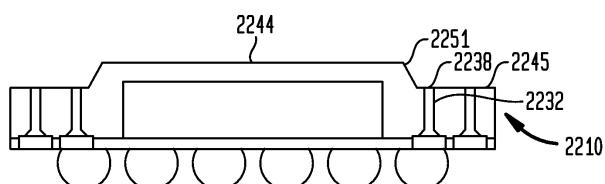
도면30b



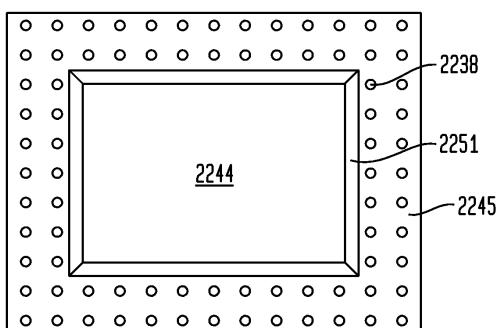
도면30c



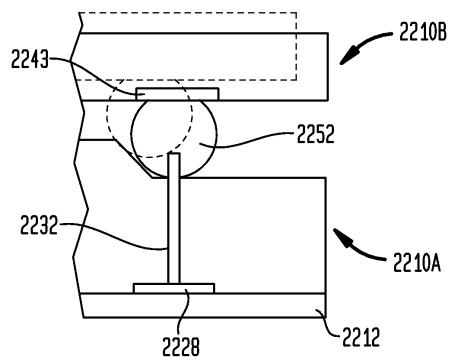
도면31a



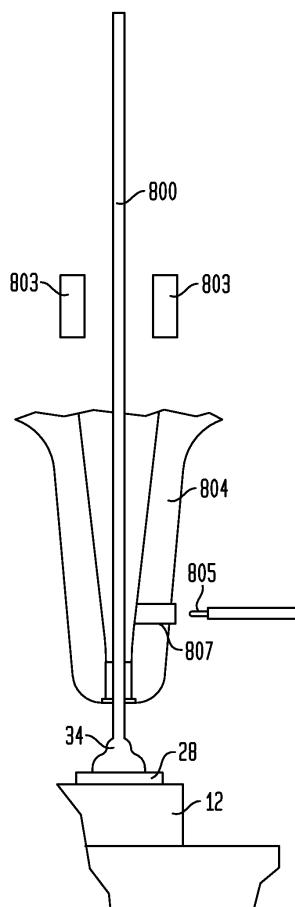
도면31b



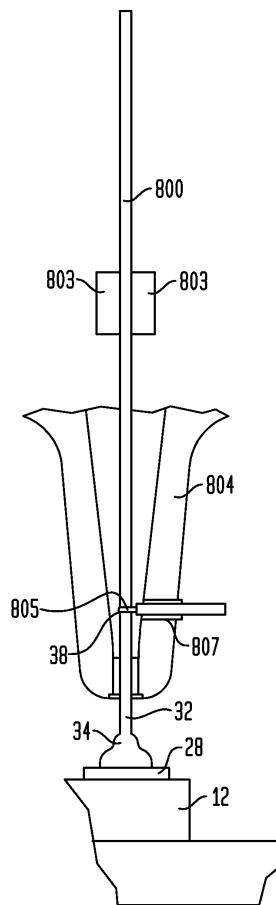
도면31c



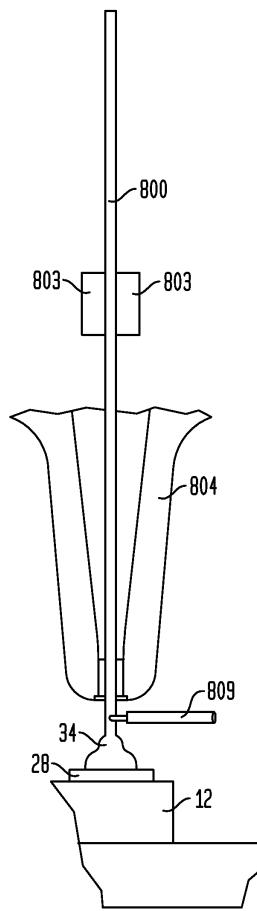
도면32a



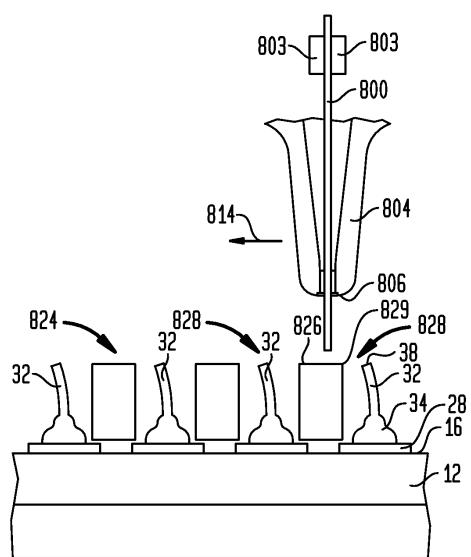
도면32b



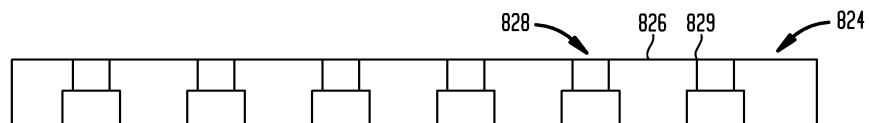
도면33



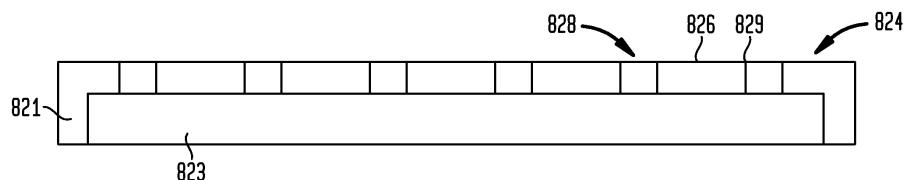
도면34a



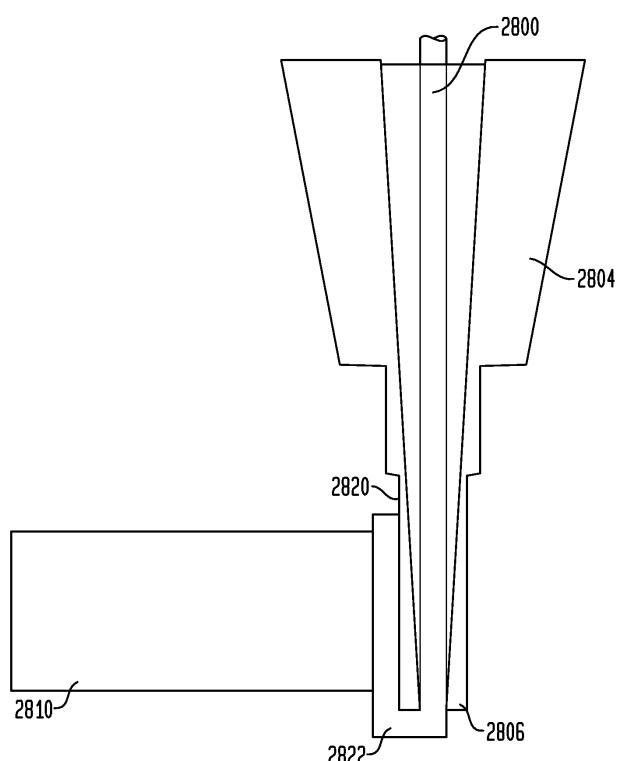
도면34b



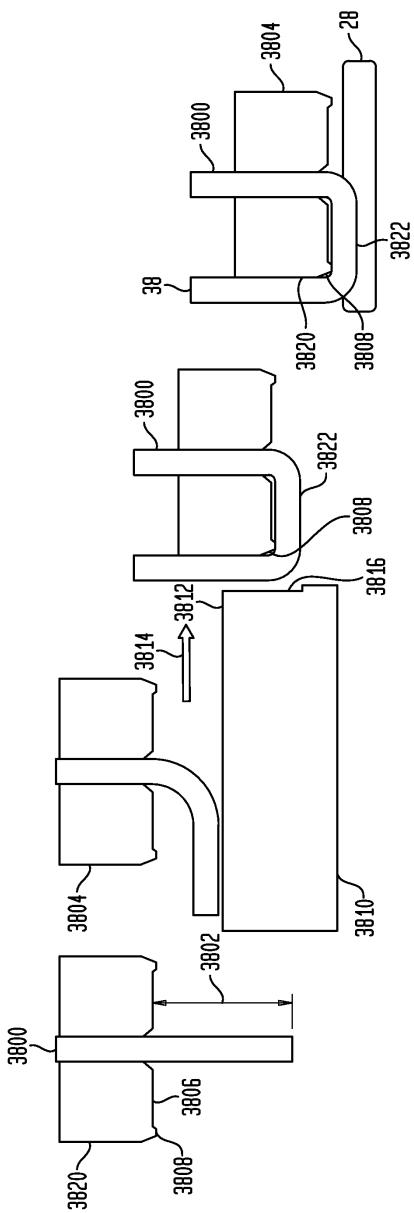
도면34c



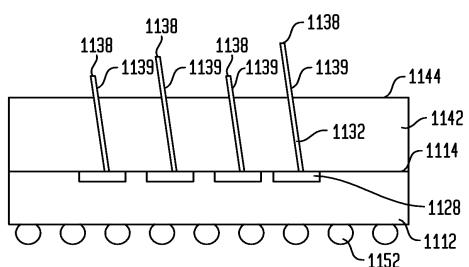
도면35



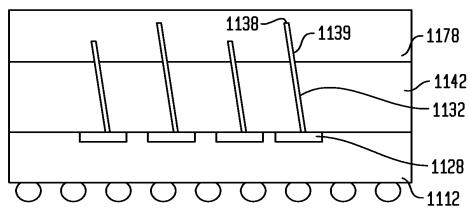
도면36



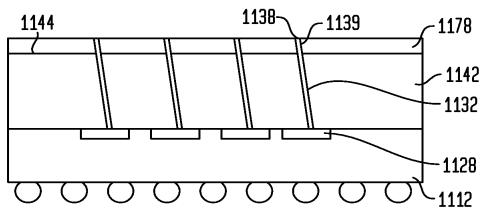
도면37a



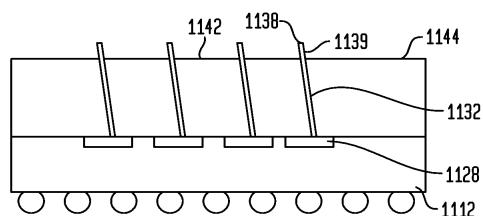
도면37b



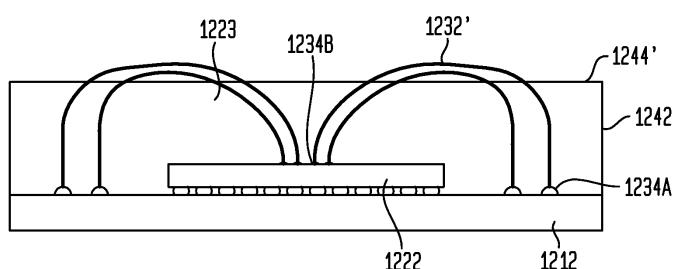
도면37c



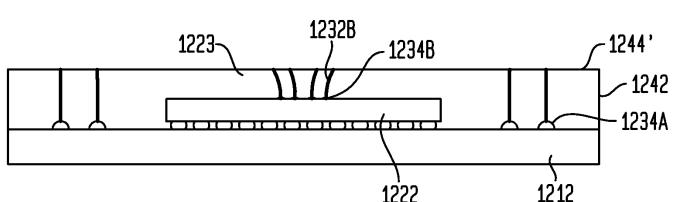
도면37d



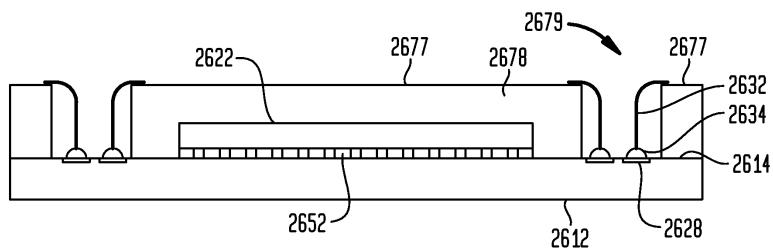
도면38a



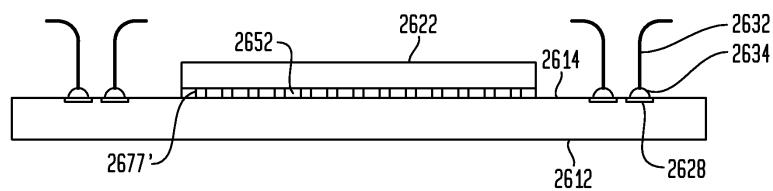
도면38b



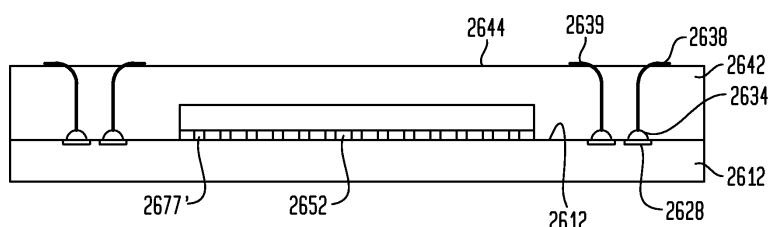
도면39a



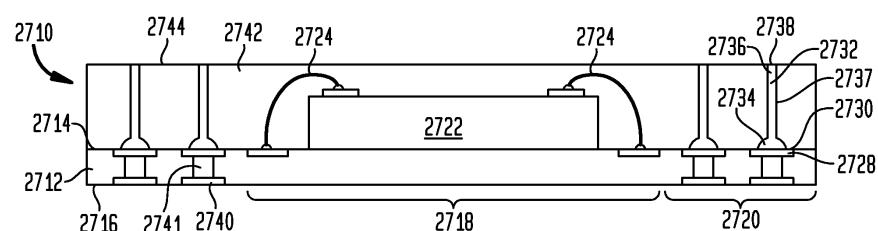
도면39b



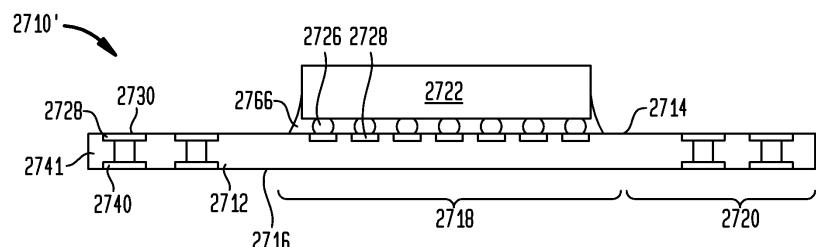
도면39c



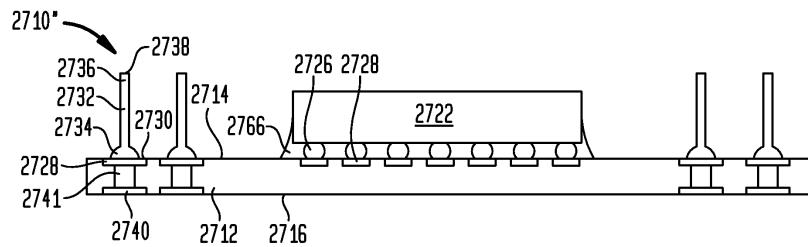
도면40



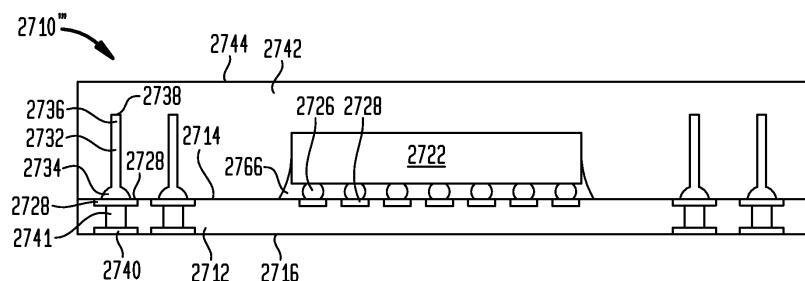
도면41



도면42



도면43



도면44

