

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6230329号
(P6230329)

(45) 発行日 平成29年11月15日 (2017.11.15)

(24) 登録日 平成29年10月27日 (2017.10.27)

(51) Int.Cl.		F I	
HO 4 N	5/369	(2011.01)	HO 4 N 5/369
HO 4 N	5/357	(2011.01)	HO 4 N 5/357
HO 4 N	5/374	(2011.01)	HO 4 N 5/374
HO 1 L	27/146	(2006.01)	HO 1 L 27/146 A

請求項の数 12 (全 16 頁)

(21) 出願番号	特願2013-169507 (P2013-169507)	(73) 特許権者	000001007
(22) 出願日	平成25年8月19日 (2013.8.19)		キヤノン株式会社
(65) 公開番号	特開2015-39124 (P2015-39124A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成27年2月26日 (2015.2.26)	(74) 代理人	100126240
審査請求日	平成28年8月9日 (2016.8.9)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	岩根 正晃
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	沖田 彰
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	松永 隆志

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項 1】

複数の光電変換素子と、前記複数の光電変換素子で生じた信号を増幅する増幅トランジスタと、前記複数の光電変換素子で生じた信号をリセットするリセットトランジスタと、を有する画素ユニットを複数備える撮像装置であって、

前記画素ユニットから出力されるノイズ信号を保持し、後段の回路に出力するノイズ信号保持部と、

前記画素ユニットから出力される、N個（Nは1以上の整数）の前記光電変換素子で生じた信号に基づく第1の光信号を保持し、前記後段の回路に出力する第1の信号保持部と、

前記画素ユニットから出力される、M個（Mは2以上の整数でNよりも大きい）の前記光電変換素子で生じた信号に基づく第2の光信号を保持し、前記後段の回路に出力する第2の信号保持部と、を有し、

平面視において、

前記ノイズ信号保持部は、第1のシールド配線と第2のシールド配線の間に配され、

前記第2の信号保持部は、前記第2のシールド配線と第3のシールド配線の間に配され、

前記第1の信号保持部は、前記第3のシールド配線と第4のシールド配線の間に配され、

前記第1の信号保持部と前記第4のシールド配線との距離は、前記ノイズ信号保持部と

前記第 2 のシールド配線との距離、及び前記第 2 の信号保持部と前記第 3 のシールド配線との距離のいずれよりも大きいことを特徴とする撮像装置。

【請求項 2】

前記第 1 の信号保持部と前記第 4 のシールド配線との距離は、前記ノイズ信号保持部と前記第 1 のシールド配線との距離、及び前記第 2 の信号保持部と前記第 2 のシールド配線との距離のいずれよりも大きいことを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

複数の光電変換素子と、前記複数の光電変換素子で生じた信号を増幅する増幅トランジスタと、前記複数の光電変換素子で生じた信号をリセットするリセットトランジスタと、を有する画素ユニットを複数備える撮像装置であって、

前記画素ユニットから出力されるノイズ信号を保持するノイズ信号保持部と、

前記画素ユニットから出力される、N 個（N は 1 以上の整数）の前記光電変換素子で生じた信号に基づく第 1 の光信号を保持する第 1 の信号保持部と、

前記画素ユニットから出力される、M 個（M は 2 以上の整数で N よりも大きい）の前記光電変換素子で生じた信号に基づく第 2 の光信号を保持する第 2 の信号保持部と、を有し、

前記ノイズ信号保持部及び前記第 2 の信号保持部は、並進対称となるように配置され、

前記第 1 の信号保持部は、前記ノイズ信号保持部及び前記第 2 の信号保持部のいずれに対しても並進対称ではないことを特徴とする撮像装置。

【請求項 4】

複数の光電変換素子と、前記複数の光電変換素子で生じた信号を増幅する増幅トランジスタと、前記複数の光電変換素子で生じた信号をリセットするリセットトランジスタと、を有する画素ユニットを複数備える撮像装置であって、

前記画素ユニットから出力されるノイズ信号を保持するノイズ信号保持部と、

前記画素ユニットから出力される、N 個（N は 1 以上の整数）の前記光電変換素子で生じた信号に基づく第 1 の光信号を保持する第 1 の信号保持部と、

前記画素ユニットから出力される、M 個（M は 2 以上の整数で N よりも大きい）の前記光電変換素子で生じた信号に基づく第 2 の光信号を保持する第 2 の信号保持部と、を有し、前記第 1 の信号保持部を平面視した際の面積は、少なくとも前記第 2 の信号保持部および前記ノイズ信号保持部の 1 つを平面視した際の面積よりも小さいことを特徴とする撮像装置。

【請求項 5】

前記画素ユニットと、前記ノイズ信号保持部、前記第 1 の信号保持部、前記第 2 の信号保持部のいずれかとの間には、前記画素ユニットから出力された信号を増幅する増幅回路を有することを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

各々が、前記ノイズ信号保持部、前記第 1 の信号保持部及び前記第 2 の信号保持部の各々に対応して設けられた、複数のバッファを有することを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

前記ノイズ信号保持部で保持された信号をバッファするバッファ及び前記第 2 の信号保持部で保持された信号をバッファするバッファは、前記第 1 の信号保持部で保持された信号をバッファするバッファに比べて、入力インピーダンスあるいはオープンループゲインが大きく、出力インピーダンスが小さいことを特徴とする請求項 6 に記載の撮像装置。

【請求項 8】

前記ノイズ信号保持部で保持された信号をバッファするバッファ、及び、前記第 2 の信号保持部で保持された信号をバッファするバッファは、前記第 1 の信号保持部で保持された信号をバッファするバッファに比べて、バイアス電流が大きいことを特徴とする請求項 6 に記載の撮像装置。

【請求項 9】

前記ノイズ信号保持部と前記第2の信号保持部の信号を、それぞれ対応するバッファから同時に読み出し、その後、差分処理を行い、

次に前記ノイズ信号保持部と前記第1の信号保持部の信号を、それぞれ対応するバッファから同時に読み出し、その後、差分処理を行うことを特徴とする請求項6乃至8のいずれか1項に記載の撮像装置。

【請求項10】

前記複数のバッファから出力された信号を保持する信号保持部を有することを特徴とする請求項6～9のいずれか1項に記載の撮像装置。

【請求項11】

前記第1の信号保持部が保持する第1の光信号は焦点検出用の信号であり、前記第2の信号保持部が保持する第2の光信号は撮像用の信号であることを特徴とする請求項1～10のいずれか1項に記載の撮像装置。

【請求項12】

前記第1の信号保持部は、第1のバッファ及び第1のスイッチを介して第3の信号保持部に接続され、

前記第2の信号保持部は、第2のバッファ及び第2のスイッチを介して前記第3の信号保持部に接続され、

前記ノイズ信号保持部は、第3のバッファ及び第3のスイッチを介して第4の信号保持部に接続されていることを特徴とする請求項1～5及び11のいずれか1項に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像装置に関し、特に撮像装置の列回路の信号保持部のレイアウトに関する。

【背景技術】

【0002】

CMOSエリアセンサチップをはじめ撮像装置には画素微細化や高機能化をしながら高いS/Nが求められる。高いS/Nを得るために、特許文献1の図12に示されているように、ノイズ信号用アナログメモリと撮像信号用アナログメモリは列信号線が伸びる方向に対して並列に配置されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-224524号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

列回路は画素ピッチまたは画素ピッチの整数倍内に配置する必要がある、しかしながら、画素から撮像信号と共にフォーカス信号を読み出すような構成においては、列回路の規模が大きくなる傾向にある。このような構成においては、所定の領域内に列回路を配置するのが困難になる場合がある。本発明は、列回路の好適なレイアウトを提供することである。

【課題を解決するための手段】

【0005】

本発明の一様態は、複数の光電変換素子と、前記複数の光電変換素子で生じた信号を増幅する増幅トランジスタと、前記複数の光電変換素子で生じた信号をリセットするリセットトランジスタと、を有する画素ユニットを複数備える撮像装置であって、前記画素ユニットから出力されるノイズ信号を保持するノイズ信号保持部と、前記画素ユニットから出力される、N個(Nは1以上の整数)の前記光電変換素子で生じた信号に基づく、第1の光信号を保持する第1の信号保持部と、前記画素ユニットから出力される、M個(Mは2

10

20

30

40

50

以上の整数でNよりも大きい)の前記光電変換素子で生じた信号に基づく、第2の光信号を保持する第2の信号保持部と、を有し、前記第2の信号保持部で保持された後の第2の光信号と、前記ノイズ信号保持部で保持された後のノイズ信号とを差分する際のノイズ除去率が、前記第1の信号保持部で保持された後の第1の光信号と、前記ノイズ信号保持部で保持された後のノイズ信号とを差分する際のノイズ除去率よりも大きい撮像装置に関する。

また、本発明の一様態は、複数の光電変換素子と、前記複数の光電変換素子で生じた信号を増幅する増幅トランジスタと、前記複数の光電変換素子で生じた信号をリセットするリセットトランジスタと、を有する画素ユニットを複数備える撮像装置であって、

前記画素ユニットから出力されるノイズ信号を保持するノイズ信号保持部と、

前記画素ユニットから出力される、N個(Nは1以上の整数)の前記光電変換素子で生じた信号に基づく第1の光信号を保持する第1の信号保持部と、

前記画素ユニットから出力される、M個(Mは2以上の整数でNよりも大きい)の前記光電変換素子で生じた信号に基づく第2の光信号を保持する第2の信号保持部と、を有し、

前記第1の信号保持部は、前記ノイズ信号保持部及び前記第1の信号保持部のいずれに対しても並進対称ではない撮像装置に関する。

本発明の別の様態は、複数の光電変換素子と、前記複数の光電変換素子で生じた信号を増幅する増幅トランジスタと、前記複数の光電変換素子で生じた信号をリセットするリセットトランジスタと、を有する画素ユニットを複数備える撮像装置であって、

前記画素ユニットから出力されるノイズ信号を保持するノイズ信号保持部と、

前記画素ユニットから出力される、N個(Nは1以上の整数)の前記光電変換素子で生じた信号に基づく第1の光信号を保持する第1の信号保持部と、

前記画素ユニットから出力される、M個(Mは2以上の整数でNよりも大きい)の前記光電変換素子で生じた信号に基づく第2の光信号を保持する第2の信号保持部と、を有し、前記第1の信号保持部を平面視した際の面積は、少なくとも前記第2の信号保持部および前記ノイズ信号保持部の1つを平面視した際の面積よりも小さいことを特徴とする撮像装置に関する。

【発明の効果】

【0006】

本発明によれば、列回路の好適なレイアウトを提供することが可能となる。

【図面の簡単な説明】

【0007】

【図1】実施例1の撮像装置の平面レイアウトの概略図

【図2】実施例1の撮像装置の等価回路図

【図3】実施例1の撮像装置のタイミングチャート

【図4】実施例2の撮像装置の撮像装置の平面レイアウトの概略図

【図5】実施例3の撮像装置の撮像装置の平面レイアウトの概略図

【発明を実施するための形態】

【0008】

まず本発明を実現する一実施形態を説明する。

【0009】

本発明の撮像装置は、複数の光電変換素子と、複数の光電変換素子で生じた信号を増幅する増幅トランジスタと、複数の光電変換素子で生じた信号をリセットするリセットトランジスタとを有する画素ユニットを複数備える。一例として図2には画素ユニットPUが2行×3列で配されて画素領域10が形成された例が示されている。

【0010】

例えば一例として画素ユニットが2つの光電変換素子(Da、Db)を有すると仮定する。このような画素ユニットから、ノイズ信号、一方の光電変換素子で生じた信号に基づく第1の光信号、両方の光電変換素子で生じた信号に基づく第2の光信号を出力する。こ

10

20

30

40

50

のような信号を出力する撮像装置の一例としては、撮像面で位相差型の焦点検出を行なう構成が知られている。

【 0 0 1 1 】

画素ユニットの後段には、上述のノイズ信号を保持するノイズ信号保持部、第 1 の光信号を保持する第 1 の信号保持部、第 2 の光信号を保持する第 2 の信号保持部が設けられている。図 2 では第 1 の信号保持部として C T S a、ノイズ信号保持部として C T N、第 2 の信号保持部として C T S が示されている。

【 0 0 1 2 】

このような構成において、第 1 の信号保持部で保持された後の第 1 の光信号と、ノイズ信号保持部で保持された後のノイズ信号とを後段の回路により差分処理を行なう。これにより第 1 の差分処理信号が得られる。そしてさらに、第 2 の信号保持部で保持された後の第 2 の光信号と、ノイズ信号保持部で保持された後のノイズ信号とを後段の回路により差分処理を行なう。これにより第 2 の差分処理信号が得られる。ここで上述の後段の回路は撮像装置内に配されていてもよいし、撮像装置外に設けられていてもよい。

【 0 0 1 3 】

本発明は、第 1 の差分処理信号と第 2 の差分処理信号とを比較した際に、第 2 の差分処理信号の同相ノイズ除去率が第 1 の差分処理信号の同相ノイズ除去率よりも大きいことを特徴としている。

【 0 0 1 4 】

本発明は、撮像装置内で差分処理まで行う例に限らず、後段の回路で上記差分処理を行なうにあたって、上記ノイズ除去率の関係を満たすような信号を後段回路に提供する構成も含む。

【 0 0 1 5 】

通常であれば、全ての信号保持部で保持された信号に対して後段の回路で行う差分処理における同相ノイズ除去率は等しい方が好ましい。しかしながら、高 S / N を維持しつつ、同相ノイズ除去率が等しくなるように回路素子をレイアウトすると、全体の回路規模が大きくなり、チップサイズが大きくなり好ましくない。これに対し、本発明のように、同相ノイズ除去率を異ならせることにより、チップ上に占める回路面積を増加させることなく、好適な信号読み出しを行なうことが可能となる。

【 0 0 1 6 】

特に第 1 の信号保持部で保持される信号が焦点検出用の信号であり、第 2 の信号保持部で保持される信号が撮像用の信号である場合にその効果が高い。撮像用の信号は、画像を形成するための信号であるため、高 S / N が要求される。これに対し、焦点検出用の信号は、位相差検出を行なうに十分な特性があれば十分であり、それほど高い S / N は要求されない。したがって、このような構成に対し本発明の構成を適用することで、列回路の面積の増加を抑えつつ、好適な信号読み出しを可能となる。

【 0 0 1 7 】

更に好ましくは、ノイズ信号保持部と第 2 の信号保持部とのレイアウトが並進対称であるのがよい。

【 0 0 1 8 】

ここで並進対称とは、ノイズ信号保持部及び第 2 の信号保持部をそれらが並んで配置される方向において並進操作させた際に、リセット信号保持部と第 2 の信号保持部のレイアウトが一致することをいう。本発明は、少なくとも、一の列回路において並進対象となっているのがよい。しかしながら、一般に撮像装置の列回路は、水平方向に沿って繰り返し配置される。したがって、一の列回路のみではなく全ての列回路において、並進対象となっているのがよい。

【 0 0 1 9 】

以下本発明を、実施例を挙げて説明する。それぞれの実施形態の有意な組み合わせも本発明の範囲内である。なお図面において数字の符号が振られているものはアドレスを示すものであり、それぞれ行、列の位置を示す。また以下では撮像面で焦点検出を行なうこと

10

20

30

40

50

が可能な構成を例に説明するが、これに限られるものではなく例えば三次元計測用の光電変換装置などにも適用することができる。

【 0 0 2 0 】

(実施例 1)

図 1、2 を用いて、本実施例の撮像装置の説明を行なう。図 1 は本実施例の撮像装置の等価回路図を示す。また図 2 は図 1 の構成において、列回路の一部の平面レイアウトを示すものである。

【 0 0 2 1 】

本実施例は、撮像用の信号と焦点検出用の信号とを読み出すことが可能である。このため、撮像装置の各画素ユニットには、位相差検出用である A 像用と B 像用の光電変換素子として機能する 2 つのフォトダイオード D a、D b が含まれる。カメラなどに用いられる C M O S センサなどの撮像装置は、画素領域の任意の領域において、A 像信号と B 像信号のピーク値の位置の違いからフォーカス状態にするためのレンズの移動量を算出し、フォーカス制御を行う。オートフォーカス以外にも、被写体の距離計測ができるので 3 次元映像情報を得ることも可能である。

【 0 0 2 2 】

図 1 において、画素領域 1 0 には、複数の画素ユニット P U が配されている。好ましくは、画素ユニット P U は行列状に配され、例えば数千万の画素ユニット P U が配されて画素領域 1 0 が構成される。垂直走査回路 1 2 により各画素ユニット P U に駆動パルスが供給される。

【 0 0 2 3 】

次に各画素ユニットの構成に関して説明する。

【 0 0 2 4 】

転送トランジスタ M a 1 1 ~ M a 2 3、M b 1 1 ~ M b 2 3 は、対応する光電変換素子の電荷を転送する。転送トランジスタは M O S トランジスタにより構成することができる。

【 0 0 2 5 】

リセットトランジスタ M 2 1 1 ~ M 2 2 3 は光電変換素子で生じた信号をリセットする。光電変換素子に信号が存在する状態で光電変換素子をリセットしてもよいし、後述する増幅トランジスタの入力ノードに信号が転送された後の状態で、増幅トランジスタの入力ノードをリセットしてもよい。リセットトランジスタは M O S トランジスタで構成することができる。他には、接合型電界効果トランジスタで構成してもよい。

【 0 0 2 6 】

増幅トランジスタ M 3 1 1 ~ M 3 2 3 は同一画素ユニットの複数の光電変換素子で生じた信号を増幅する。各増幅トランジスタ M 3 1 1 ~ M 3 2 3 は、複数の光電変換素子に共通に設けられている。増幅トランジスタ M 3 1 1 ~ M 3 2 3 は M O S トランジスタで構成することができる。他には接合型電界効果トランジスタで構成してもよい。

【 0 0 2 7 】

選択トランジスタ M 4 1 1 ~ M 4 2 3 は、対応する列出力線に選択的に画素ユニット P U の信号を読み出す。選択トランジスタ M 4 1 1 ~ M 4 2 3 は M O S トランジスタにより構成することができる。もしくはリセットトランジスタなどの動作を工夫することなどによって、選択トランジスタ M 4 1 1 ~ M 4 2 3 を省略することも可能である。

【 0 0 2 8 】

次に画素ユニット以降の構成に関して説明する。

【 0 0 2 9 】

列信号線 N V は各画素ユニット列に対応して設けられる。本例では列信号線 V N は、各画素ユニット列に対し 1 本設けられているが複数本設けてもよい。電流源 I b は、対応する列信号線を介して、増幅トランジスタ M 3 1 1 ~ M 3 2 3 にバイアス電流を供給することで増幅トランジスタ M 3 1 1 ~ M 3 2 3 に増幅動作を行なわせる。増幅動作としては例えばソースフォロワ動作である。

10

20

30

40

50

【 0 0 3 0 】

列回路 1 5、1 6 は、垂直走査回路 1 2 により走査され画素ユニット P U から列出力線を介して出力された信号を受けて処理する回路である。列回路 1 5 は、奇数列の画素ユニット P U からの信号を処理する回路である。列回路 1 6 は偶数列の画素ユニット P U からの信号を処理する。列回路 1 5、1 6 で行われる処理は、ノイズ除去、信号の増幅、アナログデジタル変換などである。

【 0 0 3 1 】

増幅回路 G A は、列回路 1 5 に設けられ、画素ユニット P U から出力された信号を好ましくは可変ゲインで増幅するものである。クランプ容量 C は画素ユニットから出力されたノイズ信号を低減させるためのものである。

10

【 0 0 3 2 】

信号保持部 1 8 は増幅回路 G A で増幅された後の信号を保持する回路である。増幅回路 G A から見て、並列に 3 系統の回路が設けられている。それぞれノイズ信号を保持する回路（ノイズ信号保持部）と第 1 の光信号を保持する回路（第 1 の信号保持部）及び第 2 の光信号を保持する回路（第 2 の信号保持部）を含んでいる。ここで第 1 の光信号と第 2 の光信号との違いは、第 1 の光信号は、所定の画素ユニットの N 個（N は 1 以上の整数）の光電変換素子で生じた信号に基づく光信号である。これは例えば焦点検出用の信号である。そして第 2 の光信号は、所定の画素ユニットの M 個（M は 2 以上の整数で N よりも大きい）の光電変換素子で生じた信号に基づく光信号である。これは例えば撮像用の信号である。

20

【 0 0 3 3 】

図 1 のレイアウト図は信号保持部 1 8 に該当する部分である。図 1 と図 2 とで同様の部分には同じ符号を付している。

【 0 0 3 4 】

出力アンプ M A は、列回路 1 5 で処理された後、水平出力線 2 1、2 2 を伝達してきた信号を撮像装置外へ出力する。

【 0 0 3 5 】

図 2 に示すように、列回路 1 6 は、画素領域 1 0 を挟んで列回路 1 5 の反対側に配置されている。1 列分の列回路 1 5 と列回路 1 6 は、画素領域 1 0 の 2 画素分のピッチ内に配される。画素領域 1 0 の奇数列のフォトダイオード D a 1 1、D b 1 1、D a 1 3、D b 1 3 で検出された光信号は列回路 1 5 に読みだされる。一方、画素部 1 0 の偶数列のフォトダイオード D a 1 2、D b 1 2 で検出された光信号は列回路 1 6 に読みだされる。以下、列回路 1 5 について詳述するが、列回路 1 6 も同様の回路およびレイアウトとすることができる。

30

【 0 0 3 6 】

次に図 1 の凡例に関して説明する。図面右側に各構成要素の凡例を示している。

【 0 0 3 7 】

回路構成要素として、枠線内が荒い斜線でハッチングされた領域（V F）にはバッファが配置される。また枠線内がドットで示された領域（S W）にはアナログスイッチが配置される。

40

【 0 0 3 8 】

また、各回路構成要素間をつなぐ部材、もしくは、アナログメモリを構成する部材としては、アクティブ領域、各種配線層、ポリシリコン、コンタクトプラグ、ビアプラグなどがある。枠線内が空白となった領域にはアクティブ領域が配置される。枠線内が横方向の波線でハッチングされた領域（M 1）には第 1 の配線層が配置される。枠線内が細かい斜線でハッチングされた領域（M 2）には第 2 の配線層が配置される。第 2 の配線層は第 1 の配線層よりも上層に配される層である。枠線内に x 印で示される領域（C N T）には、アクティブ領域と第 1 の配線層もしくはポリシリコンと第 1 の配線層を接続するコンタクトプラグが配置される。枠線内黒丸で示された領域（V i a 1）には、第 1 の配線層と第 2 の配線層とを接続するビアプラグが配置される。各回路要素を構成する枠線内が縦方向

50

の波線でハッチングされた領域 (p o l y) にはポリシリコンが配置される。

【 0 0 3 9 】

バッファ及びアナログスイッチが配される領域内の詳細なレイアウトは図示していないが、アクティブ領域、ポリシリコン、各配線層、コンタクトプラグ、ビアプラグで構成される。

【 0 0 4 0 】

リセット信号保持部は、ノイズ信号サンプリング用のスイッチ S C N とアナログメモリ C T N を有する。また、アナログメモリ C T N の後段にはこれに対応してバッファ V F N が配されている。第 1 の信号保持部は、第 1 光信号サンプリング用のスイッチ S C S a とアナログメモリ C T S a を有する。アナログメモリ C T S a の後段にはこれに対応して、
10 バッファ V F S a が配されている。第 2 の信号保持部は、第 2 光信号サンプリング用のスイッチ S C S とアナログメモリ C T S を有する。アナログメモリ C T S の後段にはこれに対応してバッファ V F S が配されている。

【 0 0 4 1 】

図 1 において、セット 1 は、ノイズ信号用スイッチ S C N 1 3 とアナログメモリ C T N 1 3 とバッファ V F N 3 を有する。セット 2 は、第 2 光信号用スイッチ S C S 1 3 とアナログメモリ C T S 1 3 とバッファ V F S 3 を有する。セット 3 は第 1 光信号用スイッチ S C S a 1 3 とアナログメモリ C T S a 1 3 とバッファ V F S a 3 を有する。

【 0 0 4 2 】

導電パターン N G A は、増幅回路 G A の出力ノードを構成する。

10

20

【 0 0 4 3 】

導電パターン 5 は、バッファ V F S a 1、V F S a 3、V F N 1、V F N 3、V F S 1、V F S 3 の入力ノードを構成する。導電パターン 5 は第 1 の配線層で構成される。

【 0 0 4 4 】

導電パターン 6 は、バッファ V F N 1、V F N 3、V F S 1、V F S 3 の出力ノードを構成する。導電パターン 6 は第 1 の配線層で構成される。

【 0 0 4 5 】

導電パターン 7 は、第 1 の光信号用バッファ V F S a 1、V F S a 3 の出力ノードを構成する。導電パターン 7 は第 2 の配線層で構成される。

【 0 0 4 6 】

導電パターン 8 は、ダミーパターンとして設けられたものであり、例えば寄生容量などの調整用に配されたものであり、実回路の本質的な機能には影響を与えない。導電パターン 8 は、導電パターン 7 が、C T S 1 1、C T S 1 3 の上部に配され、C T N 1 1、C T N 1 3 の上部に配されないがために生じる寄生容量の差を低減するためのものである。したがって、バッファ V F S a 1、V F S a 3 に電氣的に接続されるが、アナログスイッチ S C N 2 1、S C N 2 3 には電氣的に接続されない。

30

【 0 0 4 7 】

更に本実施例においては、第 1 の信号保持部を平面視した際の面積は、第 2 の信号保持部およびノイズ信号保持部を平面視した際の面積よりも小さいレイアウトとなっている。

40

【 0 0 4 8 】

次に、図 3 に本実施例の撮像装置のタイミングチャートを示す。図 3 において、各パルスはトランジスタをオンとオフ状態に制御するものであり、ハイレベルでオン状態となりローレベルでオフ状態となるものとする。

【 0 0 4 9 】

P S E L 1 は選択トランジスタ M 4 1 1 ~ M 4 1 3 を、P R E S 1 はリセットトランジスタ M 2 1 1 ~ M 2 1 3 用のパルスである。P T X A 1 は転送トランジスタ M a 1 1 ~ M a 1 3 を、P T X B 1 は転送トランジスタ M b 1 1 ~ M b 1 3 用のパルスである。

【 0 0 5 0 】

P S E L 2 は選択トランジスタ M 4 2 1 ~ M 4 2 3 用のパルスである。P R E S 2 はリ

50

セットトランジスタM221～M223用のパルスである。PTXA2は転送トランジスタMa21～Ma23用のパルスである。PTXB2は転送トランジスタMb21～Mb23用のパルスである。PSGAはスイッチSGA1、SGA3用のパルスである。PSCN1はスイッチSCN11、SCN13用のパルスである。PSCS1はスイッチSCS11、SCS13用のパルスである。PSCSa1はスイッチSCSa11、SCSa13用のパルスである。PSCSa2はスイッチSCSa21、SCSa23用のパルスである。PSCN2はスイッチSCN23、SCN23のパルスである。PSCS2はスイッチSCS21、SCS23用のパルスである。PSHN1はスイッチSHN1を、PSSH1はスイッチSHS1用の駆動パルスであり、PSHN3はスイッチSHN3用の駆動パルスであり、PSSH3はスイッチSHS3用の駆動パルスである。

10

【0051】

まず、時刻t0で、垂直走査回路12からPSEL1がハイレベルとなる信号が送られ、選択トランジスタM411～M413がオンし、画素領域10の1行目が選択される。同時刻には、PSGAがハイレベルとなっており、増幅回路GA1、GA3がバイアス電圧Vrefに対するボルテージフォロア状態になる。また、PSCN1、PSCSa1、PSCS1がハイレベルとなることによりスイッチSCN11、SCSa11、SCS11、SCN13、SCSa131、SCS13がオン状態となる。その結果、図示している全てのアナログメモリに電圧Vrefが書き込まれる。

【0052】

時刻t1で垂直走査回路12からPRES1にローレベルの信号が送られリセットトランジスタM211～M213がオフ状態となり、増幅トランジスタの入力ノードの電位がフローティング状態となりノイズ信号Nを読み出す状態となる。この状態で、電流源Ib1、Ib3により駆動された増幅トランジスタM311～M313により増幅されたノイズ信号Nが、列信号線NV1～NV3に現れる。同時刻に、PSGAに供給される信号がローレベルとなり、増幅回路GA1、GA3が列信号線NV1、NV3から見て増幅率Ci1/Cf1、Ci3/Cf3となるゲインモードとなる。ここでCiは増幅回路GAの入力容量Cの容量値でありCfは増幅回路GAのフィードバック容量Cfの容量値である。

20

【0053】

また同時に、PSCN1、PSCSa1、PSCS1のレベルがローレベルとなることによりスイッチSCN11、SCSa11、SCS11、SCN13、SCSa131、SCS13がオフ状態となる。

30

【0054】

時刻t2では、PSCN1のレベルがハイレベルとなりスイッチSCN11、SCN13がオンし、列ごとにある増幅回路GA1、GA3を通じて増幅されたノイズ信号Nが、アナログメモリCTN11とCTN13に書き込まれる。

【0055】

時刻t3で垂直走査回路12からPTXa1のレベルがハイレベルとなる信号が送られ転送トランジスタMa11～Ma13がオン状態となり、フォトダイオードDa11～Da13の電荷が増幅トランジスタの入力ノードに転送される。そして、これらの増幅トランジスタの入力ノードの電圧が変化し、列信号線NV1～NV3にA像信号Saが現れる。

40

【0056】

時刻t4では、PSCSa1のレベルがハイレベルとなり、増幅回路GA1、GA3を通じて増幅されたA像信号Saが、アナログメモリCTSa11とCTSa13に書き込まれる。

【0057】

時刻t5では、PSCN2のレベルがハイレベルとなり、スイッチSCN21、SCN23がオン状態となる。そしてノイズ信号NがアナログメモリCTN11、CTN13からバッファVFN1、VFN2を通じてアナログメモリCTN21、CTN23に書き込

50

まれる。時刻 t_5 では同時に、 $PSCSa2$ のレベルもハイレベルとなり、スイッチ $SCSa21$ 、 $SCSa23$ がオン状態となる。そして、A 像信号 Sa がアナログメモリ $CTSa11$ 、 $CTSa13$ からバッファ $VFSa1$ 、 $VFSa2$ を通じてアナログメモリ $CTS21$ 、 $CTS23$ に書き込まれる。

【0058】

時刻 t_6 で、 $PSHN1$ と $PSHS1$ のレベルがハイレベルとなりスイッチ $SHN1$ と $SHS1$ がオン状態となる。そしてアナログメモリ $CTN21$ のノイズ信号 N と、アナログメモリ $CTS21$ の A 像信号 Sa がそれぞれ、ノイズ信号用水平信号線 21 と撮像信号用水平信号線 22 に水平転送される。すると、出力アンプ MA で A 像信号 Sa からノイズ信号 N の差分処理が行われ、端子 $OUTN$ と $OUTS$ を通じてチップ外へ 1 行 1 列目のノイズ補正された A 像信号 ($Sa - N$) が出力される。

10

【0059】

また、時刻 t_6 で、垂直走査回路 12 から $PTXa1$ 、 $PTXb1$ のレベルがハイレベルとなる信号が送られ、転送トランジスタ $Ma11 \sim Ma13$ と転送トランジスタ $Mb11 \sim Mb13$ がオン状態となる。その結果、フォトダイオード $Db11 \sim Db13$ の B 像信号に対応する電荷が、増幅トランジスタの入力ノードに転送され、A 像信号電荷と B 像信号電荷とが加算される。そして、列信号線 $NV1 \sim NV3$ に A 像信号 Sa と B 像信号 Sb が加算された撮像信号 S ($S = Sa + Sb$) が出力される。

【0060】

時刻 t_7 で、 $PSHN2$ と $PSHS2$ のレベルがハイとなり、スイッチ $SHN3$ と $SHS3$ がオン状態となる。そして、アナログメモリ $CTN23$ のノイズ信号 N と、アナログメモリ $CTS23$ の A 像信号 Sa がそれぞれ、ノイズ信号用水平信号線 21 と撮像信号用水平信号線 22 に水平転送される。すると、出力アンプ MA で A 像信号 Sa からノイズ信号 N の差分処理が行われ、端子 $OUTN$ と $OUTS$ を通じて撮像素子外へ 1 行 2 列目の A 像信号 ($Sa - N$) が出力される。

20

【0061】

時刻 t_7 では、 $PSCS1$ のレベルがハイレベルとなり、スイッチ $SCS11$ 、 $SCS13$ がオン状態となり、列ごとにある増幅回路 $GA1$ 、 $GA3$ を通じて増幅された撮像信号 S が、アナログメモリ $CTS11$ と $CTS13$ に書き込まれる。

【0062】

時刻 t_8 では、 $PSCS1$ のレベルがローレベルとなりスイッチ $SCS11$ 、 $SCS13$ がオフ状態となり、撮像信号 S のアナログメモリ $CTS11$ と $CTS13$ への書き込みが終了する。

30

【0063】

時刻 t_9 では、図示していない 3 列目以降の水平転送も終わる。また、時刻 t_9 で、 $pSCN2$ のレベルがハイレベルとなり、スイッチ $SCN21$ 、 $SCN23$ がオンとなりノイズ信号 N がアナログメモリ $CTN11$ 、 $CTN13$ からバッファ $VFN1$ 、 $VFN3$ を通じてアナログメモリ $CTN21$ 、 $CTN23$ に再び書き込まれる。時刻 t_9 では同時に、 $PSCS2$ のレベルもハイレベルとなり、スイッチ $SCS21$ 、 $SCS23$ がオン状態となる。そして、撮像信号 S がアナログメモリ $CTS11$ 、 $CTS13$ からバッファ $VFS1$ 、 $VFS3$ を通じてアナログメモリ $CTS21$ 、 $CTS23$ に書き込まれる。

40

【0064】

期間 $t_6 \sim t_9$ は、A 像信号 ($Sa - N$) の水平転送と、アナログメモリ $CTS11$ 、 $CTS13$ への撮像信号 S の書き込みを並列に行っている。このため、焦点検出用の情報を得ながらも、1 水平走査期間を小さくすることができる。ひいては、フレームレートもしくはコマ速を速くすることができる。

【0065】

時刻 t_{10} で、 $PSHN1$ と $PSHS1$ のレベルがハイレベルとなり、スイッチ $SHN1$ と $SHS1$ とがオン状態となる。そして、アナログメモリ $CTN21$ のノイズ信号 N と、アナログメモリ $CTS21$ の撮像信号 S がそれぞれ、ノイズ信号用水平信号線 21 と撮

50

像信号用水平信号線 22 に水平転送される。そして、出力アンプ MA で撮像信号 S からノイズ信号 N が差分され、端子 OUT N と OUT S を通じてチップ外へ 1 行 1 列目のオフセット補正された撮像信号 (S - N) が出力される。カメラは、この時点で 1 行 1 列目の撮像信号 (S - N) と A 像信号 (S a - N) を得るため、両者を差分処理することで B 像信号 S b が得られる。

【0066】

また、時刻 t 10 では、垂直走査回路 12 から PSEL 2 のレベルがハイレベルとなる信号が送られ、選択トランジスタ M421、M422 がオン状態となり、画素領域 10 の 2 行目が選択され、2 行目の読み出し動作が始まっている。

【0067】

時刻 t 11 で、PSHN 2 と PSHS 2 のレベルがハイレベルとなり、スイッチ SHN 3 と SHS 3 がオン状態となる。そして、アナログメモリ CTN 23 のノイズ信号 N と、アナログメモリ CTS 23 の撮像信号 S がそれぞれ、ノイズ信号用水平信号線 21 と撮像信号用水平信号線 22 に水平転送される。

【0068】

時刻 t 12 では、図示していない 3 列目以降の水平転送も終わる。時刻 t 13 では、垂直走査回路 12 から PSEL 2 のレベルがローレベルとなる信号が送られ、選択トランジスタ M421 ~ M423 がオフ状態となり、画素領域 10 の 2 行目が非選択となり、2 行目の読み出し動作が終わる。

【0069】

本実施例では、図 1 で示すように、ノイズ信号保持部のセット 1 と、撮像信号用のセット 2 を列信号線 NV 1 ~ NV 3 の配列方向に平行な方向に並進対称にレイアウトする。並進対称とは並進移動させたとき配置が一致することをいう。そして、フォーカス信号用スイッチ SC Sa 13 とアナログメモリ CTS a 13 とバッファ VNS a 3 のセット 3 は、セット 1 とセット 2 から見て画素領域 10 側に配置する。また導電パターン 6 を設けて、導電パターン 6 の電位を、フォーカス信号用バッファ VFS a 1、VFS a 3 の出力ノードと同じ電位にする。これにより、導電パターン 7 のセット 1 とセット 2 に与える影響の差を低減している。このため、ノイズ信号 N と撮像信号 S は、外乱ノイズの影響を受けてもほぼ同じノイズを受け、チップ外部に撮像信号 (S - N) を出力するとき、撮像信号とノイズ信号とを差分処理することによりノイズの影響はキャンセルされる。

【0070】

一方、セット 1 とセット 3 は並進対称では無く配置も離れている。よって、ノイズ信号 N とフォーカス信号 S a は、別の外乱ノイズの影響を受け得る。このため、出力アンプ MA によって S a と N との差分処理された外部出力用フォーカス信号 (S a - N) は、撮像信号 (S - N) に比べればノイズが大きくなり得る。

【0071】

つまり、後段の回路における、第 2 の信号保持部が出力する信号とノイズ信号保持部が出力する信号との差分処理の同相ノイズ除去率が、第 1 の信号保持部が出力する信号とノイズ信号保持部が出力する信号との差分処理の同相ノイズ除去率よりも大きい。

【0072】

図 1 に示すように、フォーカス信号用バッファ VFS a 1、VFS a 3 は、ノイズ信号用バッファ VFN 1、VFN 3 や撮像信号用バッファ VFS 1、VFS 3 と比べ異なったレイアウトとなっている。このため、フォーカス信号用バッファ VFS a 1、VFS a 3 は、ノイズ信号用バッファ VFN 1、VFN 3 や撮像信号用バッファ VFS 1、VFS 3 とレイアウト差による入力インピーダンス、出力インピーダンスまたはオープンループゲインが異なる。つまり、ノイズ信号用バッファ (VFN) と撮像信号用バッファ (VFS) の入力インピーダンス、出力インピーダンスまたはオープンループゲインの差は、ノイズ信号用バッファ (VFN) とフォーカス信号用バッファ (VFS a) の差より小さい。または、フォーカス信号用バッファ VFS a 1、VFS a 3 のバイアス電流を小さくし、低消費電力化しても良い。

【 0 0 7 3 】

本実施例では、バッファVFN1、VFS1、VFSa1、VFN3、VFS3、VFSa3は、ボルテージフォロア回路であるとして説明したが、ソースフォロア回路でも、1より大きいゲインをかけるゲインアンプ構成でも良い。スイッチSCN111、SCN121、SCS111、SCS121などは、n型MOSトランジスタとp型MOSトランジスタが組み合わされたアナログスイッチが望ましいが、n型MOSトランジスタ、p型MOSトランジスタのいずれか一方で構成してもよい。

【 0 0 7 4 】

図2では列ごとに増幅回路GAが設けられているが、これに限られるものではなく、複数の画素に共通に設けられた列アンプを複数有していれば本実施例を適用可能である。

10

【 0 0 7 5 】

本実施例によれば、列回路上のチップ上での占有面積の増加を抑えつつ、撮像信号を高S/Nで読み出すことが可能となる。

【 0 0 7 6 】

(実施例2)

本実施例の撮像装置の平面レイアウトの概念図を示す。実施例1と同様の部分には同様の符号を付し詳細な説明は省略する。本実施例の実施例1との違いは、第1の信号保持部を、ノイズ信号保持部、第2の信号保持部とこれらの配列方向に対して並べて配置した点である。

【 0 0 7 7 】

20

枠線内が黒く塗りつぶされた領域には、第2の配線層M2と第3の配線層M3とを電気的に接続する2層目のビアプラグが配置される。枠線内がクロス線でハッチングされた領域(M3)には、第3の配線層が配置される。また導電パターン4はシールド配線である。

【 0 0 7 8 】

図4のレイアウト図は、実施例1で説明した図2の回路図の点線18内に対応する。

【 0 0 7 9 】

図4に示すように、フォーカス信号用のスイッチとアナログメモリとバッファのセット3の右側にはスペース9が存在する。一方、ノイズ信号用のスイッチとアナログメモリとバッファのセット1と、撮像信号用のスイッチとアナログメモリとバッファのセット2の右側のスペースは実質的に存在しておらず、並進対称となっている。

30

【 0 0 8 0 】

つまり、セット1とセット2は並進対称である一方、セット3は、セット1とセット2に対して並進対称ではない。

【 0 0 8 1 】

このことはアナログメモリCTN11、CTS11、CTSa11をノイズ信号用、撮像信号用、フォーカス信号用の3つとし、アナログメモリCTN21、CTS21をノイズ信号用、撮像信号用の2つにしたためである。レイアウトの配線引きまわしの都合、または、フォトマスクのコストの削減のためグリッドを大きめにする都合で、前述のすき間の違いが生じ得る。本実施例では、製造プロセス上やむなく生じるこのスペースの違いを有効活用すべく、フォーカス信号用のスイッチとアナログメモリとバッファのセット3を並進対称ではないレイアウトとした。その結果、フォーカス信号用アナログメモリCTSa11のポリシリコンは、その右側のシールド配線4との距離が大きくなる。このため、寄生容量も含めて考えると、フォーカス信号用アナログメモリCTSa11の容量は、アナログメモリCTN11、CTS11より小さくなる。

40

【 0 0 8 2 】

また、フォーカス信号用バッファVFSa1は、その右側に生じるスペースが大きいため、寄生抵抗や寄生容量を含めるとバッファVFN1、VFS1とは、入力インピーダンス、出力インピーダンス、またはレイアウト差によるオープンループゲインが異なる。ここでバッファVFN1、VFS1に比べれば、フォーカス信号用バッファVFSa1の出

50

力は、精度を求められないため、フォーカス信号用バッファVFSa1、3のバイアス電流を小さくしてもよい。

【0083】

(実施例3)

図5に本実施例の撮像装置のレイアウトの概念図を示す。図5のレイアウト図は、実施例1で説明した図2の回路図の点線18内に対応する。実施例1、2と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。本実施例の実施例2との違いは、バッファVFSa、VFNの入力ノードとなる導電パターン5がダミー部を有する点である。

【0084】

10

図5において、ノイズ信号用スイッチとアナログメモリのセット13、撮像信号用スイッチとアナログメモリのセット14、フォーカス信号用スイッチとアナログメモリのセット17が、一方向に並んで配置されている。

【0085】

図5に示すように、バッファVFSa、VFNの入力ノードとなる導電パターン5は、バッファVFSの入力ノードに生じる寄生容量との差が小さくなるように、図5の太破線に示すようなダミー部を有する。

【0086】

図5のレイアウト図に示すように、フォーカス信号用のスイッチSCSa13とアナログメモリCTSaのセット17の左側に生じるスペースは大きい。一方、ノイズ信号用のスイッチSCN13とアナログメモリCTN13のセット13と、撮像信号用のスイッチSCS13とアナログメモリCTS13のセット14の左側に生じるスペースは小さい。また、セット13とセット14はシールド配線4に囲まれた領域を考えると並進対称性を保っている。一方、セット17は、上記スペースの違いのためにセット13とセット14に対して並進対称性を保っていない。

20

【0087】

このことはアナログメモリCTN11、CTS11、CTSa11をノイズ信号用、撮像信号用、フォーカス信号用と3つとし、アナログメモリCTN21、CTS21をノイズ信号用、撮像信号用と2つにしたことから生じる。レイアウトの配線引き回しの都合、または、フォトマスクのコストの削減のためグリッドを大きめに取る都合で、前述のスペースの違いが生じ得る。

30

【0088】

本実施例では、このスペースの違いを有効活用し、スペースをそれぞれの信号保持部に対し不均等に配分している。その結果、フォーカス信号用アナログメモリCTSa11のポリシリコンは、その左側のシールド配線4との距離が大きくなる。このため、寄生容量も含めて考えると、フォーカス信号用アナログメモリCTSa11の容量は、アナログメモリCTN11、CTS11より小さくなる。

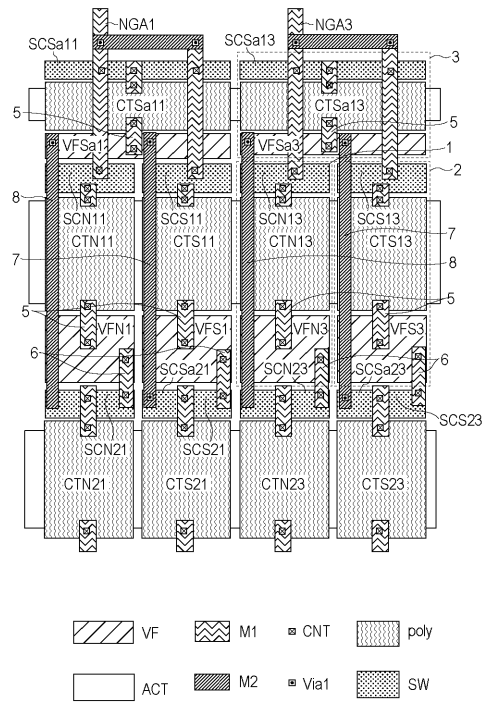
【符号の説明】

【0089】

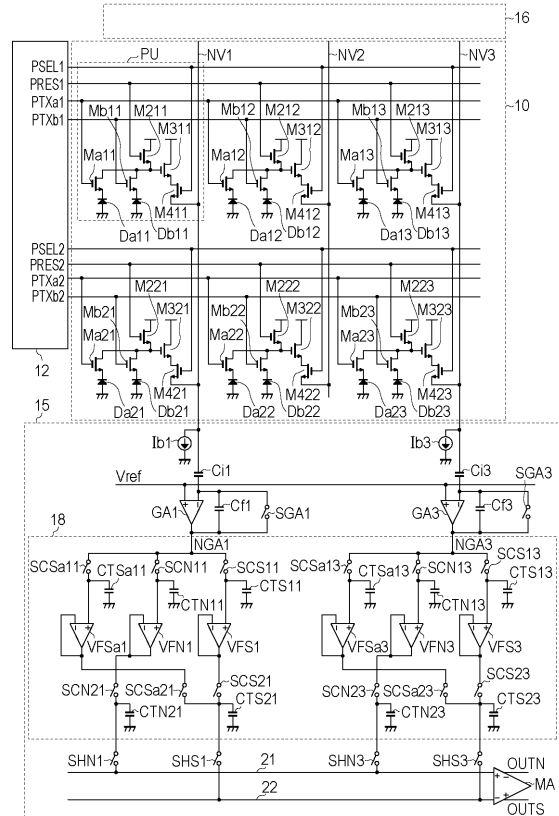
- 10 画素領域
- 15、16 列回路
- 18 信号保持部
- D11a ~ Db23 フォトダイオード
- M211 ~ M243 リセットトランジスタ
- M311 ~ M343 増幅トランジスタ

40

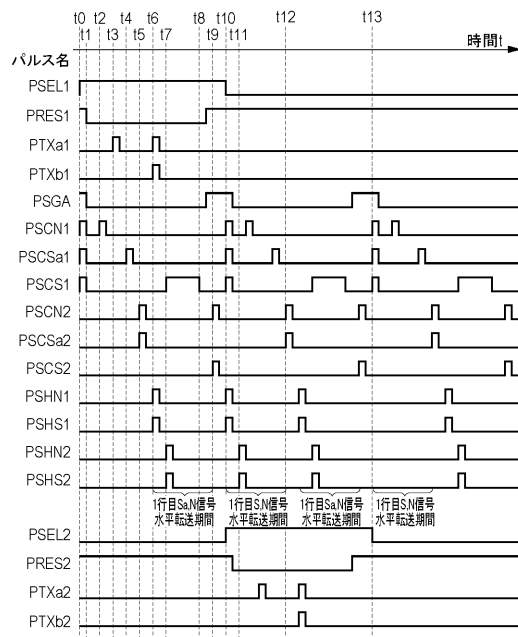
【 図 1 】



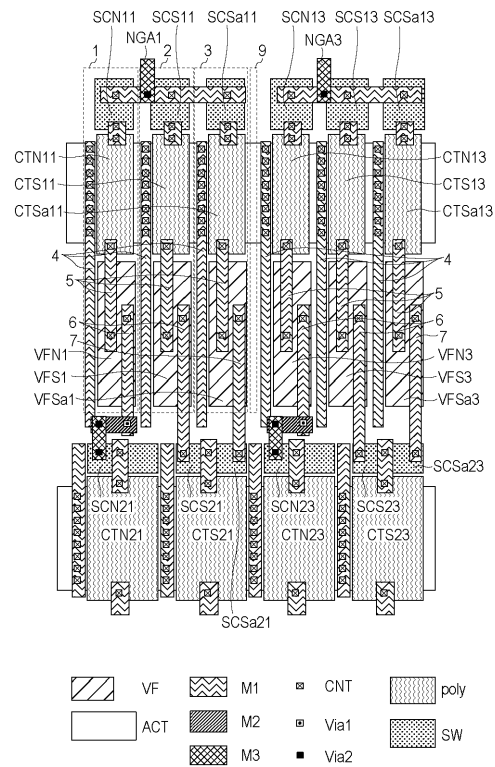
【 図 2 】



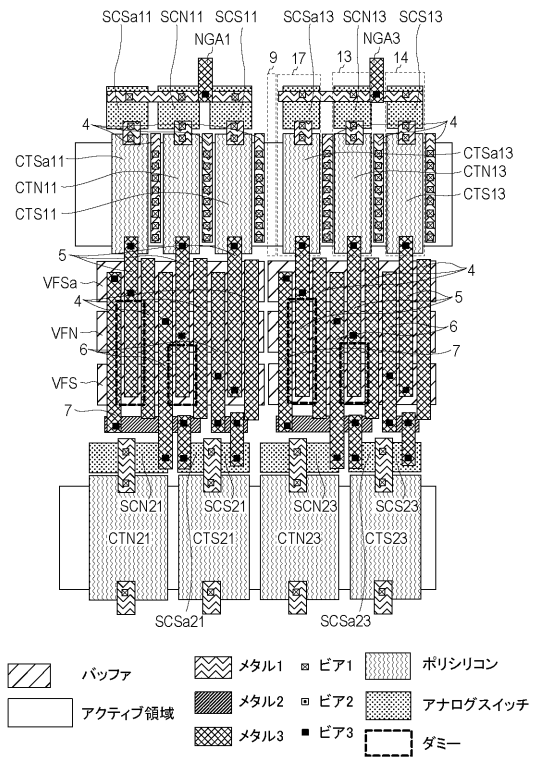
【 図 3 】



【 図 4 】



【図5】



フロントページの続き

(56)参考文献 特開 2 0 1 3 - 1 0 6 1 9 4 (J P , A)
特開 2 0 0 6 - 0 8 0 9 3 7 (J P , A)
特開 2 0 0 9 - 2 2 4 5 2 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 N	5 / 3 6 9
H 0 1 L	2 7 / 1 4 6
H 0 4 N	5 / 3 5 7
H 0 4 N	5 / 3 7 4