

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2015 年 12 月 23 日 (23.12.2015)



(10) 国际公布号
WO 2015/192389 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/080830
- (22) 国际申请日: 2014 年 6 月 26 日 (26.06.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410269184.1 2014 年 6 月 17 日 (17.06.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 曾德康 (ZENG, Dekang); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。 郭东胜 (GUO, Dongsheng); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳汇智容达专利商标事务所 (普通合伙) (SHENZHEN RONDA PATENT AND TRADE-

MARK LAW OFFICE); 中国广东省深圳市福田区深南中路与广深高速公路交界东南金运世纪大厦 04 层 04G, Guangdong 518040 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: PROGRAMMABLE GAMMA CORRECTION BUFFER CIRCUIT CHIP AND METHOD FOR GENERATING GAMMA VOLTAGE

(54) 发明名称: 一种可编程伽玛校正缓冲电路芯片及产生伽马电压的方法

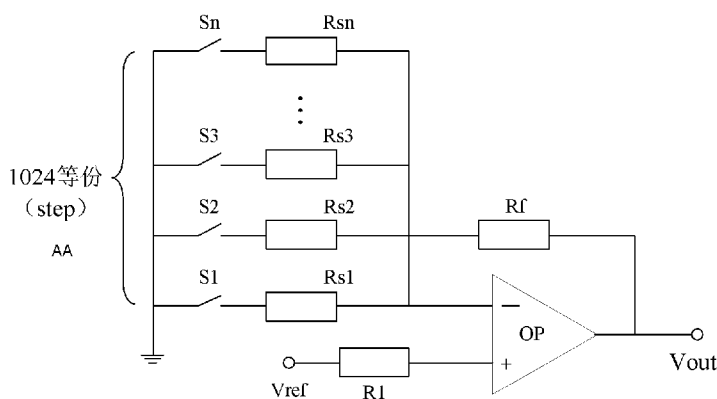


图 2 / Fig. 2

AA 1024 EQUALLY DIVIDED PARTS

(57) Abstract: A programmable gamma correction buffer circuit chip and method for generating a gamma voltage, the programmable gamma correction buffer circuit chip comprising an operational amplifier (OP); the in-phase input end of the OP is connected to a reference voltage input end through a first resistor (R1); the out-of-phase input end of the OP is connected to an output end through a reference resistor (Rf); N second resistors (Rs) are connected in parallel between the out-of-phase phase input end of the OP and the ground, n being the number of parts obtained upon equally dividing a reference voltage (Vref) generated by the programmable gamma correction buffer circuit chip, Vref serving as the reference potential difference of each equally divided part, and each second resistor Rs being connected to a switch S in series. The improved structure of the programmable gamma correction buffer circuit chip does not require a MOS tube, thus reducing chip size and saving costs.

(57) 摘要:

[见续页]



WO 2015/192389 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种可编程伽玛校正缓冲电路芯片及产生伽玛电压的方法，其中，可编程伽玛校正缓冲电路芯片包括运算放大器 OP，所述运算放大器的同相输入端通过第一电阻 R1 与基准电压输入端相连，所述运算放大器的反相输入端通过参考电阻 Rf 与输出端相连，所述运算放大器的反相输入端对地并联有 n 个第二电阻 Rs，n 为将所述可编程伽玛校正缓冲电路芯片产生的基准电压 Vref 进行等分的数量，所述基准电压 Vref 作为每一等份的基准电位差，所述每一第二电阻 Rs 均串联有一个开关 S。通过对可编程伽玛校正缓冲电路芯片的构造进行改进，无需采用 MOS 管，减小了芯片体积，节省了成本。

一种可编程伽玛校正缓冲电路芯片及产生伽马电压的方法

本申请要求于 2014 年 6 月 17 日提交中国专利局、申请号为 201410269184.1、发明名称为“一种可编程伽玛校正缓冲电路芯片及产生伽马电压的方法”的中国专利申请的优先权，上述专利的全部内容通过引用结合在本申请中。

技术领域

本发明涉及图像显示领域，尤其涉及一种可编程伽玛校正缓冲电路芯片及产生伽马电压的方法。

背景技术

TFT-LCD 驱动原理中数据驱动电路 (Data Driver) 通过伽马 (gamma) 电压作为基准产生实现 gamma 2.2 的校正。可编程伽玛校正缓冲电路芯片 (P_Gamma IC) 则是通过数位逻辑电路 (Digital Logic Circuit) 经数模转换 DAC (Digital-to-Analogue Conversion) 后，产生各 gamma 电压的集成芯片。现有的 P_Gamma IC 都是将模拟基准电压 Vref (reference voltage) 通过数位逻辑电路细分为 2^S 等分 (S 为数模转换位数)，再经 DAC 模块中的场效应管 (MOS 管) 进行选择对应的通道，最后经过电压跟随器 (OP) 得到对应的模拟电压 (Analog voltage)，产生模拟电压可所需的 gamma 电压。在这种情况下，共需 $S \times 2^S$ 个 MOS 管。图 1 所示为 3-bit DAC 模块电路，从图中可以看出，一共有 24 (3×8) 个 MOS 管。对于更高位数，例如 10-bit，则需要 10240 (10×1024) 个 MOS 管。由于 MOS 管数量的多少将直接影响到 IC 的体积大小和成本高低，过多的 MOS 管无疑大大增加了 IC 的体积和成本。

发明内容

本发明所要解决的技术问题在于，提供一种有效减小体积、降低成本的可编程伽玛校正缓冲电路芯片及产生伽马电压的方法。

为了解决上述技术问题，本发明提供一种可编程伽玛校正缓冲电路芯片，包括运算放大器 OP，所述运算放大器的同相输入端通过第一电阻 R1

与基准电压输入端相连，所述运算放大器的反相输入端通过参考电阻 R_f 与输出端相连，所述运算放大器的反相输入端对地并联有 n 个第二电阻 R_s ， n 为将所述可编程伽玛校正缓冲电路芯片产生的基准电压 V_{ref} 进行等分的数量，所述基准电压 V_{ref} 作为每一等份的基准电位差，所述每一第二电阻 R_s 均串联有一个开关 S 。

其中，所述第二电阻 R_s 的阻值与参考电阻 R_f 的阻值相同。

其中，所述第二电阻 R_s 、参考电阻 R_f 以及第一电阻 R_1 三者的阻值均相同。

本发明还提供一种一种可编程伽玛校正缓冲电路芯片，其中，包括运算放大器 OP，所述运算放大器的同相输入端通过第一电阻 R_1 与基准电压输入端相连，所述运算放大器的反相输入端通过参考电阻 R_f 与输出端相连，所述运算放大器的反相输入端对地并联有 n 个第二电阻 R_s ， n 为将所述可编程伽玛校正缓冲电路芯片产生的基准电压 V_{ref} 进行等分的数量，所述基准电压 V_{ref} 作为每一等份的基准电位差，所述每一第二电阻 R_s 均串联有一个开关 S ，所述第二电阻 R_s 、参考电阻 R_f 以及第一电阻 R_1 三者的阻值均相同。

本发明还提供一种产生伽马电压的方法，包括：

步骤 S1，提供一种可编程伽玛校正缓冲电路芯片，其中，所述可编程伽玛校正缓冲电路芯片包括运算放大器 OP，所述运算放大器的同相输入端通过第一电阻 R_1 与基准电压输入端相连，所述运算放大器的反相输入端通过参考电阻 R_f 与输出端相连，所述运算放大器的反相输入端对地并联有 n 个第二电阻 R_s ， n 为将所述可编程伽玛校正缓冲电路芯片产生的基准电压 V_{ref} 进行等分的数量，所述基准电压 V_{ref} 作为每一等份的基准电位差，所述每一第二电阻 R_s 均串联有一个开关 S ；

步骤 S2，从可编程伽玛校正缓冲电路芯片的寄存器获得 m 值，控制 m 个开关 S 闭合；

步骤 S3，计算得到输出电压 V_{out} 。

其中，所述步骤 S3 中，所述输出电压 V_{out} 根据 m 值，所述第二电阻 R_s 的阻值以及参考电阻 R_f 的阻值计算得到。

其中， m 是大于 1 且小于等于 n 的整数。

其中，所述第二电阻 R_s 的阻值与参考电阻 R_f 的阻值相同。

其中，所述第二电阻 R_s 、参考电阻 R_f 以及第一电阻 R_1 三者的阻值均相同。

本发明实施例通过对可编程伽玛校正缓冲电路芯片的构造进行改进，将其产生的基准电压作为所划分的每一等份的电位差，取代了 DAC 模块，无需采用 MOS 管，减小了芯片体积，节省了成本。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是现有数模转换模块电路示意图。

图 2 是本发明实施例一一种可编程伽玛校正缓冲电路芯片的电气原理示意图。

图 3 是本发明实施例二一种产生伽马电压的方法的流程示意图。

具体实施方式

请参照图 2 所示，本发明实施例一提供一种可编程伽玛校正缓冲电路芯片，包括运算放大器 OP (Operational amplifier)，该运算放大器的同相输入端通过第一电阻 R_1 与基准电压输入端相连，该运算放大器的反相输入端通过参考电阻 R_f 与输出端相连，该运算放大器的反相输入端对地 (GND) 并联有 n 个第二电阻 R_s ， n 为将可编程伽玛校正缓冲电路芯片产生的基准电压 V_{ref} 进行等分的数量，基准电压 V_{ref} 作为每一等份 (step) 的基准电位差，每一第二电阻 R_s 均串联有一个开关 S 。

由于 OP 具有极高的开环增益，在负反馈下，其输入信号处在很小的范围内，相差很小，近似相等 (仅存在毫伏级的差异)，相当于把那同相输入端与反相输入端短接，但实际又没短接，即虚短。另外，OP 输入电阻很大，流入 OP 的同相输入端和反相输入端中的电流十分微小，往往可以忽略，相当于 OP 的输入端开路，但实际并非开路，即虚断。利用 OP 的虚短原理可知，OP 同相输入端电压与反相输入端电压均为基准电压 V_{ref} ；利用 OP 的

虚断原理可知，从 n 个第二电阻 R_s （这些第二电阻 R_s 的阻值均相同）与开关组成的并联电路流出的电流，与流经参考电阻 R_f 的电流相同，因此，即有下述公式：

$$\frac{V_{ref}}{R_s/m} = \frac{V_{out}}{R_f + R_s/m} \quad (1)$$

$$V_{out} = \frac{V_{ref} \times R_s + m \times V_{ref} \times R_f}{R_s} = (1 + m \times \frac{R_f}{R_s}) \times V_{ref} \quad (2)$$

其中， m 为可编程伽玛校正缓冲电路芯片中寄存器的值，可以根据需求进行修改， m 是大于 1 且小于等于 n 的整数。

也就是说，确定参考电阻 R_f 和第二电阻 R_s 的阻值后，通过公式 (2)，OP 输出端的输出电压 V_{out} 与基准电压 V_{ref} 形成线性关系，这样，闭合不同数量的开关，即可得到不同的输出电压，进而得到液晶显示面板（TFT-LCD Panel）所需的各个伽马电压（Gamma voltage）。当从寄存器获得 m 的值后，则对应有 m 个开关闭合，使得 R_s/m 的值变小，通过公式 (2) 计算得到输出电压 V_{out} 。

例如，图 2 所示为将基准电压划分为 1024 等份，则运算放大器的反相输入端对地（GND）并联有 1024 个第二电阻 R_s （ $R_{s1}, R_{s2}, R_{s3}, \dots, R_{sn}$ ， $n=1024$ ），每一第二电阻 R_s 串联有一个开关 S ，开关数也为 1024 个。 m 的数值则在 1~1024 中取值，当 $m=2$ 时，则有 2 个开关 S 闭合，此时相当于 2 个第二电阻 R_s 相并联后，一端与参考电阻 R_f 串联，另一端接地，则 $V_{out} = (1 + R_s/R_f) V_{ref}$ ；同样，当 $m=8$ 时，则有 8 个开关 S 闭合，即 8 个第二电阻 R_s 相并联后，一端与参考电阻 R_f 串联，另一端接地，则 $V_{out} = (1 + 8 \times R_s/R_f) V_{ref}$ 。

从图 2 也可以看出，其实际为一同相加法器，取代了现有技术的 DAC 模块，同样也能实现输出各种所需电压，无需采用 MOS 管，减小了芯片体积，节省了成本。

作为更优的实现方式，第二电阻 R_s 的阻值与参考电阻 R_f 的阻值相同，设为 R ，则公式 (2) 可以进一步简化为如下公式 (3)：

$$V_{out} = \frac{V_{ref} \times R + m \times V_{ref} \times R}{R} = (1 + m) \times V_{ref} \quad (3)$$

即 V_{out} 与 V_{ref} 的线性关系更是直接只与 m 相关, 获得 m 取值之后, 直接可以计算得到 V_{out} 。

再进一步地, 为使整个电路更易于实现, 第二电阻 R_s 、参考电阻 R_f 以及第一电阻 R_1 三者的阻值均相同。

再请参照图 3 所示, 本发明实施例二提供一种产生伽马电压的方法, 包括:

步骤 S1, 提供一种可编程伽玛校正缓冲电路芯片, 其中, 该可编程伽玛校正缓冲电路芯片包括运算放大器 OP, 该运算放大器的同相输入端通过第一电阻 R_1 与基准电压输入端相连, 该运算放大器的反相输入端通过参考电阻 R_f 与输出端相连, 该运算放大器的反相输入端对地并联有 n 个第二电阻 R_s , n 为将可编程伽玛校正缓冲电路芯片产生的基准电压 V_{ref} 进行等分的数量, 基准电压 V_{ref} 作为每一等份 (step) 的基准电位差, 每一第二电阻 R_s 均串联有一个开关 S ;

步骤 S2, 从可编程伽玛校正缓冲电路芯片的寄存器获得 m 值, 控制 m 个开关 S 闭合;

步骤 S3, 计算得到输出电压 V_{out} 。

具体地, 步骤 S3 中, 输出电压 V_{out} 根据 m 值, 第二电阻 R_s 的阻值以及参考电阻 R_f 的阻值计算得到。具体计算方式可参见前述本发明实施例一中的公式 (2)。如前所述, m 是大于 1 且小于等于 n 的整数。

同样, 本实施例中, 第二电阻 R_s 的阻值与参考电阻 R_f 的阻值相同。进一步地, 第二电阻 R_s 、参考电阻 R_f 以及第一电阻 R_1 三者的阻值均相同。

本发明实施例通过对可编程伽玛校正缓冲电路芯片的构造进行改进, 将其产生的基准电压作为所划分的每一等份的电位差, 以加法器取代 DAC 模块, 无需采用 MOS 管, 减小了芯片体积, 节省了成本。同时也使伽马电压的产生方式得到改良, 避免采用高成本、大体积的元器件。

以上所揭露的仅为本发明较佳实施例而已, 当然不能以此来限定本发明之权利范围, 因此等同变化, 仍属本发明所涵盖的范围。

权利要求

1、一种可编程伽玛校正缓冲电路芯片，其中，包括运算放大器 OP，所述运算放大器的同相输入端通过第一电阻 R1 与基准电压输入端相连，所述运算放大器的反相输入端通过参考电阻 Rf 与输出端相连，所述运算放大器的反相输入端对地并联有 n 个第二电阻 Rs，n 为将所述可编程伽玛校正缓冲电路芯片产生的基准电压 Vref 进行等分的数量，所述基准电压 Vref 作为每一等份的基准电位差，所述每一第二电阻 Rs 均串联有一个开关 S。

2、根据权利要求 1 所述的可编程伽玛校正缓冲电路芯片，其中，所述第二电阻 Rs 的阻值与参考电阻 Rf 的阻值相同。

3、根据权利要求 2 所述的可编程伽玛校正缓冲电路芯片，其中，所述第二电阻 Rs、参考电阻 Rf 以及第一电阻 R1 三者的阻值均相同。

4、一种可编程伽玛校正缓冲电路芯片，其中，包括运算放大器 OP，所述运算放大器的同相输入端通过第一电阻 R1 与基准电压输入端相连，所述运算放大器的反相输入端通过参考电阻 Rf 与输出端相连，所述运算放大器的反相输入端对地并联有 n 个第二电阻 Rs，n 为将所述可编程伽玛校正缓冲电路芯片产生的基准电压 Vref 进行等分的数量，所述基准电压 Vref 作为每一等份的基准电位差，所述每一第二电阻 Rs 均串联有一个开关 S，所述第二电阻 Rs、参考电阻 Rf 以及第一电阻 R1 三者的阻值均相同。

5、一种产生伽马电压的方法，包括：

步骤 S1，提供一种可编程伽玛校正缓冲电路芯片，其中，所述可编程伽玛校正缓冲电路芯片包括运算放大器 OP，所述运算放大器的同相输入端通过第一电阻 R1 与基准电压输入端相连，所述运算放大器的反相输入端通过参考电阻 Rf 与输出端相连，所述运算放大器的反相输入端对地并联有 n 个第二电阻 Rs，n 为将所述可编程伽玛校正缓冲电路芯片产生的基准电压 Vref 进行等分的数量，所述基准电压 Vref 作为每一等份的基准电位差，所述每一第二电阻 Rs 均串联有一个开关 S；

步骤 S2，从可编程伽玛校正缓冲电路芯片的寄存器获得 m 值，控制 m 个开关 S 闭合；

步骤 S3，计算得到输出电压 Vout。

6、根据权利要求5所述的方法，其中，所述步骤S3中，所述输出电压 V_{out} 根据 m 值，所述第二电阻 R_s 的阻值以及参考电阻 R_f 的阻值计算得到。

7、根据权利要求6所述的方法，其中， m 是大于1且小于等于 n 的整数。

8、根据权利要求5所述的方法，其中，所述第二电阻 R_s 的阻值与参考电阻 R_f 的阻值相同。

9、根据权利要求7所述的方法，其中，所述第二电阻 R_s 、参考电阻 R_f 以及第一电阻 R_1 三者的阻值均相同。

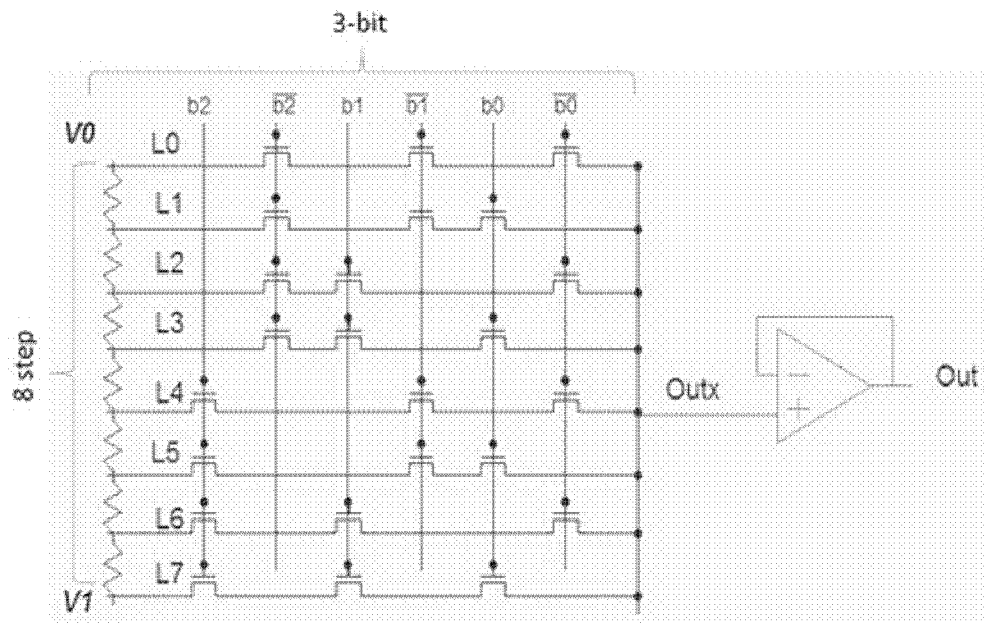


图 1

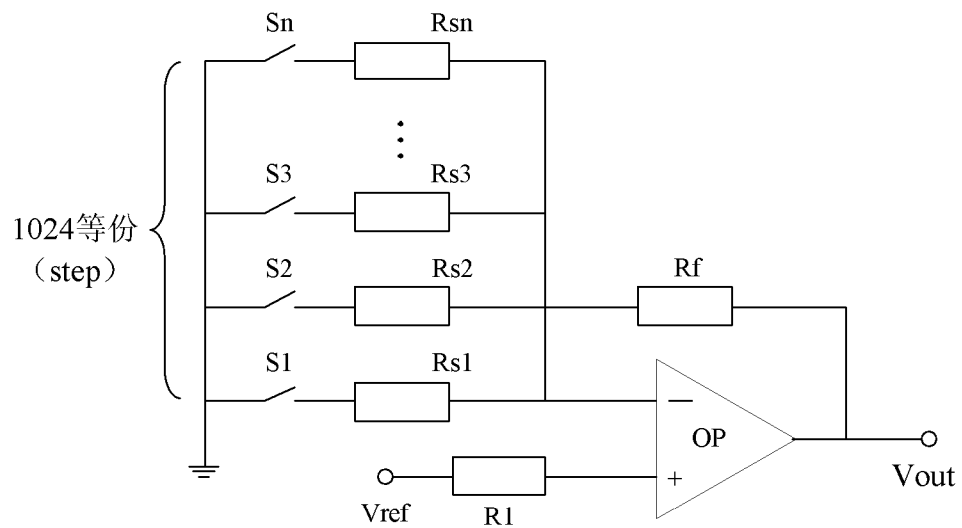


图 2

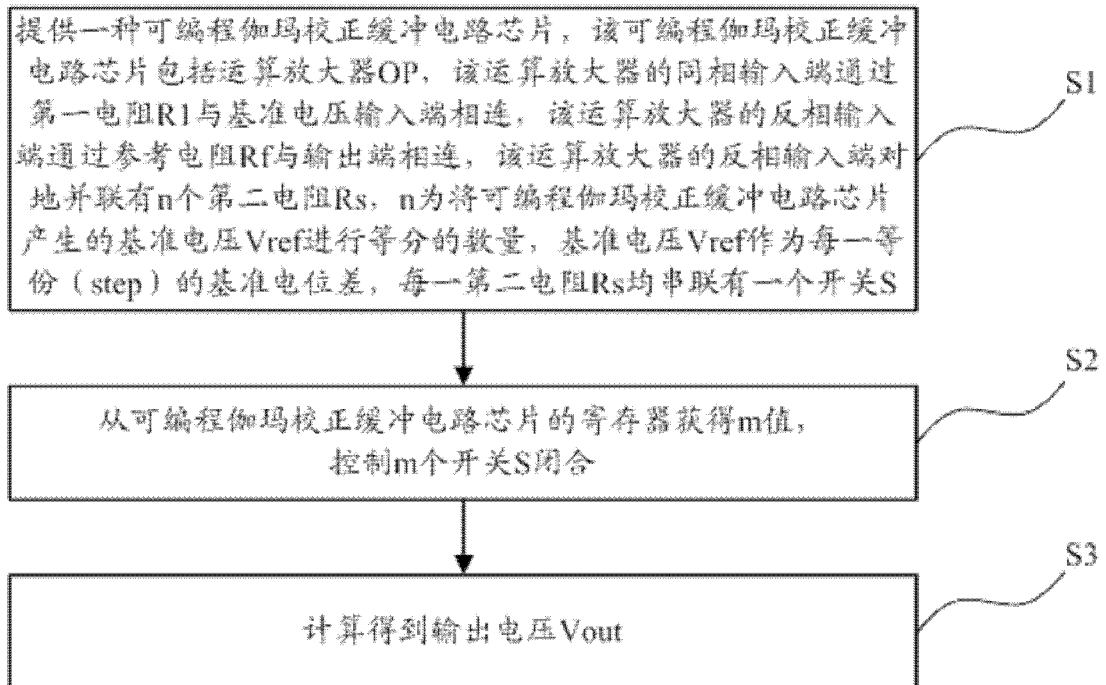


图 3

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/080830

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI: SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.; AU OPTRONICS, Y, operational amplifier, adder, single, ladder-type, gamma, amplifier, OP, gain, ladder

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101393730 A (AU OPTRONICS CORP.), 25 March 2009 (25.03.2009), description, page 5, line 20 to page 8, line 6, and figure 4	1-9
A	CN 101826308 A (NOVATEK MICROELECTRONICS CORP.), 08 September 2010 (08.09.2010), description, paragraphs [0039]-[0065], and figures 4-5	1-9
A	CN 1437083 A (SEIKO EPSON CORPORATION), 20 August 2003 (20.08.2003), the whole document	1-9
A	CN 103000157 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 27 March 2013 (27.03.2013), the whole document	1-9
A	CN 103366667 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 23 October 2013 (23.10.2013), the whole document	1-9
A	US 6313884 B1 (U. S. PHILIPS CORP.), 06 November 2001 (06.11.2001), the whole document	1-9

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 02 March 2015 (02.03.2015)	Date of mailing of the international search report 20 March 2015 (20.03.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer XUE, Mei Telephone No.: (86-10) 62413386

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/080830

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012162184 A1 (KIM, Y.S. et al.), 28 June 2012 (28.06.2012), the whole document	1-9
A	JP 2002250908 A (PANASONIC CORPORATION), 06 September 2002 (06.09.2002), the whole document	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/080830

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101393730 A	25 March 2009	CN 101393730 B	04 August 2010
CN 101826308 A	08 September 2010	CN 101826308 B	11 July 2012
CN 1437083 A	20 August 2003	JP 2003233355 A	22 August 2003
		KR 100475710 B1	10 March 2005
		JP 3661651 B2	15 June 2005
		US 2003151617 A1	14 August 2003
		TW 200302959 A	16 August 2003
		US 7079127 B2	18 July 2006
		TW 583524 B	11 April 2004
		CN 100409276 C	06 August 2008
		EP 1335346 A1	13 August 2003
		KR 20030067577 A	14 August 2003
CN 103000157 A	27 March 2013	WO 2014101074 A1	03 July 2014
		US 2014176519	26 June 2014
CN 103366667 A	23 October 2013	WO 2015000239 A1	08 January 2015
US 6313884 B1	06 November 2001	JP 2001506837 A	22 May 2001
		KR 20000016553 A	25 March 2000
		WO 9846028 A1	15 October 1998
		EP 0906702 A1	07 April 1999
US 2012162184 A1	28 June 2012	KR 20120072558 A	04 July 2012
		US 8773339 B2	08 July 2014
JP 2002250908 A	06 September 2002	None	

国际申请号

A. 主题的分类

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNPAT, CNKI:深圳市华星光电技术有限公司, 友达光电, 伽玛, 伽马, 伽码, 咖玛, 咖马, 咖码, 加
玛, 加马, γ, 运算放大器, 放大器, 运放, 加法器, 增益, 单倍, 梯形, 梯型, 阶梯, gamma, amplifier, OP,
gain, ladder

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 101393730 A (友达光电股份有限公司) 2009年 3月 25日 (2009 - 03 - 25) 说明书第5页第20行-第8页第6行, 图4	1-9
A	CN 101826308 A (联咏科技股份有限公司) 2010年 9月 8日 (2010 - 09 - 08) 说明书第[0039]-[0065]段, 图4-5	1-9
A	CN 1437083 A (精工爱普生株式会社) 2003年 8月 20日 (2003 - 08 - 20) 全文	1-9
A	CN 103000157 A (深圳市华星光电技术有限公司) 2013年 3月 27日 (2013 - 03 - 27) 全文	1-9
A	CN 103366667 A (北京京东方光电科技有限公司) 2013年 10月 23日 (2013 - 10 - 23) 全文	1-9
A	US 6313884 B1 (U. S. PHILIPS CORP.) 2001年 11月 6日 (2001 - 11 - 06) 全文	1-9

☒ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“ A ” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“0” 涉及口头公开、使用、展览或以其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性。

“&” 同族专利的文件

国际检索实际完成的日期	
-------------	--

2015年 3月 2日

国际检索报告邮寄日期

2015年 3月 20日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

受权官员	
------	--

薛梅

电话号码 (86-10) 62413386

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2012162184 A1 (KIM, YOUNG-SU 等) 2012年 6月 28日 (2012 - 06 - 28) 全文	1-9
A	JP 2002250908 A (松下电器产业株式会社) 2002年 9月 6日 (2002 - 09 - 06) 全文	1-9

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/080830

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101393730	A	2009年 3月 25日	CN	101393730	B	2010年 8月 4日
CN	101826308	A	2010年 9月 8日	CN	101826308	B	2012年 7月 11日
CN	1437083	A	2003年 8月 20日	JP	2003233355	A	2003年 8月 22日
				KR	100475710	B1	2005年 3月 10日
				JP	3661651	B2	2005年 6月 15日
				US	2003151617	A1	2003年 8月 14日
				TW	200302959	A	2003年 8月 16日
				US	7079127	B2	2006年 7月 18日
				TW	583524	B	2004年 4月 11日
				CN	100409276	C	2008年 8月 6日
				EP	1335346	A1	2003年 8月 13日
				KR	20030067577	A	2003年 8月 14日
CN	103000157	A	2013年 3月 27日	WO	2014101074	A1	2014年 7月 3日
				US	2014176519		2014年 6月 26日
CN	103366667	A	2013年 10月 23日	WO	2015000239	A1	2015年 1月 8日
US	6313884	B1	2001年 11月 6日	JP	2001506837	A	2001年 5月 22日
				KR	20000016553	A	2000年 3月 25日
				WO	9846028	A1	1998年 10月 15日
				EP	0906702	A1	1999年 4月 7日
US	2012162184	A1	2012年 6月 28日	KR	20120072558	A	2012年 7月 4日
				US	8773339	B2	2014年 7月 8日
JP	2002250908	A	2002年 9月 6日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)