



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I634650 B

(45) 公告日：中華民國 107 (2018) 年 09 月 01 日

(21) 申請案號：103119948

(22) 申請日：中華民國 103 (2014) 年 06 月 09 日

(51) Int. Cl. : H01L27/146 (2006.01)

H04N5/369 (2011.01)

(30) 優先權：2013/06/11 日本

2013-122909

(71) 申請人：濱松赫德尼古斯股份有限公司 (日本) HAMAMATSU PHOTONICS K.K. (JP)
日本(72) 發明人：藤田一樹 FUJITA, KAZUKI (JP)；久島龍次 KYUSHIMA, RYUJI (JP)；森治通
MORI, HARUMICHI (JP)

(74) 代理人：陳長文

(56) 參考文獻：

TW 201306240

TW 201312735

JP 2012182836

US 6407770

US 20020164861

審查人員：邱智強

申請專利範圍項數：23 項 圖式數：13 共 44 頁

(54) 名稱

固體攝像裝置

(57) 摘要

本發明之固體攝像裝置 1A 包含感測器面板部 10 及讀取電路部 40。感測器面板部 10 設置於玻璃基板 12 上，具有包含排列成 M 列 N 行之像素 $P_{1,1} \sim P_{M,N}$ 之受光部 20、列選擇用配線 $Q_1 \sim Q_M$ 、及讀取用配線 $R_1 \sim R_N$ 。讀取電路部 40 設置於基板 41 上，具有 N 個積分電路 42。於 N 個面板側連接點 13 與積分電路 42 之間的節點 $N_1 \sim N_N$ 與恒電位線 71 之間，連接有整流電路 72。於節點 $N_1 \sim N_N$ 與讀取用配線 $R_1 \sim R_N$ 之間，連接有具有電阻成分之電路構成物 73。藉此，即使於某行中產生列選擇用配線與讀取用配線之短路之情形時，亦可防止來自其他行之積分電路之輸出電壓值之異常。

指定代表圖：

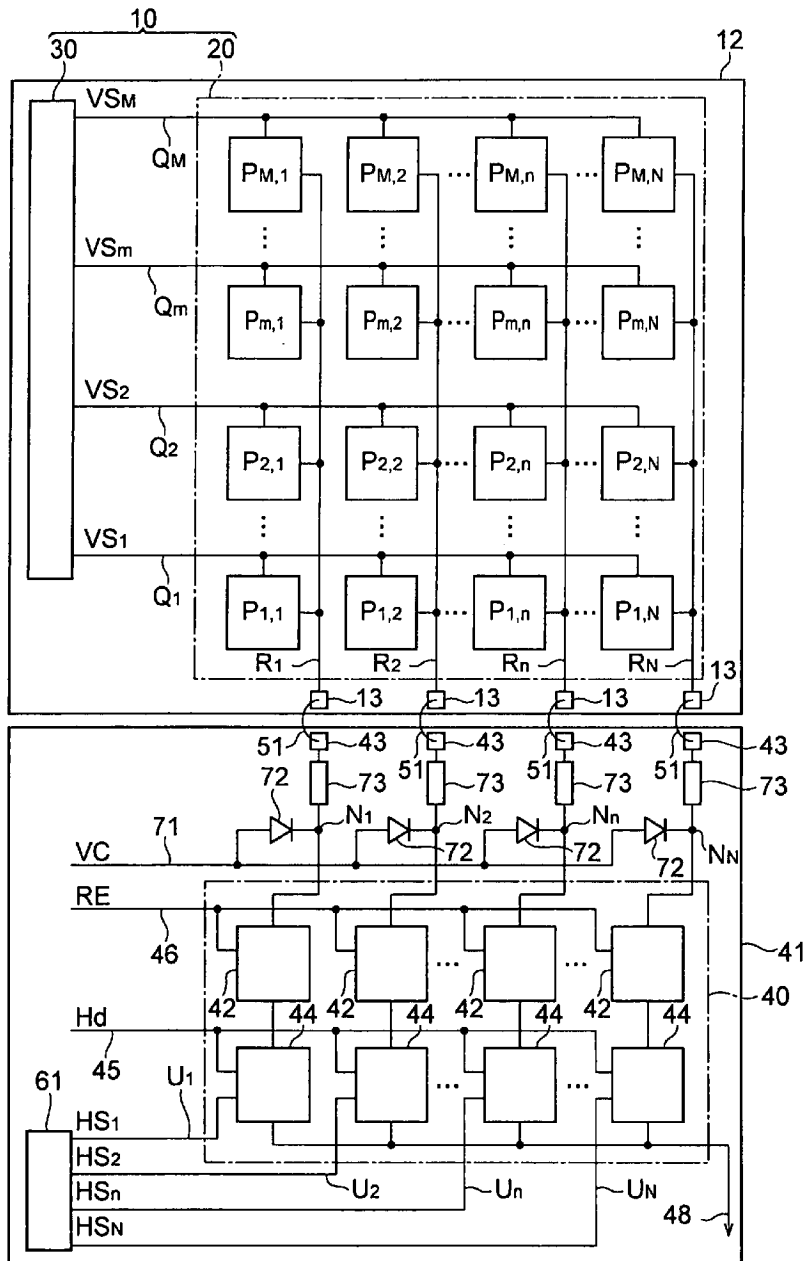


圖4

符號簡單說明：

- 10 . . . 感測器面板部
- 12 . . . 玻璃基板
- 13 . . . 面板側連接點
- 20 . . . 受光部
- 30 . . . 垂直移位暫存器部
- 40 . . . 讀取電路部
- 41 . . . 基板
- 42 . . . 積分電路
- 43 . . . 讀取部側連接點
- 44 . . . 保持電路
- 45 . . . 保持用配線
- 46 . . . 重設用配線
- 48 . . . 電壓輸出用配線
- 51 . . . 焊接線
- 61 . . . 水平移位暫存器部
- 71 . . . 恒電位線
- 72 . . . 整流電路
- 73 . . . 電路構成物
- Hd . . . 保持控制信號
- HS₁~HS_N . . . 行選擇控制信號
- N₁~N_N . . . 節點
- P_{1,1}~P_{M,N} . . . 像素
- Q₁~Q_M . . . 列選擇用配線
- R₁~R_N . . . 讀取用配線
- RE . . . 重設控制信號

$U_1 \sim U_N \dots$ 行選擇
用配線

$VC \dots$ 特定電位

$VS_1 \sim VS_M \dots$ 列選擇
控制信號

I634650

發明摘要

※ 申請案號：103119948

※ 申請日：103/06/09

※IPC 分類：H01L 27/146 (2006.01)
H04N 5/369 (2011.01)

【發明名稱】

固體攝像裝置

【中文】

本發明之固體攝像裝置1A包含感測器面板部10及讀取電路部40。感測器面板部10設置於玻璃基板12上，具有包含排列成M列N行之像素 $P_{1,1} \sim P_{M,N}$ 之受光部20、列選擇用配線 $Q_1 \sim Q_M$ 、及讀取用配線 $R_1 \sim R_N$ 。讀取電路部40設置於基板41上，具有N個積分電路42。於N個面板側連接點13與積分電路42之間的節點 $N_1 \sim N_N$ 與恒電位線71之間，連接有整流電路72。於節點 $N_1 \sim N_N$ 與讀取用配線 $R_1 \sim R_N$ 之間，連接有具有電阻成分之電路構成物73。藉此，即使於某行中產生列選擇用配線與讀取用配線之短路之情形時，亦可防止來自其他行之積分電路之輸出電壓值之異常。

【英文】

無

圖式

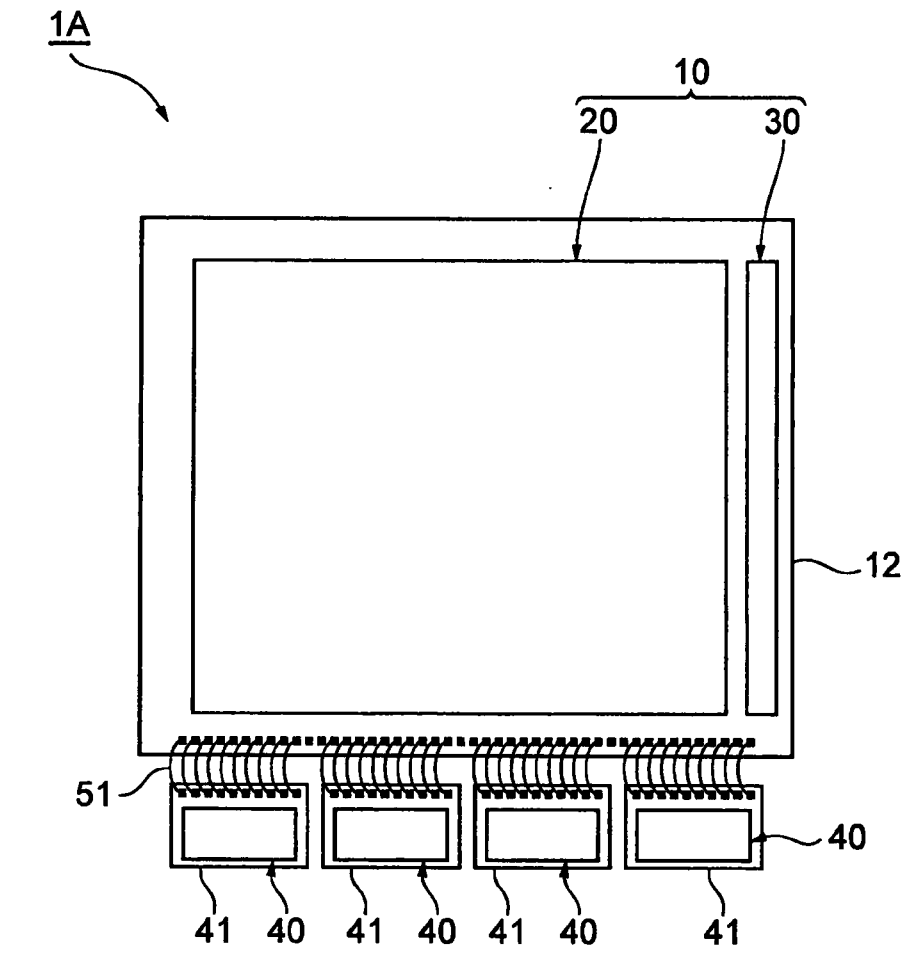


圖1

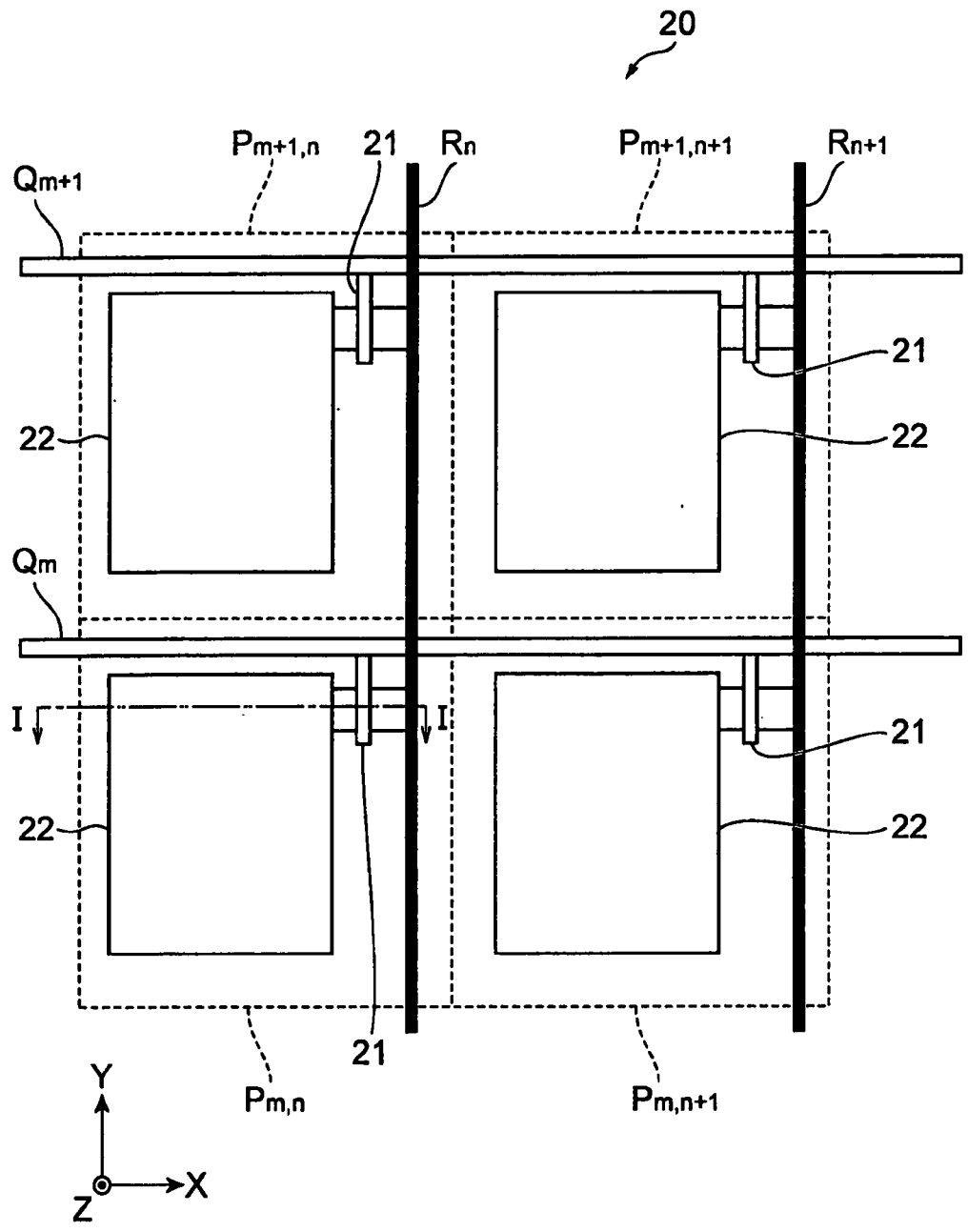


圖2

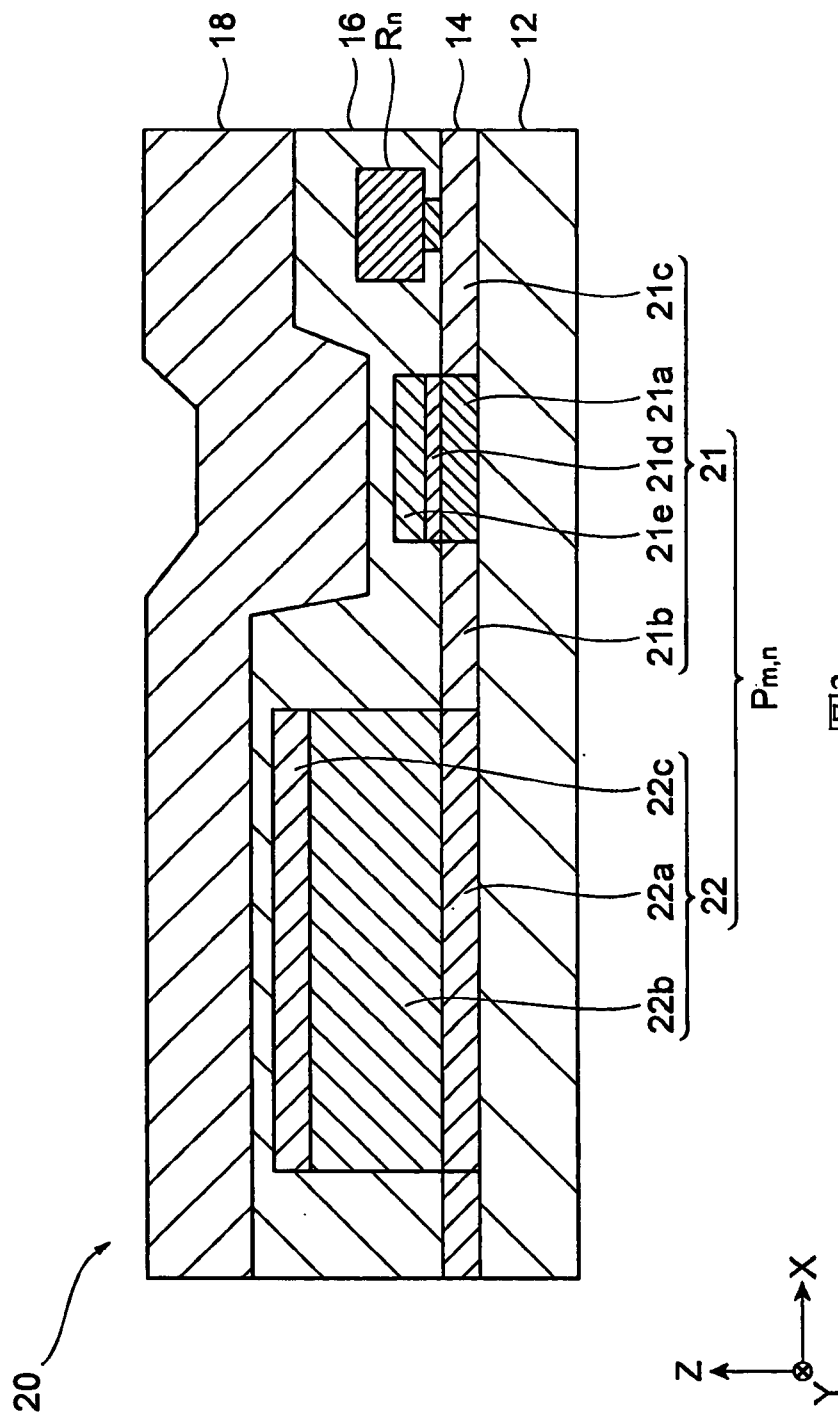
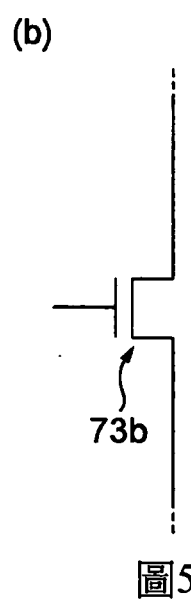
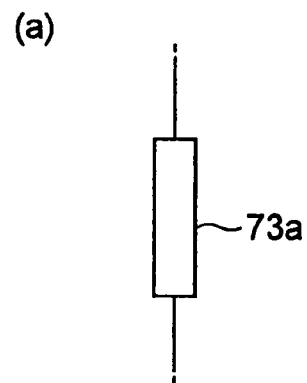


圖3



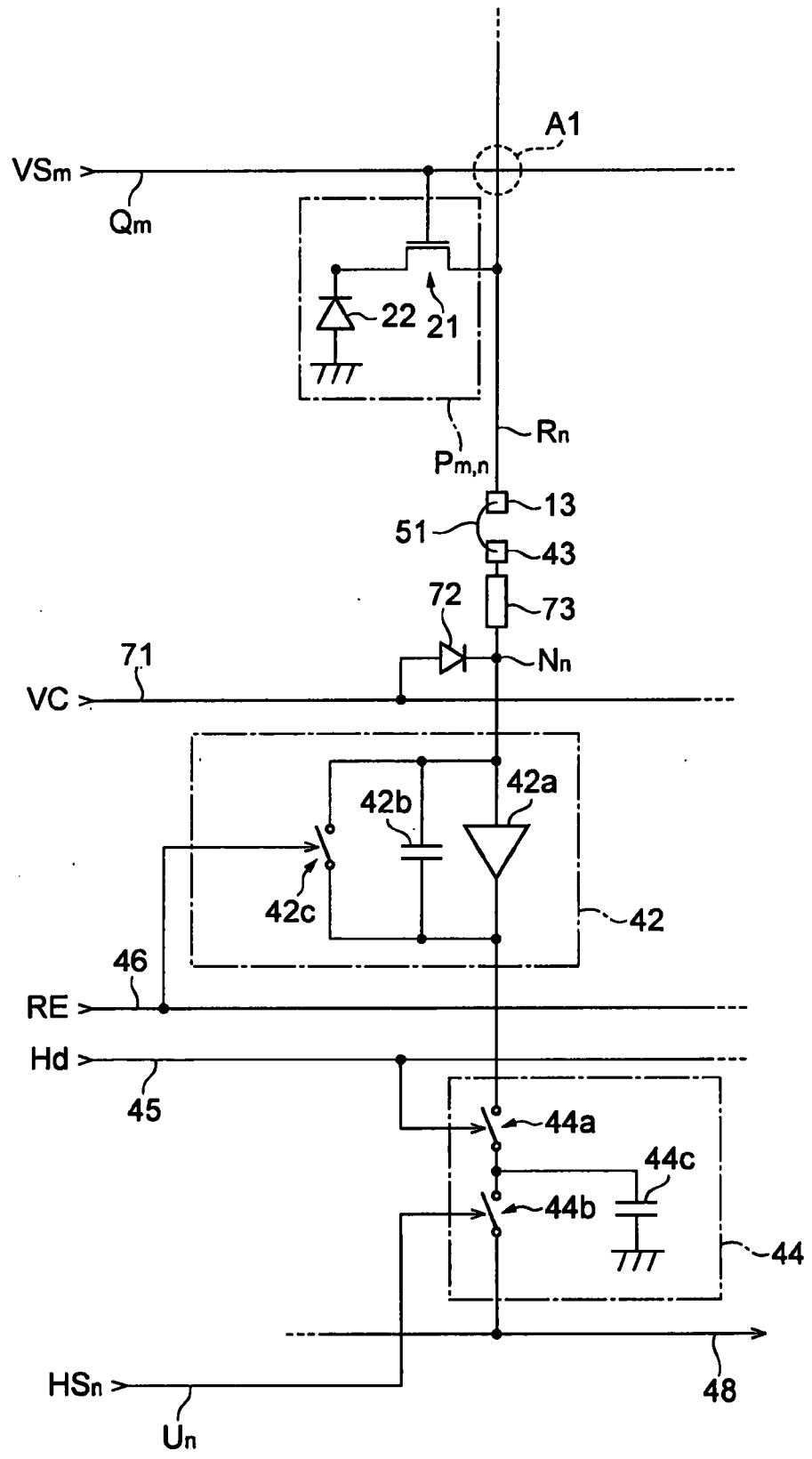


圖6

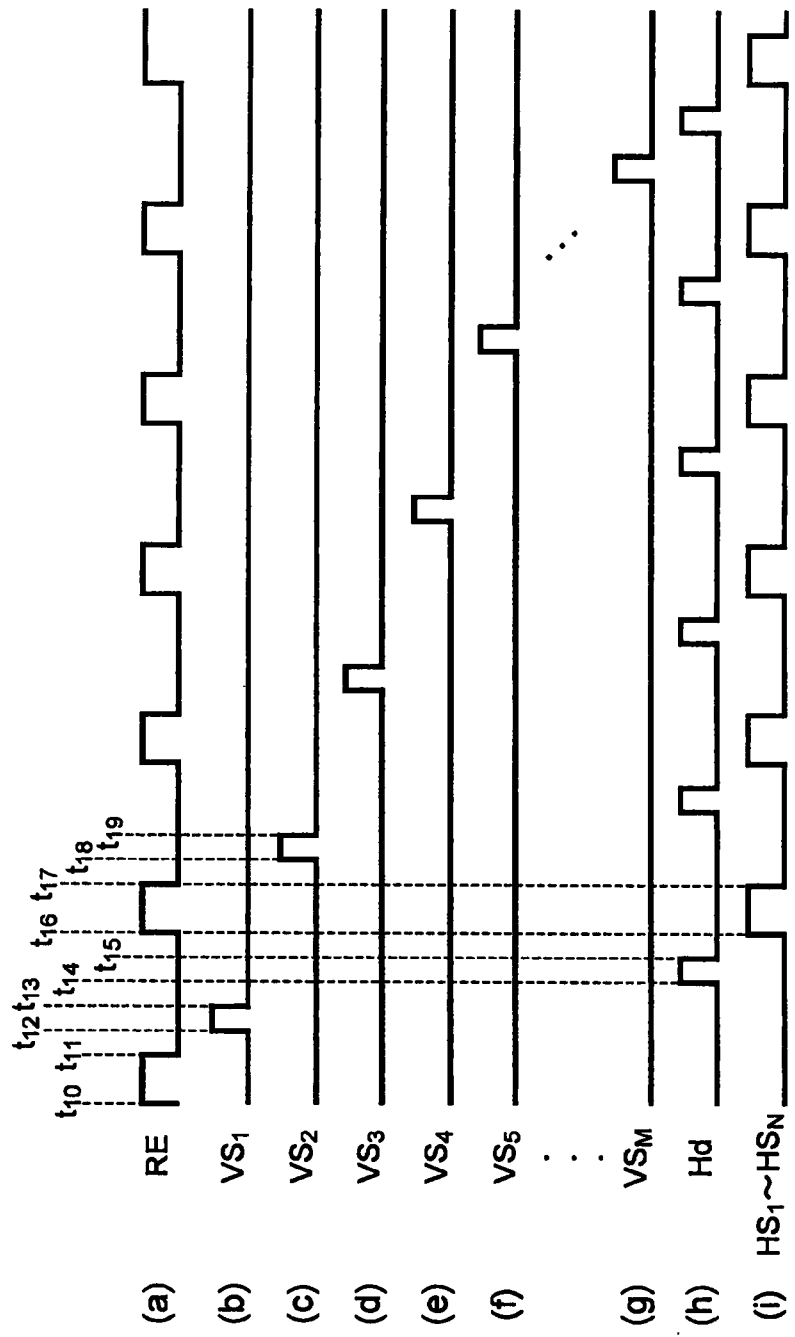


圖7

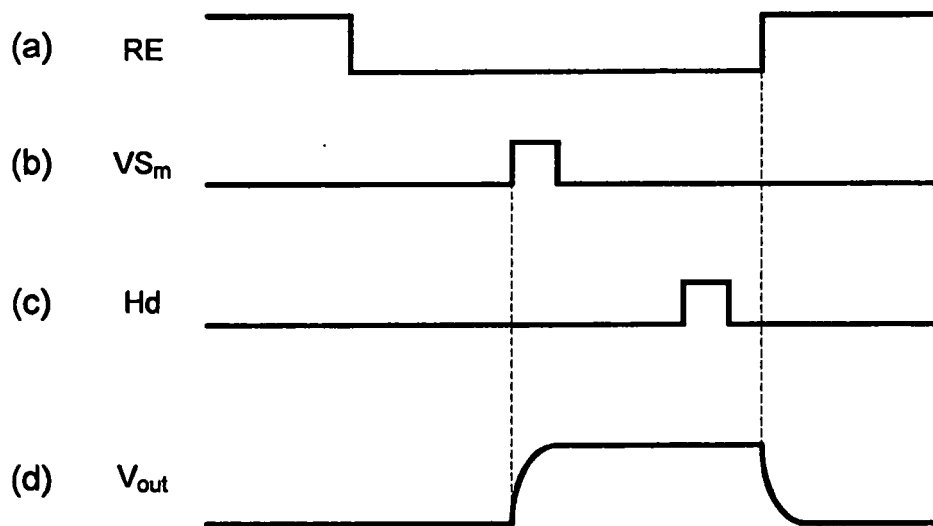


圖8

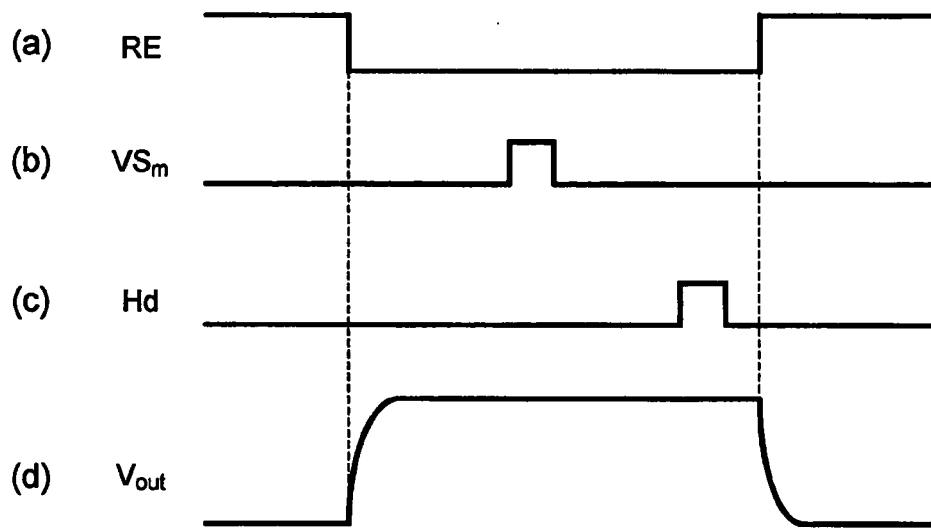


圖9

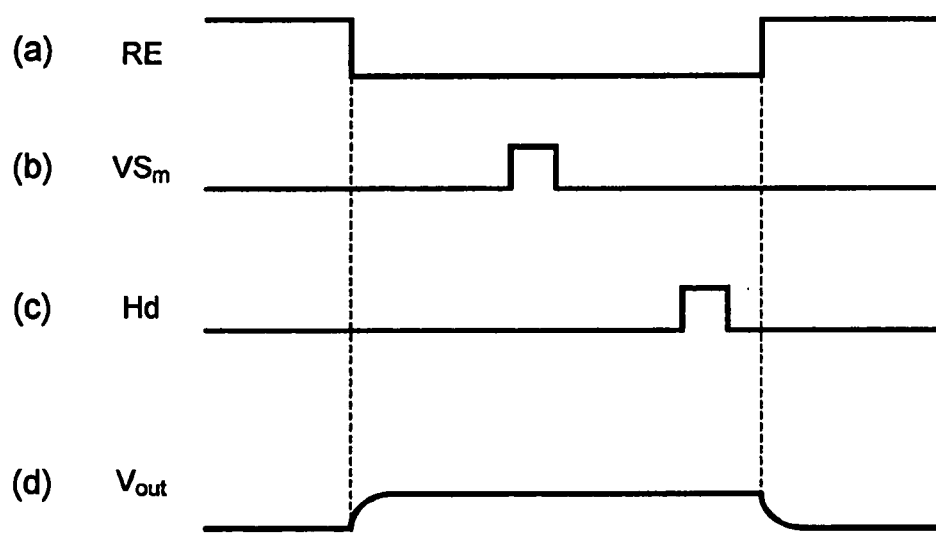


圖 10

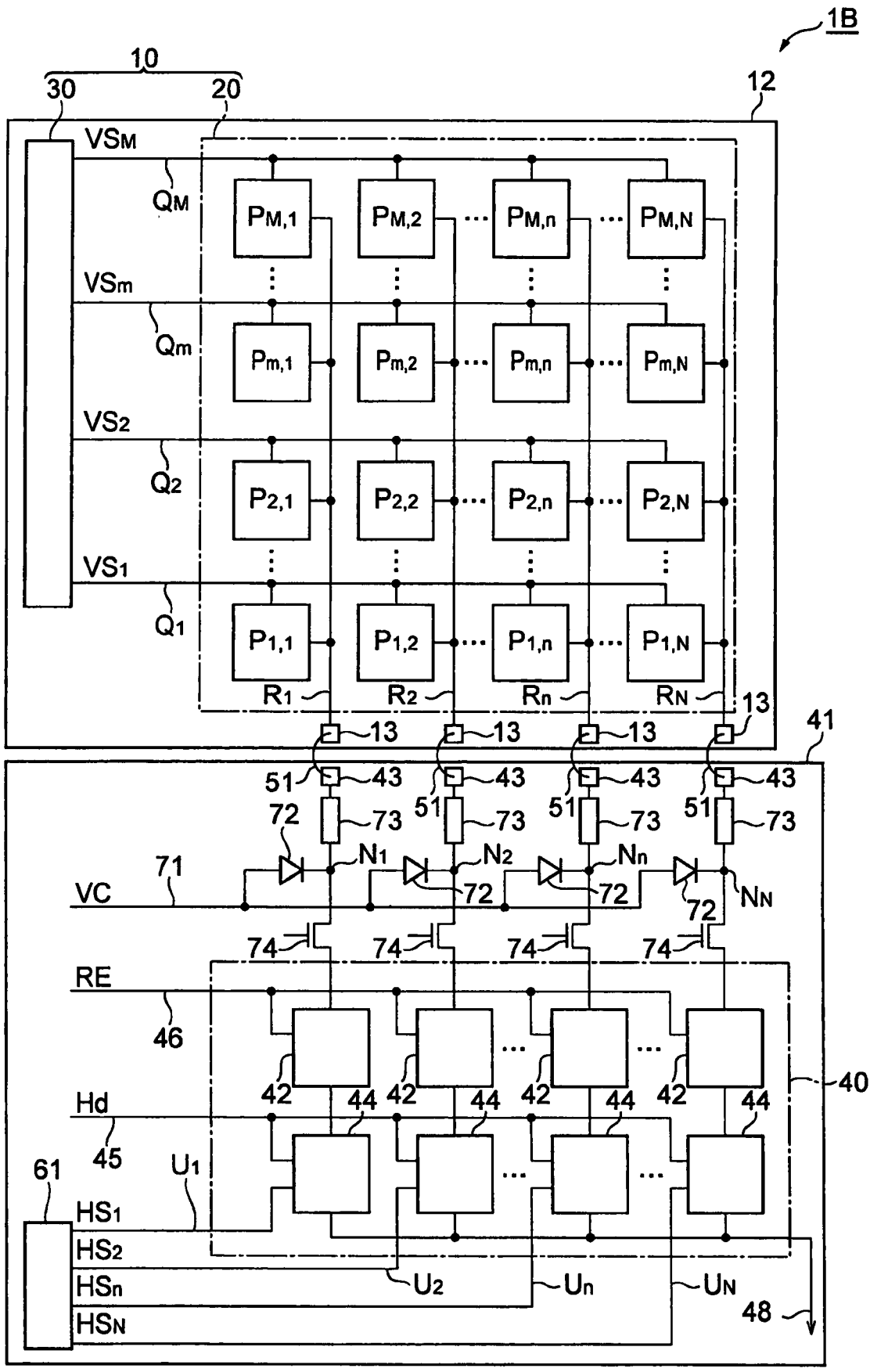


圖 11

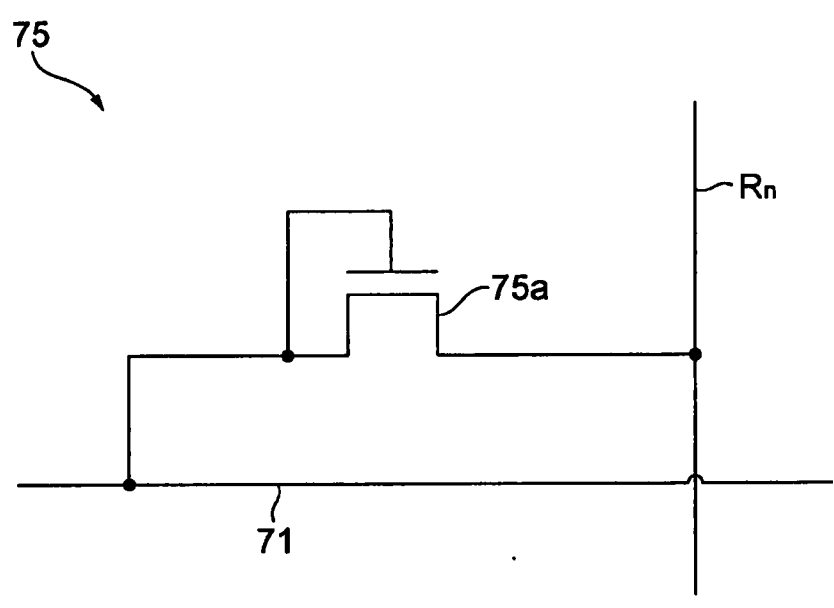
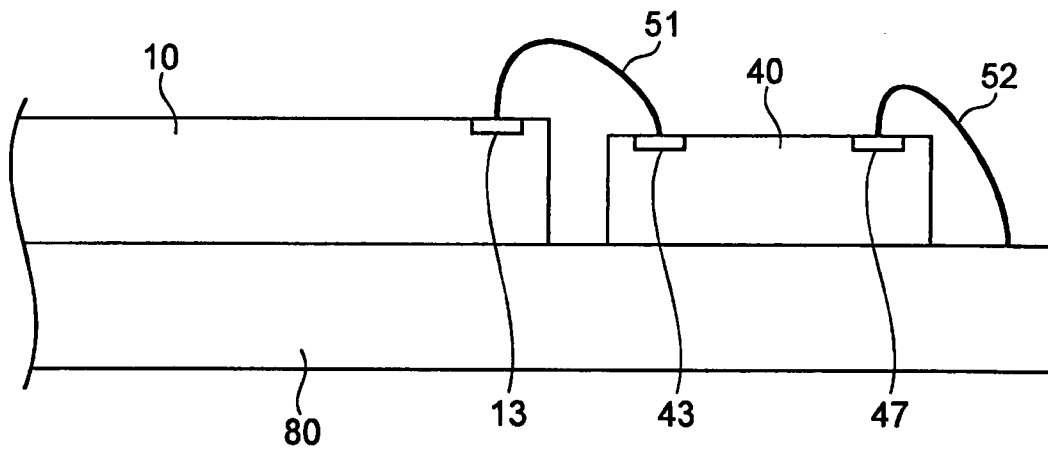


圖12

(a)



(b)

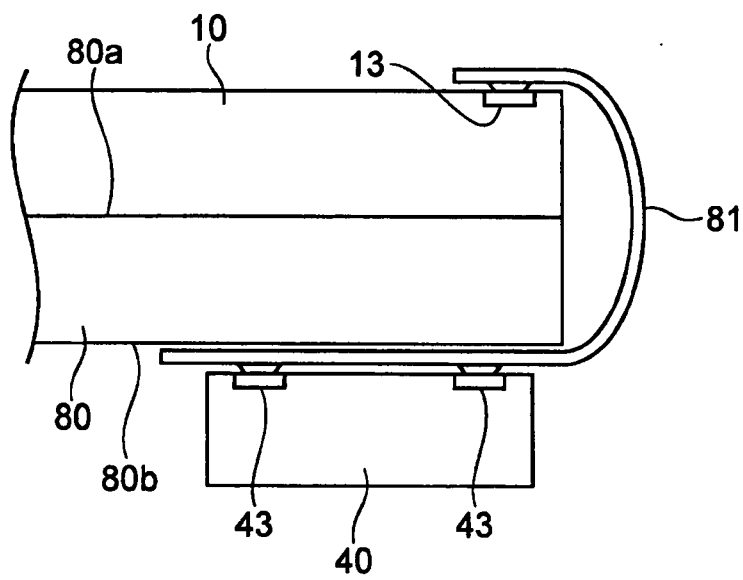


圖 13

【代表圖】

【本案指定代表圖】：第（4）圖。

【本代表圖之符號簡單說明】：

10	感測器面板部
12	玻璃基板
13	面板側連接點
20	受光部
30	垂直移位暫存器部
40	讀取電路部
41	基板
42	積分電路
43	讀取部側連接點
44	保持電路
45	保持用配線
46	重設用配線
48	電壓輸出用配線
51	焊接線
61	水平移位暫存器部
71	恒電位線
72	整流電路
73	電路構成物
Hd	保持控制信號
$HS_1 \sim HS_N$	行選擇控制信號
$N_1 \sim N_N$	節點
$P_{1 \cdot 1} \sim P_{M \cdot N}$	像素
$Q_1 \sim Q_M$	列選擇用配線

$R_1 \sim R_N$	讀取用配線
RE	重設控制信號
$U_1 \sim U_N$	行選擇用配線
VC	特定電位
$VS_1 \sim VS_M$	列選擇控制信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

固體攝像裝置

【技術領域】

本發明係關於固體攝像裝置者。

【先前技術】

於專利文獻1中記述有與具備配置成矩陣狀之複數個光電轉換元件之光電轉換裝置及其製造方法相關的技術。於該光電轉換裝置及其製造方法中，為防止於矩陣信號配線發生之斷線等缺陷對其他信號線之串擾，而在光電轉換信號輸出之一部分不適當之情形時，使用雷射等切斷與該信號對應之矩陣信號配線。

於專利文獻2中記述有與固體攝像裝置相關之技術。於該固體攝像裝置中，藉由電性切斷CCD(Charge Coupled Device：電荷耦合裝置)影像感測器或CMOS(Complementary Metal Oxide Semiconductor：互補型金屬氧化物半導體)影像感測器中因像素內部之信號線短路等產生之不良部位，而消除洩漏電流。為該切斷，而於像素區塊部與讀取電路部之間設置有切斷電路。

於專利文獻3中記述有與固體攝像裝置相關之技術。在該固體攝像裝置中，為防止靜電破壞，而於各像素內、掃描線及資料線與靜電保護用恒電位線之間設置有保護二極體。

[先前技術文獻]

[專利文獻]

專利文獻1：日本專利特開2000-046645號公報

專利文獻2：日本專利特開2009-089078號公報

專利文獻3：日本專利特開2009-302092號公報

【發明內容】

[發明所欲解決之問題]

固體攝像裝置具有將複數個像素遍及複數列及複數行配置成二維狀之受光部。於各像素中配置用以將入射之光轉換成電子之光電二極體。各像素之光電二極體係經由電晶體而與配設於每行之讀取用配線連接，且蓄積於光電二極體內之電荷係藉由使電晶體成為導通狀態而流出至讀取用配線。電荷通過讀取用配線到達積分電路，且於積分電路中轉換成電壓信號。

於各像素之電晶體之控制端子，連接有配設於每列之列選擇用配線。接著，藉由於各列將電晶體之導通電壓自列選擇用配線施加至控制端子，而於各列進行來自各像素之電荷之讀取。如此，於各像素不具有放大電路，且於各行之每個讀取用配線設置有積分電路之攝像元件係稱為被動式像素感測器(PPS：Passive Pixel Sensor)。另，於各像素具有放大電路之攝像元件係稱為主動式像素感測器(APS：Active Pixel Sensor)。

作為具備上述構成之固體攝像裝置之異常之一態樣，有列選擇用配線與讀取用配線之短路(short circuit)。在列選擇用配線與讀取用配線短路之情形時，讀取用配線之電位接近列選擇用配線之電位(即，電晶體之控制端子之電位)。藉此，來自積分電路之輸出電壓值變為異常值。若輸出電壓值之異常僅有例如一行，則亦可使用鄰接之行之像素值補間該行之像素值。然而，在此種積分電路之輸出異常值過大之情形時，有時亦會影響鄰接之其他積分電路之動作，以致來自其他積分電路之輸出電壓值變為異常值。若如此複數行之輸出電壓值變為異常值，則難以補間該等行之像素值。

本發明係鑑於此種問題點而完成者，目的在於提供一種即使於

某行中產生列選擇用配線與讀取用配線之短路之情形時，亦可防止來自其他行之積分電路之輸出電壓值之異常之固體攝像裝置。

[解決問題之技術手段]

為解決上述課題，本發明之固體攝像裝置其特徵在於包含：感測器面板部，其具有：受光部，其係將包含光電二極體、及一者之電流端子與該光電二極體連接之薄膜電晶體之像素遍及複數列及複數行二維排列而形成；複數條列選擇用配線，其配設於每列且與包含於對應之列之像素之薄膜電晶體之控制端子連接；及複數條讀取用配線，其配設於每行且與包含於對應之行之像素之薄膜電晶體之另一者之電流端子連接；且形成於第1基板上；讀取電路部，其具有分別輸出與經由複數條讀取用配線輸入之電荷之量相應之電壓值之複數個積分電路，且設置於與第1基板不同之第2基板上；複數個面板側連接點，其設置於第1基板上，且用以使第1基板上之複數條讀取用配線各者與第2基板上之複數個積分電路各者彼此連接；複數個整流電路，其連接於複數個面板側連接點與複數個積分電路之間之複數個節點各者與恒電位線之間；及複數個電路構成物，其係分別連接於複數個節點與複數條讀取用配線間且具有電阻成分。

於該固體攝像裝置中，用以使讀取用配線與積分電路彼此連接之面板側連接點係設置於感測器面板部，於該面板側連接點與積分電路之間之節點與恒電位線之間，連接有整流電路。進而，於該節點與讀取用配線之間，連接有具有電阻成分之電路構成物。

在該固體攝像裝置之某行中列選擇用配線與讀取用配線短路之情形時，讀取用配線之電位變化，連接於恒電位線與讀取用配線間之整流電路成為導通狀態。此時，因流動於列選擇用配線與恒電位線之間之電流通過具有電阻成分之電路構成物，故相對於電路構成物位於積分電路側之配線之電位即對積分電路之輸入電位係保持於恒電位線

之電位(正確而言，為減去整流電路引起之電壓下降量後之電位)。因此，可抑制該行之積分電路之輸出異常值變得過大，降低對其他積分電路之動作之影響，且防止來自其他積分電路之輸出電壓值之異常。

[發明之效果]

根據本發明之固體攝像裝置，即使在某行中產生列選擇用配線與讀取用配線之短路之情形時，亦可防止來自其他行之積分電路之輸出電壓值之異常。

【圖式簡單說明】

圖1係顯示一實施形態之固體攝像裝置之構成之俯視圖。

圖2係放大固體攝像裝置之一部分之俯視圖。

圖3係顯示沿圖2之I-I線之剖面之側剖面圖。

圖4係顯示感測器面板部及讀取電路部之內部構成之圖。

圖5係顯示(a)、(b)電路構成物之例之圖。

圖6係顯示包含於第n行之像素 $P_{m,n}$ 、積分電路、及保持電路之詳細電路構成例之圖。

圖7(a)-(i)為各信號之時序圖。

圖8(a)-(d)係顯示圖7所示之動作中1列量之動作之時序圖。

圖9(a)-(d)係作為比較例之不具備整流電路及電路構成物之情形之時序圖。

圖10(a)-(d)係發生短路之情形之時序圖。

圖11係顯示第1變化例之固體攝像裝置之構成之圖。

圖12係作為第2變化例，顯示整流電路之構成之電路圖。

圖13(a)、(b)係作為第3變化例，顯示感測器面板部與讀取電路部之電性連接構造之例之圖。

【實施方式】

以下，一面參照附加圖式，一面詳細說明本發明之固體攝像裝

置之實施形態。另，於圖式說明中相同之要件標註相同符號，且省略重複說明。

本實施形態之固體攝像裝置係用於例如醫療用X射線攝像系統，尤其用於藉由牙科醫療中之環口放射線攝影、頭部攝影、CT攝影之攝像模式，拍攝被檢者之顎部之X射線像之系統。因此，本實施形態之固體攝像裝置具備於大面積之玻璃基板上堆積非晶矽而形成之薄膜電晶體、或堆積非晶矽而形成之光電二極體，且與由單晶矽晶圓製作之先前之固體攝像裝置相比，具有格外寬之受光面積。

圖1~圖3係顯示本實施形態之固體攝像裝置1A之構成之圖。圖1係顯示固體攝像裝置1A之俯視圖，圖2係放大固體攝像裝置1A之一部分之俯視圖。再者，圖3係顯示沿圖2之I-I線之剖面之側剖面圖。另，於圖1~圖3中，為便於理解而合併顯示有XYZ正交座標系。

如圖1所示，固體攝像裝置1A具備感測器面板部10、讀取電路部40。感測器面板部10係製作於玻璃基板12(第1基板)之主表面上，且具有受光部20及垂直移位暫存器部30。垂直移位暫存器部30係沿受光部20之側邊配置。又，讀取電路部40設置於與玻璃基板12另行設置之基板41(第2基板)上，且經由複數條焊接線51而與受光部20電性連接。讀取電路部40係藉由例如CMOS型IC晶片適當地構成。讀取電路部40包含與受光部20之複數行各者對應設置之複數個積分電路，該等複數個積分電路分別產生與自對應之行之像素輸出之電荷量相應之電壓值。讀取電路部40保持自各積分電路輸出之電壓值，且逐次輸出該保持之電壓值。

另，雖然本實施形態中係在一片玻璃基板12上設置有受光部20及垂直移位暫存器部30，但受光部20及垂直移位暫存器部30亦可分別設置於不同之玻璃基板上。又，讀取電路部40可如圖1所示設置複數個，或亦可僅設置一個。

受光部20係藉由將複數個像素遍及複數列及複數行二維排列而構成。圖2所示之像素 $P_{m \cdot n}$ 係位於第 m 列第 n 行之像素。此處， m 為1以上 M 以下之整數， n 為1以上 N 以下之整數。 M ， N 為2以上之整數。另，於圖2中，行方向與 Y 軸方向一致，列方向與 X 軸方向一致。包含於受光部20之複數個像素 $P_{1 \cdot 1} \sim P_{M \cdot N}$ 各者具備薄膜電晶體21及光電二極體22。薄膜電晶體21之一者之電流端子係與光電二極體22電性連接。

又，如圖2所示，本實施形態之感測器面板部10係進而具有配設於每列之複數條列選擇用配線 $Q_1 \sim Q_M$ 、及配設於每行之複數條讀取用配線 $R_1 \sim R_N$ 。第 m 列之列選擇用配線 Q_m 係與包含於對應之列之像素 $P_{m \cdot n}$ 之薄膜電晶體21之控制端子電性連接。第 n 列之讀取用配線 R_n 係與包含於對應之行之像素 $P_{m \cdot n}$ 之薄膜電晶體21之另一者之電流端子電性連接。複數條列選擇用配線 $Q_1 \sim Q_M$ 、及複數條讀取用配線 $R_1 \sim R_N$ 係包含金屬。

如圖3所示，於玻璃基板12之主表面上之整面上，設置有非晶矽膜14。薄膜電晶體21、光電二極體22、及第 n 行讀取用配線 R_n 係形成於該非晶矽膜14之表面。薄膜電晶體21、光電二極體22、及第 n 行讀取用配線 R_n 係由絕緣層16覆蓋，且於絕緣層16上以覆蓋玻璃基板12之整面之方式設置有閃爍器18。閃爍器18係根據入射之 X 射線產生閃爍光而將 X 射線像轉換成光學影像，且將該光學影像輸出於光電二極體22。

光電二極體22係產生與入射光強度相應之量之電荷，且將該產生之電荷蓄積於接合電容部。光電二極體22係具有 n 型半導體層22a、 i 型半導體層22b、及 p 型半導體層22c之PIN型光電二極體。 n 型半導體層22a係包含 n 型非晶矽之半導體層。 i 型半導體層22b係設置於包含 i 型(不摻雜)非晶矽之半導體層且 n 型半導體層22a上。如此，藉由利用非

晶矽形成i型半導體層22b，可加厚i型半導體層22b，且可提高光電二極體22之光電轉換效率使固體攝像裝置1A之感度提高。p型半導體層22c設置於包含p型非晶矽之半導體層且i型半導體層22b上。

薄膜電晶體21較好係由電場效應電晶體(FET)構成，亦可由雙極電晶體構成。薄膜電晶體21為FET之情形時，本實施形態之說明中，控制端子意指閘極，電流端子意指源極或汲極。又，薄膜電晶體21為雙極電晶體之情形時，控制端子意指基極，電流端子意指集極或射極。

薄膜電晶體21包含由非晶矽及多晶矽中至少一者形成之區域。例如，圖3所示之薄膜電晶體21具有分別包含非晶矽之通道區域21a、源極區域21b、及汲極區域21c。源極區域21b係沿通道區域21a之一者之側面形成。汲極區域21c係沿通道區域21a之另一者之側面形成。又，於通道區域21a上設置有閘極電極21e，且於閘極電極21e與通道區域21a之間介存閘極絕緣膜21d。

雖對薄膜電晶體21之通道區域21a、源極區域21b、及汲極區域21c使用非晶矽，但較佳為使用低溫多晶矽(Low Temperature Polycrystalline Silicon; LTPS)。低溫多晶矽係在100~600°C之較低溫之製程溫度下堆積之多晶矽。在此種低溫下，因可利用例如無鹼玻璃之玻璃基板12作為支持基板，故藉由將上述各區域21a、21b及21c之構成材料設為低溫多晶矽，可使用與單晶矽晶圓相比具有較寬面積之玻璃基板12作為支持基板，且於該玻璃基板12上製作大面積之受光部20。

於一實施例中，作為玻璃基板12之材料，使用具有例如0.3 mm~1.2 mm之厚度之板狀之(基片用之)無鹼玻璃。無鹼玻璃幾乎不含鹼成分，膨脹率低且耐熱性高，而具有穩定之特性。又，因低溫多晶矽之電子移動度為10~600 cm²/Vs，比非晶矽之電子移動度(0.3~1.0

cm^2/Vs)大，故藉由利用低溫多晶矽形成薄膜電晶體21之區域21a、21b及21c，可降低薄膜電晶體21之導通電阻。

繼而，詳細說明感測器面板部10及讀取電路部40之電路構成。圖4係顯示感測器面板部10及讀取電路部40之內部構成之圖。如上所述，受光部20係將 $M \times N$ 個像素 $P_{1,1} \sim P_{M,N}$ 二維排列成M列N行而形成。連接於第m列之N個像素 $P_{m,1} \sim P_{m,N}$ 之第m列選擇用配線 Q_m 係與垂直移位暫存器部30連接。

讀取電路部40具有設置於每行之複數個(本實施形態中為N個)積分電路42、及複數個(本實施形態中為N個)保持電路44。積分電路42及保持電路44係就每行彼此串聯連接。N個積分電路42具有彼此共通之構成。又，N個保持電路44具有彼此共通之構成。

N個積分電路42各者係具有連接於讀取用配線 $R_1 \sim R_N$ 各者之輸入端，蓄積自讀取用配線 $R_1 \sim R_N$ 輸入之電荷，且將與該蓄積電荷量相應之電壓值自輸出端輸出於N個保持電路44各者。N個積分電路42各者係與相對於N個積分電路42共通設置之重設用配線46連接。N個保持電路44各者係具有與積分電路42之輸出端連接之輸入端，保持輸入至該輸入端之電壓值，且自輸出端向電壓輸出用配線48輸出該保持之電壓值。N個保持電路44各者係與相對於N個保持電路44共通設置之保持用配線45連接。又，N個保持電路44各者係經由第1行選擇用配線 $U_1 \sim$ 第N行選擇用配線 U_N 各者，與水平移位暫存器部61連接。

垂直移位暫存器部30係將第m列選擇控制信號 VS_m 經由第m列選擇用配線 Q_m 提供至第m列之N個像素 $P_{m,1} \sim P_{m,N}$ 各者。在垂直移位暫存器部30中，列選擇控制信號 $VS_1 \sim VS_M$ 係依序設為有意值(即，薄膜電晶體21之控制端子之導通電壓。一例中為+10 V~+15 V)。又，水平移位暫存器部61係將行選擇控制信號 $HS_1 \sim HS_N$ 經由行選擇用配線 $U_1 \sim U_N$ 提供至N個保持電路44各者。行選擇控制信號 $HS_1 \sim HS_N$ 係依序

設為有意值。又，對N個積分電路42各者，經由重設用配線46提供重設控制信號RE。對N個保持電路44各者，經由保持用配線45提供保持控制信號Hd。

如上所述，感測器面板部10形成於玻璃基板12上，讀取電路部40設置於基板41上。為其等之彼此連接，於玻璃基板12上設置有複數個(本實施形態中為N個)面板側連接點13，且於基板41上設置有複數個(本實施形態中為N個)讀取部側連接點43。N個面板側連接點13各者係與N條讀取用配線 $R_1 \sim R_N$ 各者之一端電性連接。N個讀取部側連接點43各者係與N個積分電路42各者之輸入端電性連接。面板側連接點13及讀取部側連接點43係由例如焊接墊構成。面板側連接點13與讀取部側連接點43係藉由焊接線51彼此電性連接。

又，於基板41上設置有恒電位線71。恒電位線71之電位係維持於特定電位VC。該特定電位VC係只要設定為與構成例如積分電路42之放大器(後述)之輸入端之電位相等之值、或接近該電位之值即可。

在N個面板側連接點13各者與N個積分電路42各者之間，存在N個節點 $N_1 \sim N_N$ 各者。且，在該等節點 $N_1 \sim N_N$ 與恒電位線71之間，連接有N個整流電路72各者。N個整流電路72設置於基板41上，可藉由例如橫型之pn接合二極體或縱型之pn接合二極體構成。在列選擇用配線 $Q_1 \sim Q_M$ 之非選擇時之電位(即，薄膜電晶體21之控制端子之斷開電壓)低於特定電位VC之情形時，該二極體之陰極與該行之節點 N_n 電性連接，陽極與恒電位線71電性連接。又，列選擇用配線 $Q_1 \sim Q_M$ 之非選擇時之電位高於特定電位VC之情形時，該二極體之陰極與恒電位線71電性連接，陽極與該行之節點 N_n 電性連接。

在薄膜電晶體21包含由非晶矽或多晶矽形成之區域之情形時，薄膜電晶體21之控制端子之斷開電壓多為負(例如-5 V~-10 V)。其理由為，因非晶矽或多晶矽與單晶矽比較，結晶性較低且亦含較多雜

質，故必須對控制端子施加較大電壓。另一方面，構成積分電路42之放大器之輸入端之電位典型為1.0 V之正電位。因此，該情形時，構成整流電路72之二極體之陰極與節點 N_n 電性連接，陽極與恒電位線71電性連接。

在節點 $N_1 \sim N_N$ 與讀取用配線 $R_1 \sim R_N$ 之間，分別連接有具有電阻成分之複數個(本實施形態中為 N 個)電路構成物73。電路構成物73之一端係經由讀取部側連接點43、焊接線51、及面板側連接點13而與讀取用配線 $R_1 \sim R_N$ 電性連接。又，電路構成物73之另一端係經由節點 $N_1 \sim N_N$ 而與積分電路42之輸入端電性連接。於本實施形態中， N 個電路構成物73設置於基板41上。電路構成物73之電阻值為例如1 k Ω 。

圖5係顯示電路構成物73之例之圖。圖5(a)顯示有電路構成物73包含具有電阻成分之區域73a之情形。此種區域73a係例如由包含非晶矽及多晶矽中至少一者之區域、 n 型摻雜物或 p 型摻雜物為高濃度且擴散之區域、或井電阻區域而較好地實現。

圖5(b)顯示有作為電路構成物73之電晶體73b。藉由對電晶體73b之控制端子施加特定之偏移電壓，電晶體73b可作為具有某程度之電阻成分(導通電阻)之電路構成物73發揮功能。即，電晶體之電阻值係在對控制端子施加有導通電壓時極小，在對控制端子施加有斷開電壓時極大。因此，藉由將導通電壓與斷開電壓之間之電壓施加至控制端子，可將電晶體73b之電阻值調整成適當值。又，藉由使用電晶體作為電阻成分，可以較小面積實現較大電阻值。

圖6係顯示包含於第 n 行之像素 $P_{m,n}$ 、積分電路42、及保持電路44之詳細電路構成例之圖。此處，代表 $M \times N$ 個像素 $P_{1,1} \sim P_{M,N}$ 顯示第 m 列第 n 行之像素 $P_{m,n}$ 之電路圖。

如圖6所示，像素 $P_{m,n}$ 之光電二極體22之陽極端子係接地，陰極端子係經由薄膜電晶體21而與讀取用配線 R_n 連接。對像素 $P_{m,n}$ 之薄膜

電晶體21，自垂直移位暫存器部30經由第m列選擇用配線 Q_m 提供第m列選擇控制信號 VS_m 。第m列選擇控制信號 VS_m 係指示包含於第m列之N個像素 $P_{m,1} \sim P_{m,N}$ 各者之薄膜電晶體21之開閉動作。

例如，在第m列選擇控制信號 VS_m 為非有意值(薄膜電晶體21之控制端子之斷開電壓)時，薄膜電晶體21成為非導通狀態。此時，光電二極體22中產生之電荷係不輸出於讀取用配線 R_n 而蓄積於光電二極體22之接合電容部。另一方面，第m列選擇控制信號 VS_m 為有意值(薄膜電晶體21之控制端子之導通電壓)時，薄膜電晶體21成為連接狀態。此時，蓄積於光電二極體22之接合電容部之電荷係經由薄膜電晶體21輸出於讀取用配線 R_n 。該電荷係通過讀取用配線 R_n 、焊接線51、電路構成物73、及節點 N_n 傳送於積分電路42。

積分電路42具備包含放大器42a、電容元件42b、及放電用開關42c之所謂電荷積分型之構成。電容元件42b及放電用開關42c係彼此並聯連接，且連接於放大器42a之輸入端子與輸出端子之間。放大器42a之輸入端子係與讀取用配線 R_n 連接。於放電用開關42c，係經由重設用配線46提供重設控制信號RE。

重設控制信號RE係指示N個積分電路42各者之放電用開關42c之開閉動作。例如，在重設控制信號RE為非有意值(例如高位準)時，放電用開關42c關閉，使電容元件42b放電，積分電路42之輸出電壓值初始化。又，在重設控制信號RE為有意值(例如低位準)時，放電用開關42c開啟，使輸入至積分電路42之電荷蓄積於電容元件42b，且自積分電路42輸出與該蓄積電荷量相應之電壓值。

保持電路44係包含輸入用開關44a、輸出用開關44b及電容元件44c。電容元件44c之一端係接地。電容元件44c之另一端係經由輸入用開關44a而與積分電路42之輸出端連接，且經由輸出用開關44b而與電壓輸出用配線48連接。於輸入用開關44a，係經由保持用配線45賦

予保持控制信號Hd。保持控制信號Hd係指示N個保持電路44各者之輸入用開關44a之開閉動作。於保持電路44之輸出用開關44b，係經由第n行選擇用配線U_n賦予第n行選擇控制信號HS_n。選擇控制信號HS_n係指示保持電路44之輸出用開關44b之開閉動作。

例如，若保持控制信號Hd自高位準轉為低位準，則輸入用開關44a自關閉狀態轉為開啟狀態，此時輸入至保持電路44之電壓值保持於電容元件44c。又，若第n行選擇控制信號HS_n自低位準轉為高位準，則輸出用開關44b關閉，保持於電容元件44c之電壓值輸出至電壓輸出用配線48。

圖7係各信號之時序圖。圖7中，自上而下依序顯示有(a)重設控制信號RE、(b)第1列選擇控制信號VS₁、(c)第2列選擇控制信號VS₂、(d)第3列選擇控制信號VS₃、(e)第4列選擇控制信號VS₄、(f)第5列選擇控制信號VS₅、(g)第M列選擇控制信號VS_m、(h)保持控制信號Hd、及(i)第1行選擇控制信號HS₁~第N行選擇控制信號HS_N。

首先，自時刻t₁₀至時刻t₁₁之期間，將重設控制信號RE設為高位準。藉此，於N個積分電路42各者中，放電用開關42c成為關閉狀態，電容元件42b放電。

在較時刻t₁₁更靠後之時刻t₁₂至時刻t₁₃之期間內，垂直移位暫存器部30將第1列選擇控制信號VS₁設為高位準。藉此，在第1列之像素P_{1,1}~P_{1,N}中，薄膜電晶體21成為連接狀態，像素P_{1,1}~P_{1,N}各者之光電二極體22所蓄積之電荷係通過讀取用配線R₁~R_N輸出至積分電路42，且蓄積於電容元件42b。自積分電路42，輸出與蓄積於電容元件42b之電荷量相應之大小之電壓值。另，在時刻t₁₃後，第1列之像素P_{1,1}~P_{1,N}各者之薄膜電晶體21係設為非連接狀態。

且，在較時刻t₁₃更靠後之時刻t₁₄至時刻t₁₅之期間內，將保持控制信號Hd設為高位準，藉此，在N個保持電路44之各者中，輸入用開關

44a成為連接狀態，自積分電路42輸出之電壓值係由電容元件44c保持。

繼而，在較時刻 t_{15} 更靠後之時刻 t_{16} 至時刻 t_{17} 之期間內，水平移位暫存器部61依序將第1行選擇控制信號 HS_1 ~第N行選擇控制信號 HS_N 設為高位準。藉此，N個保持電路44之輸出用開關44b依序成為關閉狀態，且電容元件44c所保持之電壓值逐次輸出於電壓輸出用配線48。又，其間，將重設控制信號RE設為高位準，積分電路42之電容元件42b放電。

繼而，在較時刻 t_{17} 更靠後之時刻 t_{18} 至時刻 t_{19} 之期間內，垂直移位暫存器部30將第2列選擇控制信號 VS_2 設為高位準。藉此，在第2列之像素 $P_{2,1}$ ~ $P_{2,N}$ 中，電晶體21成為連接狀態，像素 $P_{2,1}$ ~ $P_{2,N}$ 各者之光電二極體22所蓄積之電荷係通過讀取用配線 R_1 ~ R_N 輸出至積分電路42，且蓄積於電容元件42b。此後，藉由與第1列相同之動作，將與蓄積於電容元件42b之電荷量相應之大小之電壓值自N個保持電路44逐次輸出於電壓輸出用配線48。且，對蓄積於第3列至第M列之像素之電荷，亦藉由與第1列相同之動作，轉換成電壓值，且逐次輸出於電壓輸出用配線48。如此，來自受光部20之一個攝像訊框量之圖像資料之讀取完成。

圖8係顯示圖7所示之動作中1列量之動作之時序圖。圖8中自上而下分別顯示有(a)重設控制信號RE、(b)第m列選擇控制信號 VS_m 、(c)保持控制信號Hd、及(d)來自積分電路42之輸出電壓 V_{out} 。如上所述，若第m列選擇控制信號 VS_m 變為高位準，則像素 $P_{m,1}$ ~ $P_{m,N}$ 各者之光電二極體22所蓄積之電荷係通過讀取用配線 R_1 ~ R_N 輸出至積分電路42，且蓄積於電容元件42b。接著，自積分電路42輸出與蓄積於電容元件42b之電荷量相應之大小之電壓值 V_{out} 。

此處，考慮圖6所示之列選擇用配線 Q_m 與讀取用配線 R_n 交叉之部

分(圖中之部分A1)中，產生短路故障之情形。圖9係作為本實施形態之比較例，顯示不具備整流電路72及電路構成物73之情形之時序圖。

若列選擇用配線 Q_m 與讀取用配線 R_n 彼此短路，則導致讀取用配線 R_n 之電位被拉至列選擇用配線 Q_m 之電位(即，薄膜電晶體21之控制端子之電位)。薄膜電晶體21之控制端子之電位係於導通時為例如+10 V左右，於斷開時為例如-5 V左右，導通狀態之時間較短(例如1訊框中數微秒)，斷開狀態之時間較長。因此，讀取用配線 R_n 之電位主要被拉至薄膜電晶體21之控制端子之斷開電壓。且，在不具備整流電路72及電路構成物73之情形時，此種電位引起之過量之電荷始終流入於積分電路42之放大器42a。藉此，自電荷積分型之放大器42a輸出之電壓值 V_{out} 係如圖9(d)所示，超出最大輸出值而成為過飽和狀態。

若此種輸出電壓值 V_{out} 之異常僅有例如一行，則亦可使用鄰接之行之像素值補間該行之像素值。然而，在此種積分電路42之輸出異常值過大之情形時，有時亦會影響鄰接之其他積分電路42之動作，以致來自其他積分電路42之輸出電壓值亦成為異常值。根據本發明者之見解，此種異常會擴展至該行兩側各10行左右。若如此連續之複數行之輸出電壓值變為異常值，則難以補間該等行之像素值。

針對此種課題，於本實施形態之固體攝像裝置1A中，將整流電路72連接於面板側連接點13與積分電路42之間之節點 N_n 與恒電位線71之間。再者，於該節點 N_n 與讀取用配線 R_n 之間，連接有具有電阻成分之電路構成物73。

在第 n 行中列選擇用配線 Q_m 與讀取用配線 R_n 短路之情形時，如上所述讀取用配線 R_n 之電位被拉至列選擇用配線 Q_m 之電位(薄膜電晶體21之控制端子之電位)，藉此對整流電路72施加順向之電壓，使整流電路72成為導通狀態。此時，自恒電位線71向列選擇用配線 Q_m 流動之電流係通過具有電阻成分之電路構成物73。

藉此，限制該電流之大小，且將相對於電路構成物73位於積分電路42側之配線之電位，即放大器42a之輸入端之電位保持於恒電位線71之電位(正確而言為減去整流電路72引起之電壓下降量後之電位)。另，在不設置電路構成物73而僅設置有整流電路72之情形時，無法於整流電路72之前段限制電流，而無法調整電位。整流電路72為二極體之情形時，根據該電壓下降為約0.7 V，將恒電位線71之電位設為1.0 V之情形時，放大器42a之輸入端之電位為約0.3 V。因此，如圖10所示，可將自放大器42a輸出之電壓值 V_{out} 設為穩定之較低之值。

如此，根據本實施形態之固體攝像裝置1A，在產生列選擇用配線 Q_m 與讀取用配線 R_n 之短路之行中，可抑制積分電路42之輸出異常值變得過大。因此，可降低對其他積分電路42之動作之影響，而防止來自其他積分電路42之輸出電壓值之異常。

另，例如專利文獻1所記述，亦可考慮在產生列選擇用配線與讀取用配線之短路之情形時使用雷射等切斷該讀取用配線與積分電路間之配線。然而，發現並切斷產生短路之讀取用配線需要包含藉由雷射之切斷等步驟的步驟數量，且正確選擇並切斷產生短路之讀取用配線並不容易。又，因使保護膜(鈍化膜)開口且露出配線之截斷部分，故有配線因閃爍器或周圍環境而腐蝕之虞，此外，有因雷射引起之損傷致使可靠性下降之顧慮。再者，因需要用於切斷之相應之設備，故存在於該裝置之使用中產生短路之情形時無法立即解決之問題。

根據本實施形態之固體攝像裝置1A，產生列選擇用配線 Q_m 與讀取用配線 R_n 之短路時，整流電路72自動成為導通狀態，對該行之積分電路42之輸入電位係自動保持於特定值。因此，無需如專利文獻1記述之選擇產生短路之讀取用配線之作業，不會發生錯誤地切斷正常之行之讀取用配線之情況。又，亦不必顧慮配線之腐蝕或損傷等。再者，即使在該裝置之使用中產生短路之情形，亦可立即(自動)處理。

又，即使如專利文獻2所記述在讀取用配線與積分電路間設置有切斷電路，例如列選擇用配線之斷開電壓為切斷電路(開關)之動作電壓範圍外(例如負電壓)之情形時，因由邏輯電路構成之切斷電路不發揮功能，故仍無法電性切斷感測器面板部與讀取電路部。尤其，如本實施形態對薄膜電晶體21使用非晶矽或多晶矽之情形時，因非晶矽或多晶矽之結晶性較低，故控制端子之導通電壓與切斷電壓之電壓幅變大之情形較多。因此，薄膜電晶體21之控制端子之斷開電壓為切斷電路(開關)之動作電壓範圍外之情形較多。根據本實施形態之固體攝像裝置1A，與專利文獻2記述之方式不同，即使列選擇用配線 Q_m 之電位為負，亦可藉由將恒電位線71之電位設為正的適當值，而較好地發揮上述效果。

又，於本實施形態中，整流電路72係連接於面板側連接點13與積分電路42之間之節點 $N_1 \sim N_N$ 與恒電位線71之間，不設置於玻璃基板12上。於玻璃基板12上設置有複數個整流電路72之情形時，玻璃基板12上之電路構成變得複雜，致使包含感測器面板部10之玻璃基板12上之電路構造物之不良率變高。尤其，因採用薄膜電晶體之感測器面板部成為大面積之情形較多，故不良率進而變高，不甚理想。藉由以上述方式配置整流電路72，可使玻璃基板12上之電路構成簡單化，且降低不良率。

又，如本實施形態，複數個整流電路72及恒電位線71較佳係設置於基板41上。藉此，可將例如整流電路72與積分電路42積體於一個半導體基板(例如單晶矽基板)上，而削減固體攝像裝置1A之製造步驟。又，如本實施形態，於玻璃基板12之主表面上設置有非晶矽膜14之情形時，亦可不於玻璃基板12上，而於形成有積分電路42之半導體基板(例如單晶矽基板)上形成整流電路72。藉此，可容易形成整流電路72。又，藉由不將複數個整流電路72設置於玻璃基板12上，可簡化

玻璃基板12上之電路構成，而降低不良率。尤其，在如圖1所示設置複數個基板41之情形時，藉由將整流電路72設置於基板41上，可將整流電路72中產生不良時毀壞之零件抑制於最小限度。

又，如本實施形態，薄膜電晶體21亦可包含由非晶矽及多晶矽中至少一者形成之區域。在此種薄膜電晶體21中，控制端子之斷開電壓為負之情形較多。根據固體攝像裝置1A，即使於此種情形時，亦可藉由將恒電位線71之電位設為正的適當值而較好地發揮上述效果。

又，如本實施形態，電路構成物73較佳為設置於基板41上。藉此，可將例如電路構成物73與積分電路42積體於一個半導體基板上，而削減固體攝像裝置1A之製造步驟。

又，如圖5(a)所示，電路構成物73亦可包含由非晶矽及多晶矽中至少一者形成之區域73a。因非晶矽或多晶矽相較於單晶之半導體電阻值更高，故藉由使用其等作為電路構成物73之材料，可容易製作電路構成物73。尤其，如本實施形態在玻璃基板12上包含由非晶矽及多晶矽中至少一者形成之區域之情形時，可於玻璃基板12上容易製作此種電路構成物73。

又，如圖5(b)所示，電路構成物73亦可由電晶體73b構成。藉此，使用與製作玻璃基板12上之薄膜電晶體21或基板41上之積分電路42之半導體電路時之半導體製程相同之製程，可容易製作電路構成物73。

又，如本實施形態，薄膜電晶體21之控制端子之斷開電壓亦可為負電壓。根據本實施形態之固體攝像裝置1A，即使於此種情形時，亦可藉由將恒電位線71之電位設為正的適當值，而較好地發揮上述效果。

又，在本實施形態中，薄膜電晶體21之通道區域21a、源極區域21b、及汲極區域21c包含非晶矽。近年來，對用於例如醫療用途(牙

科之X射線拍攝等)之二維平面影像感測器之固體攝像元件，追求更廣之受光面。然而，就如先前之固體攝像元件在單晶矽晶圓上製作受光部而言，因最大者亦不過直徑12英寸之單晶矽晶圓之大小，故固體攝像元件之受光面之廣度受限制。

對此，藉由於例如玻璃基板之絕緣基板上將非晶矽成膜，且於該非晶矽之表面形成光電二極體或其他電晶體等之電子零件，而可使受光面與使用單晶矽晶圓形成之先前之固體攝像元件比較顯著拓寬。另，於本實施形態中，薄膜電晶體21之通道區域21a、源極區域21b、及汲極區域21c亦可包含多晶矽，又可包含非晶矽及多晶矽兩者。

(第1變化例)

圖11係顯示上述實施形態之第1變化例之固體攝像裝置1B之構成之圖。本變化例之固體攝像裝置1B中，與上述實施形態之固體攝像裝置1A不同之點係於節點 $N_1 \sim N_N$ 與 N 個積分電路42之間分別連接有 N 個開關電路74之點。 N 個開關電路74係由例如FET較好地構成。一實施例中，開關電路74為nMOS型FET。於本變化例中，在某行產生列選擇用配線 Q_m 與讀取用配線 R_n 之短路故障之情形時，將該行之開關電路74設為非導通狀態。藉此，可完全切斷列選擇用配線 Q_m 與讀取用配線 R_n 之短路所引起之讀取用配線 R_n 之電位之變動、及放大器42a之輸入端之電位。

另，於該固體攝像裝置1B中，與上述實施形態相同，即使薄膜電晶體21之控制端子之斷開電壓為負電壓，亦可藉由恒電位線71將短路時之節點 $N_1 \sim N_N$ 與積分電路42之間之電位保持於正電位。因此，即使例如開關電路74之動作電壓範圍為正電壓(例如0 V~5 V)，亦可使開關電路74較好地動作。又，開關電路74為FET之情形時，即使不設為非導通狀態，亦有可藉由FET之導通電阻充分限制自放大器42a之輸入端流出之電流之情形。

(第2變化例)

圖12係作為上述實施形態之第2變化例顯示整流電路75之構成之電路圖。本變化例之整流電路75係由電晶體75a構成。如圖12所示，藉由使電晶體75a之控制端子與一者之電流端子彼此短路(所謂二極體連接)，而實現與二極體相同之功能。此種整流電路75可與上述實施形態之整流電路72置換。

(第3變化例)

圖13係作為上述實施形態之第3變化例顯示感測器面板部10與讀取電路部40之電性連接構造之例之圖。於圖13(a)所示之例中，感測器面板部10及讀取電路部40並排載置於基底基板80上。且，連接於感測器面板部10之面板側連接點13、與連接於讀取電路部40之讀取部側連接點43係經由焊接線51彼此連接。又，基板41上之其他連接點47係經由焊接線52連接於基底基板80上之配線。另，連接點47係與例如圖4所示之電壓輸出用配線48連接。

又，在圖13(b)所示之例中，感測器面板部10載置於基底基板80之主表面80a上，讀取電路部40配置於基底基板80之背面80b上。且，感測器面板部10之面板側連接點13、與讀取電路部40之讀取部側連接點43係經由可撓性基板81彼此電性連接。

如本變化例，作為感測器面板部10與讀取電路部40之電性連接構造，不限於上述實施形態而可應用多種構造。

本發明之固體攝像裝置並非限定為上述實施形態及各變化例者，可進行其他多種變化。例如，上述實施形態及各變化例中，顯示對在玻璃基板上將非晶矽或多晶矽成膜而形成之固體攝像裝置應用本發明之例，但本發明不限於此種構成，亦可應用於製作於例如單晶矽基板上之固體攝像元件。

又，在上述實施形態及各變化例中，具有電阻成分之電路構成

物73係與其他電路零件另行設置，本發明之電路構成物亦可由連接於節點 $N_1 \sim N_N$ 與讀取用配線 $R_1 \sim R_N$ 之間之原有電路要件構成。

例如，在圖13(a)所示之構成中，焊接線51具有與其長度成比例之電阻成分。又，於例如圖13(b)所示之構成中，可撓性基板81之配線具有與其長度成比例之電阻成分。或，在將凸塊連接或ACF(各向異性導電薄膜)之其他連接構造設置於感測器面板部10與讀取電路部40之間之情形時，此種構造亦具有電阻成分。因此，該等連接構造又可作為本發明之電路構成物發揮作用。且，如其等之原有之電路要件可作為本發明之電路構成物發揮作用之情形時，無須另外設置電路構成物73。

又，在上述實施形態及各變化例中，藉由連接於節點 $N_1 \sim N_N$ 與讀取用配線 $R_1 \sim R_N$ 之間之打線接合等之配線電阻構成本發明之電路構成物之情形時，該配線電阻較好為具有數百 Ω 以上之電阻值。通常之打線接合中配線電阻為數 Ω ，如此藉由將較大之配線電阻(例如為通常配線之百倍以上)應用於本發明之電路構成物，可較好地發揮上述實施形態及各變化例之作用效果。

又，如第1變化例設置開關電路74之情形時，電路構成物之電阻值係只要為使該電路構成物與開關電路74之間之電壓值成為收斂於開關電路74之動作電壓範圍內之程度(例如0~5 V)之值即可。又，本發明之電路構成物之電阻值較好為使該電路構成物與放大器42a之間之電壓值較薄膜電晶體之控制端子之斷開電壓更接近放大器42a之輸入電壓之值。在例如上述實施形態中，薄膜電晶體之控制端子之斷開電壓為-5 V，相對於此，電路構成物與放大器42a之間之電壓值為0.3 V左右。又，本發明之電路構成物之電阻值較好為在薄膜電晶體之控制端子之斷開電壓為負電壓之情形時，使電路構成物與放大器42a之間之電壓值變為0 V以上之值。

又，在上述實施形態及各變化例中，整流電路72及電路構成物73設置於基板41(第2基板)上，電路構成物亦可設置於第1基板上。或，整流電路及電路構成物中之至少一者亦可設置於電性連接於第1及第2基板之間之第3基板上。

又，於上述實施形態及各變化例中，例示薄膜電晶體之控制端子之斷開電壓為負電壓之情形，斷開電壓亦可為正電壓。該情形時，整流電路之方向變為相反。即，以自面板側連接點與積分電路之間之節點向恒電位線流動電流之方式，將整流電路之陽極連接於該節點，且將整流電路之陰極連接於恒電位線。

於上述實施形態之固體攝像裝置中，係使用具備如下者之構成：感測器面板部，其具有：受光部，其係將包含光電二極體、及一者之電流端子與該光電二極體連接之薄膜電晶體之像素遍及複數列及複數行二維排列而形成；複數條列選擇用配線，其配設於每列且與包含於對應之列之像素之薄膜電晶體之控制端子連接；及複數條讀取用配線，其配設於每行且與包含於對應之行之像素之薄膜電晶體之另一者之電流端子連接；且形成於第1基板上；讀取電路部，其具有分別輸出與經由複數條讀取用配線輸入之電荷之量相應之電壓值之複數個積分電路，且設置於與第1基板不同之第2基板上；複數個面板側連接點，其設置於第1基板上，且用以使第1基板上之複數條讀取用配線各者與第2基板上之複數個積分電路各者彼此連接；複數個整流電路，其連接於複數個面板側連接點與複數個積分電路之間之複數個節點各者與恒電位線之間；及複數個電路構成物，其係分別連接於複數個節點與複數條讀取用配線間且具有電阻成分。

又，固體攝像裝置亦可採用將複數個整流電路及恒電位線設置於第2基板上之構成。藉此，可將例如整流電路與積分電路積體於相同之半導體基板上，而削減固體攝像裝置之製造步驟。

又，固體攝像裝置亦可採用薄膜電晶體包含由非晶矽及多晶矽中至少一者形成之區域之構成。在此種薄膜電晶體中，控制端子之斷開電壓為負之情形較多。根據上述固體攝像裝置，即使為此種情形時，亦可藉由將恒電位線之電位設為正的適當值，而較好地發揮上述效果。

又，固體攝像裝置亦可採用將具有電阻成分之複數個電路構成物設置於第2基板上之構成。藉此，可將例如電路構成物與積分電路積體於相同之半導體基板上，而削減固體攝像裝置之製造步驟。

又，固體攝像裝置亦可採用具有電阻成分之複數個電路構成物為電晶體之構成。藉此，可使用與製作第1基板上之薄膜電晶體或第2基板上之積分電路之半導體電路時之半導體製程相同之製程，容易製作電路構成物。

又，固體攝像裝置亦可採用具有電阻成分之複數個電路構成物包含由非晶矽及多晶矽中至少一者形成之區域之構成。由於非晶矽或多晶矽與單晶之半導體相比電阻值要高，故藉由使用其等作為電路構成物之材料，可容易製作電路構成物。尤其，在第1基板上之薄膜電晶體包含由非晶矽及多晶矽中至少一者形成之區域之情形時，可於第1基板上容易製作此種電路構成物。

又，固體攝像裝置亦可採用薄膜電晶體之控制端子之斷開電壓為負之構成。根據上述固體攝像裝置，即使為此種情形，亦可藉由將恒電位線之電位設為正的適當值，而較好地發揮上述效果。

又，固體攝像裝置亦可採用於複數個節點與複數個積分電路之間分別連接有複數個開關電路之構成。藉此，可完全切斷列選擇用配線與讀取用配線之短路引起之讀取用配線之電位之變動、與積分電路之輸入電位。另，在上述固體攝像裝置中，由於即使控制端子之斷開電壓為負之情形時，亦可藉由恒電位線將短路時之上述節點與積分電

路間之電位維持於正電位，故可使開關電路較好地動作。

[產業上之可利用性]

本發明可利用作為即使於某行中產生列選擇用配線與讀取用配線之短路之情形，亦可防止來自其他行之積分電路之輸出電壓值之異常之固體攝像裝置。

【符號說明】

1A	固體攝像裝置
1B	固體攝像裝置
10	感測器面板部
12	玻璃基板
13	面板側連接點
14	非晶矽膜
16	絕緣層
18	閃爍器
20	受光部
21	薄膜電晶體
21a	通道區域
21b	源極區域
21c	汲極區域
21d	閘極絕緣膜
21e	閘極電極
22	光電二極體
22a	n型半導體層
22b	i型半導體層
22c	p型半導體層
30	垂直移位暫存器部

40	讀取電路部
41	基板
42	積分電路
42a	放大器
42b	電容元件
42c	放電用開關
43	讀取部側連接點
44	保持電路
44a	輸入用開關
44b	輸出用開關
44c	電容元件
45	保持用配線
46	重設用配線
47	連接點
48	電壓輸出用配線
51	焊接線
52	焊接線
61	水平移位暫存器部
71	恒電位線
72	整流電路
73	電路構成物
73a	區域
73b	電晶體
74	開關電路
75	整流電路
75a	電晶體

80	基底基板
80a	主表面
80b	背面
81	可撓性基板
A1	部分
Hd	保持控制信號
$HS_1 \sim HS_N$	行選擇控制信號
$N_1 \sim N_N$	節點
$P_{1,1} \sim P_{M,N}$	像素
$Q_1 \sim Q_M$	列選擇用配線
$R_1 \sim R_N$	讀取用配線
RE	重設控制信號
$t_{10} \sim t_{19}$	時刻
$U_1 \sim U_N$	行選擇用配線
VC	特定電位
V_{out}	輸出電壓
$VS_1 \sim VS_M$	列選擇控制信號
X	軸方向
Y	軸方向
Z	軸方向

申請專利範圍

1. 一種固體攝像裝置，其特徵在於包含：

感測器面板部，其形成於第1基板上，具有：受光部，其係將包含光電二極體、及一側之電流端子與該光電二極體連接之薄膜電晶體之像素遍及複數列及複數行二維排列而形成；複數條列選擇用配線，其配設於每列且與包含於對應之列之上述像素之上述薄膜電晶體之控制端子連接；及複數條讀取用配線，其配設於每行且與包含於對應之行之上述像素之上述薄膜電晶體之另一側之電流端子連接；

讀取電路部，其具有分別輸出與經由上述複數條讀取用配線輸入之電荷之量相應之電壓值之複數個積分電路，且設置於與上述第1基板不同之第2基板上；

複數個面板側連接點，其設置於上述第1基板上，且用以使上述第1基板上之上述複數條讀取用配線各者與上述第2基板上之上述複數個積分電路各者彼此連接；

複數個整流電路，其連接於上述複數個面板側連接點與上述複數個積分電路之間之複數個節點各者與恒電位線之間；及

複數個電路構成物，其係分別連接於上述複數個節點與上述複數條讀取用配線間且具有電阻成分。
2. 如請求項1之固體攝像裝置，其中上述複數個整流電路及上述恒電位線設置於上述第2基板上。
3. 如請求項1之固體攝像裝置，其中上述薄膜電晶體包含具有非晶矽及多晶矽中至少一者之區域。
4. 如請求項2之固體攝像裝置，其中上述薄膜電晶體包含具有非晶矽及多晶矽中至少一者之區域。

5. 如請求項1之固體攝像裝置，其中上述複數個電路構成物設置於上述第2基板上。
6. 如請求項2之固體攝像裝置，其中上述複數個電路構成物設置於上述第2基板上。
7. 如請求項3之固體攝像裝置，其中上述複數個電路構成物設置於上述第2基板上。
8. 如請求項4之固體攝像裝置，其中上述複數個電路構成物設置於上述第2基板上。
9. 如請求項1至8中任一項之固體攝像裝置，其中上述複數個電路構成物為電晶體。
10. 如請求項1至8中任一項之固體攝像裝置，其中上述複數個電路構成物包含具有非晶矽及多晶矽中至少一者之區域。
11. 如請求項9之固體攝像裝置，其中上述複數個電路構成物包含具有非晶矽及多晶矽中至少一者之區域。
12. 如請求項1至8中任一項之固體攝像裝置，其中上述薄膜電晶體之上述控制端子之斷開電壓為負。
13. 如請求項9之固體攝像裝置，其中上述薄膜電晶體之上述控制端子之斷開電壓為負。
14. 如請求項10之固體攝像裝置，其中上述薄膜電晶體之上述控制端子之斷開電壓為負。
15. 如請求項11之固體攝像裝置，其中上述薄膜電晶體之上述控制端子之斷開電壓為負。
16. 如請求項1至8中任一項之固體攝像裝置，其中上述複數個節點與上述複數個積分電路之間分別連接有複數個開關電路。
17. 如請求項9之固體攝像裝置，其中上述複數個節點與上述複數個積分電路之間分別連接有複數個開關電路。

18. 如請求項10之固體攝像裝置，其中上述複數個節點與上述複數個積分電路之間分別連接有複數個開關電路。
19. 如請求項11之固體攝像裝置，其中上述複數個節點與上述複數個積分電路之間分別連接有複數個開關電路。
20. 如請求項12之固體攝像裝置，其中上述複數個節點與上述複數個積分電路之間分別連接有複數個開關電路。
21. 如請求項13之固體攝像裝置，其中上述複數個節點與上述複數個積分電路之間分別連接有複數個開關電路。
22. 如請求項14之固體攝像裝置，其中上述複數個節點與上述複數個積分電路之間分別連接有複數個開關電路。
23. 如請求項15之固體攝像裝置，其中上述複數個節點與上述複數個積分電路之間分別連接有複數個開關電路。