

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年3月3日(03.03.2011)

(10) 国際公開番号
WO 2011/024394 A1

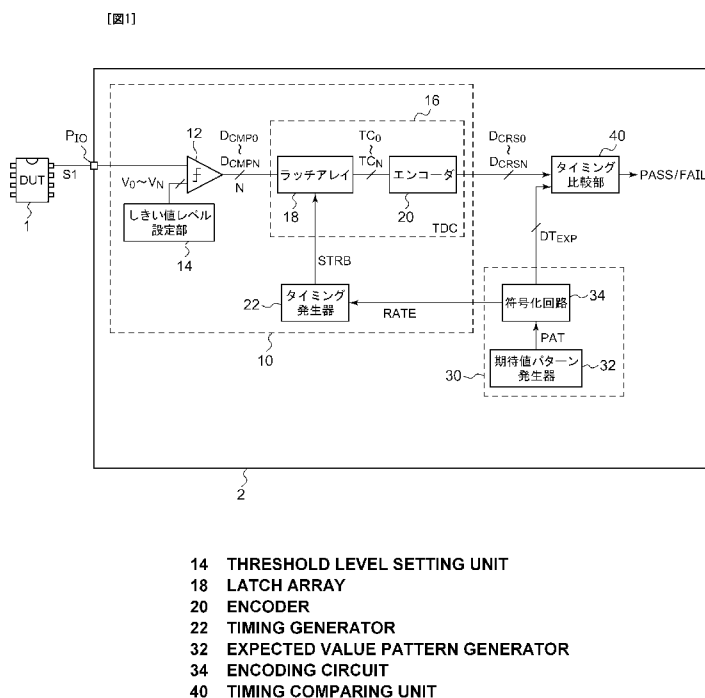
PCT

- (51) 国際特許分類:
G01R 31/319 (2006.01)
- (21) 国際出願番号: PCT/JP2010/004995
- (22) 国際出願日: 2010年8月9日(09.08.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
12/548,399 2009年8月26日(26.08.2009) US
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 石田雅裕 (ISHIDA, Masahiro) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号株式会社アドバンテスト内 Tokyo (JP). 渡邊大輔 (WATANABE, Daisuke) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号株式会社アドバンテスト内 Tokyo (JP). 岡安俊幸 (OKAYASU, Toshiyuki) [JP/JP]; 〒1790071 東京都練馬区旭町1丁目32番1号株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 森下賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西2-11-12 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: TEST DEVICE AND TEST METHOD FOR MODULATED SIGNAL TO BE TESTED

(54) 発明の名称: 変調された被試験信号の試験装置および試験方法



データを比較する。

(57) Abstract: A test device (2) tests a modulated signal (S1) to be tested output from a DUT (1). A cross timing data generating unit (10) generates cross timing data that indicates timings at which the level of the signal (S1) to be tested crosses a plurality of thresholds. An expected value data generating unit (30) generates expected timing value data that indicates timings at which a waveform (S2) of expected values expected to the signal (S1) to be tested crosses a plurality of thresholds when the waveform and the thresholds are compared. A timing comparing unit (40) compares the cross timing data with the expected timing value data.

(57) 要約: 試験装置2は、DUT1からの変調された被試験信号S1を試験する。クロスタイミングデータ生成部10は、被試験信号S1のレベルが、複数のしきい値それぞれとクロスするタイミングを示すクロスタイミングデータを生成する。期待値データ生成部30は、被試験信号S1に期待される期待値波形S2を複数のしきい値と比較した場合に期待値波形が各しきい値とクロスするタイミングを示すタイミング期待値データを生成する。タイミング比較部40はクロスタイミングデータとタイミング期待値



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 変調された被試験信号の試験装置および試験方法 技術分野

[0001] 本発明は、試験装置に関する。

背景技術

[0002] デジタル有線通信は従来、時間分割多重（TDM）方式による2値伝送が主流であり、大容量伝送を行う場合は、パラレル伝送、高速伝送によって実現してきた。パラレル伝送の物理的な限界に直面すると、シリアル伝送つまり、高速インタフェース（I/F）回路による数Gbps～10Gbps以上のデータレートでの高速伝送が行われる。しかしながら、データレート的高速化にも限界があり、伝送線路の高周波損失や反射によるBER（Bit Error Rate）の劣化が問題となる。

[0003] 一方、デジタル無線通信方式は、キャリア信号に多ビットの情報をのせて送受信する。つまり、データレートはキャリア周波数に直接的に制限されない。例えば、最も基本的な直交変復調方式であるQAM（Quadrature Amplitude Modulation）伝送方式は4値伝送を一つのチャンネルで実現することが出来る。64QAMにいたっては、64値伝送がワンキャリアで実現できる。つまり、キャリア周波数を高めなくてもこのような多値変調方式によって、転送容量を向上させることが出来る。

[0004] このような変復調方式は、無線通信に限らず有線通信でも可能であり、PAM（Pulse Amplitude Modulation）やQPSK（Quadrature Phase Shift Keying）あるいはDQPSK（Differential QPSK）方式として既に適用され始めている。特に、光通信分野においては、1本の光ファイバにどれだけ多くの情報をのせられるかがコスト的にも重要であり、2値TDMからこれらのデジタル変調を利用した伝送へと技術トレンドがシフトしている。

発明の概要

発明が解決しようとする課題

- [0005] 近い将来、このようなデジタル変復調方式が、メモリやS o C (System On a Chip) をはじめとするデバイス間の有線インタフェースに適用される可能性があるところ、現状ではそのようなデバイスを量産試験できる多チャンネルの試験装置は存在しない。
- [0006] 従来の無線通信デバイスを試験するミクスド試験装置やR F (Radio Frequency) 試験モジュールは存在するが、そもそも従来の無線通信デバイスは、I / O (入出力) 用の通信ポート (I / O ポート) が通常ひとつ、または数個に限られるため、これまでの試験装置や試験モジュールも、数個の通信ポートしか備えていない。したがってこれらの試験装置や試験モジュールを、メモリなどの数十〜百チャンネル以上のI / O ポートを有するデバイスの試験に使用することは困難である。
- [0007] また、従来のR F 信号の試験装置では、D U T (Device Under Test) から出力された信号をA / D (アナログデジタル) 変換して、その結果得られる膨大なデータを信号処理(ソフトウェア処理も含む)することで期待値判定する。よって、試験時間が長くなる。
- [0008] さらに従来の試験装置のデジタルピンは、基本的には、2 値(場合によってはこれにハイインピーダンス状態Hi-Zが加わった3 値)の信号の試験しか想定しておらず、デジタル変調信号の復調機能を有していない。
- [0009] メモリやM P U (Micro Processing Unit) のようなデバイスのI / O がすべてデジタル変調方式に置き換わったとすれば、数十〜百チャンネル以上のI / O がひとつのデバイスに存在し、それを数百個同時に試験することが求められる。つまり、デジタル変復調信号の入出力を数千チャンネル有する試験装置が必要であり、試験装置のC P U リソースにも限界があるので、全てハードウェアレベルでのリアルタイム試験が求められる。
- [0010] その他、振幅変調 (A M)、周波数変調 (F M)、振幅偏移変調 (A S K)、位相偏移変調 (P S K) など、さまざまな方式で変調された試験信号をリアルタイムに試験できる試験装置が利用できれば、製造者にとって非常に有用である。

[0011] 本発明はかかる状況に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、変調された被試験信号を高速に試験可能な試験装置、試験方法の提供にある。

課題を解決するための手段

[0012] 本発明のある態様は、被試験デバイスからの変調された被試験信号を試験する試験装置に関する。試験装置は、被試験信号のレベルが、複数のしきい値それぞれとクロスするタイミングを示すクロスタイミングデータを生成するクロスタイミング測定部と、被試験信号に期待される期待値波形を複数のしきい値と比較した場合に期待値波形が各しきい値とクロスするタイミングを示すタイミング期待値データを生成する期待値データ生成部と、クロスタイミングデータとタイミング期待値データを比較する比較部と、を備える。

[0013] この態様によると、被試験信号を復調して得られるベースバンド信号ではなく、被試験信号のレベルが変化するタイミングにもとづいて、被試験デバイスの良否や、被試験信号の波形品質を評価することができる。

[0014] 本発明のさらに別の態様も、試験装置である。この装置は、被試験信号のレベルが、複数のしきい値それぞれとクロスするタイミングを示すクロスタイミングデータを生成するクロスタイミング測定部と、しきい値ごとのクロスタイミングデータを受け、時間方向および振幅方向に補間することにより、被試験信号の波形を再構成する波形再構成部と、を備える。

[0015] この態様によると再構成された波形にさまざまな信号処理を施すことで、高価なスペクトラムアナライザやデジタイザなどを用いなくても、試験装置単体で時間ドメイン、周波数ドメインの解析や、変調解析を行うことができる。

[0016] なお、以上の構成要素を任意に組み合わせたもの、あるいは本発明の表現を、方法、装置などの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0017] 本発明のある態様によれば、変調された被試験信号を高速に試験できる。

図面の簡単な説明

[0018] [図1] 本発明の第 1 の実施の形態に係る試験装置の構成を示すブロック図である。

[図2] ラッチアレイの構成例を示す回路図である。

[図3] 図 3 (a) は、クロスタイミングデータ生成部の動作を示すタイムチャートであり、図 3 (b) は、期待値波形と複数のしきい値およびタイミング期待値データを示す図である。

[図4] 図 4 (a) ~ (c) は、タイミング比較部による比較処理の一例を示す図である。

[図5] 本発明の第 2 の実施の形態に係る試験装置の構成を示すブロック図である。

[図6] さまざまな変調波がクロスタイミングデータ生成部によりサンプリングされる様子を示す図である。

[図7] 波形再構成部により再構築された波形を示す図である。

[図8] 第 1 の変形例に係る試験装置の一部の構成を示すブロック図である。

[図9] 第 2 の変形例に係る試験装置の構成を示すブロック図である。

[図10] レベル比較部における振幅期待値データと判定データの比較処理を概念的に示す図である。

発明を実施するための形態

[0019] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。

各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0020] 実施の形態に係る試験装置は、デジタル変調されたデジタルデータの送受信インタフェースを備える被試験デバイス (DUT) を試験対象とする。つまりパターン信号をデジタル変調して DUT に供給し、また DUT から出力

されるデジタル変調されたデータを期待値と比較し、良否判定を行う。試験装置は、良否判定の他、デジタル変調されたデータの波形解析、コンスタレーションマップの生成機能等を備えてもよい。

[0021] デジタル変調は、A P S K（振幅位相偏移変調）、Q A M（直交振幅変調）、Q P S K（4 値位相偏移変調）、B P S K（2 値位相偏移変調）、F S K（周波数偏移変調）などを含む。D U T は、たとえばメモリやM P U をはじめとする多チャンネルの I / O ポートに有するデバイスが想定されるが、特に限定されるものではない。

[0022] （第 1 の実施の形態）

図 1 は、本発明の第 1 の実施の形態に係る試験装置 2 の構成を示すブロック図である。図 1 の試験装置 2 は、D U T 1 の I / O ポートごとに設けられた複数の I / O 端子 P_{I/O}を備える。試験装置 2 の I / O 端子 P_{I/O}はそれぞれ、D U T 1 の対応する I / O ポートと伝送路を介して接続されており、D U T 1 からの変調された被試験信号 S 1 が入力される。I / O ポート P_{I/O}の個数は任意であり、メモリやM P U の場合、数十～百個以上設けられるが、図では理解の容易化と説明の簡略化のため、単一の I / O 端子 P_{I/O}とそれに関連するブロックのみを示す。

[0023] 試験装置 2 は、I / O 端子 P_{I/O}ごとに、クロスタイミングデータ生成部 10、期待値データ生成部 30、タイミング比較部 40 の 3 つの機能ブロックを備える。以下、それぞれについて順に説明する。

[0024] （1-a）クロスタイミングデータ生成部

クロスタイミングデータ生成部 10 は、被試験信号 S 1 のレベルが、複数のしきい値 $V_0 \sim V_N$ （N は自然数）それぞれとクロスするタイミングを示すクロスタイミングデータ D_{CRS}を生成する。

[0025] 具体的には、クロスタイミングデータ生成部 10 は、多値コンパレータ 12、しきい値レベル設定部 14、時間デジタル変換器 16、リアルタイムタイミング発生器（以下、タイミング発生器ともいう）22を含む。リアルタイムタイミング発生器 22 は、クロスタイミングデータ生成部 10 ごとに設

置されてもよいし、複数のクロスタイミングデータ生成部 10 で一つのリアルタイムタイミング発生器 22 を共有してもよい。

- [0026] 多値コンパレータ 12 は、被試験信号 S 1 のレベルを複数のしきい値 $V_0 \sim V_N$ と比較し、各しきい値 $V_0 \sim V_N$ ごとに比較結果を示す比較データ $D_{CMP0} \sim D_{CMPN}$ を生成する。i 番目 ($0 \leq i \leq N$) の比較データ D_{CMPi} はたとえば、

$S1 > V_i$ のとき 1 (ハイレベル)

$S1 < V_i$ のとき 0 (ローレベル)

をとる。なお、ハイレベル、ローレベルの割り当ては反対であってもよい。本実施の形態において、しきい値 $V_0 \sim V_N$ は等間隔に配置される。ただし本発明はこれに限定されず、被試験信号 S 1 に施される変調方式によっては、等間隔が最適であるとは限らず不等間隔であってもよい。つまりしきい値 $V_0 \sim V_N$ は、DUT 1 の種類、変調方式などに応じて適切に設定すればよい。

- [0027] なお、このケースでは、比較データ $D_{CMP0} \sim D_{CMPN}$ は、あるビットを境に 1 と 0 が変化する（もしくはオール 0 またはオール 1 をとる）いわゆるサーモメータコードとなる。以下では、比較データ D_{CMP0} を最下位ビット、 D_{CMPN} を最上位ビットとする ($N+1$) ビットのセットを、比較コード D_{CMP} と総称する。

- [0028] しきい値の個数 $N+1$ は、被試験信号 S 1 の変調方式に応じて設定すればよい。たとえば 16QAM の場合、4 ビット ($N=16$) 程度の階調を備えていればよい。別の変調方式では、2 ビット ($N=4$)、3 ビット ($N=8$)、5 ビット ($N=32$) 程度の階調が最適な場合もある。

- [0029] しきい値レベル設定部 14 は、しきい値 $V_0 \sim V_N$ を生成する。たとえばしきい値レベル設定部 14 は D/A コンバータであり、外部からのデジタル制御信号に応じて調節可能なしきい値を生成する。しきい値は、DUT 1 の種類、変調方式などに応じて動的に制御してもよいし、あらかじめ所定の値に精度よくキャリブレーションされていてもよい。

- [0030] 通信プロトコルによっては、DUT 1 からの被試験信号 S 1 の振幅変動が

許容され、あるいはDCオフセットの変動が許容される場合がある。この場合に、しきい値レベル設定部14は、被試験信号S1の振幅やDCオフセットを測定し、測定結果にもとづいてしきい値 $V_0 \sim V_N$ を最適化してもよい。

[0031] 時間デジタル変換器16は、しきい値 $V_0 \sim V_N$ ごとの比較データ $D_{CMP0} \sim D_{CMPN}$ を受け、比較データ $D_{CMP0} \sim D_{CMPN}$ それぞれが変化するタイミングを測定することにより、クロスタイミングデータ $D_{CRS0} \sim D_{CRSN}$ を生成する。本実施の形態では、クロスタイミングデータ $D_{CRS0} \sim D_{CRS0}$ はしきい値ごとに生成される場合を説明する。なお最も簡略化した形態では、複数の比較データ D_{CMP} のうちのいずれかが変化したタイミングを示す単一のクロスタイミングデータ D_{CRS} を生成してもよい。

[0032] 時間デジタル変換器16は、ラッチアレイ18およびエンコーダ20を含む。図2は、ラッチアレイ18の構成例を示す回路図である。

タイミング発生器22は、それぞれのエッジの位相が所定のサンプリング間隔 T_s ずつシフトしているK相（Kは整数）のマルチストロブ信号 $STRB_1 \sim STRB_K$ を発生する。サンプリング間隔 T_s は、被試験信号S1のシンボルレート（周波数）や変調方式に応じて設定される。たとえばサンプリング期間 T_s は、被試験信号S1のシンボル期間 T_{sym} （シンボルレートの逆数）の整数分の1（たとえば1/8倍）に設定される。つまりラッチアレイ18は、比較データ $D_{CMP0} \sim D_{CMPN}$ を所定の周波数でオーバーサンプリングする。

[0033] ラッチアレイ18は、比較データ $D_{CMP0} \sim D_{CMPN}$ それぞれごとに、K個のフリップフロップ $FF_1 \sim FF_K$ を有している。i番目の比較データ D_{CMP_i} は、それに対応するK個のフリップフロップに入力される。K個のフリップフロップのクロック端子にはそれぞれ、K相のマルチストロブ信号 $STRB_1 \sim STRB_K$ が入力される。各フリップフロップ $FF_1 \sim FF_K$ の出力データは、Kビットのサーモメータコード（以下、タイミングコードTCという）となる。たとえば FF_1 の出力が最上位ビット（MSB）、 FF_K の出力が最下位ビット（LSB）に割り当てられる。

[0034] タイミング発生器 22 は、テストレート（周期 T_{RATE} ）を基準として、ストローブ信号 $STRB_1 \sim STRB_K$ を繰り返し発生してもよい。繰り返されるテストレートには、インデクス（ j ）が付される。

[0035] i 番目のタイミングコード TC_i は、被試験信号 S_1 が i 番目のしきい値 V_i と交差したタイミングを示す。具体的には、 i 番目のタイミングコード TC_i の値の変化点が、 j 番目のテストレートにおいて上位 L ビット目（ $1 \leq L \leq K$ ）に位置するとき、

$$t = j \times T_{RATE} + (L \times T_s)$$

が、クロスタイミング（テスト開始からの経過時間）を表す。値 L は、タイミングコード TC_i をプライオリティエンコードすることで算出することができる。エンコーダ 20 は、タイミングコード TC を受け、クロスタイミング t を示すクロスタイミングデータ $D_{CRS0} \sim D_{CRSN}$ を発生する。クロスタイミングデータ $D_{CRS0} \sim D_{CRSN}$ のデータ形式は任意であるが、値 j と L のペアを含んでもよい。

[0036] 図 3（a）は、クロスタイミングデータ生成部 10 の動作を示すタイムチャートである。実線は被試験信号 S_1 を、破線は多値コンパレータ 12 によりデジタイズされた比較コード D_{CMP} を示す。なお図 3（a）では、 $N=5$ の場合が示される。

また、クロスタイミング列 $t_0' \sim t_8'$ は、比較コード D_{CMP} の値が変化するタイミングを示す。

[0037] 以上がクロスタイミングデータ生成部 10 の構成と動作である。なおクロスタイミングデータ生成部 10 の構成は上述のものに限定されず、その他の回路形式で構成してもよい。

[0038] （1-b）期待値データ生成部

続いて図 1 に戻り、期待値データ生成部 30 について説明する。

試験装置 2 は、DUT 1 から出力される被試験信号 S_1 が、どのようなパターンデータにもとづいているかを知っている。これを期待値またはベースバンド期待値パターンという。期待値パターン発生器 32 は、2 値のベース

バンド期待値パターンPATを発生する。期待値パターンPATは、1シンボルに相当するデータであり、16QAMの場合4ビットとなる。期待値パターンPATのビット数は、変調方式に応じて設定される。

[0039] 符号化回路34はデジタル信号処理によってベースバンド期待値パターンPATを仮想的に、DUT1と同じ方式にてデジタル多値変調し、その結果得られる期待値波形S2を生成する。そして期待値パターン発生器32は、被試験信号S1に期待される期待値波形S2を複数のしきい値 $V_0 \sim V_N$ と比較した場合に、期待値波形S2が各しきい値 $V_0 \sim V_N$ とクロスするタイミングを示すタイミング期待値データDT_{EXP}をデジタル信号処理によって生成する。図3(b)は、期待値波形S2としきい値 $V_0 \sim V_N$ およびタイミング期待値データDT_{EXP}を示す図である。タイミング期待値データDT_{EXP}は、期待値クロスタイミング $t_0, t_1, \dots$ を含む。

[0040] また符号化回路34cは、タイミング期待値データDT_{EXP}のレートを示すレート設定データRATEを出力する。タイミング発生器22は、レート設定データRATEを受け、その値に応じた間隔のエッジ列を含むストロブ信号STRBを、レートクロックと同期して生成する。

[0041] (1-c) タイミング比較部

タイミング比較部40は、クロスタイミングデータD_{CRS}($t_0', t_1', \dots$)とタイミング期待値データDT_{EXP}($t_0, t_1, \dots$)を比較することにより、DUT1の良否を判定し、あるいはその不良箇所を特定する。

[0042] 量子化誤差(時間方向および振幅方向)を無視すれば、被試験信号S1が理想的に生成されたとき、測定されたクロスタイミングデータD_{CRS}と、タイミング期待値データDT_{EXP}は一致する。

[0043] 図4(a)~(c)は、タイミング比較部40による比較処理の一例を示す図である。

波形歪み等によって、測定されたクロスタイミングデータD_{CRS}が、タイミング期待値データDT_{EXP}に比べて許容量 ΔT の範囲をはずれた値を示す場合、DUT1を不良と判定することができる。期待値タイミングtの上限値と

下限値のウィンドウを設け、測定されたクロスタイミング t' がウィンドウに含まれるか否かを判定すればよい。図 4 (a) では、しきい値 V_3 に対するクロスタイミング t_8' が、期待値 t_8 の範囲から逸脱している。

[0044] 図 4 (b) は、DUT 1 からの被試験信号 S_1 に振幅劣化が発生している場合を示す。図 4 (c) は、被試験信号 S_1 に DC オフセットが発生している場合を示す。振幅劣化や DC オフセットによっても、測定されるクロスタイミング t' は期待値タイミング t から逸脱する。したがって実施の形態に係る試験装置 2 によれば、これらの不良も検出できる。

[0045] (第 2 の実施の形態)

図 5 は、本発明の第 2 の実施の形態に係る試験装置 2 a の構成を示すブロック図である。試験装置 2 a は、第 1 の実施の形態のタイミング比較部 40 に代えて、またはそれに加えて、波形再構成部 50 および波形解析部 52 を備える。図 1 と重複するブロックの説明は省略する。

[0046] 波形再構成部 50 は、しきい値 $V_0 \sim V_N$ ごとのクロスタイミングデータ $D_{RS0} \sim D_{CRSN}$ を受ける。これらのデータは、被試験信号 S_1 を (t_k, V_i) の列の形式で表現したものに他ならない。 k はサンプリングのインデックス番号を示す整数である。また i ($0 \leq i \leq N$) は、しきい値のレベルを示すインデックス番号を示す。波形再構成部 50 は、時間方向および振幅方向に補間することにより、被試験信号 S_1 の波形をデジタル値で再構成する。

[0047] 図 6 は、さまざまな変調波がクロスタイミングデータ生成部 10 によりサンプリングされる様子を示す図である。一般的なサンプリングは、時間軸方向を基準として行われるのに対して、本実施の形態では、振幅方向のしきい値 $V_0 \sim V_N$ を基準としてサンプリングされる点が特徴的である。

[0048] 図 7 は、波形再構成部 50 により再構築された波形を示す図である。白丸がしきい値を基準としてサンプリングされた点を、黒丸が補間された点を示す。波形再構成部 50 は、線形補間、多項式補間、3 次スプライン補間などの信号処理を実行可能な DSP (Digital Signal Processor)、あるいはコンピュータである。後段での信号処理の利便性を考慮すると、波形再構成部

50は、しきい値Vごとのクロスタイミングデータ D_{CRS} を、時間軸方向に等間隔に補間することが望ましい。補間された波形データS3は、波形解析部52へと入力される。

[0049] 波形解析部52は、再構成された波形データS3に信号処理を施し、被試験信号S1の時間ドメインあるいは周波数ドメインでの解析や変調解析を行う。たとえば波形データS3にフーリエ変換（高速フーリエ変換、FFT）を施し、周波数ドメインに変換した上で、被試験信号S1のスペクトル解析や位相雑音解析（片側波帯位相雑音スペクトル解析）などを行ってもよい。また時間ドメインでは、被試験信号S1のアイダイアグラム解析やジッタ解析を行ってもよい。また被試験信号S1が変調された信号である場合、波形データS3に変調解析を適用し、コンスタレーションマップの作成等を行ってもよい。

[0050] 図5の試験装置2aによれば、スペクトラムアナライザやデジタイザなどを用いなくても、試験装置単体で時間ドメイン、周波数ドメインの解析や、変調解析を行うことができる。

[0051] 以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

[0052] （第1の変形例）

図8は、第1の変形例に係る試験装置2bの一部の構成を示すブロック図である。これらの変形例は、図1の試験装置2および図5の試験装置2aいずれの実施の形態にも適用可能である。多値コンパレータ12より後段の構成は、図1もしくは図5、あるいはそれらの組み合わせの装置と同様であるため省略されている。

[0053] 試験装置2bは、多値コンパレータ12の前段にレベル調節部13を備える。レベル調節部13は、被試験信号S1の振幅成分およびDCオフセットの少なくとも一方を変化させる機能を有しており、可変アテネータ、可変増

幅器およびレベルシフタのいずれか、もしくはこれらの組み合わせで構成することができる。レベル調節部 13 は被試験信号 S 1 のピーク電圧値、振幅、DC オフセットなどを測定し、それらに応じて減衰率、利得、オフセット量を制御してもよい。この制御には、いわゆる AGC (Automatic Gain Control) 回路を利用してもよい。

[0054] この変形例によれば、被試験信号 S 1 に振幅変動や DC オフセット変動が許容される場合に、それらの影響を排除した状態で DUT 1 を評価することができる。

[0055] (第 2 の変形例)

図 9 は、第 2 の変形例に係る試験装置 2 c の構成を示すブロック図である。図 9 の変形例は、図 1、図 5 の構成要素に加えて、リタイミング処理部 70 およびレベル比較部 72 をさらに備える。

[0056] 上述したようにタイミング比較部 40 は、被試験信号 S 1 があるしきい値レベルと交差するタイミングが期待値と一致するかを判定する。これに対してレベル比較部 72 は、被試験信号 S 1 のあるタイミングにおける振幅レベルが、期待値と一致するかを判定する。

[0057] 期待値データ生成部 30 c は、期待値パターン発生器 32 および符号化回路 34 c を含む。期待値パターン発生器 32 は、DUT 1 からの期待値データを示す期待値パターン PAT を生成する。

[0058] 符号化回路 34 c は、期待値パターン PAT を受け、これを符号化することにより、タイミング期待値データ DT_{EXP}に加えて、振幅期待値データ DA_{EXP}を生成する。タイミング期待値データ DT_{EXP}の符号化処理は上述した通りである。振幅期待値データ DA_{EXP}の生成処理は、以下のように実行される。

[0059] 1. 期待値パターン PAT に応じた被変調信号波形を所定間隔のサンプリング点ごとに量子化する。この量子化は仮想的なものであり、符号化回路 34 c において実際に被変調信号波形が生成される必要は無い。

[0060] 2. 被変調信号波形のサンプリング点ごと振幅レベルが、複数の振幅セ

グメント $SEG_0 \sim SEG_{N+1}$ のいずれに属するかを示す振幅期待値データ DA_{EXP} を生成する。

[0061] 符号化処理は、期待値パターン PAT の値ごとに予め用意された振幅期待値データ DA_{EXP} をメモリから読み出すことにより行ってもよい。あるいは、数値的な演算処理によって行ってもよい。

[0062] 多値コンパレータ 12、しきい値レベル設定部 14、ラッチアレイ 18 およびリタイミング処理部 70 は、被試験信号 S_1 を、振幅期待値データ DA_{EXP} と比較可能な信号形式に変換する。本明細書では、この変換処理を復調と呼んでおり、周波数ミキシングによってベースバンド信号を抽出する一般的な復調処理とは異なっている。

[0063] 多値コンパレータ 12 は、被試験信号 S_1 を、複数の振幅セグメント $SEG_0 \sim SEG_{N+1}$ の境界を規定するしきい値 $V_0 \sim V_N$ と比較し、複数の比較データ $D_{CMP0} \sim D_{CMPN}$ を生成する。

[0064] しきい値レベル設定部 14 は、振幅セグメント数、入力される被試験信号 S_1 の電圧範囲や変調方式に応じて、多値コンパレータ 12 のしきい値レベルを設定する。

[0065] ラッチアレイ 18 は、図 1 や図 5 に示されるラッチアレイ 18 と同様に動作する。すなわち多値コンパレータ 12 から出力される比較データ $D_{CMP0} \sim D_{CMPN}$ を、ストロブ信号 $STRB$ が規定する所定のサンプリングタイミングごとにラッチする。

[0066] ラッチアレイ 18 によりラッチされたデータ（以下、判定データという） $TC_0 \sim TC_N$ は、各サンプリングタイミングにおいて、被試験信号 S_1 が何番目の振幅セグメントに属するかを示す。

[0067] リタイミング処理部 70 は、ラッチアレイ 18 によりラッチされた判定データ $TC_0 \sim TC_N$ を受ける。リタイミング処理部 70 は、後段のレベル比較部 72 との同期処理のために、判定データ $TC_0 \sim TC_N$ をリタイミング処理し、振幅期待値データ DA_{EXP} のレートと一致させる。

[0068] 符号化回路 34c は、振幅期待値データ DA_{EXP} とともに、サンプリング点

の時間間隔を示すタイミングデータ $T D$ を出力する。タイミング発生器 70 は、タイミングデータ $T D$ に応じた間隔を有するパルスエッジ列 $P E 1$ を含むストローク信号 $S T R B$ を生成する。

[0069] 符号化回路 34 c は、振幅期待値データ $D A_{EXP}$ のレートを示すレート設定データ $R A T E$ を出力する。タイミング発生器 70 は、レート設定データ $R A T E$ を受け、その値に応じた周波数を有する第 2 パルスエッジ列 $P E 2$ を生成する。リタイミング処理部 70 は、ラッチアレイ 18 からの複数の判定データ $T C_0 \sim T C_N$ を、第 2 パルスエッジ列 $P E 2$ のタイミングに同期させる。

[0070] レベル比較部 72 は、リタイミング処理部 68 によってリタイミングされた判定データ $T C_0 \sim T C_N$ と振幅期待値データ $D A_{EXP}$ を受け、これらにもとづいて各サンプリングタイミングにおいて、 $D U T 1$ からの被試験信号 $S 1$ の振幅が期待される振幅セグメントに属するか否かを判定する。

[0071] 以上が試験装置 2 c の構成である。続いてその動作を説明する。

[0072] 図 10 は、レベル比較部 72 における、振幅期待値データと判定データの比較処理を概念的に示す図である。図 10 において、実線の波形は被試験信号 $S 1$ を示す。振幅は複数のセグメント $S E G_0 \sim S E G_{N+1}$ に分割されている。

[0073] 一点鎖線は、期待されるシンボルの被変調信号波形、つまり期待値波形 $S 2$ に応じたウィンドウを示すものであり、振幅期待値データ $D A_{EXP}$ によって定義される。16 QAM の場合、16 個のシンボルに応じたウィンドウを定義する振幅期待値データ $D A_{EXP}$ が、符号化回路 34 c から出力される。シンボルごとのウィンドウは、変調方式、グレイコーディングなどの符号化方式、予期される振幅エラー、位相エラーに応じて設定すればよい。図 10 には、シンボル (0100) に対応する期待値ウィンドウが示される。

[0074] レベル比較部 72 は、ウィンドウを定義する振幅期待値データ $D A_{EXP}$ と、判定データ $T C_0 \sim T C_N$ が示す被試験信号 $S 1$ の振幅レベルを比較する。その結果、被試験信号 $S 1$ のシンボルが、期待値と一致するかどうかを判定す

ることができる。

[0075] パルスエッジ P E 1 a に示すように、サンプリングタイミングは、ウィンドウの時間幅 T w の中央に 1 個配置されてもよい。あるいはパルスエッジ P E 1 b に示すように、ウィンドウの両端に配置されてもよい。この場合、文字通りのウィンドウ試験を実施することができる。また、P E 1 で示されるように、パルスエッジの周波数をなるべく高く設定し、被試験信号 S 1 を高度にデジタイジングしてもよい。

[0076] 以上が試験装置 2 c の動作である。この試験装置 2 c によれば、時間軸方向と振幅方向の両面から被試験信号 S 1 を評価することができる。

[0077] なお、図 1 にリタイミング処理部 7 0 およびレベル比較部 7 2 を追加した構成、図 5 にリタイミング処理部 7 0 およびレベル比較部 7 2 を追加した構成も本発明の態様として有効である。

[0078] (その他の変形例)

実施の形態において、D U T 1 と試験装置 2 を接続する伝送線路は、有線であると無線であるとを問わない。また本発明に係る試験装置は、変調された信号のみでなく、さまざまなアナログ信号の試験全般に利用することができる。

[0079] 一般的には、D U T 1 からの被試験信号 S 1 は、試験装置 2 の内部のレートクロックと同期して生成される。この場合、タイミング発生器 2 2 がラッチアレイ 1 8 に与えるストローブ信号 (パルスエッジ列) S T R B は、レートクロックと同期して生成すればよい。

もし被試験信号 S 1 がレートクロックと非同期で生成される場合には、被試験信号 S 1 の先頭にトレーニングシーケンスとしてプリアンブルデータを挿入しておき、トレーニングシーケンスを利用して基準クロックを再生し、再生された基準クロックと同期してストローブ信号 S T R B を生成すればよい。

[0080] 実施の形態にもとづき本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本

発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能である。

符号の説明

[0081] 1…DUT、2…試験装置、P_{IO}…I/O端子、10…クロスタイミングデータ生成部、12…多値コンパレータ、14…しきい値レベル設定部、16…時間デジタル変換器、18…ラッチアレイ、20…エンコーダ、22…タイミング発生器、30…期待値データ生成部、32…期待値パターン発生器、34…エンコーダ、40…タイミング比較部、50…波形再構成部、52…波形解析部、60…レベル調節部、68…デジタル復調器、70…リタイミング処理部、72…レベル比較部、S1…被試験信号、S2…期待値波形。

産業上の利用可能性

[0082] 本発明は、試験装置に利用できる。

請求の範囲

- [請求項1] 被試験デバイスからの変調された被試験信号を試験する試験装置であって、
- 前記被試験信号のレベルが、複数のしきい値それぞれとクロスするタイミングを示すクロスタイミングデータを生成するクロスタイミング測定部と、
- 前記被試験信号に期待される期待値波形を前記複数のしきい値と比較した場合に前記期待値波形が各しきい値とクロスするタイミングを示すタイミング期待値データを生成する期待値データ生成部と、
- 前記クロスタイミングデータと前記タイミング期待値データを比較する比較部と、
- を備えることを特徴とする試験装置。
- [請求項2] 前記クロスタイミング測定部は、
- 前記被試験信号のレベルを前記複数のしきい値と比較し、各しきい値ごとに比較結果を示す比較データを生成する多値コンパレータと、
- 前記しきい値ごとの前記比較データを受け、前記比較データが変化するタイミングを測定することにより、前記クロスタイミングデータを生成する時間デジタル変換器と、
- を含むことを特徴とする請求項1に記載の試験装置。
- [請求項3] 前記時間デジタル変換器は、
- 前記多値コンパレータからの比較データを所定の周波数でサンプリングするラッチアレイと、
- 前記ラッチアレイから出力されるラッチデータにもとづき、前記クロスタイミングデータを生成するエンコーダと、
- を含むことを特徴とする請求項2に記載の試験装置。
- [請求項4] しきい値ごとの前記クロスタイミングデータを受け、時間方向および振幅方向に補間することにより、前記被試験信号の波形を再構成する波形再構成部をさらに備えることを特徴とする請求項1から3のい

ずれかに記載の試験装置。

[請求項5] 前記波形再構成部は、しきい値ごとの前記クロスタイミングデータを、時間軸方向に等間隔に補間することを特徴とする請求項4に記載の試験装置。

[請求項6] 被試験デバイスからの変調された被試験信号を試験する方法であって、

前記被試験信号のレベルが、複数のしきい値それぞれとクロスするタイミングを示すクロスタイミングデータを生成するステップと、

前記被試験信号に期待される期待値波形を前記複数のしきい値と比較した場合に前記期待値波形が各しきい値とクロスするタイミングを示すタイミング期待値データを生成するステップと、

前記クロスタイミングデータと前記タイミング期待値データを比較するステップと、

を備えることを特徴とする方法。

[請求項7] 被試験デバイスからの変調された被試験信号を試験する試験装置であって、

前記被試験信号のレベルが、複数のしきい値それぞれとクロスするタイミングを示すクロスタイミングデータを生成するクロスタイミング測定部と、

しきい値ごとの前記クロスタイミングデータを受け、時間方向および振幅方向に補間することにより、前記被試験信号の波形を再構成する波形再構成部と、

を備えることを特徴とする試験装置。

[請求項8] 前記波形再構成部により再構成された前記被試験信号の波形を解析する波形解析部をさらに備えることを特徴とする請求項7に記載の試験装置。

[請求項9] 前記波形再構成部は、しきい値ごとの前記クロスタイミングデータを、時間軸方向に等間隔に補間することを特徴とする請求項7に記載

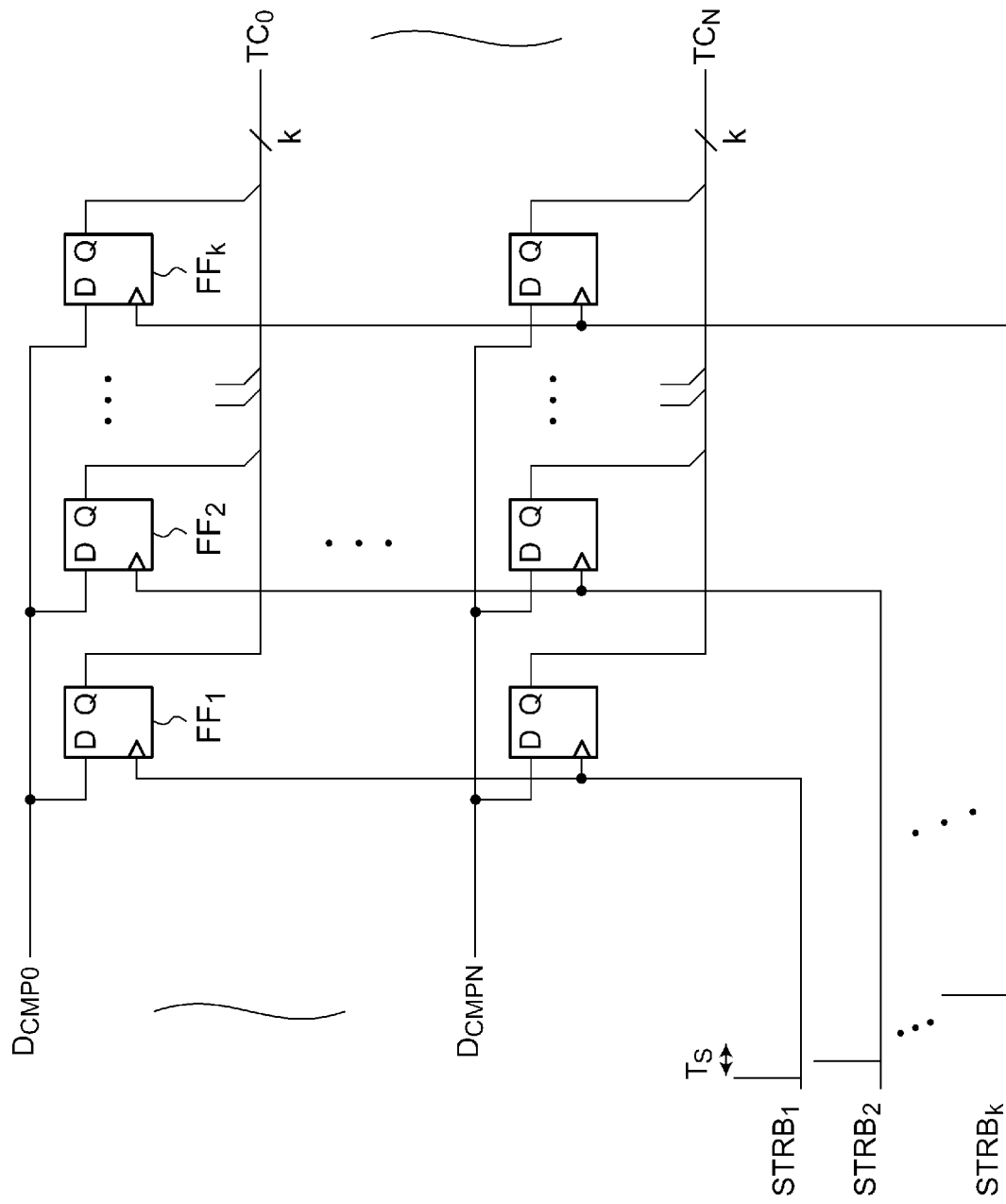
の試験装置。

[請求項10] 被試験デバイスからの変調された被試験信号を試験する試験装置であって、

前記被試験信号のレベルが、複数のしきい値それぞれとクロスするタイミングを示すクロスタイミングデータを生成するステップと、しきい値ごとの前記クロスタイミングデータを受け、時間方向および振幅方向に補間することにより、前記被試験信号の波形を再構成するステップと、

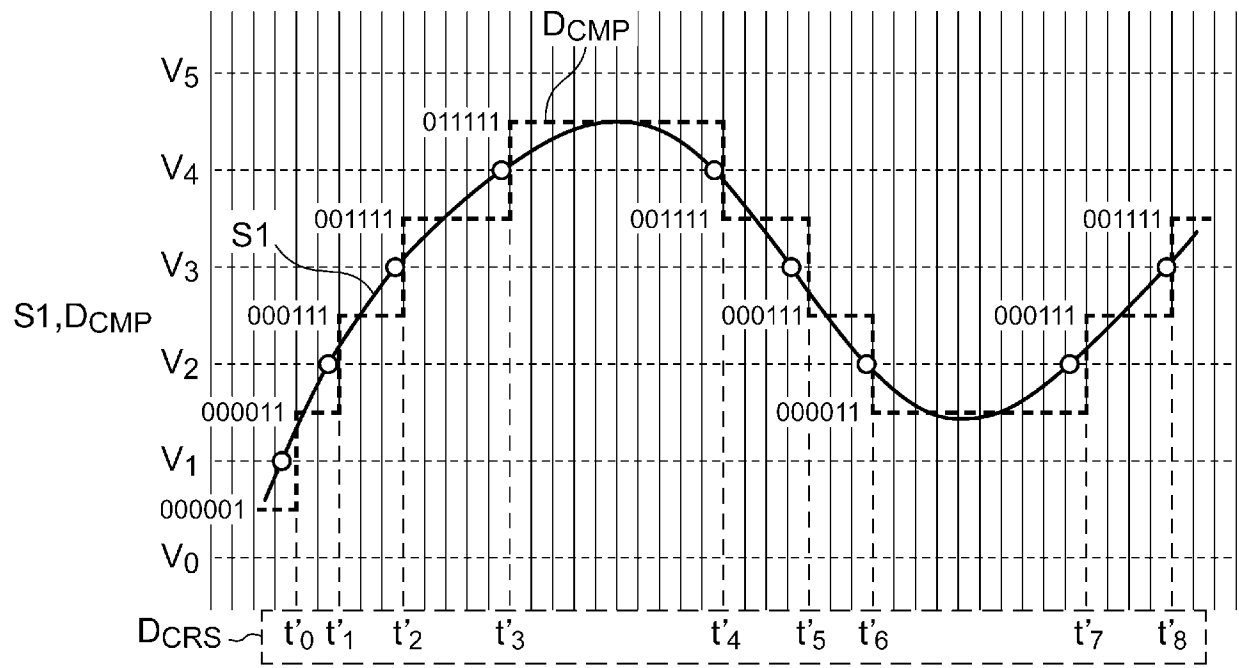
を備えることを特徴とする方法。

[図2]

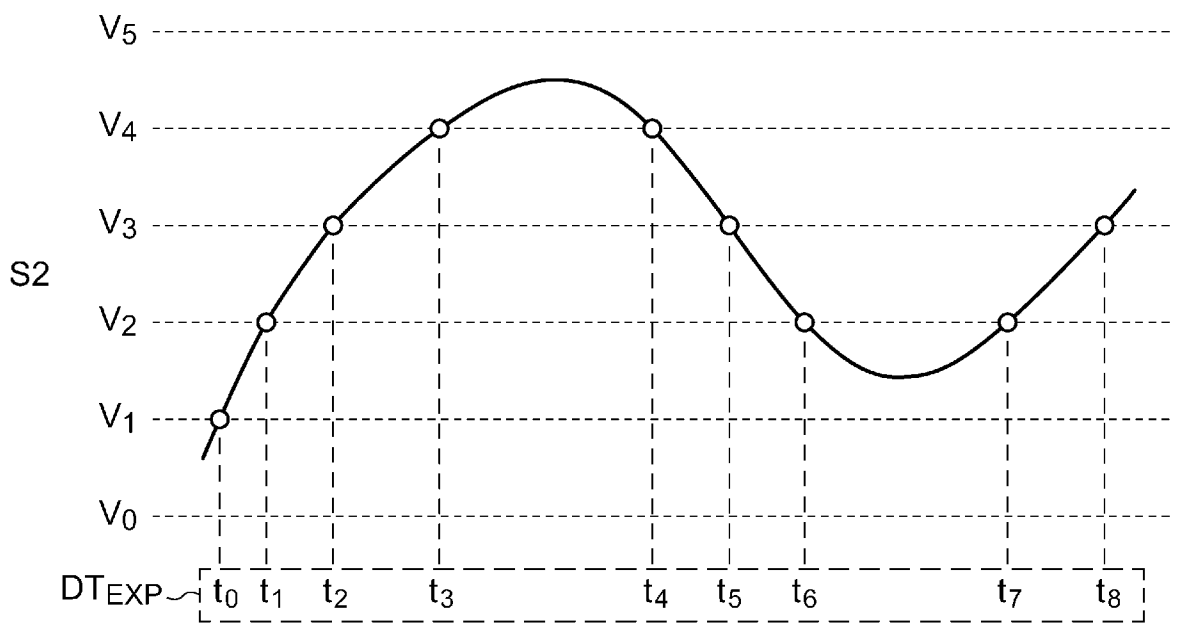


[図3]

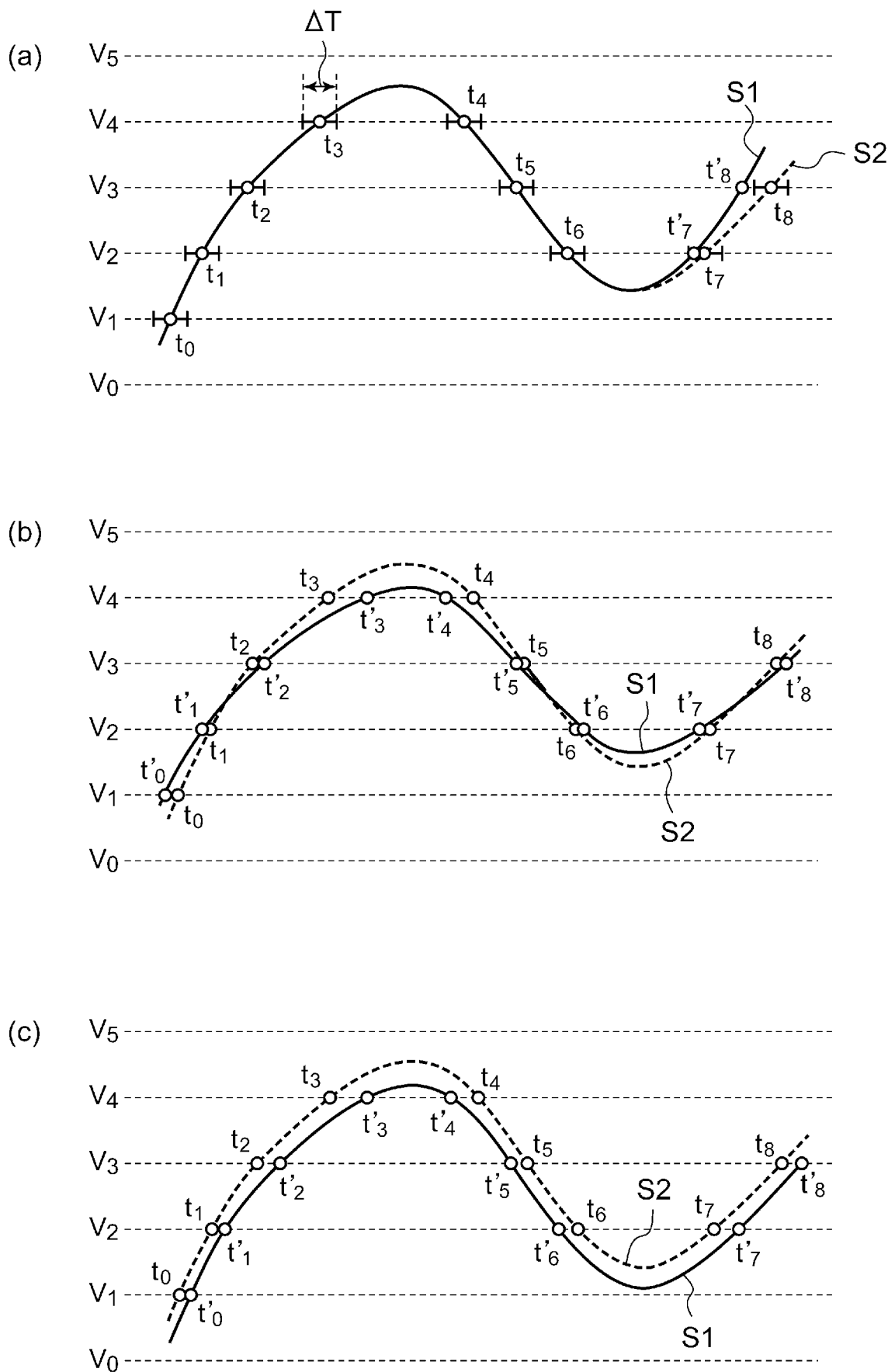
(a)



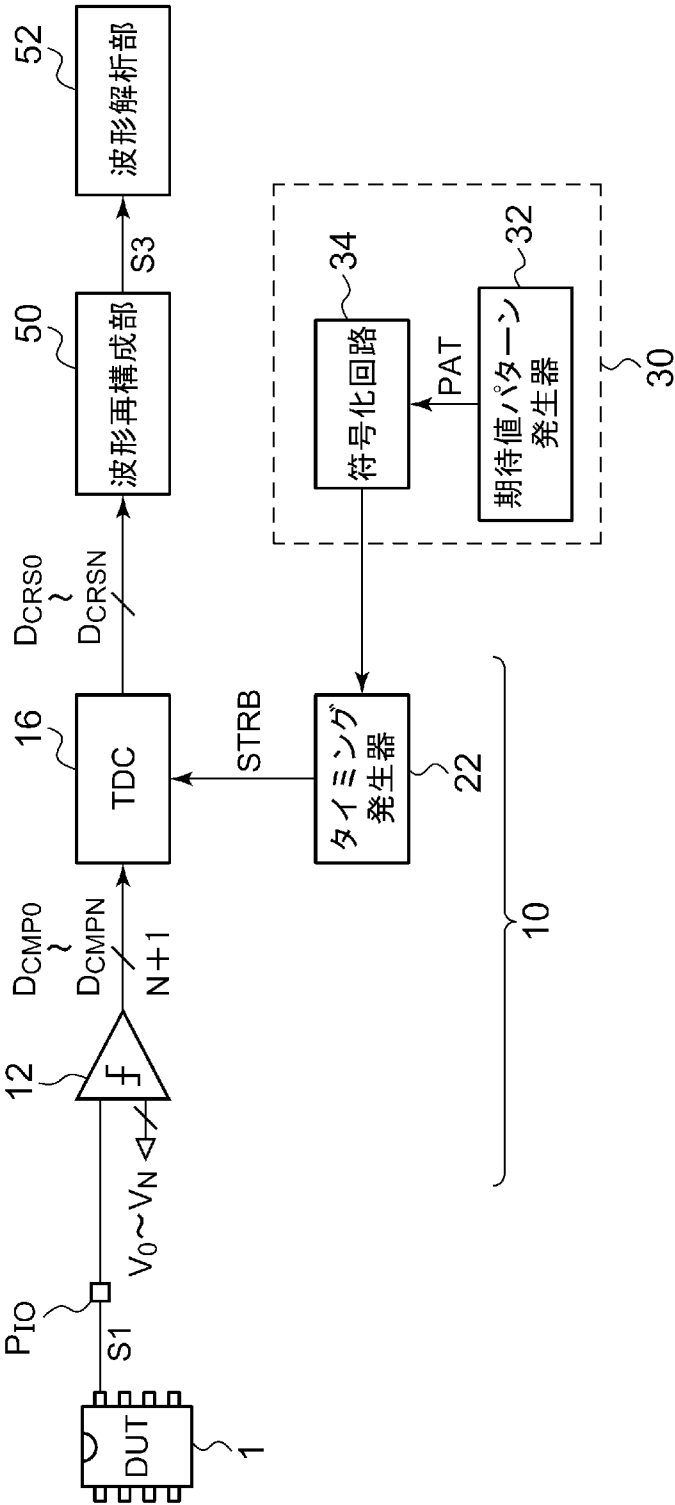
(b)



[図4]

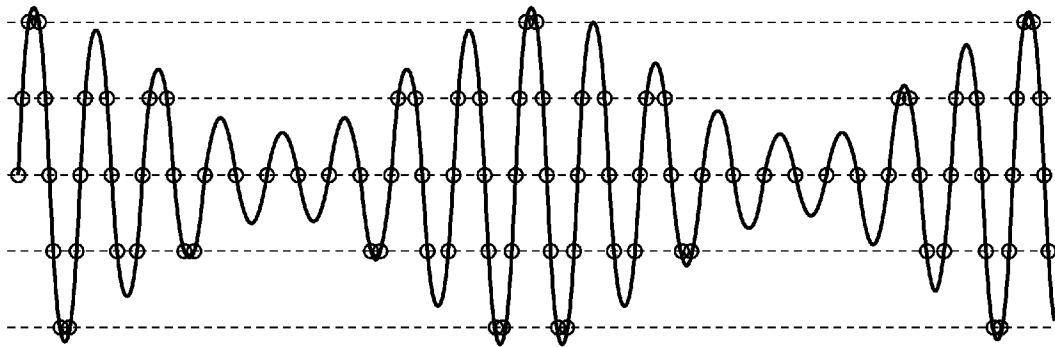
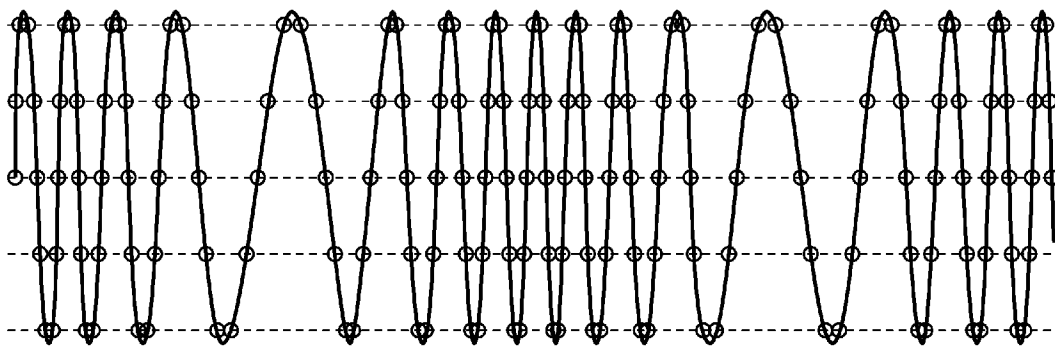
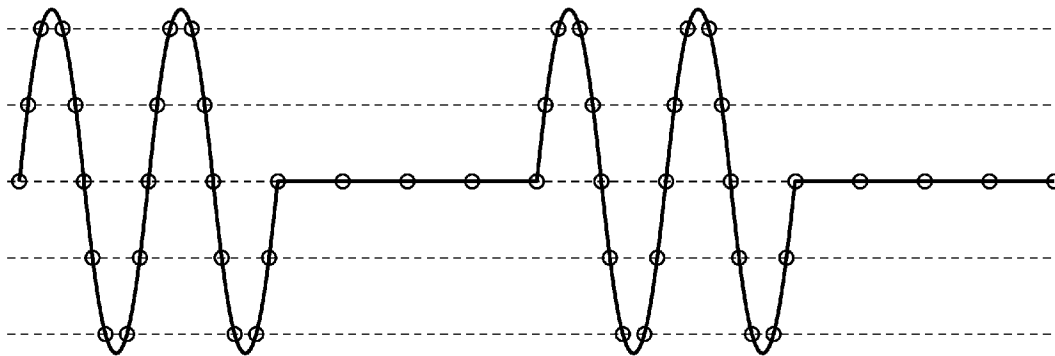
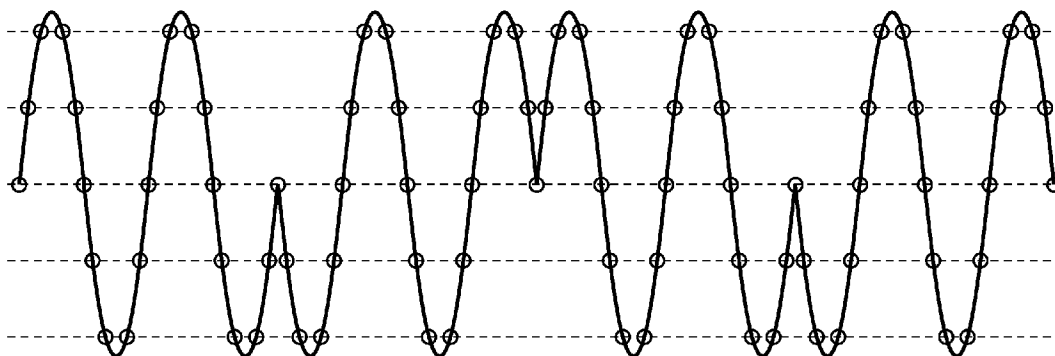


[図5]

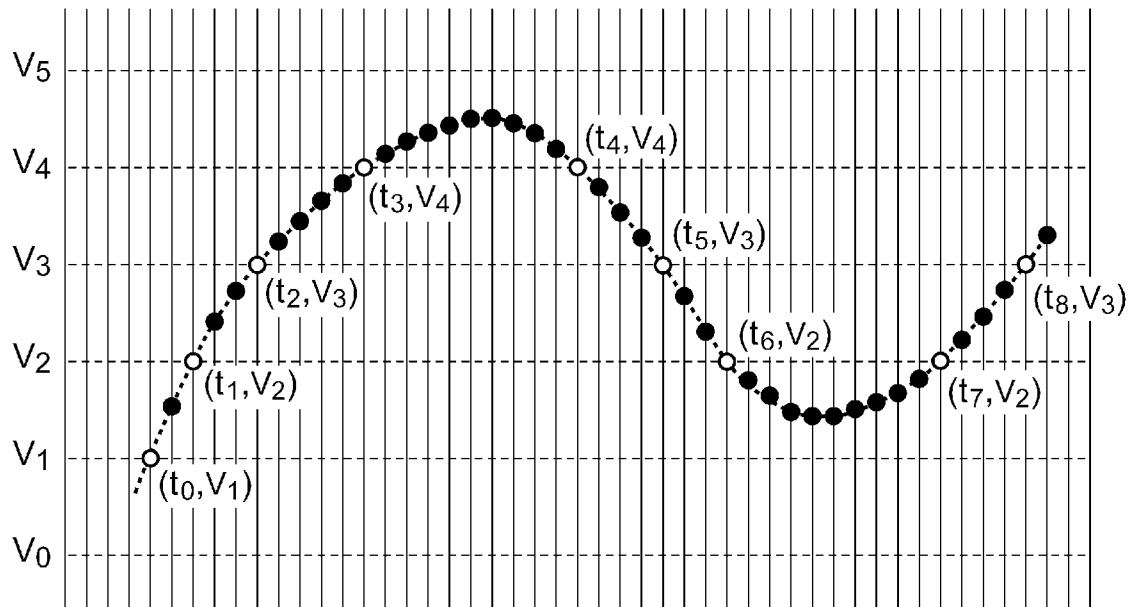


2a

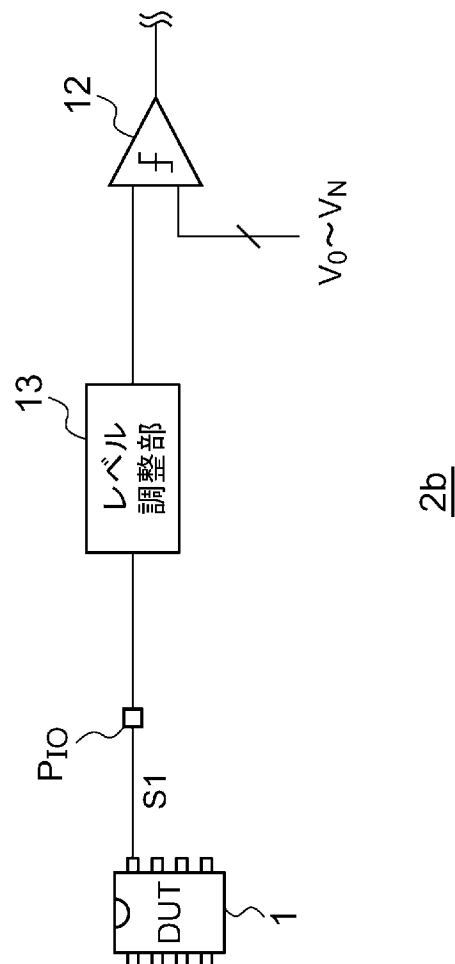
[図6]

振幅変調(AM)周波数変調(FM)振幅偏移変調(ASK)位相偏移変調(PSK)

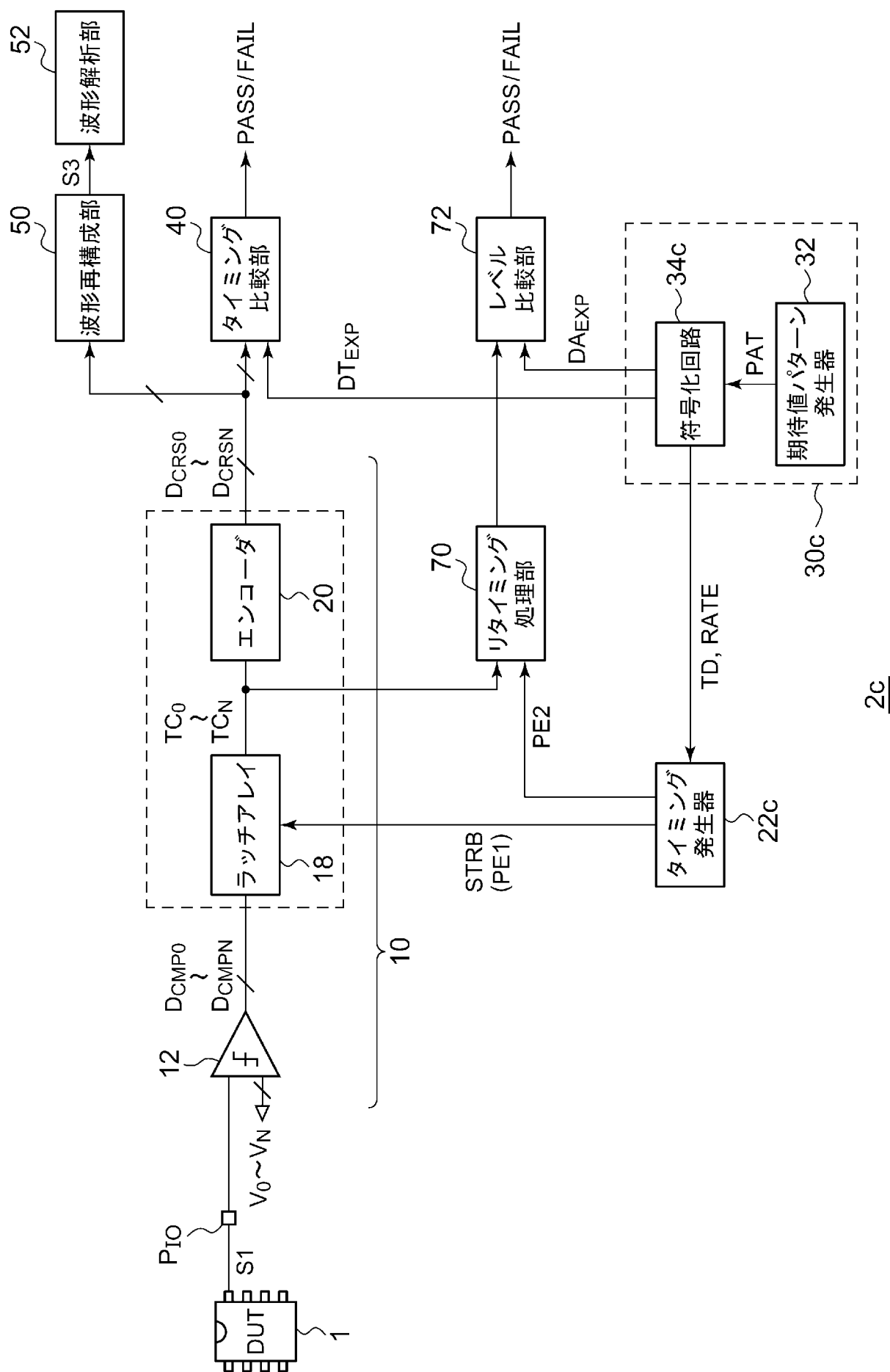
[図7]



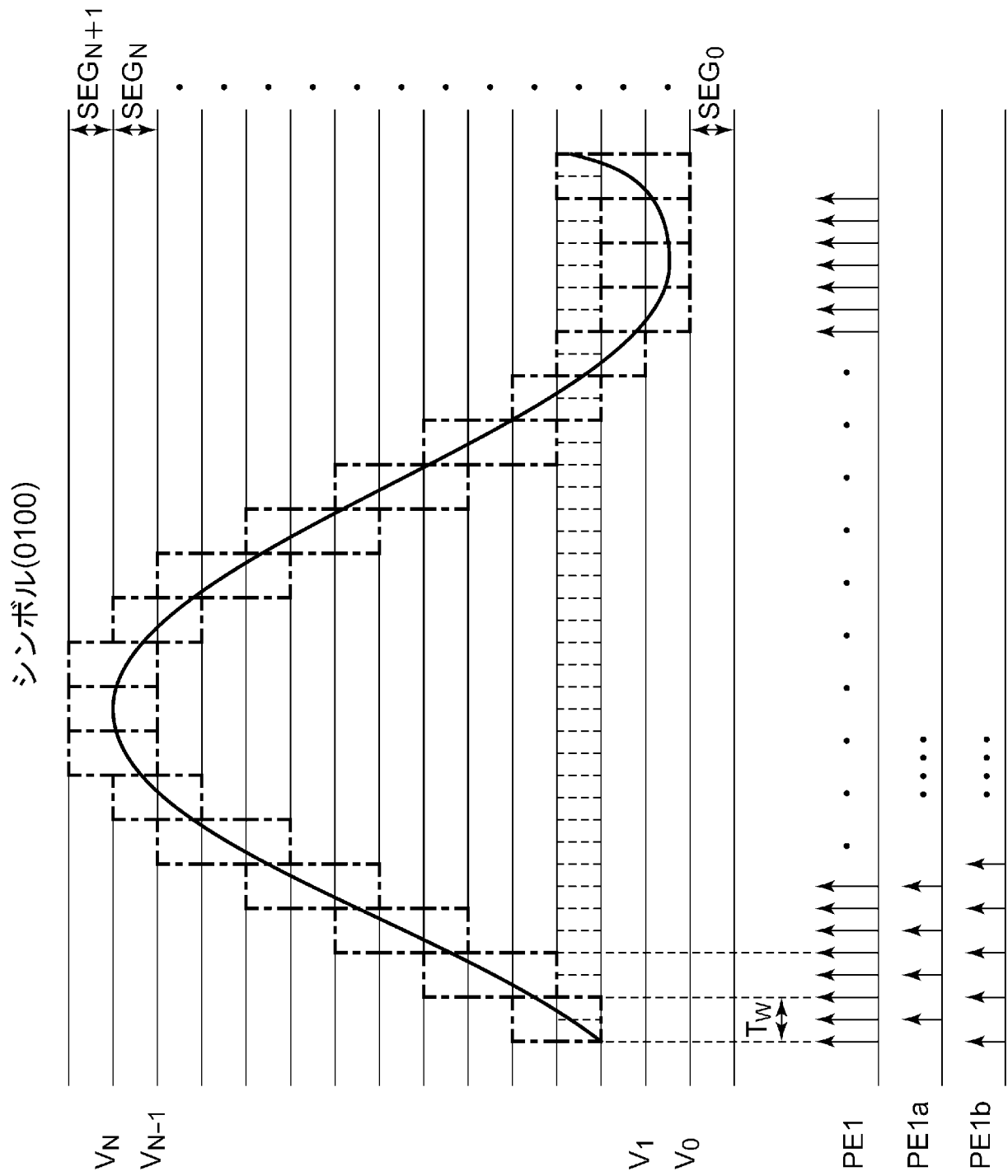
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/004995

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/319(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/319

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/88603 A1 (Fujitsu Ltd.), 09 August 2007 (09.08.2007), paragraphs [0026] to [0043]; fig. 2 to 3 & US 2008/0306697 A1	1-10
A	WO 2008/114699 A1 (Advantest Corp.), 25 September 2008 (25.09.2008), paragraphs [0016] to [0030]; fig. 1 & US 2008/0234961 A1	1-10
A	JP 6-242185 A (Fujitsu Ltd.), 02 September 1994 (02.09.1994), paragraph [0026]; fig. 1 (Family: none)	1-10

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24 September, 2010 (24.09.10)

Date of mailing of the international search report
05 October, 2010 (05.10.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/004995

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 1-311282 A (Yokogawa Electric Corp.), 15 December 1989 (15.12.1989), page 1, lower right column, line 18 to page 2, lower right column, line 4; fig. 1 (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01R31/319(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01R31/319

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2007/88603 A1 (富士通株式会社) 2007. 08. 09, [0026]-[0043], [図 2]-[図 3] & US 2008/0306697 A1	1-10
A	WO 2008/114699 A1 (株式会社アドバンテスト) 2008. 09. 25, 段落 [0016]-[0030], [図 1] & US 2008/0234961 A1	1-10
A	JP 6-242185 A (富士通株式会社) 1994. 09. 02, 段落【0026】, 【図 1】 (ファミリーなし)	1-10

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 9 . 2 0 1 0

国際調査報告の発送日

0 5 . 1 0 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

荒井 誠

2 S

4 4 0 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 1-311282 A (横河電機株式会社) 1989. 12. 15, 第 1 頁右下欄第 18 行ー第 2 頁右下欄第 4 行, 第 1 図 (ファミリーなし)	1-10