



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H05B 33/10 (2006.01) H05B 33/26 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년02월22일 10-0685804 2007년02월15일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0105909 2004년12월14일 2004년12월14일	(65) 공개번호 (43) 공개일자	10-2006-0067057 2006년06월19일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성에스디아이 주식회사
 경기 수원시 영통구 신동 575

(72) 발명자 오상헌
 경기 용인시 기흥읍 공세리 428-5번지 SDI 중앙연구소 3층

(74) 대리인 박상수

심사관 : 김창균

전체 청구항 수 : 총 14 항

(54) 유기전계발광소자 및 그의 제조방법

(57) 요약

본 발명은 유기전계발광소자의 제조 방법에 관한 것으로서, 보다 자세하게는 스캔라인, 공통전원공급라인(Vdd) 또는 데이터라인(Vdata) 중 어느 하나 이상과 중첩되도록 제 1 전극을 형성하고 화소정의막(PDL)을 배면 노광으로 식각함으로써 개구율을 향상시킬 수 있는 유기전계발광소자의 제조 방법을 제공한다.

대표도

도 5

특허청구의 범위

청구항 1.

기판을 제공하고;

상기 기판 상부의 트랜지스터영역에 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터를 형성하고;

상기 기판의 배선 영역 상에 상기 게이트 전극 형성 시 스캔라인, 상기 소오스/드레인 전극 형성 시 공통전원공급라인(Vdd) 및 데이터라인(Vdata)을 형성하고;

상기 박막트랜지스터를 포함한 기판 전면에 걸쳐 패시베이션막을 형성하고;

상기 스캔라인, 공통전원공급라인(Vdd) 또는 데이터라인(Vdata) 중 어느 하나 이상과 중첩하도록 제 1 전극을 형성하고;

상기 제 1 전극 상부에 배면 노광으로 제 1 전극의 표면 일부를 노출시키는 개구부를 갖는 화소정의막을 형성하고;

상기 노출된 제 1 전극 상부에 최소한 유기발광층을 포함하는 유기막층을 형성하고; 및

상기 유기막층 상부에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 스캔라인, 공통전원공급라인(Vdd) 또는 데이터 라인(Vdata)과 제 1 전극이 중첩되는 범위는 $3\mu\text{m}$ 내지 $10\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 3.

제 2 항에 있어서,

상기 스캔라인은 몰리브덴(Mo), 텅스텐(W), 텅스텐몰리브덴(MoW), 텅스텐 실리사이드(WSi_2), 몰리브데늄 실리사이드(MoSi_2) 및 알루미늄(Al)으로 이루어진 군에서 선택되는 1종으로 형성하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 4.

삭제

청구항 5.

제 2 항에 있어서,

상기 제 1 전극은 ITO 또는 IZO와 같은 투명 전극으로 형성하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 6.

제 1 항에 있어서,

상기 화소정의막은 감광성 절연막으로 이루어지는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 화소정의막은 아크릴계 수지 또는 폴리이미드로 형성하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 8.

제 6 항에 있어서,

상기 화소정의막은 스핀코팅 방식에 의해 형성하는 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 9.

제 1 항에 있어서,

상기 제 1 전극은 애노드 또는 캐소드인 것을 특징으로 하는 유기전계발광소자의 제조 방법.

청구항 10.

기판;

상기 기판 상부의 트랜지스터영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터;

상기 기판 상부의 배선 영역에 게이트 전극 형성 시 동일층에 형성되는 스캔라인, 상기 소오스/드레인 전극 형성 시 동일층에 형성되는 공통전원공급라인(Vdd) 및 데이터라인(Vdata);

상기 스캔라인, 공통전원공급라인(Vdd) 또는 데이터라인(Vdata) 중 어느 하나이상과 중첩되어 형성되어 있는 제 1 전극;

상기 제 1 전극 상부에 배면 노광으로 제 1 전극의 표면 일부를 노출시키는 개구부를 갖도록 형성되어 있는 화소정의막;

상기 노출된 제 1 전극 상부에 형성되어 있으며 최소한 유기발광층을 포함하는 유기막층; 및

상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자.

청구항 11.

제 10 항에 있어서,

상기 스캔라인, 공통전원공급라인(Vdd) 또는 데이터 라인(Vdata)과 제 1 전극이 오버랩되는 범위는 $3\mu\text{m}$ 내지 $10\mu\text{m}$ 인 것을 특징으로 하는 유기전계발광소자.

청구항 12.

제 10 항에 있어서,

상기 스캔라인은 몰리브덴(Mo), 텅스텐(W), 텅스텐몰리브덴(MoW), 텅스텐 실리사이드(WSi_2), 몰리브덴 실리사이드(MoSi_2) 및 알루미늄(Al)으로 이루어진 군에서 선택되는 1종으로 형성하는 것을 특징으로 하는 유기전계발광소자.

청구항 13.

삭제

청구항 14.

제 10 항에 있어서,

상기 제 1 전극은 ITO 또는 IZO와 같은 투명 전극으로 형성하는 것을 특징으로 하는 유기전계발광소자.

청구항 15.

제 10 항에 있어서,

상기 화소정의막은 감광성 절연막으로 이루어지는 것을 특징으로 하는 유기전계발광소자.

청구항 16.

제 11 항에 있어서,

상기 제 1 전극은 애노드 또는 캐소드인 것을 특징으로 하는 유기전계발광소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기전계발광소자의 제조 방법에 관한 것으로, 보다 자세하게는 스캔라인, 공통전원공급라인(Vdd) 또는 데이터라인(Vdata) 중 어느 하나 이상과 중첩되도록 제 1 전극을 형성하고 화소정의막(PDL)을 배면 노광으로 식각함으로써 개구율을 향상시킬 수 있는 유기전계발광소자의 제조 방법을 제공한다.

평판표시소자(Flat Panel Display Device) 중에서 유기전계발광소자(OLED;Organic Electroluminescence Display Device)는 자발광이며, 시야각이 넓고, 응답 속도가 빠르고, 얇은 두께와 낮은 제작비용 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다. 이와 같은 유기전계발광소자는 전자와 정공이 발광층에서 전자-정공 쌍을 만들거나 캐리어들이 좀 더 높은 에너지 상태로 여기된 후 다시 안정화 상태인 바닥 상태로 떨어지는 과정을 통해 빛이 발생하는 현상을 이용한다.

일반적으로 유기전계발광소자는 매트릭스 형태로 배치된 N×M 개의 화소들을 구동하는 방식에 따라 수동 매트릭스(Passive matrix)방식과 능동 매트릭스(Active matrix)방식으로 나뉘어진다. 상기 수동 매트릭스방식은 애노드 전극과 캐소드 전극을 직교하도록 형성하고 라인을 선택하여 구동하며, 반면 능동 매트릭스방식은 표시 영역이 각 화소마다 박막 트랜지스터와 커패시터를 각 화소 전극에 접속하여 커패시터 용량에 의해 전압을 유지하도록 하는 구동방식이다.

상기 능동 매트릭스 유기전계발광소자는 각 단위화소가 기본적으로 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 EL소자를 구비하며, 상기 구동 트랜지스터 및 커패시터에는 전원공급라인으로부터 공통전원(Vdd)이 제공되며, 상기 전원공급라인은 구동 트랜지스터를 통해 EL소자로 흐르는 전류를 제어하는 역할을 한다.

도 1은 종래 기술에 의한 능동 매트릭스 유기전계발광소자의 평면도이다.

도 1을 참조하면, 능동 매트릭스 유기전계발광소자(140)는 선택신호를 출력하는 스캔라인(10)과, 데이터신호를 출력하는 데이터라인(Vdata)(20)을 포함한다. 또한 화소 영역의 좌, 우측으로 배열되어 전원전압을 인가하기 위한 공통전원공급라인(Vdd)(30)과, 스위칭 트랜지스터(40), 구동 트랜지스터(50), 커패시터(60) 및 EL소자(미도시)로 구성된다. 그 외에 상기

트랜지스터를 구성하는 반도체층(70), 게이트 전극(80), 소오스/드레인 전극(90a, 90b)이 위치하며, 상기 소오스/드레인 전극(90a, 90b)을 반도체층(70)과 연결시키는 콘택홀(85), 상기 소오스/드레인 전극(90a, 90b)과 제 1 전극(100)을 연결시키는 비아홀(95), 유기막층(120) 및 화소 영역을 정의하며 최소한 유기발광층을 포함하는 유기막층(120)이 형성된 영역을 제외하고는 기판 전면에 걸쳐 형성되어 있는 화소정의막(110)이 위치한다.

또한, 상기 제 1 전극(100) 중 식각에 의해 노출된 제 1 전극(100) 상부에 유기막층(120)이 형성되는 영역은 개구부(e)가 되며, 이 때 개구율(Aparature ratio)은 $d1 \times d2$ 로 정의된다.

종래의 유기전계발광소자에서 개구부(e)은 $41\mu\text{m}$, $d2$ 는 $134\mu\text{m}$ 이므로 개구율은 $41\mu\text{m} \times 134\mu\text{m}$ 에 의해 $5494\mu\text{m}^2$ 이 된다.

상기 $d3$ 는 화소 영역 상에서 개구부로 사용할 수 없는 데드 스페이스 (Dead Space)영역을 의미하며, 상기 $d3$ 는 화소 영역의 좌, 우측 및 하부측으로 각각 $3\mu\text{m}$ 씩 존재한다. 이로써, 유기전계발광소자의 단위 화소에는 $9\mu\text{m}$ 이상의 개구부로 사용할 수 없는 데드 스페이스가 존재하게 된다.

도 2는 종래의 능동 매트릭스 유기전계발광소자에 있어서, 도 1을 A - A' 부분으로 절단한 단면도이다.

도 2를 참조하면, 종래의 능동형 유기전계발광소자는 개구 영역(a), 트랜지스터 영역(b) 및 배선 영역(c)를 구비하는 기판(62)이 있으며, 상기 기판(62) 상부 전면에 걸쳐 버퍼층(66)이 형성되어 있다. 상기 트랜지스터 영역(b)의 버퍼층(66) 상부의 소정 영역에는 소오스/드레인 영역들(70a, 70c) 및 채널 영역(70b)을 포함하는 반도체층(70)이 패터닝되어 형성되어 있다. 이어서, 상기 반도체층(70) 상부 전면에 걸쳐 게이트 절연막(67)이 형성되어 있다.

이어서, 상기 트랜지스터 영역(b)의 게이트 절연막(67) 상에 상기 반도체층(70)의 채널 영역(70b)에 대응되도록 게이트 전극(80)이 형성되어 있다. 상기 게이트 전극(80) 상부의 기판 전면에 걸쳐 층간절연막(83)이 형성되어 있다. 이어서, 상기 트랜지스터 영역(b)의 층간절연막(83) 내에 형성되어 있는 콘택홀(Contact Hole)(85)을 통하여 상기 반도체층(70)의 소오스/드레인 영역(70a, 70c)과 소오스/드레인 전극들(90a, 90b)이 연결되어 있다. 이로써, 상기 반도체층(70), 게이트 전극(80) 및 소오스/드레인 전극들(90a, 90b)로 이루어진 박막트랜지스터가 형성된다. 이 때, 상기 트랜지스터 영역(b)의 소오스/드레인 전극들(90a, 90b) 형성 시 배선 영역(c)의 층간절연막(83) 상부에도 상기 소오스/드레인 전극들(90a, 90b) 물질과 동일한 물질로 이루어진 데이터라인(Vdata)(20) 및 공통전원공급라인(Vdd)(30)이 패터닝되어 형성되어 있다.

이어서, 상기 소오스/드레인 전극들(90a, 90b), 데이터라인(Vdata)(20) 및 공통전원공급라인(Vdd)(30) 상부에 패시베이션막(91)이 형성되어 있다. 상기 트랜지스터 영역(b)의 패시베이션막(91) 상부에 상기 소오스/드레인 전극들(95a, 95b) 중 어느 하나를 노출시키는 비아홀(via hole)(95)이 형성되어 있으며, 상기 비아홀(95)을 통하여 상기 소오스/드레인 전극들(95a, 95b)과 콘택하고 상기 개구 영역(a)의 패시베이션막(91) 상으로 연장된 제 1 전극(100)이 패터닝되어 형성되어 있다. 이 때, 상기 데이터 라인(20) 및 공통전원공급라인(30)을 형성하는 소오스/드레인 전극 물질(20)과 상기 제 1 전극(100)은 중첩되지 않도록 형성되어 있다.

이어서, 개구 영역(a)의 제 1 전극(100) 및 트랜지스터 영역(b) 및 배선 영역(c)의 패시베이션막(91) 상부에 개구부(e)를 갖는 화소정의막(PDL; Pixel Define Layer)(110)이 형성되어 있다. 상기 화소정의막(110)은 화소 영역을 정의하며 도 1을 참조하면 유기막층(120)이 형성된 영역을 제외하고는 기판 전면에 걸쳐 형성되어 있다.

이어서, 상기 개구부(e) 내에 노출된 제 1 전극(100) 상에 최소한 유기발광층을 포함하는 유기막층(120)이 패터닝되어 형성되어 있으며, 기판 전면에 걸쳐 상기 유기막층(120)을 포함하는 제 2 전극(미도시)이 형성되어 있다.

그러나, 종래에는 상기 화소정의막을 습식 식각(Wet Etching) 방법을 통하여 제 1 전극을 노출시키는 개구부를 형성함으로써, 등방성 식각으로 인하여 제 1 전극 상부가 오픈되는 영역에 한계가 있으므로 화소 영역 상에 데드 스페이스가 발생하여 개구부가 좁아져 개구율이 낮아지는 문제점을 안고 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 스캔라인, 공통전원공급라인(Vdd) 또는 데이터라인(Vdata) 중 어느 하나 이상과 중첩되도록 제 1 전극을 형성하고 화소정의막(PDL)을 배면 노광으로 식각함으로써 개구율을 향상시킬 수 있는 유기전계발광소자의 제조 방법을 제공하고자 하는 것이다.

발명의 구성

상기 기술적 과제를 이루기 위해 본 발명은,

기판을 제공하고,

상기 기판 상부의 트랜지스터영역에 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터를 형성하고,

상기 기판의 배선 영역 상에 상기 게이트 전극 형성 시 스캔라인, 상기 소오스/드레인 전극 형성 시 공통전원공급라인(Vdd) 및 데이터라인(Vdata)을 형성하고,

상기 박막트랜지스터를 포함한 기판 전면에 걸쳐 패시베이션막을 형성하고, 상기 스캔라인, 공통전원공급라인(Vdd) 또는 데이터라인(Vdata) 중 어느 하나 이상과 중첩하도록 제 1 전극을 형성하고,

상기 제 1 전극 상부에 배면 노광으로 제 1 전극의 표면 일부를 노출시키는 개구부를 갖는 화소정의막을 형성하고,

상기 노출된 제 1 전극 상부에 최소한 유기발광층을 포함하는 유기막층을 형성하고, 및

상기 유기막층 상부에 제 2 전극을 형성하는 것을 포함하는 것을 특징으로 하는 유기전계발광소자의 제조 방법을 제공한다.

또한, 본 발명은

기판,

상기 기판 상부의 트랜지스터영역에 형성되어 있으며 반도체층, 게이트 전극 및 소오스/드레인 전극을 포함하는 박막트랜지스터,

상기 기판의 배선 영역 상에 게이트 전극 형성 시 동일층에 형성되는 스캔라인, 상기 소오스/드레인 전극 형성 시 동일층에 형성되는 공통전원공급라인(Vdd) 및 데이터라인(Vdata),

상기 스캔라인, 공통전원공급라인(Vdd) 또는 데이터라인(Vdata) 중 어느 하나 이상과 중첩되어 형성되어 있는 제 1 전극,

상기 제 1 전극 상부에 배면 노광으로 제 1 전극의 표면 일부를 노출시키는 개구부를 갖도록 형성되어 있는 화소정의막,

상기 노출된 제 1 전극 상부에 형성되어 있으며 최소한 유기발광층을 포함하는 유기막층, 및

상기 유기막층 상부에 형성되어 있는 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광소자에 의해서도 달성된다.

이하, 본 발명을 첨부하는 도면을 참조하여 상세히 설명한다.

도 3은 본 발명에 따른 유기전계발광소자의 평면도이다.

도 3을 참조하면, 유기전계발광소자(140)는 제 1 방향으로 형성되어 있으며 선택신호를 출력하는 스캔라인(10)과, 상기 제 1 방향과는 수직인 방향으로 형성되어 있으며 데이터신호를 출력하는 데이터라인(Vdata)(20)을 포함한다. 상기 스캔라인(10) 및 데이터라인(20)에 의하여 정의되며 다수의 화소를 구비한 화소 영역(미도시)과, 상기 화소 영역의 상측과 좌, 우측의 외곽부에 배치되는 배선 영역(미도시)을 구비하고 있다. 또한, 공통전원공급라인(Vdd)(30)과, 스위칭 트랜지스터(40), 구동 트랜지스터(50), 커패시터(60) 및 EL소자(미도시)를 구비한다. 그 외 상기 트랜지스터를 구성하는 반도체층(70), 게이트 전극(80), 소오스/드레인 전극들(90a, 90b)이 위치하며, 상기 소오스/드레인 전극들(90a, 90b)을 반도체층(70)과 연결시키는 콘택홀(85), 상기 소오스/드레인 전극들(90a, 90b)과 제 1 전극(100)을 연결시키는 비아홀(95), 최소한 유기발광층을 포함하는 유기막층(120) 및 트랜지스터(40, 50), 커패시터(60), 스캔라인(10), 데이터라인(Vdata)(20), 공통전원공급라인(Vdd)(30)이 형성된 영역 상부에 형성되어 있는 화소정의막(110)이 위치한다.

상기 제 1 전극(100) 중 화소정의막(110)에 의해 노출된 제 1 전극(100) 상부에 유기막층(120)이 형성되는 영역은 개구부(e)가 되며, 이 때 개구율(Aparature ratio)은 $d1' \times d2'$ 로 정의된다.

상기 유기전계발광소자의 평면도에서 $d1'$ 는 $47\mu\text{m}$, $d2'$ 는 $137\mu\text{m}$ 이므로 상기 유기전계발광소자의 개구율은 $47\mu\text{m} \times 137\mu\text{m}$ 로서 $6439\mu\text{m}^2$ 이 된다. 보다 자세하게는 $d2'$ 는 스캔라인(10)과 제 1 전극(100)을 중첩하고 화소정의막(110)을 배면 노광함으로써 $137\mu\text{m}$ 보다 약간 그 값이 증가할 수 있다. 또한, 제 1 전극(100)을 스캔라인(10), 데이터라인(Vdata)(20) 및 공통전원공급라인(Vdd)(30)과 중첩되도록 형성하고 화소정의막(110)을 배면 노광함으로써, 트랜지스터(40, 50), 커패시터(60), 스캔라인(10), 데이터라인(Vdata)(20), 공통전원공급라인(Vdd)(30)이 형성된 영역을 제외하고 화소정의막(110)이 식각되므로 발광 영역이 확장되어 개구율이 $6439\mu\text{m}^2$ 보다 증가한다.

도 4는 본 발명의 능동 매트릭스 유기전계발광소자에 있어서, 도 3을 A - A' 부분으로 절단한 단면도이다.

도 4를 참조하면, 본 발명에 따른 능동형 유기전계발광소자는 개구 영역(a), 트랜지스터 영역(b) 및 배선 영역(c)을 구비하고 있는 기관(62)을 제공한다. 상기 기관(62) 상에 버퍼층(66)을 더욱 포함할 수 있다. 상기 버퍼층(66)은 기관(65) 상에 상기 기관에서 유출되는 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하기 위해 형성한다. 상기 버퍼층(66)은 반드시 적층해야 되는 것은 아니며, 실리콘 산화막, 실리콘 질화막 또는 이들이 적층된 이중층으로 형성할 수 있다. 상기 버퍼층(66)은 플라즈마화학기상증착법(PECVD) 또는 저압화학기상증착법(LPCVD)와 같은 방식을 수행하여 적층한다.

이어서, 상기 버퍼층(66) 상에 소오스/드레인 영역(70a, 70c) 및 채널 영역(70b)을 포함하는 반도체층(70)을 패터닝하여 형성한다. 상기 반도체층(70)은 비정질 실리콘 또는 다결정 실리콘으로 형성할 수 있으나, 바람직하게는 다결정 실리콘으로 형성한다. 상기 반도체층은 PECVD 또는 LPCVD 방식을 수행하여 적층한다.

상기 반도체층(70)은 비정질 실리콘을 PECVD, LPCVD와 같은 화학기상증착법(CVD; Chemical Vapor Deposition) 방식을 이용하여 증착한 후 결정화법을 이용하여 폴리실리콘막으로 결정화시킨 후 마스크를 이용하여 패터닝하여 형성한다. 이 때, 상기 비정질 실리콘을 PECVD 방식으로 수행할 경우에는 실리콘막 증착 후 열처리로 탈수소처리하여 수소의 농도를 낮추는 공정을 진행한다. 또한, 상기 비정질 실리콘막의 결정화법은 RTA(Rapid Thermal Annealing)공정, SPC법(Solid Phase Crystallization), ELA법(Excimer Laser Crystallization), MIC법(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization) 또는 SLS법(Sequential Lateral Solidification) 중 어느 하나 이상을 이용할 수 있다.

이어서, 상기 반도체층(70)을 포함한 기관 상부 전체에 걸쳐 게이트 절연막(67)을 형성한다. 상기 게이트 절연막(67)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있으며, PECVD 또는 LPCVD 방식을 수행하여 적층한다.

상기 게이트 절연막(67) 상에 상기 반도체층(70)의 소정 영역에 대응되는 게이트 전극(80)을 형성한다. 상기 게이트 전극(80)은 비정질 실리콘이나 다결정 실리콘으로 형성한 폴리실리콘막으로 형성하거나, 몰리브덴(Mo), 텅스텐(W), 텅스텐몰리브덴(MoW), 텅스텐 실리사이드(WSi_2), 몰리브데늄 실리사이드(MoSi_2) 및 알루미늄(Al)으로 이루어진 군에서 선택되는 1종으로 형성한다. 바람직하게는 상기 게이트 전극(80)은 몰리브덴(Mo), 텅스텐(W), 텅스텐몰리브덴(MoW), 텅스텐 실리사이드(WSi_2), 몰리브데늄 실리사이드(MoSi_2) 및 알루미늄(Al)으로 이루어진 군에서 선택되는 1종으로 형성하며, 스퍼터링법으로 형성한다.

이 때, 배선 영역(c)에 상기 게이트 전극(80) 형성 시 동시에 동일층에 게이트 전극 물질과 동일한 물질로 스캔라인(미도시)을 형성한다.

이어서, 마스크를 이용하여 상기 반도체층(70)에 불순물을 주입함으로써, 상기 반도체층(70)에 소오스/드레인 영역들(70a, 70c)을 형성함과 동시에 상기 소오스/드레인 영역들(70a, 70c) 사이에 개재된 채널 영역(70b)을 정의한다. 상기 불순물은 n형 또는 p형 일 수 있으며, n형 불순물은 인(P), 비소(As), 안티몬(Sb) 및 비스무스(Bi)로 이루어진 군에서 선택되는 1종으로 형성하고, p형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 군에서 선택되는 1종으로 형성한다.

이어서, 상기 게이트 전극(80)을 포함한 기판 상부 전체에 걸쳐 층간절연막(83)이 형성된다. 상기 층간절연막(83)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있으며, PECVD 또는 LPCVD와 같은 방식을 수행하여 적층한다.

상기 층간절연막(83) 내에 상기 소오스/드레인 영역들(70a, 70c)을 각각 노출시키는 콘택홀들(Contact hole)(85)이 형성된다. 상기 콘택홀들(85) 내에 노출된 상기 소오스/드레인 영역들(70a, 70c) 및 상기 층간절연막(83) 상에 금속막을 적층하고 이를 패터닝함으로써, 소오스/드레인 전극들(90a, 90b)을 형성한다.

상기 소오스/드레인 전극들(90a, 90b)을 형성 시 동시에 상기 배선 영역(c)에 상기 소오스/드레인 전극 물질로 적층 후 패터닝을 하여 데이터라인(Vdata)(20) 및 공통전원공급라인(Vdd)(30)을 형성한다.

이상과 같이, 상기 반도체층(70), 게이트 전극(80) 및 소오스/드레인 전극들(90a, 90b)은 박막트랜지스터를 구성한다.

상기 트랜지스터 영역(b)의 소오스/드레인 전극들(90a, 90b) 상부 및 기판 전면에서 걸쳐 상기 박막트랜지스터를 후속 공정의 오염물로부터 보호하기 위해 패시베이션막(91)을 형성한다. 상기 패시베이션막(91)은 실리콘 산화막, 실리콘 질화막 또는 이들의 이중층으로 형성할 수 있다. 바람직하게는 실리콘 질화막으로 형성하며, PECVD 또는 LPCVD와 같은 방식을 수행하여 적층한다.

상기 패시베이션막(91) 내에 식각을 통해 형성된 비아홀(95)을 통해 상기 소오스/드레인 전극들(90a, 90b) 중 어느 하나와 콘택하도록 제 1 전극(100)을 형성한다. 상기 제 1 전극(100)은 ITO 또는 IZO 등과 같은 투명전극으로 형성하며, 바람직하게 ITO로 형성한다.

이 때, 상기 개구 영역(a) 상에 형성되는 상기 제 1 전극(100)은 상기 배선 영역(c)의 데이터라인(20) 또는 공통전원공급라인(30)의 어느 하나 이상과 중첩되도록 형성하여, 감소된 데드 스페이스(Dead Space) 영역(d3')을 통해 후속 공정에서 형성되는 개구부(e)를 최대한 넓게 확보할 수 있도록 한다.

상기 제 1 전극(100)과 데이터 라인(Vdata)(20) 또는 공통전원공급라인(Vdd)(30)이 중첩되는 영역(d4)은 3 μ m 내지 10 μ m로 형성한다.

상기 중첩되는 영역이 3 μ m이하일 경우에는 데드 스페이스 영역을 줄일 수 없고, 10 μ m이상일 경우에는 상기 제 1 전극(100)이 데이터 라인(20) 또는 공통전원공급라인(30) 영역을 벗어나 단위 화소 영역 밖으로 벗어나므로 인접한 화소와 브릿지(Bridge)가 발생할 수 있다.

상기 제 1 전극(100)은 통상적으로 스퍼터링(Sputtering)법으로 증착 후 패터닝하여 형성한다.

이어서, 기판 전면에서 걸쳐 개구부(e)를 정의하고 유기발광층 사이에 절연을 위하여 감광성 유기절연성 물질로 화소정의막(PDL:Pixel Defining Layer)(110)을 형성한다. 상기 감광성 유기절연막은 양성형(positive type)으로 빛에 노출되면 현상액에 녹는 물질로 변화되는 특성을 갖는다. 또한, 상기 감광성 유기절연막은 평탄화특성이 우수하여 상기 패시베이션 절연막(91)이 갖고 있는 토폴러지를 완화시켜 평탄한 표면을 형성할 수 있다. 상기 감광성 유기절연막으로 이루어진 화소정의막(110)은 아크릴계 수지 또는 폴리이미드(polyimide:PI)로 형성하는 것이 바람직하다. 또한, 상기 화소정의막(110)을 상기 기판 상에 형성하는 것은 스핀코팅(Spin Coating)을 사용하여 수행하는 것이 바람직하다.

이어서, 배면 노광을 통해 상기 화소정의막(110)을 식각하여 상기 개구 영역(a)의 제 1 전극(100)을 노출시키는 개구부(e)를 형성한다.

상기 배면 노광은 화소정의막(110)이 형성된 기판(62)의 하면에서 광을 조사하여, 상기 화소 영역(a)의 제 1 전극(100)상부의 화소정의막(110)을 형성하는 것으로서, 상기 제 1 전극(100)은 상기 기판(62) 하면으로부터 입사되는 광을 투과시킬 수 있다. 따라서, 상기 제 1 전극(100) 상에 형성된 상기 화소정의막(110)은 상기 빛에 노출된다. 상기 감광성 유기절연막인 화소정의막(110)이 상기 빛에 노출된 부분 즉, 상기 개구부(e)는 현상액에 녹을 수 있는 물질로 변화하여 식각된다.

한편, 상기 기판의 트랜지스터 영역(b) 및 배선 영역(c) 상에는 상기 반도체층(70), 상기 게이트 전극(80), 게이트 배선(미도시), 상기 소오스/드레인 전극들(90a, 90b), 데이터 라인(20) 및 공통전원공급라인(30)이 위치하는데, 상기 반도체층

(70)은 실리콘으로 형성되고, 상기 게이트 전극(80), 상기 소오스/드레인 전극(90a, 90b) 및 상기 배선들(20, 30)은 금속으로 형성되므로 빛을 투과시키지 못한다. 따라서, 상기 트랜지스터 영역(b) 및 배선 영역(c)의 상기 패시베이션막(91) 상에 형성된 상기 화소정의막(110)은 상기 기판(62) 하면으로부터 입사되는 빛에 노출되지 않는다.

결과적으로, 상기 화소정의막(110)이 상기 빛에 노출된 부분 즉, 상기 제 1 전극(100) 상부는 현상액에 녹을 수 있는 물질로 변화하는 반면, 상기 트랜지스터 영역(b) 및 배선 영역(c)상의 상기 화소정의막(110)은 그러하지 않다.

상기 데이터라인(Vdata)(20) 또는 공통전원공급라인(Vdd)(30)을 제 1 전극(100)과 d4만큼 중첩하고, 상기 화소정의막(110)을 배면 노광으로 식각함으로써, 감소된 데드 스페이스 영역(d3')을 확보할 수 있다. 또한, 공정 마스크 수 저감으로 인해 공정 택타임(tact time)을 줄이고, 제조 비용을 절감할 수 있다.

본 발명의 실시예에 따른 유기전계발광소자에서는 배면 노광에 의해 상기 화소정의막(110)을 식각할 경우, 도 3을 참조하면, d1'이 좌, 우 양측으로 3 μm 씩 넓어지고, d2'는 하측으로 3 μm 넓어지게 되므로, 상기 유기전계발광소자의 d1'는 47 μm , d2'는 137 μm 이 되어 d1'×d2'로 정의되는 개구율은 47 μm ×137 μm 로서 6439 μm^2 이 된다. 보다 자세하게는 d2'는 스캔라인(10)과 제 1 전극(100)을 중첩하고 화소정의막(110)을 배면 노광함으로써 137 μm 보다 약간 그 값이 증가할 수 있다.

본 발명의 일 실시예에서는 제 1 전극(100)을 스캔라인(10), 데이터라인(Vdata)(20) 및 공통전원공급라인(Vdd)(30)과 중첩되도록 형성하고 화소정의막(110)을 배면 노광함으로써, 트랜지스터(40, 50), 커패시터(60), 스캔라인(10), 데이터라인(Vdata)(20), 공통전원공급라인(Vdd)(30)이 형성된 영역을 제외하고 화소정의막(110)이 식각되므로 발광 영역이 확장되어 개구율이 6439 μm^2 보다 증가한다.

이로써, 종래의 5494 μm^2 에 비해 본 발명에 따른 개구율은 6439 μm^2 보다 증가함으로써, 종래의 개구율 대비 17%이상 증가하게 된다.

그러나, 본 발명은 제 1 전극(100)과 스캔라인(10), 데이터라인(Vdata)(20) 및 공통전원공급라인(Vdd)(30)을 중첩하는 데 한정하지 않으며, 유기전계발광소자에서 상기 스캔라인(10), 공통전원공급라인(Vdd)(30) 또는 데이터라인(Vdata)(20) 중 어느 하나 이상과 제 1 전극(100)을 중첩시켜 개구부를 확장시킬 수도 있다.

도 5는 본 발명의 능동 매트릭스 유기전계발광소자에 있어서, 도 3을 B - B' 부분으로 절단한 단면도이다. 상기 단면도를 통해 개구 영역(a) 양측의 배선 영역(c)의 상기 데이터 라인(Vdata)(20) 및 공통전원공급라인(Vdd)(30)과 제 1 전극(100)이 d4만큼 중첩되므로 데드 스페이스(Dead Space)가 사라져 개구 영역이 확장되고, 이 때, 화소정의막(110)을 배면 노광으로 식각함으로써 개구부(e)가 넓어진 것을 확인할 수 있다. 여기서, 상기 데이터 라인(20) 또는 공통전원공급라인(30)과 제 1 전극(100)을 중첩하고 화소정의막을 배면 노광함으로써 확장된 개구부는 d3' 영역이며, 데이터라인(20) 또는 공통전원공급라인(30)에 대해 각각 3 μm 씩으로서 전체적으로 확장된 영역은 6 μm 이다.

이어서, 상기 개구부(e) 내에 노출된 제 1 전극(100) 상에 최소한 유기발광층을 포함하는 유기막층(120)을 형성한다. 상기 유기막층(120)은 유기발광층(EML)외에 상기 전자 주입층(EIL), 전자 수송층(ETL), 유기발광층(EML), 정공 수송층(HTL) 및 정공 주입층(HIL) 순으로 이루어진 층 중 1이상의 층을 더욱 포함할 수 있다. 상기 유기발광층으로는 저분자 물질 또는 고분자 물질 모두 가능하며, 상기 저분자 물질은 알루니 키노롬 복합체(Alq3), 안트라센(Anthracene), 시클로펜타디엔(Cyclo pentadiene), Almq, ZnPBO, Balq 및 DPVBi로 이루어진 군에서 선택되는 1종으로 형성된다. 상기 고분자 물질은 폴리티오펜(PT;polythiophene), 폴리(p-페닐렌비닐렌)(PPV;poly(p-phenylenevinylene)), 폴리페닐렌(PPP;polyphenylene) 및 그들의 유도체로 이루어진 군에서 선택되는 1종으로 형성한다.

상기 유기막층(120)은 진공증착, 스핀코팅, 잉크젯 프린팅, 레이저 열전사법(LITI:Laser Induced Thermal Imaging)등의 방법으로 적층한다. 바람직하게 스핀코팅 방식을 통해 적층한다. 또한 상기 유기막층을 패터닝하는 것은 레이저 열전사법, 새도우 마스크를 사용한 진공증착법 등을 사용하여 구현할 수 있다.

이어서, 기판 전면에 걸쳐 상기 유기막층(120) 상부에 제 2 전극(미도시)을 형성한다. 상기 제 2 전극(미도시)은 Mg, Ca, Al, Ag 및 이들의 합금으로 이루어진 군에서 선택된 하나의 물질로서 진공증착법으로 형성한다.

상기 제 2 전극까지 형성된 기판을 통상적인 방법으로 상부 기판과 봉지함으로써 유기전계발광소자를 완성한다.

본 발명의 일실시예에서는 설명의 편의를 위하여 유기전계발광소자에서 제 1 전극과 소오스/드레인 물질로 이루어진 데이터라인(Vdata) 및 공통전원공급라인(Vdd)을 중첩하고, 제 1 전극과 게이트 전극 물질로 이루어진 스캔라인을 중첩한 후 화소정의막을 배면 노광 함으로써 개구율 증가를 설명하였으나, 이에 한정되는 것은 아니다.

본 발명은 스캔라인, 공통전원공급라인(Vdd) 또는 데이터라인(Vdata) 중 어느 하나 이상과 중첩되도록 제 1 전극을 형성하고 화소정의막(PDL)을 배면 노광으로 식각함으로써 개구율을 향상시킬 수 있는 유기전계발광소자에도 적용된다.

본 발명은 이상에서 살펴본 바와 같이 일실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다

발명의 효과

상술한 바와 같이 본 발명에 따르면, 유기전계발광소자에서 스캔라인, 공통전원공급라인(Vdd) 또는 데이터라인(Vdata) 중 어느 하나 이상과 중첩되도록 제 1 전극을 형성하고 화소정의막(PDL)을 배면 노광으로 식각함으로써 개구율을 향상시킬 수 있다.

도면의 간단한 설명

도 1은 종래 기술에 의한 능동 매트릭스 유기전계발광소자의 평면도이다.

도 2는 종래의 능동 매트릭스 유기전계발광소자에 있어서, 도 1을 A - A' 부분으로 절단한 단면도이다.

도 3은 본 발명에 따른 능동 매트릭스 유기전계발광소자의 평면도이다.

도 4는 본 발명의 능동 매트릭스 유기전계발광소자에 있어서, 도 3을 A - A' 분으로 절단한 단면도이다.

도 5는 본 발명의 능동 매트릭스 유기전계발광소자에 있어서, 도 3을 B - B' 부분으로 절단한 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

10 : 스캔라인 20 : 데이터라인(Vdata)

30 : 공통전원공급라인(Vdd) 40 : 스위칭 트랜지스터

50 : 구동 트랜지스터 60 : 커패시터

62 : 기판 67 : 게이트 절연막

70 : 반도체층 80 : 게이트 전극

83 : 층간절연막 90a, 90b : 소오스/드레인 전극

91 : 패시베이션막 95 : 비아홀(via hole)

100 : 제 1 전극 110 : 화소정의막

120 : 유기막층 130 : 제 2 전극

140 : 유기전계발광소자

a : 개구 영역 b : 트랜지스터 영역

c : 배선 영역

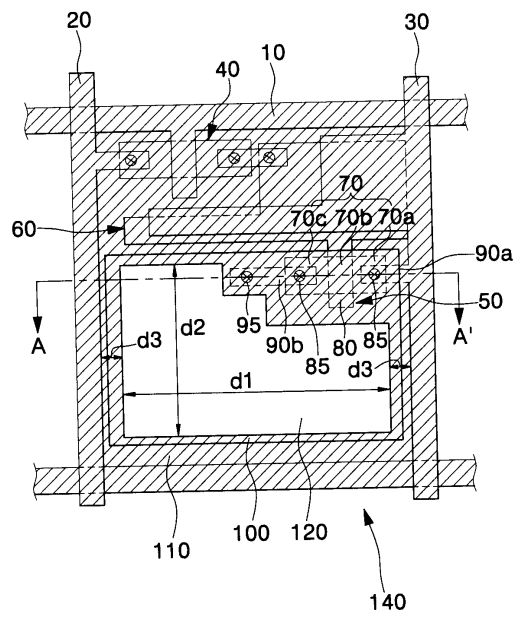
d3': 감소된 데드 스페이스(Dead Space) 영역

d4 : 공통전원공급라인 또는 데이터라인과 제 1 전극의 중첩 영역

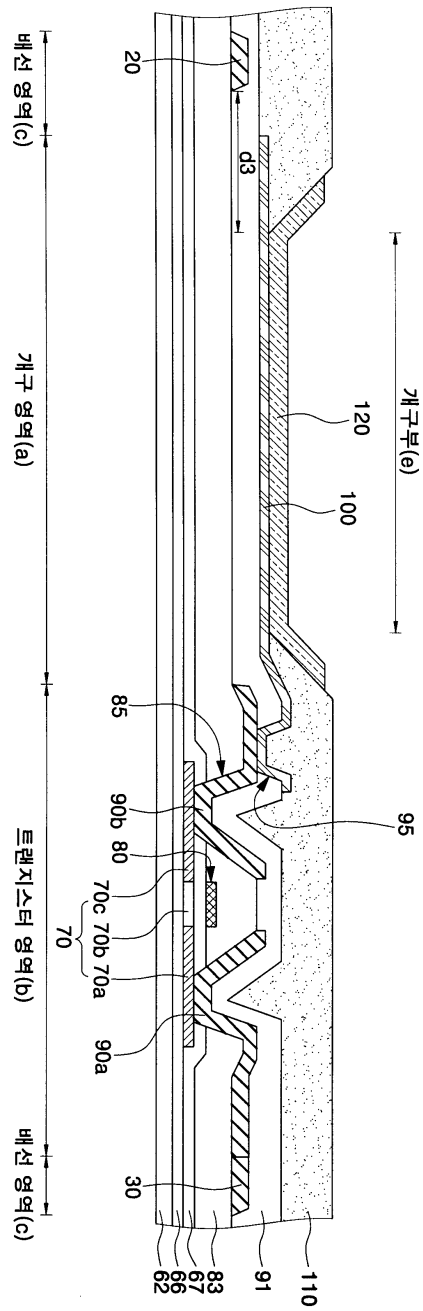
e : 개구부

도면

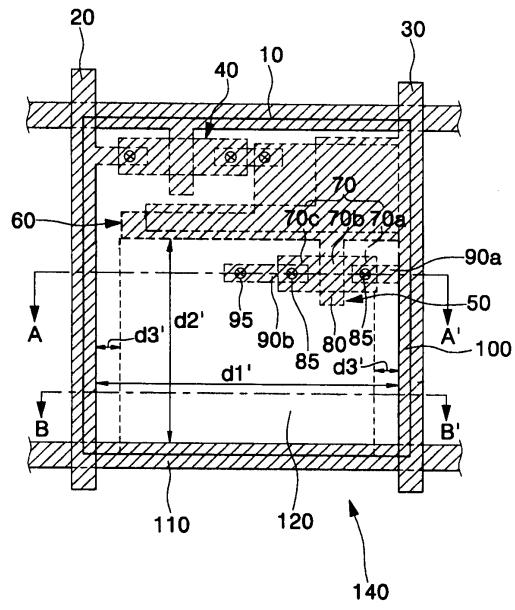
도면1



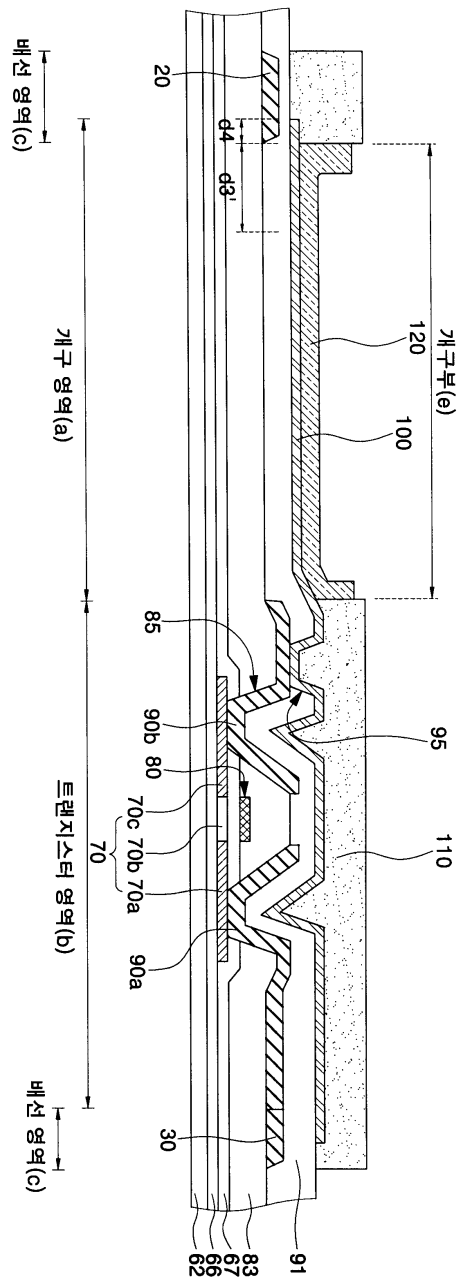
도면2



도면3



도면4



도면5

