

(43) 国際公開日
2006年9月21日 (21.09.2006)

PCT

(10) 国際公開番号
WO 2006/098406 A1(51) 国際特許分類:
H05K 3/46 (2006.01)

(21) 国際出願番号: PCT/JP2006/305252

(22) 国際出願日: 2006年3月16日 (16.03.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-076815 2005年3月17日 (17.03.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 西井 利浩 (NISHII, Toshihiro).

(74) 代理人: 岩橋 文雄, 外(IWAHASHI, Fumio et al.); 〒5718501 大阪府門真市大字門真 1006番地 松下電器産業株式会社内 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

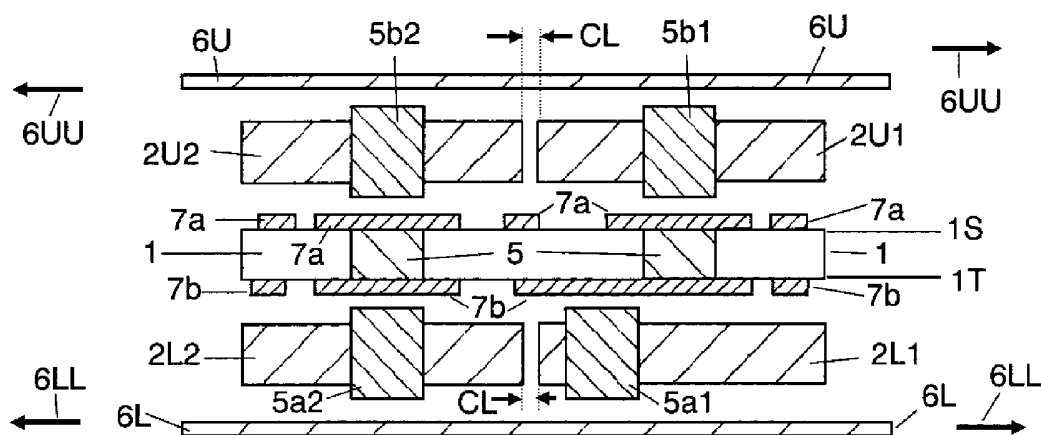
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: METHOD FOR MANUFACTURING CIRCUIT FORMING BOARD

(54) 発明の名称: 回路形成基板の製造方法



(57) Abstract: A stable and high quality circuit forming board is provided even when a work size is increased. Prepreg sheets (2L1, 2L2), which are board material for stage (B), are arranged on a first metal foil (6L) in a stacking process, and are stacked on the first metal foil (6L). A board material (1) for a stage (C) is stacked on the board material (2L1, 2L2). Two or more prepreg sheets (2U1, 2U2), which are the board material for the stage (B), are stacked on the board material (1), and a second metal foil (6U) is stacked thereon.

(57) 要約: 回路形成基板においてワークサイズを大きくしても安定かつ高品質な回路形成基板を提供する。積層工程において第1の金属箔(6L)に対してBステージの基板材料であるプリプレグ(2L1), (2L2)を並べて配設し、第1の金属箔(6L)の上に積層する。基板材料(2L1), (2L2)の上にCステージの基板材料(1)を積層する。基板材料(1)の上に2枚以上のBステージの基板材料であるプリプレグ(2U1), (2U2)を積層し、その上に第2の金属箔(6U)を積層する。

WO 2006/098406 A1

明 細 書

回路形成基板の製造方法

技術分野

[0001] 本発明は、各種電子機器に利用される回路形成基板の製造方法に関するものである。

背景技術

[0002] 近年、電子機器の小型化・高密度化に伴って、電子部品を搭載する回路形成基板も従来の片面基板よりも両面、多層基板が多く採用されてきており、より多くの回路および部品を基板上に集積可能な高密度基板が開発されてきている。

[0003] 図8A～図8Eは従来の回路形成基板の製造工程を示す。図8Aに示すように、コア基板材料21の一主面及び他主面にはそれぞれ各別に回路27a, 27bが形成されている。また、図8Aは、導電ペーストによって層間接続部23が形成された両面基板として図示している。なお、両面基板の他に多層基板として使用することも可能である。また、層間接続部23には導電ペースト以外として、めっき、半田等多様な方法を採用することもできる。

[0004] 次に、図8Bに示すようにコア基板材料21を挟みようにしてその上下にプリプレグ22L及び22Uを配置する。プリプレグ22L, 22Uのビア穴24には導電性ペースト23a1, 23a2, 23b1及び23b2が備えられている。プリプレグ22L側, 22U側には各別に第1の金属箔である銅箔26及び第2の金属箔である銅箔26Uが配置されている。位置決めするに当たっては、プリプレグ22L, 22Uが半硬化の樹脂分を含んでいるためにヒータツール等で銅箔26L, 26Uとプリプレグ22L, 22Uもしくはプリプレグ22L, 22Uとコア基板材料21を部分的に仮圧着する。これによって、以降のハンドリング時の位置ずれを防止することができる。

[0005] 次に、熱プレス装置(図示せず)により加熱加圧を加えて図8Cに示すようにプリプレグ22L, 22Uを硬化させ、コア基板材料21と一体化する。その際に導電性ペースト23a1, 23a2, 23b1及び23b2も圧縮され、硬化して導電性を発現し層間の電氣的接続を形成する。

- [0006] 次に回路形成基板の端面部であって余分な部分を切断して図8Dに示すような4層の回路形成基板を得て、表面の銅箔26L, 26Uをエッチング加工することで回路26L1, 26U1を形成して、図8Eに示すような4層の回路形成基板を得る。
- [0007] また、用途に応じて、図8Eに示した回路形成基板の表面に半田付け用のソルダーレジストや回路26L1, 26U1の表面に金めっきもしくはフラックス処理あるいは半田レベラー等の表面処理を施す。その後、金型やルータ加工等で所望のシートサイズに切断して電気機器の組み立て工程等に回路形成基板として供給される。なお、この出願の発明に関連する先行技術文献情報としては、例えば、日本特許公開、特開平6-268345号公報が知られている。
- [0008] しかしながら、上記のような回路形成基板の製造方法においては、プリプレグ22L, 22Uのサイズを大きくしようとすると、製造上の制約を受ける。すなわち、プリプレグ22L, 22Uには未硬化の導電性ペースト23a1, 23a2, 23b1及び23b2が配設されているために治具等に接触させることができない。仮に、接触した場合には、これらの導電性ペーストが周囲に拡がってしまい、回路と他の回路との間で電氣的ショートが生じたり、層間接続の信頼性が失われたりする等の不具合が生じる。
- [0009] 導電性ペースト23a1, 23a2, 23b1及び23b2に外部からダメージを加えないためにはプリプレグ22L, 22Uは中空の支持治具にて保管しなければならない。また、積層工程でプリプレグ22をハンドリングする際にはその端面を掴むしかできないために製造上の制約を受けることになる。プリプレグ22L, 22Uのサイズが大きくなるにつれて、積層工程でのハンドリング作業の困難度はますます高くなる。このため、回路形成基板の製造として品質の信頼性も不確実なものとなってしまう。
- [0010] また、プリプレグ22L, 22Uに配設した導電性ペースト23a1, 23a2, 23b1及び23b2の位置がばらつくと、コア基板材料21の上の回路27a, 27bとの位置決めが困難になってしまうために、微細な回路形成基板に対応することが難しい。このため、プリプレグ22L, 22Uのサイズが大きくなるに伴い導電性ペースト23a1, 23a2, 23b1及び23b2の位置のばらつきも無視できなくなる。
- [0011] 一方、回路形成基板の製造コストを低減するためには、プリプレグ22L, 22Uのサイズすなわち、製造上のワークサイズを大きくすることが効率の面から有効である。こ

のため、ワークサイズの大きな回路形成基板を安定に製造することができる製造方法の具現化が望まれていた。

発明の開示

- [0012] 本発明の回路形成基板の製造方法は、積層工程において2枚以上の基板材料を同一の金属箔上に並べて配設(並設)する。または、Cステージの基板材料に対して2枚以上のBステージの基板材料を積層する。または、Bステージの基板材料に対して2枚以上のCステージの基板材料を積層する構成としたものである。
- [0013] こうした構成によれば、製造上のワークサイズを大きくしても安定でかつ高品質な回路形成基板の製造が行えるものである。
- [0014] 具体的に、本発明の回路形成基板の製造方法は次の(a)～(d)の構成要件のうちの、Bステージの基板材料を含む。ここでBステージの基板材料とは下記の構成要件(b)及び(c)の少なくともいずれか一方を含むということである。また、2つ以上の金属箔、もしくは基板材料を積層物として積層する積層工程を備える。
- [0015] (a) 金属箔、もしくは支持体に張り付けられた金属箔、もしくは支持体に張り付けられ回路パターンを形成された金属箔
- (b) Bステージの基板材料
- (c) 回路、金属箔、層間接続部のうち少なくとも1つを備えたBステージの状態の基板材料
- (d) 回路もしくは金属箔を備えたCステージの基板材料もしくは回路もしくは金属箔と層間接続部を備えたCステージの基板材料
- また、積層工程において、2枚以上の基板材料を同一の金属箔に対して並設する。これによって、製造上のワークサイズを大きくすることができるとともに積層工程後の熱プレス等の工程で金属箔が剥離シートの役目を果たすために剥離シートが不要になる。
- [0016] また、本発明の別の回路形成基板の製造方法は上記(a)～(d)の中の少なくとも1つは、Bステージの基板材料を含み、積層工程において、同一のCステージの基板材料に対して2つ以上のBステージの基板材料を並設する。これにより、製造上のワークサイズを大きくすることができる。また、Cステージの基板材料に回路形成基板を

用いることで、いわゆる一括積層方式を採用することができるので、生産効率が向上する。

[0017] また、本発明の別の回路形成基板の製造方法は上記(a)～(d)の中の構成要件の中の少なくとも1つのBステージの基板材料を含み、2枚以上のCステージの基板材料を同一のBステージの基板材料の上に並設する。

[0018] これにより、製造上のワークサイズを大きくすることができるとともに、Cステージの基板材料の厚みが薄くて、ハンドリングが困難な場合であっても、Cステージの基板材料のサイズを小さくすることができ、ハンドリング性を向上することができる。

[0019] また、本発明の別の回路形成基板の製造方法は、積層工程において、第1(下側)の金属箔上に2枚以上の第1のBステージの基板材料を位置合わせして並設する工程を備えている。また、Bステージの基板材料の上にCステージの基板材料を位置決めして並設する工程も備えている。また、Cステージの基板材料の上に2枚以上の第2(上側)のBステージの基板材料を位置決めして並設する工程も備える。また、Bステージの基板材料の上に第1(上側)の金属箔を載置する工程を備えている。

[0020] こうした構成によれば、第1の金属箔(下側)を基準としてその上側に順次積層対象物を積み重ねることで、ワークサイズを大きくした場合であってもプリプレグ等の基板材料のハンドリング、載置、積層および位置決めが容易となり、位置合わせ精度が向上するので、精密な回路形成基板を提供することができる。

[0021] また、本発明の別の回路形成基板の製造方法において、Bステージの基板材料またはCステージの基板材料または金属箔を載置する工程は、これらを並設あるいは載置あるいは積層したのちに仮止めする工程を含む。これによって、ワークサイズを大きくした場合であっても、プリプレグ等の基板材料のハンドリング、並設、載置、積層および位置決めが容易になる。さらに仮止めすることによって、位置合わせの作業性が向上し、安定した積層を図ることで位置合わせの精度が向上するという効果を奏する。

[0022] また、本発明の別の回路形成基板の製造方法は、金属箔に対して2枚以上の基板材料を積層する積層工程においては、相隣接する基板材料間のクリアランス寸法は、コア基板材料やプリプレグ等の基板材料を2つ以上並設したときの間隔として定義

される。これらの間隔、すなわちクリアランス寸法は、3mm～0.2mmの範囲に選ばれている。これによって、回路を形成する際のエッチング液の染み込みや隣接する基板材料の間に隙間やボイドの発生を防止し、基板材料間への埋まり性を向上させる。かつ位置合わせ時の稼動範囲を確保することによって作業性をも向上させるという効果を奏する。

[0023] また、本発明の別の回路形成基板の製造方法は、同一の金属箔に対して2枚以上の基板材料を並設、載置及び積層する積層工程においては、相隣接する基板材料は隣接する部分が互いに嵌合する形状に形成されている。こうした構成をもたせることで相隣接する基板材料を互いに嵌合して積層したときに、回路形成基板の曲げ強度を向上させることができる。

[0024] また、本発明の別の回路形成基板の製造方法は、積層工程における2枚以上の基板材料は、Bステージの基板材料を採用している。基板材料が、厚み100 μ m以下で略長方形の短辺が350mmを超えるもの、または厚み60 μ m以下で一辺が200mmを超えるものを分割して2枚以上としたものである。特に上記の厚みおよび寸法で構成されたプリプレグ等のBステージの基板材料においては、分割して用いることで、回路形成基板の製造時のワークサイズを大きくした場合であっても、基板材料のハンドリングを安定させ、より薄くて、よりサイズの大きな基板材料を用いて回路形成基板の製造が可能になる。

[0025] また、本発明の別の回路形成基板の製造方法は、Bステージの基板材料は、補強材に織布を用いる。基板材料としてのプリプレグの補強材にガラス等の繊維を用いた織布を用いた場合には、織布の持つ寸法安定性などの利点を生かしながら、織布の持つプリプレグ状態での剛性の不足を補い積層作業を安定に行うことができる。

[0026] 以上述べたように本発明の回路形成基板の製造方法においては、積層工程において同一の金属箔に対して2枚以上の基板材料を積層する。もしくは、積層工程において同一のCステージの基板材料に対して2枚以上のBステージの基板材料を積層する。あるいは、積層工程において同一のBステージの基板材料に対して2枚以上のCステージの基板材料を積層する構成としたものである。

[0027] こうした本発明の構成によれば、回路形成基板の製造時のワークサイズを大きくし

た場合であっても、基板材料をハンドリングを安定させ、従来の製造方法に比較してより薄くサイズの大きな基板材料を用いて回路形成基板の製造が可能になる。

[0028] 特に、基板材料としてのプリプレグの補強材にガラス等の繊維を用いた織布を用いた場合には、織布の持つ寸法安定性などの利点を生かしながら、織布の持つプリプレグ状態での剛性の不足を補うとともに積層作業を安定化できるという格別の効果を発揮するものである。

[0029] また、本発明の回路形成基板の製造方法によれば、導電性ペースト等の層間接続部を用いた層間の電氣的接続の信頼性をも大幅に向上させながら、高品質の高密度回路形成基板を提供することができるものである。

[0030] また、本発明の別の回路形成基板の製造方法は、積層工程において同一のBステージの基板材料に対して2枚以上のCステージの基板材料を特定部位で互いに当接して積層する構成としたものである。こうした構成によれば、製造上のワークサイズを大きくすることができるとともに、安定でかつ高品質な回路形成基板の製造を行うことができる。

[0031] また、本発明の回路形成基板の具体的な製造方法は、積層工程において、2枚以上のCステージの基板材料を同一のBステージの基板材料の上に並設定し、かつ、特定部位で互いに当接して積層する。これによって、ワークサイズの大きな回路形成基板を製造することが可能となる。また使用する基板材料の歩留まりを向上させ、個別回路形成基板の生産性を高める等の効果を奏する。

[0032] また、本発明の回路形成基板の製造方法は、積層工程の前に、積層工程において積層する2枚以上のCステージの基板材料が当接する部分を所望寸法まで切断する切断工程を備える。積層後のワークサイズでの有効範囲すなわち回路形成基板としての使用可能な範囲が増加し効率的でかつ低コストの回路形成基板の製造方法を提供することが可能になる。

[0033] また、本発明の回路形成基板の製造方法は、回路形成基板の一主面または他主面に回路形成される積層物は多層の回路形成基板であって、多層の回路形成基板は複数の集合回路形成基板を備える。2枚以上のCステージの基板材料が互いに当接する特定部位は、互いに隣接する集合回路形成基板の間に位置している。積層

後のワークサイズでの有効範囲すなわち回路形成基板としての使用可能範囲が増加する。これにより、集合回路形成基板の取り数を増加させ、効率的かつ低コストの回路形成基板の製造が可能となる。

[0034] また、本発明の回路形成基板の製造方法は、回路形成基板の一主面または他主面に回路形成された積層物は多層の回路形成基板である。また、多層の回路形成基板は複数の個別回路形成基板で構成される集合回路形成基板を複数枚備えている。少なくとも2枚のCステージの基板材料が互いに当接する特定部位は、少なくとも1つの集合回路形成基板内の互いに隣接する個別回路形成基板の間に位置する。積層後のワークサイズでの有効範囲すなわち回路形成基板としての使用可能範囲が増加する。これにより、個別回路形成基板の取り数を増加させ、効率的かつ低コストの回路形成基板の製造が可能となる等の効果が得られる。

[0035] また、本発明の回路形成基板の製造方法において、Cステージの基板材料は互いに当接する部分が、嵌合する形状に形成されている。この構成により集合回路形成基板の強度を高めることができる。また、本発明の回路形成基板の製造方法は、切断は、ダイシング法で行う。ダイシング法を採用することにより、2枚のCステージの基板材料の間隔を100 μ m以下にすることも可能である。これによって、Cステージの基板材料は互いに当接する部分を高精度で特定することができるという効果を有する。

[0036] また、本発明の回路形成基板の製造方法は、Cステージの基板材料は表面に回路および導電ペーストで形成された層間接続部を備え、多層の回路形成基板の表層はレーザービアを備える。ワークサイズが大きい場合においても多層の回路形成基板を容易に製造することが可能であり、製造コストの低減を図ることができるという効果を有する。

[0037] 本発明によれば、回路形成基板の製造時のワークサイズを大きくした場合であっても基板材料のハンドリングを安定化させ、従来の製造方法に比較してより薄くサイズの大きな基板材料を用いて回路形成基板の製造が可能になる。

[0038] また積層後のワークサイズでの回路形成基板としての使用可能範囲が増加することにより、個別回路形成基板の取り数を増加させ、効率的かつ低コストの回路形成基

板の製造が可能となる等の効果を有する。

[0039] 特に、基板材料としてのプリプレグの補強材にガラス等の繊維を用いた織布を用いた場合には、織布の持つ寸法安定性などの利点を生かしながら、織布の持つプリプレグ状態での剛性の不足を補い積層作業を安定化できるという格別の効果を発揮する。

[0040] また、本発明の回路形成基板の製造方法は、導電性ペースト等の層間接続部を用いた層間の電氣的接続の信頼性をも大幅に向上させながら、高品質の高密度回路形成基板を提供することができるものである。

図面の簡単な説明

[0041] [図1A]図1Aは、本発明の実施の形態1にかかる回路形成基板の製造方法を示す断面図である。

[図1B]図1Bは、本発明の実施の形態1にかかる回路形成基板の製造方法を示す断面図である。

[図1C]図1Cは、本発明の実施の形態1にかかる回路形成基板の製造方法を示す断面図である。

[図1D]図1Dは、本発明の実施の形態1にかかる回路形成基板の製造方法を示す断面図である。

[図1E]図1Eは、本発明の実施の形態1にかかる回路形成基板の製造方法を示す断面図である。

[図2A]図2Aは、本発明の実施の形態2にかかる回路形成基板の製造方法を示す断面図である。

[図2B]図2Bは、本発明の実施の形態2にかかる回路形成基板の製造方法を示す断面図である。

[図2C]図2Cは、本発明の実施の形態2にかかる回路形成基板の製造方法を示す断面図である。

[図2D]図2Dは、本発明の実施の形態2にかかる回路形成基板の製造方法を示す断面図である。

[図2E]図2Eは、本発明の実施の形態2にかかる回路形成基板の製造方法を示す断

面図である。

[図3A]図3Aは、本発明の実施の形態3にかかる回路形成基板の製造方法を示す断面図である。

[図3B]図3Bは、本発明の実施の形態3にかかる回路形成基板の製造方法を示す断面図である。

[図3C]図3Cは、本発明の実施の形態3にかかる回路形成基板の製造方法を示す断面図である。

[図3D]図3Dは、本発明の実施の形態3にかかる回路形成基板の製造方法を示す断面図である。

[図4A]図4Aは、本発明の実施の形態4にかかる回路形成基板の製造方法を示す断面図である。

[図4B]図4Bは、本発明の実施の形態4にかかる回路形成基板の製造方法を示す断面図である。

[図4C]図4Cは、本発明の実施の形態4にかかる回路形成基板の製造方法を示す断面図である。

[図4D]図4Dは、本発明の実施の形態4にかかる回路形成基板の製造方法を示す断面図である。

[図5A]図5Aは、本発明の実施の形態5にかかる回路形成基板の製造方法を示す平面図である。

[図5B]図5Bは、本発明の実施の形態5にかかる回路形成基板の製造方法を示す平面図である。

[図5C]図5Cは、本発明の実施の形態5にかかる回路形成基板の製造方法を示す平面図である。

[図6]図6は、本発明の実施の形態5における回路形成基板の製造方法を示す平面図である。

[図7]図7は、本発明の実施の形態5における回路形成基板の製造方法を示す平面図である。

[図8A]図8Aは、従来例の回路形成基板の製造方法を示す断面図である。

[図8B]図8Bは、従来例の回路形成基板の製造方法を示す断面図である。

[図8C]図8Cは、従来例の回路形成基板の製造方法を示す断面図である。

[図8D]図8Dは、従来例の回路形成基板の製造方法を示す断面図である。

[図8E]図8Eは、従来例の回路形成基板の製造方法を示す断面図である。

符号の説明

- [0042] 1, 1R, 1L コア基板材料
2, 2L1, 2L2, 2U1, 2U2 プリプレグ
3a, 3b 層間接続部
5a1, 5a2, 5b1, 5b2 導電性ペースト
6L, 6L1, 6L2, 6U 銅箔
7a, 7b 回路
8L, 8U シート
9 レーザービア穴
10L, 10U レーザービア
11 ツールマーク
12, 12a 集合回路形成基板
13a, 13b 個別回路形成基板
14 特定部位

発明を実施するための最良の形態

[0043] 以下、本発明の実施の形態について、図面を参照しながら説明する。

[0044] (実施の形態1)

図1A～図1Eは本発明の実施の形態1にかかる回路形成基板の製造方法を示す断面図である。

[0045] 図1Aに示したコア基板材料1の一主面1S上には回路7aが形成されている。コア基板材料1の他主面1Tには他の回路7bが形成されている。コア基板材料1は導電ペースト5を層間接続部として備えた両面板として示しているが、多層の回路基板としても使用することが可能である。一主面1S側の回路7aと、他主面1T側の回路7bとを接続するための、いわゆる、層間接続部には導電ペースト5の他にも図示しないめっ

き、半田等多様な方法を用いることができる。

[0046] コア基板材料1はCステージを有する。本発明において、C状態とは硬化されている状態をいう。なお、後述するBステージとは、ある程度、硬化は進んでいるがゲル状態も残存している状態を指すものとして定義される。

[0047] 次に、図1Bに示すようにコア基板材料1と、導電性ペースト5, 5a1, 5a2, 5b1及び5b2を備えるとともにBステージの基板材料として用意されたプリプレグ2L1, 2L2, 2U1及び2U2の位置決めを行う。その後、銅箔6L, 6Uも所定の箇所に位置決めして配置する。すなわち、下側の銅箔6Lは下側のプリプレグ2L1, 2L2側に、上側の銅箔6Uは上側のプリプレグ2U1, 2U2側にそれぞれ位置決めして配置する。

[0048] 第1(下側)の金属箔としては具体的に銅箔6Lを用意する。銅箔6Lの上であって、その長手方向6LLに沿わせて第1(下側)の2枚のプリプレグ2L1, 2L2を所定のクリアランス寸法CLをもたせて並設する。次に、プリプレグ2L1, 2L2の上に、図1Aに示したコア回路基板1を載置する。さらに、コア回路基板1の上には、第2(上側)のプリプレグ2U1がプリプレグ2L1に対して、プリプレグ2U2がプリプレグ2L2に対してそれぞれ位置合わせがなされた後、コア回路基板1の上に並設される。プリプレグ2U1と2U2も所定のクリアランス寸法CLをもって第2の金属箔である銅箔6Uの長手方向6UUに沿って併設されている。

[0049] 第2のプリプレグ2U1と2U2の上には第2(上側)の金属箔である銅箔6Uが配置されている。すなわち、図1Bには第1の金属箔である銅箔6Lと、第2の金属箔である銅箔6Uの長手方向6LLに沿って第1のプリプレグ2L1, 2L2を並べて配設し、かつ、第1の金属箔である銅箔6Lと第2の金属箔6Uの間に挟んでプリプレグ2L1, 2L2, コア回路基板1, プリプレグ2U1, 2U2を積層した構成を示している。

[0050] 図1Cにはコア基板材料1、各プリプレグ等の仮止めの状態を示している。すなわち、下側の銅箔6Lに対して下側のプリプレグ2L1, 2L2の位置合わせを行い、図示しないヒータツール等で仮止めを行う。次に下側のプリプレグ2L1, 2L2に対して位置決めした状態でコア基板材料1を載置し仮止めを行う。次にコア基板材料1に対して位置決めした状態で上側のプリプレグ2U1, 2U2を載せて仮止めを行う。その後、上側の銅箔6Uを載せ、その後、下側の銅箔6Lと上側の銅箔6U及びプリプレグ2U

1, 2U2, 2L1及び2L2の側面部を仮止め部材1RS, 1LSで覆って固定し、以降のハンドリング時の回路位置ずれを抑止する。仮止め部材1RSで仮止めした後は、図示しない熱プレス装置によって、加圧加熱処理を施して、プリプレグ2U1, 2U2, 2L1及び2L2を硬化させ一体化させる。このとき、導電性ペースト5, 5a1, 5a2, 5b1及び5b2も圧縮及び硬化され導電性を発現し、回路基板の層間を電氣的に接続することになる。

[0051] 図1Dは図1Cに示した仮止め部材1RS, 1LSの周辺の余分な部分を切断して得た4層の回路基板を示している。

[0052] 図1Eは、銅箔6U及び6Lの所要な部分をエッチングして、回路6U1, 6L1を形成した4層の回路形成基板を示す。なお、ここで、4層とは、下側から回路6L1, 7b, 7a及び回路6U1からなる構造を指している。

[0053] なお、プリプレグ2U1, 2U2をコア基板材料1の一主面1S側に、プリプレグ2L1, 2L2を他主面1T側にそれぞれ位置決めして仮止めした後に銅箔6U, 6Lを上下に配置して位置決めするという従来の作業順序では本発明の作業手順に比較して基板材料のハンドリングが煩雑で製造装置も複雑なものになってしまう。

[0054] 本発明にかかる実施の形態1における回路形成基板の製造方法は、下側の銅箔6Lを基準としてその上側に順次積層対象物を積み重ねていく。なお、積み重ねていく際には、下側のプリプレグは2L1, 2L2という具合に、2枚に分割する。すなわち、分割された2枚のプリプレグ2L1, 2L2は第1の金属箔である銅箔6Lの長手方向6LLに沿って並設する。また、上側のプリプレグも2U1, 2U2という具合に2枚に分割している。上側のプリプレグ2U1, 2U2は上側の銅箔6Uの長手方向6UUに沿って並設する。こうした構成によって、コア基板材料1のサイズ、すなわち工程上のワークサイズを大きくしても、各プリプレグのサイズは分割しない従来のサイズの半分以下で済むので、プリプレグ2U1, 2U2, 2L1及び2L2のハンドリングおよび積層および位置決めが容易となる。

[0055] さらに、前にも述べたように、たとえば、上側のプリプレグは2U1, 2U2という具合に2枚に分割しているため、導電性ペースト5a1, 5a2の位置のばらつきを小さく抑えることができる。

[0056] 導電性ペースト5a1, 5a2, 5b1及び5b2の位置のばらつきは、プリプレグ2L1, 2L2, 2U1及び2U2に導電性ペースト5a1, 5a2, 5b1及び5b2を充填する前の穴加工の際の穴位置のばらつき等によって生じる。しかし、プリプレグ2L1, 2L2, 2U1及び2U2のサイズを小さくして、すなわちプリプレグをいくつかの数に分割し、それぞれをコア基板材料1に位置合わせすることで、位置合わせの精度向上が図れる。

[0057] なお上側, 下側のプリプレグをそれぞれ分割する数は、ワークサイズ等により調整することが可能である。たとえば4分割や6分割にすることも可能である。

[0058] 発明者が種々検討してみると、プリプレグの厚みが約100 μ mであってその形状が矩形状であるとき、その短辺側が350mmを超える場合に、プリプレグを2以上に分割することが有効であった。

[0059] または、プリプレグの厚みが60 μ m以下の場合にはプリプレグの短辺が200mmを超える場合に分割する方法が有効であることが分かった。

[0060] (実施の形態2)

図2A～図2Eは本発明の実施の形態2にかかる回路形成基板の製造方法を示す断面図である。実施の形態2に示す製造工程は全体的には実施の形態1とほぼ同じである。大きな違いは、プリプレグを分割することに加えて、コア基板材料1も分割することにある。

[0061] 図2Aには2つのコア基板材料1R, 1Lが示されている。コア基板材料が2つに分割された構成は実施の形態1とは異なる。コア基板材料1R, 1Lの一主面1S, 他主面1Tには各別に回路7a, 7bが形成されている。コア基板材料1R, 1Lは導電ペースト5を回路7aと回路7bとを接続するための層間接続部として備える両面基板として示しているが、多層基板としても使用することも可能である。層間接続部としては導電ペースト5の他には図示しない、めっき, 半田等多様な方法を用いることもできる。

[0062] 図2Bにはコア基板材料1R, 1Lに対応させて、第1及び第2のプリプレグを各別に2枚に分割し、かつ、それらを並設した状態を示している。こうした構成は実施の形態1との大きな違いである。図2Bにおいて、下側の銅箔6Lの上であって、その長手方向に沿って下側のプリプレグ2L1, 2L2を並べて配設する。すなわち、第1のプリプレグ2L1, 2L2を第1の金属箔の上に位置合わせを行い並べて配設(並設)する。第1

のプリプレグ2L1と2L2とはクリアランス寸法CLをもって離れている。次にプリプレグ2L1に対してコア基板材料1Rを、プリプレグ2L2に対してコア基板材料1Lをそれぞれ位置合わせを行った後積層する。コア基板材料1Rと1Lとは並設されている。次にコア基板材料1R側には上側のプリプレグ2U1を、コア基板材料1L側にはプリプレグ2U2を各別に位置決めした後、両者を並設する。次に上側のプリプレグ2U1、2U2の上に第2の金属箔である銅箔6Uを載せて仮止めを行う。

[0063] 実施の形態2においては、実施の形態1と同様に、第1(下側)のプリプレグは2L1、2L2という具合に2枚に分割している。また、第2(上側)のプリプレグは2U1、2U2という具合に2枚に分割している。こうした構成によって、コア基板材料のサイズ、すなわち工程上のワークサイズを大きくした場合であっても、各プリプレグのサイズは分割しない方式のサイズの半分以下で済むために、プリプレグ2U1、2U2、2L1及び2L2のハンドリングおよび積層および位置決めが容易となる。

[0064] さらに、上側のプリプレグは2U1、2U2という具合にたとえば2枚に分割しているため、導電性ペースト5a1、5a2の位置のばらつきを小さく抑えることができる。

[0065] 導電性ペースト5a1、5a2、5b1及び5b2の位置のばらつきは、プリプレグ2U1、2U2、2L1及び2L2に導電性ペースト5a1、5a2、5b1及び5b2を充填する前の穴加工の際の穴位置ばらつき等に左右される。しかし、プリプレグ2U1、2U2、2L1及び2L2のサイズを小さくして、すなわちプリプレグをいくつかに分割し、それぞれをコア基板材料1R、1Lに位置合わせを行えば、位置合わせの精度向上が図れるものとなる。

[0066] なお、プリプレグを分割する数は所望のワークサイズ等により調整することが可能である。たとえば4分割、6分割することも可能である。発明者が種々検討してみると、プリプレグの厚みが約100 μ mであってその形状が矩形状であるとき、その短辺側が350mmを超える場合に、プリプレグを2以上に分割することが有効であった。

[0067] または、プリプレグの厚みが60 μ m以下の場合にはプリプレグ2の短辺が200mmを超える場合に分割する方法が有効なものであった。

[0068] 加えて、実施の形態2においては、第1(下側)のプリプレグ2L1、2L2の各々に対して2枚のコア基板材料1R、1Lの位置合わせを行い、さらに2枚の第2(上側)のプリ

プリプレグ2U1, 2U2を位置合わせを行うようにしたので、ワークサイズが大きくなり各部材のサイズばらつきが増加した場合であっても、位置合わせ作業は分割して行えるために、実施の形態1に比べて、位置合わせ精度はさらに向上する。

- [0069] 図2Cには、仮止め部材1RS, 1LSによって、回路基板1R, 1L, プリプレグ2U1, 2U2, 2L1, 2L2, 銅箔6L及び銅箔6Uを仮止めした状態を示す。こうした状態は実施の形態1の図1Cに示した状態とほぼ同じである。大きな違いは、プリプレグ1Rと1Lとの境界部1RLにプリプレグ2U1及び2L1の一部が溶融し、かつ、硬化された状態で埋め込まれていることである。
- [0070] 図2Dは図2Cに示した仮止め部材1RS, 1LSの近傍の余分な部分を切断して得た4層の回路基板を示す。こうした状態も図1Dとほぼ同じ構造を示している。
- [0071] 図2Eは、銅箔6U及び6Lの所要部分をエッチングして、回路6U1, 6L1を形成して4層の回路形成基板を得た状態を示す。なお、ここで、4層とは、下側から回路6L1, 7b, 7a及び6U1を指す。
- [0072] なお、従来はプリプレグ2U1, 2U2をコア基板材料1の一主面1S側に、プリプレグ2L1, 2L2を他主面1T側にそれぞれ位置決めして仮止めした後に銅箔6U, 6Lを上下に配置して位置決めするという作業順序であった。このため、基板材料のハンドリングが煩雑で製造装置も複雑なものになってしまっていた。本発明においては図2A～図2Eに示した回路基板の構造と作業手順によってこうした不具合を排除することができる。すなわち、実施の形態2においてはプリプレグと合わせてコア回路基板も分割するようにしたので、位置決め合せの精度がさらに高まる。
- [0073] (実施の形態3)
- 本発明の実施形態3について図3A～図3Dを用いて説明する。
- [0074] 図3Aに示すように、コア基板材料1を2組準備する。1組は図中上側のコア基板材料1R, 1Lとして示している。これらは実施の形態2で示したものと同一であり、2枚に分割されている。もう1組は下側のコア基板材料1である。コア基板材料1は、実施の形態1で示したものとほぼ同一である。すなわち、実施の形態3においては、コア基板材料は実施の形態1と2のものを合わせもった構成と言える。
- [0075] コア基板材料1, 1R及び1Lの一主面1Sには各別に回路7aが形成されている。コ

ア基板材料1, 1R及び1Lの他主面1Tには各別に回路7bが形成されている。回路7aと回路7bとは、導電ペースト5で接続されている。

[0076] 次に図3Bに示すように、コア基板材料1と、右側に示したコア基板材料1Rとの間にプリプレグ2U1を配置する。同様に、コア基板材料1と、左側に示したコア基板材料1Lとの間にプリプレグ2U2を配置する。プリプレグ2U1と2U2は第1の金属箔であるシート8L及びコア基板材料1の長手方向に沿って並べて配設する。また、プリプレグ2U1, 2U2には導電性ペースト5b1, 5b2が備えられている。コア基板1R, 1Lの回路7a側にはシート8Uを、コア基板1の回路7b側にはシート8Lを配置する。その後熱プレス装置(図示せず)によって一体化成型する。

[0077] 図3Cは、一体化成型した後にできあがった4層基板の一例を示す。図2Bと同じ箇所には同じ符号を付与している。図示しない熱プレスの加熱加圧処理に時には、図3Cに示すようにプリプレグ2U1, 2U2の流動によって一体化成型された回路形成基板の一部に染み出し部ZPが生じる。

[0078] 図3Dは染み出し部ZPを取り除くために、その部分を切断して得た2組の4層回路形成基板を示す。コア基板材料1の中央部1CCと端部1CTが切断すると、染み出し部ZPは取り除かれ、コア基板材料1の上にプリプレグ2U1が積層され、その上にコア基板材料1Rが積層された回路形成基板3D2ができあがる。同様に、コア基板材料1の上にプリプレグ2U2が積層され、その上にコア基板材料1Lが積層された回路形成基板3D4ができあがる。回路形成基板3D2と3D4はほぼ同じ大きさに成形される。

[0079] 実施の形態3にかかる図3A～図3Dに示した構成と製造方法を採用するならば、たとえば、4層の回路形成基板を2枚貼り合わせて、たとえば、8層の回路形成基板も比較的容易に製造することができるので生産性に優れた製造方法を提供することができる。

[0080] なお、以上の説明において、4層以上の多層回路形成基板の製造において、Bステージ基板材料をプリプレグとして扱った。しかし、ガラス繊維織布やアラミド繊維不織布にエポキシ樹脂等を含浸させてBステージ化したプリプレグの他にも、ポリイミド等のフィルムにBステージ樹脂層を設けたもの、補強材を使用しないBステージ樹脂シートや熱可塑性樹脂シートや無機材料からなる接着シート等の多様な材料を使用

することが可能である。

- [0081] また、コア基板材料の分割する数は2つに限らず3以上であってもかまわない。さらに、4層板の積層のみならずコア基板材料とプリプレグの組み合わせで任意の層数を実現できるものである。また、プリプレグ同士を2枚以上重ね合わせる積層板の構成も採用することができる。
- [0082] また、プリプレグとしては層間接続部を配設していないものも採用することができる。
- [0083] また、金属箔には銅の他に種々の金属材料を使用することができる。たとえば、ニッケル、金、アルミニウムなどであってよい。また、各種の用途に応じて金属箔を支持するセパレータを貼り付けたものや金属箔をエッチング処理し回路としたものなどにも適用することができる。
- [0084] また、コア基板材料についても、通常のガラスエポキシ基板材料の他にアラミドエポキシ材料、フレキシブル基板材料や、セラミック基板等の無機材料を採用することも可能である。
- [0085] なお、ここで、分割したプリプレグと隣の他のプリプレグとのクリアランス寸法CLや、コア基板材料とその隣の他の基板材料とのクリアランス寸法CL、すなわちプリプレグが流動して埋められる部分のクリアランス寸法CLについて述べる。
- [0086] クリアランス寸法CLが大きすぎるとプリプレグが流動して樹脂などが十分に埋まりきらず、回路7a, 7bを形成する際にエッチング液の染み込みが発生する等の不具合が生じる。このため、クリアランス寸法CLを適切に設定することが重要である。特に、たとえば、図3A, 3Bに示した製造工程において相隣接するプリプレグ2U1と2U2との間、または、プリプレグ2L1と2L2との間にボイドが生じていないことを確認してその大きさを設定するとよい。
- [0087] なお、クリアランス寸法CLについては小さいほうが望ましい。しかし、小さすぎると、相隣接するプリプレグ同士もしくはコア基板材料同士が積層作業時に接触するという不具合が生じる。発明者が種々検討したところ、クリアランス寸法CLについては3mmから0.2mmの間が良好な結果が得られた。この中でも1mmから0.5mmが樹脂などの埋まり性と作業性さらに位置合わせ時の可動範囲の確保の観点から望ましいことが分かった。なお、クリアランス寸法CLはプリプレグやコア基板材料の厚み、さら

には各種電子機器の用途に応じて適宜設定する。

[0088] (実施の形態4)

図4A～図4Dは本発明の実施の形態4にかかる回路形成基板の製造方法を示す断面図である。

[0089] 図4AにはCステージの基板材料として、コア基板材料1R, 1Lを用意している。コア基板材料1R, 1Lの一主面1S, 他主面1Tには実施の形態1～3で述べたものと同様に、各別に回路7a, 7bが形成されている。回路7aと回路7bは層間接続部3a, 3bで接続されている。層間接続部3a, 3bは具体的には導電ペーストとすることができる。

[0090] コア基板材料1R, 1Lは、導電ペーストを層間接続部3a, 3bを備えた両面基板として図示しているが、多層回路基板として使用することも可能である。コア基板材料1R, 1Lを製造することに困難が伴う場合には、製造することが比較的容易になるように、たとえばコア回路形成基板1R, 1Lの2枚を用意する。特にコア基板材料1R, 1Lの厚みが薄くなるにつれて、ワークサイズを大きくすることが難しくなることが多い。そこで、コア基板材料1R, 1Lを近接させた状態で所定のクリアランス寸法CLを持たせて2枚並べて配置し、その上下をBステージの基板材料のプリプレグ2U, 2Lで挟み込み、さらに金属箔としての銅箔6L, 6Uで挟み込む状態に積層する。

[0091] コア基板材料1R, 1L、プリプレグ2U, 2Lの厚みや大きさ(面積)に応じてヒータツール(図示せず)等で仮止めをすることも有効である。

[0092] 実施の形態4ではプリプレグ2L, 2Uに層間接続部等を設けていないので相互の位置決めは概略でよい。しかし、後の製造工程も考慮し、また、位置合わせ精度を向上させるために、プリプレグ2L, 2Uに位置決めマーク等を配設し相互の位置決めをすることも有効である。なお、プリプレグ2L, 2Uに導電性ペースト等による層間接続部を形成した場合にはプリプレグとコア基板材料との間での相互位置決めが重要になる。

[0093] 図4Bは図4Aに示した製造工程順に従ってプリプレグ2L, 2U、コア材料基板1R, 1L及び銅箔6L, 6Uを積層した後、図示しない熱プレス等によって、加熱加圧して成形された中間の回路形成基板を示す。

- [0094] 図4Cは中間の回路形成基板を形成する各積層物にレーザー加工法等によりレーザービア穴9を加工する状態を示す。図4Cにおいては、図4Bに示したプリプレグ2L, 2U, コア材料基板1R, 1L等の積層物に対して、所定の回路7a, 7bを露出させるために、たとえば、レーザー加工を施した一例を示している。レーザー加工によって、銅箔6L, 6Uは部分的に分断されて銅箔6L2, 6U2が数箇所形成される。また、プリプレグ2L, 2Uも分断されて、部分的にプリプレグ2L2, 2U3が形成される。こうしたレーザー加工によって、レーザービア穴9には回路7a, 7bが現れる。
- [0095] 図4Dは、図4Cに示したレーザービア穴9の加工した後にレーザービア10L, 10Uを形成した状態を示す。レーザービア10L, 10Uは、銅めっき、パターン形成等の工程を用いて形成される。図4Dに示した状態は多層の回路形成基板を示している。
- [0096] 図4Cから図4Dまで示した製造工程は一般的にプリプレグビルドアップ法と呼ばれる工法で、ワークサイズが大きい場合にも比較的適用し易い工法であり、ワークサイズが大きい方が勿論単位面積あたりのコストを低減することができる。
- [0097] (実施の形態5)
- 図5A～図5は、本発明の実施の形態5にかかる回路基板の製造方法を示す。実施の形態5に示す回路形成基板は実施の形態1から4までのいずれか1つの方法で製造することができる。
- [0098] 図5Aに示すように、一般に製品として利用される回路形成基板12は製造時のワークサイズより小さい。図5Aに示すように、複数の集合回路形成基板12を一面に備えたワークサイズの状態から、金型打ち抜きやルータ加工等で切り出して個々の集合回路形成基板12を得る場合が多い。また、集合回路形成基板12も複数の個別回路形成基板13a, 13b(後述)から構成されることが一般的である。
- [0099] その際に、ワークサイズと集合回路形成基板のサイズ(以下製品サイズと記載)の整合性が製品コストに大きく影響する。
- [0100] すなわち、図5Aに示した左右方向の大きさL50Aが仮に500mm程度であったときに、製品サイズの一边の長さL12が100mmであれば、図5Aに回路形成基板を上方より見た図を示すように、ツールマーク11等の有効でない部分を除いても左右方向に2枚の集合回路形成基板52, 54を並べて配置した際に効率よく設計することが

できる。

- [0101] しかしながら、製品サイズの長さL12が150mm程度の場合や集合回路形成基板を少しでも多く配置したい場合には2枚のコア基板材料52, 54をまたがる形で集合回路形成基板を配置せざるを得ない。
- [0102] そのような配置を実現するために、あらかじめ2枚のコア形成基板材料52, 54の当接する辺を精度よく切断しておき、2枚のコア形成基板材料51, 52の間隔をできる限り小さくすることが有効である。
- [0103] 図5Bは積層工程前にコア形成基板材料52, 54を切断した例を示す。2枚のコア形成基板材料51, 52が互いに当接する特定部位14は、集合回路形成基板12を互いに隣接する部位とする。
- [0104] 図5Cは2枚のコア基板材料52と54にまたがる形で集合回路形成基板12aを配置した例を示す。
- [0105] 一般に集合回路形成基板12には携帯電話やデジタルスチルカメラのセットの一台分の個別回路形成基板を複数配置する場合が多い。セットを組み立てる際には集合回路形成基板12の状態で電子部品を実装し、その後に最終製品毎に個別回路形成基板に分割するのが実装効率の面からみて一般的である。
- [0106] 図6は集合回路形成基板12aを上方より見た図を示す。個別回路形成基板13a, 13bの間に2枚のコア基板材料が当接する特定部位14が位置するように設計することが望ましい。
- [0107] コア基板材料52, 54の特定部位14は図6では直線状であるものを示した。しかし製品状態になったときの回路形成基板の強度を増すために、図7に示すように2枚の個別回路形成基板13a, 13bが噛み合う形状にすることも有効である。
- [0108] 発明者が種々検討した結果では、切断方法にダイシング法を用い、2枚の個別回路形成基板13a, 13bの間隔を100 μ mにすることも可能であった。
- [0109] 切断方法には、ダイシング法の他にスリッタ刃を用いたり、レーザーによる切断法を用いるなど多くの方法が採用可能である。
- [0110] 実施の形態5では1枚のプリプレグに対して2枚のコア基板材料を積層するものとしている。しかし、コア基板材料の枚数を3枚以上で構成することも可能である。また、2

枚のプリプレグを並べて複数枚のコア基板材料を積層する等の多様な組み合わせを採用することも可能である。

- [0111] また、プリプレグとコア基板材料の組み合わせを厚み方向に多数段積層して高多層回路形成基板を製造することも可能である。

産業上の利用可能性

- [0112] 以上述べたように、本発明の回路形成基板の製造方法によれば、回路形成基板の製造時のワークサイズを大きくした場合であっても基板材料のハンドリングを安定させることができる。薄くてサイズの大きな基板材料を用いて回路形成基板の製造が可能になり、その結果、導電性ペースト等の層間接続部を用いた層間の電氣的接続の信頼性をも大幅に向上させながら、高品質の高密度回路形成基板を提供することができるので、産業上の利用可能性は大きい。

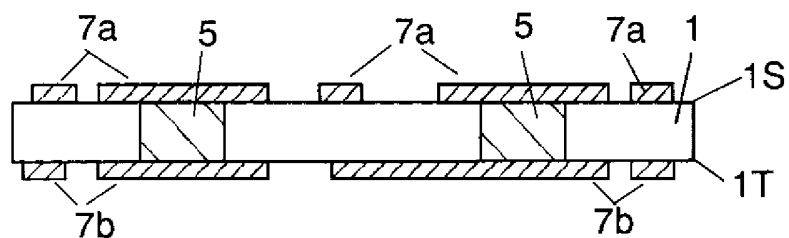
請求の範囲

- [1] (a) 金属箔、もしくは支持体に張り付けられた金属箔、もしくは支持体に張り付けられ回路パターンを形成された金属箔
- (b) Bステージの基板材料
- (c) 回路、金属箔、層間接続手段を備えたBステージの基板材料
- (d) 回路もしくは金属箔を備えたCステージの基板材料もしくは回路もしくは金属箔と層間接続手段を備えたCステージの基板材料
- のうち、前記Bステージの基板材料及び2種以上の前記金属箔もしくは前記基板材料を積層物として積層する積層工程を含み、前記積層工程において、2枚以上の前記基板材料を前記金属箔に対して並設することを特徴とする回路形成基板の製造方法。
- [2] 前記積層工程において、2枚以上のBステージの基板材料を前記Cステージの基板材料に対して積層することを特徴とする請求項1に記載の回路形成基板の製造方法。
- [3] 前記積層工程において、2枚以上の前記Cステージの基板材料を前記Bステージの基板材料に対して積層することを特徴とする請求項1に記載の回路形成基板の製造方法。
- [4] 積層工程は、第1の金属箔の上に2枚以上からなる第1のBステージの基板材料を位置合わせして並設する工程と、前記第1のBステージの基板材料の上にCステージの基板材料を位置決めして載置する工程と、前記Cステージの基板材料の上に2枚以上の第2のBステージの基板材料を位置決めして載置する工程と、前記第2のBステージの基板材料の上に第2の金属箔を載置する工程で構成されていることを特徴とする請求項1または請求項2のいずれか1項に記載の回路形成基板の製造方法。
- [5] 前記第1、第2のBステージの基板材料及び前記Cステージの基板材料及び前記第1、第2の金属箔を載置したのち仮止めする工程を含むことを特徴とする請求項4に記載の回路形成基板の製造方法。
- [6] 2枚以上の前記基板材料を前記金属箔に対して並設する工程において、相隣接する前記基板材料同士間のクリアランス寸法は、3mm～0.2mmの範囲であることを

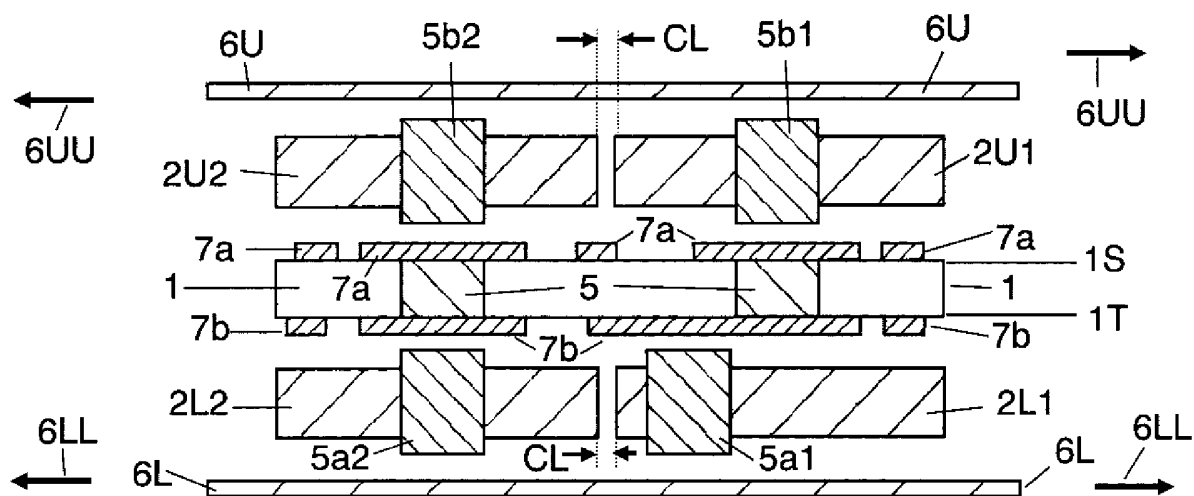
- 特徴とする請求項1に記載の回路形成基板の製造方法。
- [7] 2枚以上の前記基板材料を前記金属箔に対して並設する工程において、相隣接する前記基板材料は隣接部分が互いに嵌合する形状で形成されていることを特徴とする請求項1に記載の回路形成基板の製造方法。
- [8] 前記並設する工程における2枚以上の基板材料は、いずれもがBステージの基板材料であり、その厚みが $100\mu\text{m}$ 以下で矩形状の短辺が 350mm を超えるもの、または厚み $60\mu\text{m}$ 以下で一辺が 200mm を超えるものを分割して2枚以上としたものであることを特徴とする請求項1に記載の回路形成基板の製造方法。
- [9] 前記Bステージの基板材料は、補強材に織布を用いることを特徴とする請求項1に記載の回路形成基板の製造方法。
- [10] 前記積層工程の後に前記積層物の表層に回路形成する工程を含み、前記積層物を積層する積層工程において、2枚以上の前記Cステージの基板材料を前記Bステージの基板材料に対して前記積層物の特定部位で互いに当接して積層することを特徴とする請求項1に記載の回路形成基板の製造方法。
- [11] 積層工程の前に、前記積層工程において積層する2枚以上の前記Cステージの基板材料が当接する部分を所望寸法まで切断する切断工程を備えることを特徴とする請求項10に記載の回路形成基板の製造方法。
- [12] 前記表層に回路形成された積層物は多層の回路形成基板であって、前記回路形成基板は複数の集合回路形成基板を備え、2枚以上の前記Cステージの基板材料が互いに当接する特定部位は、互いに隣接する集合回路形成基板の間に位置することを特徴とする請求項10に記載の回路形成基板の製造方法。
- [13] 前記表層に回路形成された積層物は多層の回路形成基板であって、前記回路形成基板は複数の個別回路形成基板で構成される集合回路形成基板を複数備え、2枚以上のCステージの基板材料が互いに当接する特定部位は、少なくとも1つの集合回路形成基板内の互いに隣接する個別回路形成基板の間に位置することを特徴とする請求項10に記載の回路形成基板の製造方法。

- [14] 前記Cステージの基板材料は互いに当接する部分は、嵌合する形状に形成されていることを特徴とする請求項10に記載の回路形成基板の製造方法。
- [15] 切断は、ダイシング法で行うことを特徴とする請求項11に記載の回路形成基板の製造方法。
- [16] 前記Cステージの基板材料はその一主面と他主面との間に回路および導電ペーストで形成された層間接続部を備え、多層の回路形成基板の表層はレーザービアを備えることを特徴とする請求項3または請求項13のいずれか1項に記載の回路形成基板の製造方法。

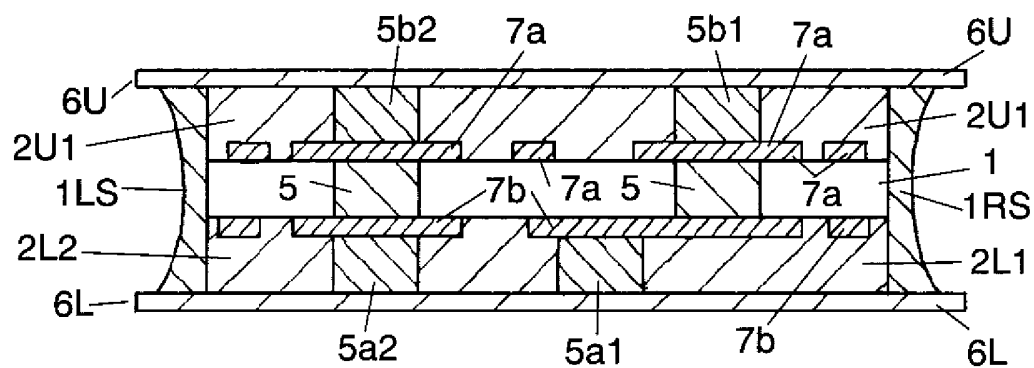
[図1A]



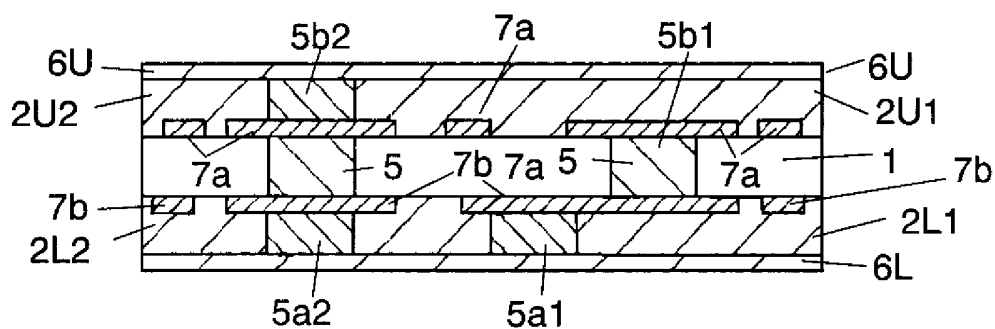
[図1B]



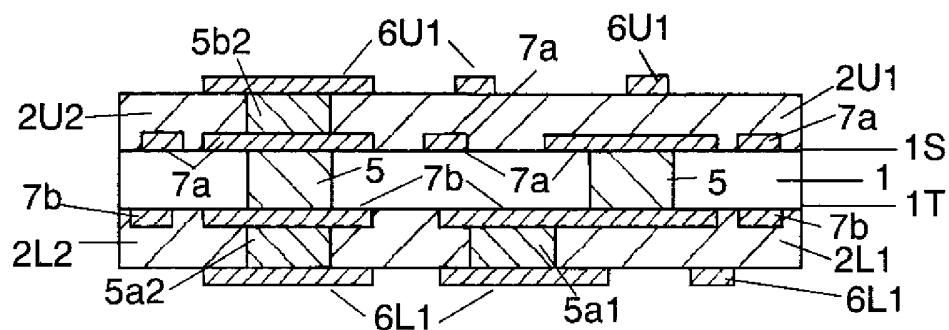
[図1C]



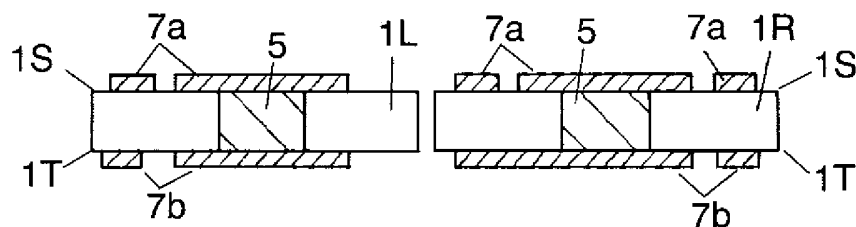
[図1D]



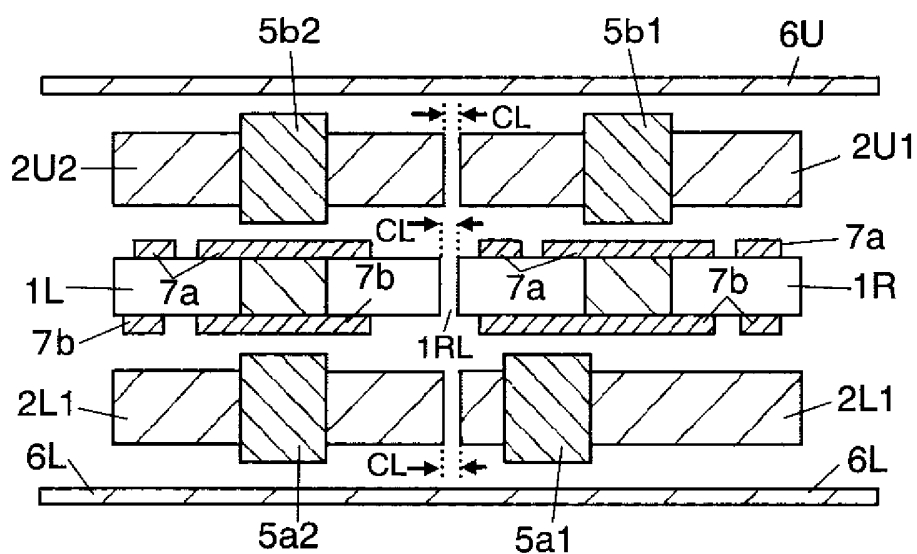
[図1E]



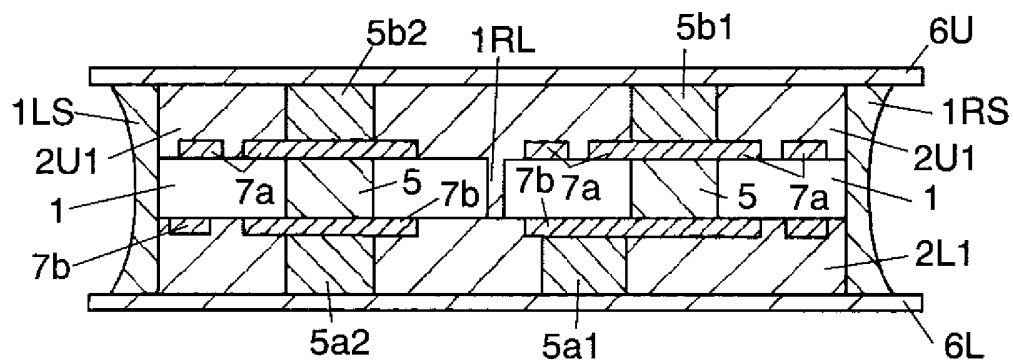
[図2A]



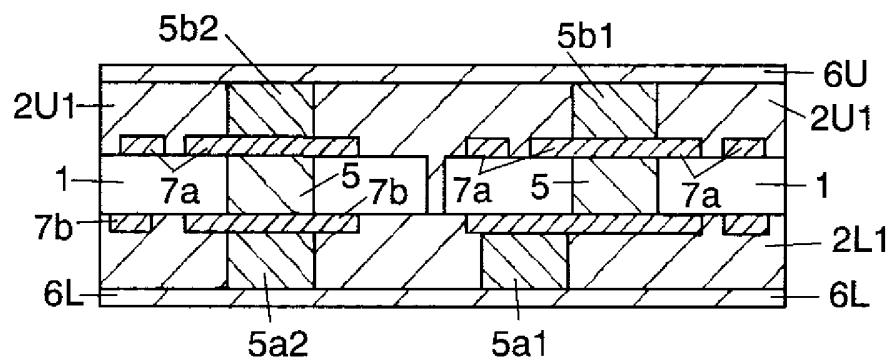
[図2B]



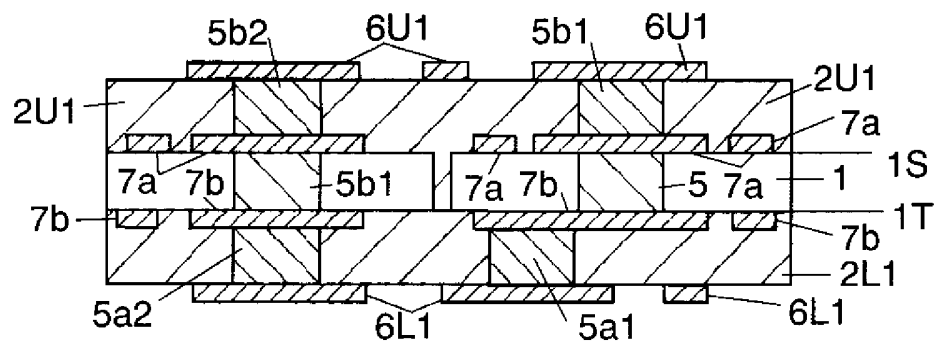
[図2C]



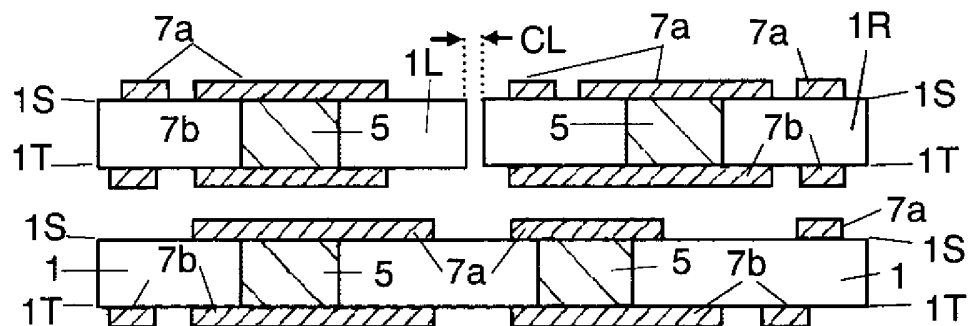
[図2D]



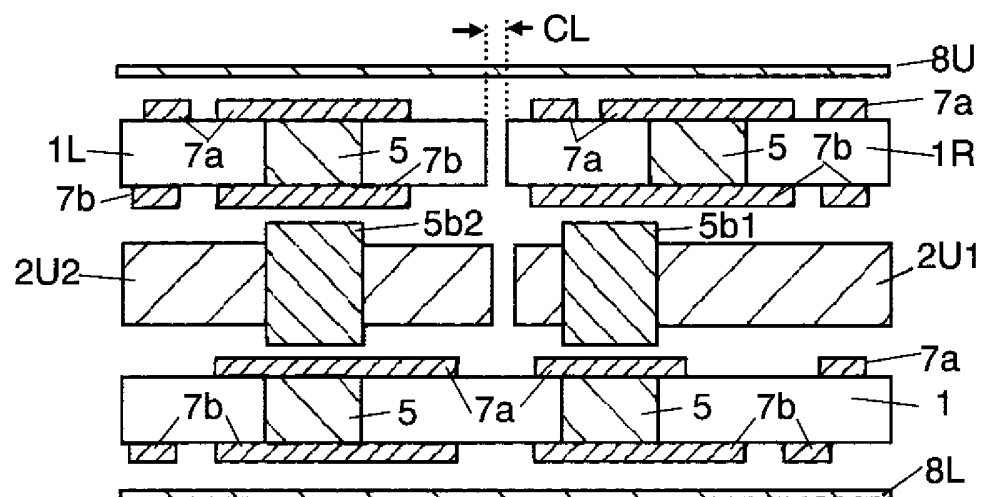
[図2E]



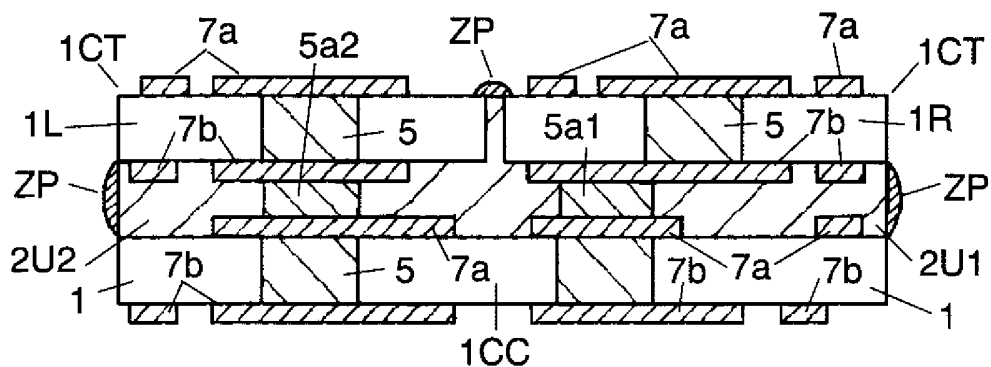
[図3A]



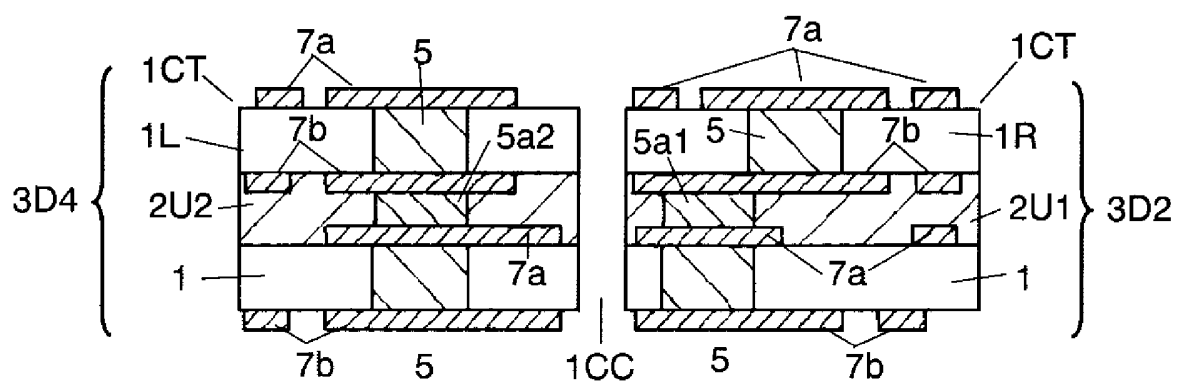
[図3B]



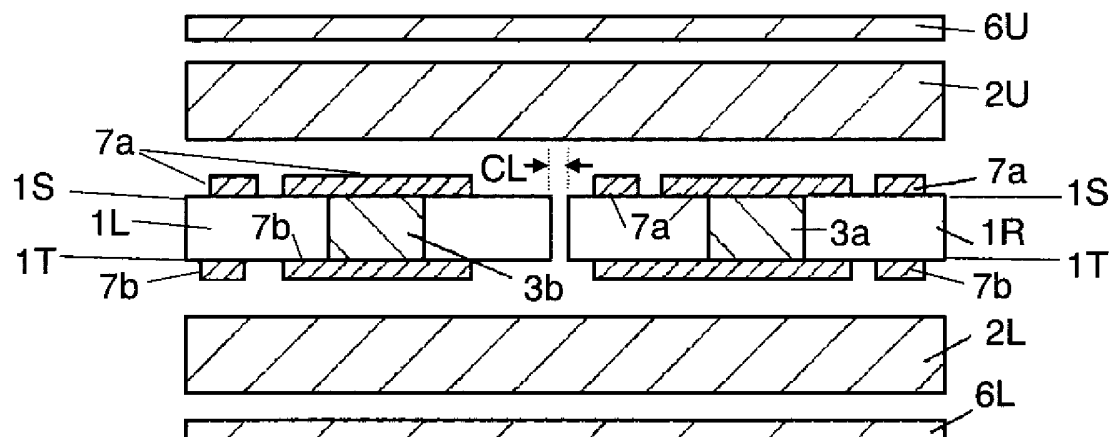
[図3C]



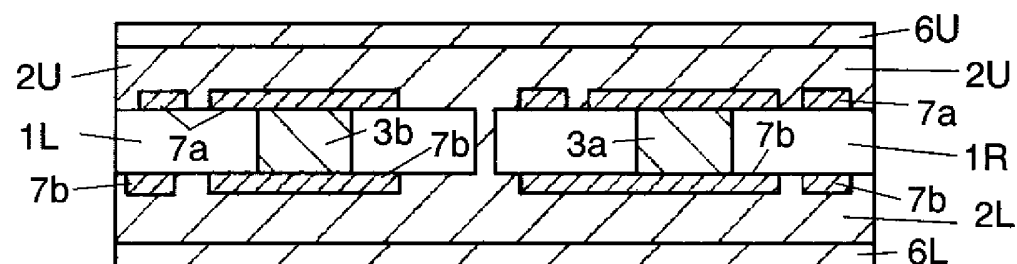
[図3D]



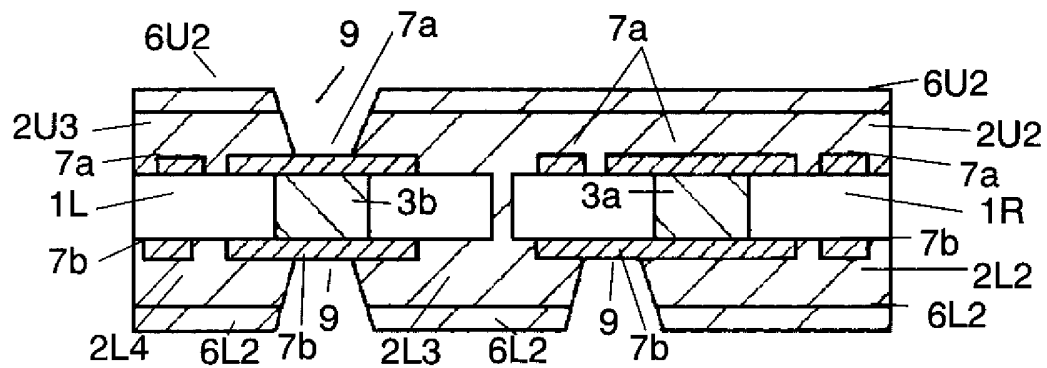
[図4A]



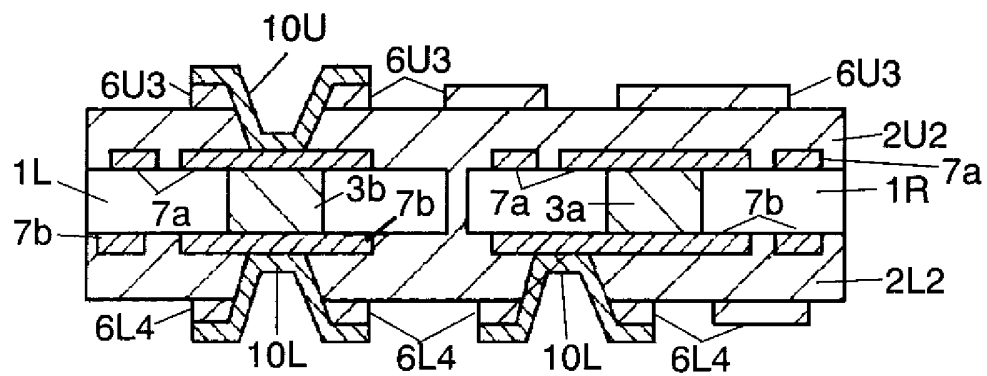
[図4B]



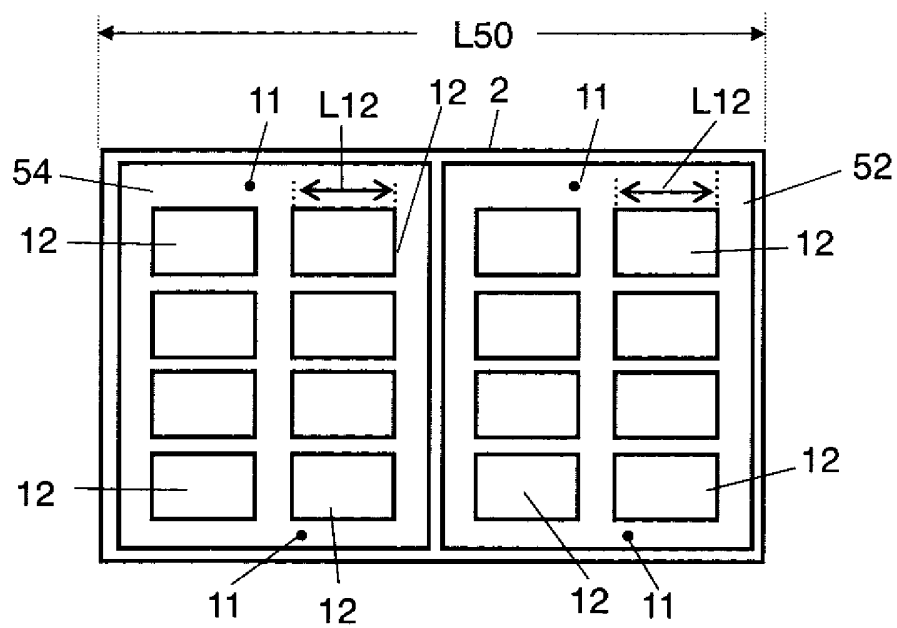
[図4C]



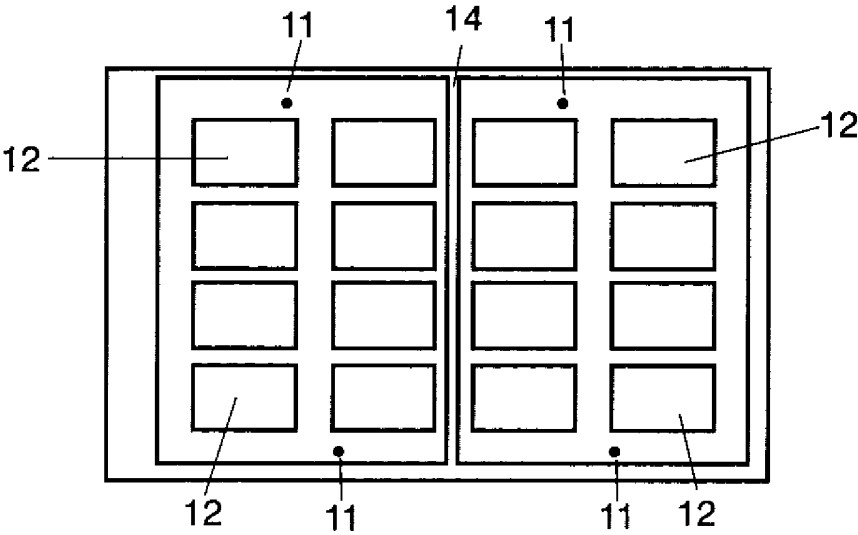
[図4D]



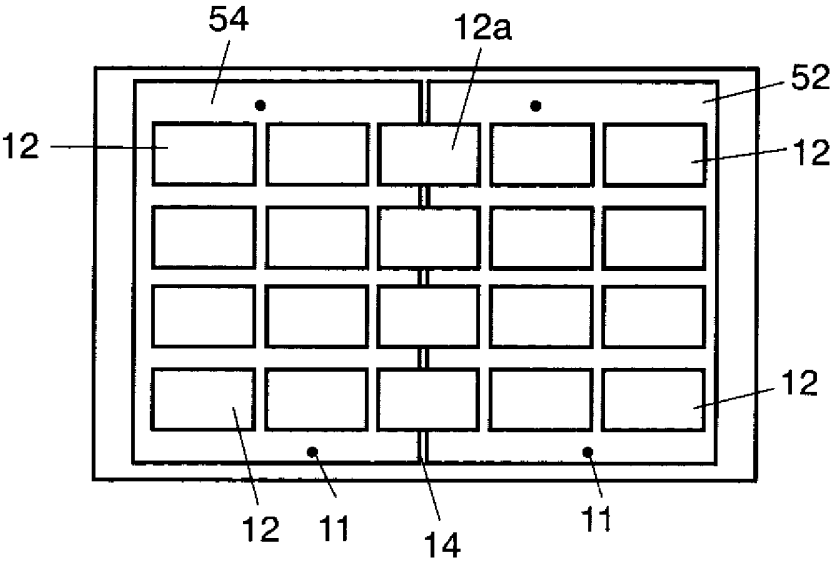
[図5A]



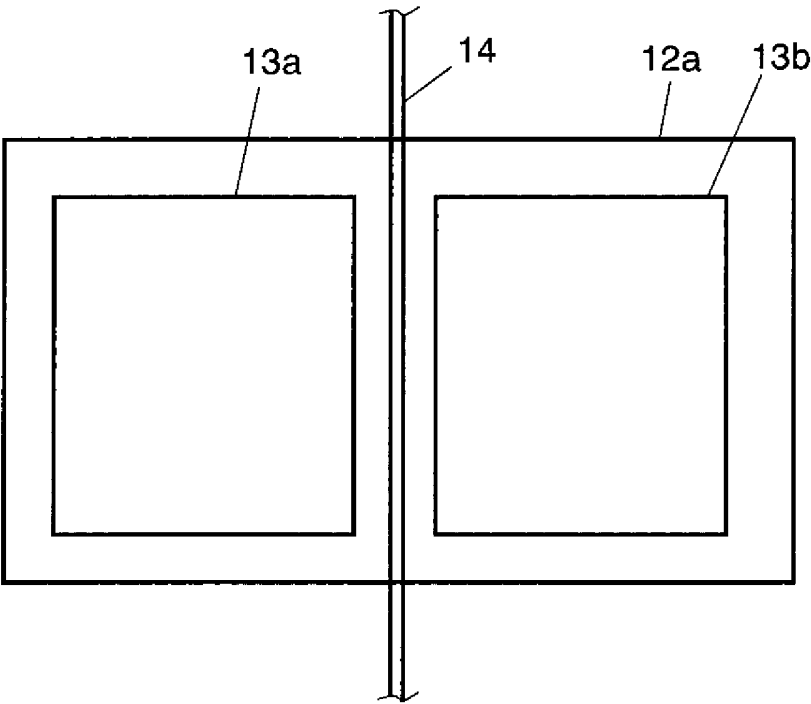
[図5B]



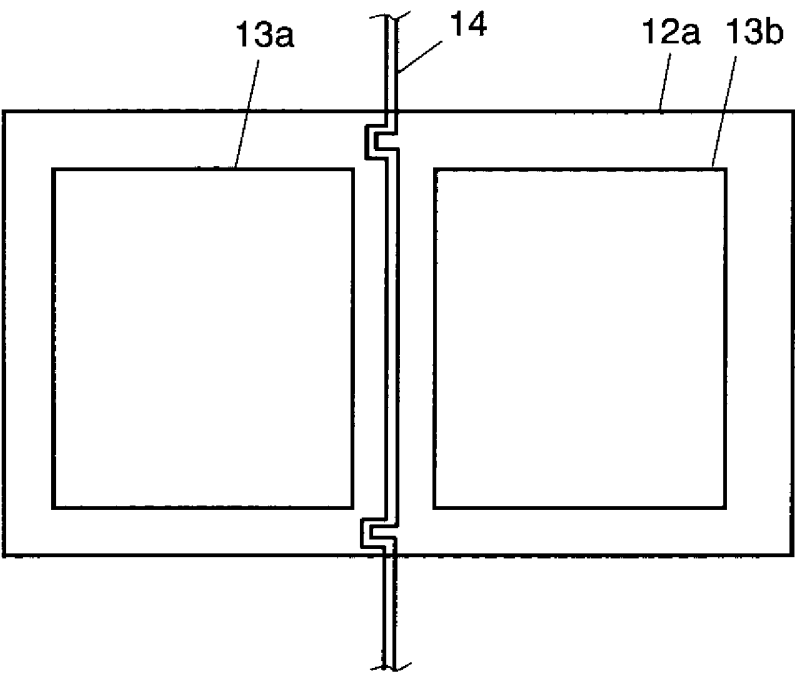
[図5C]



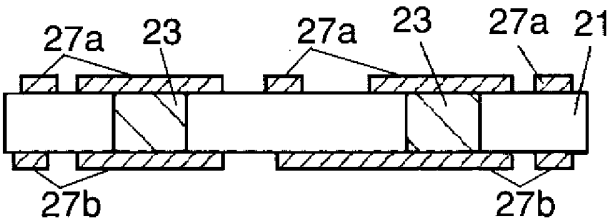
[図6]



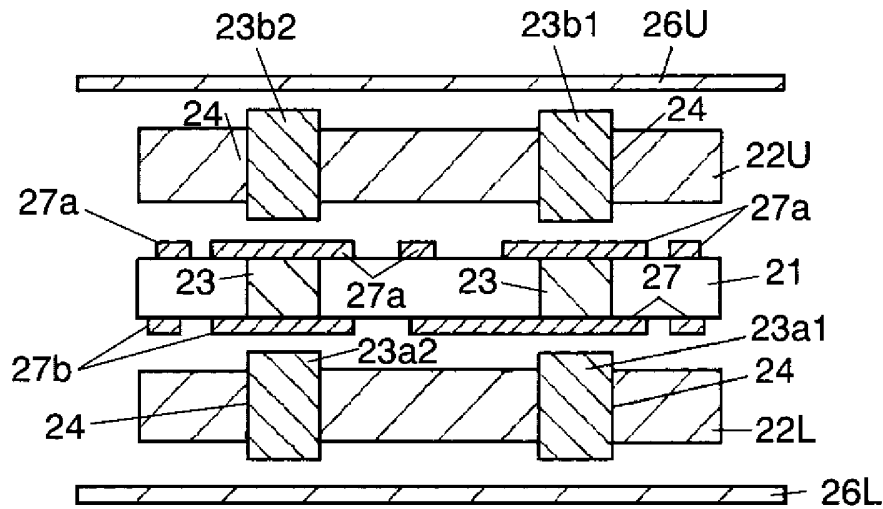
[図7]



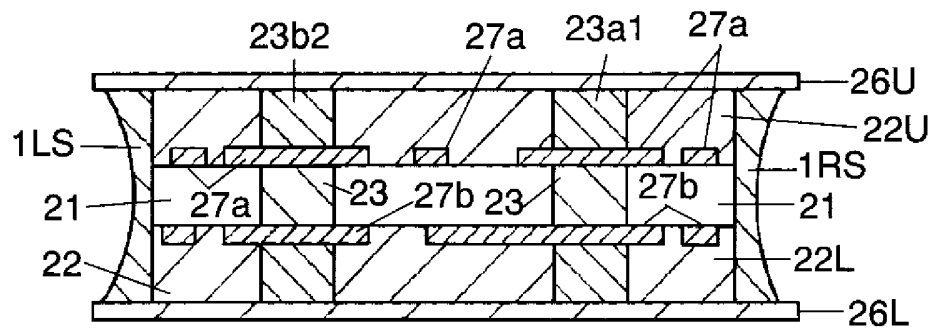
[図8A]



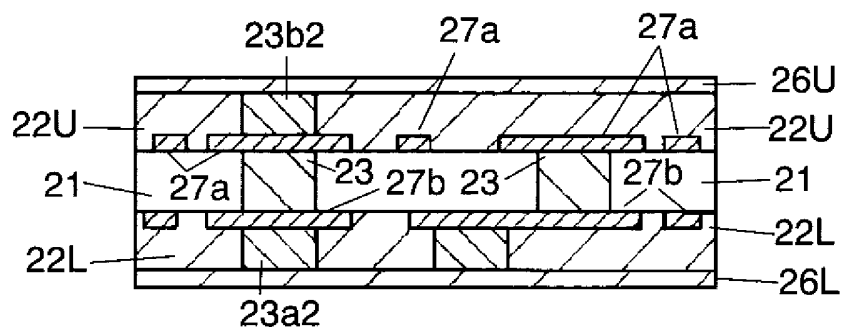
[図8B]



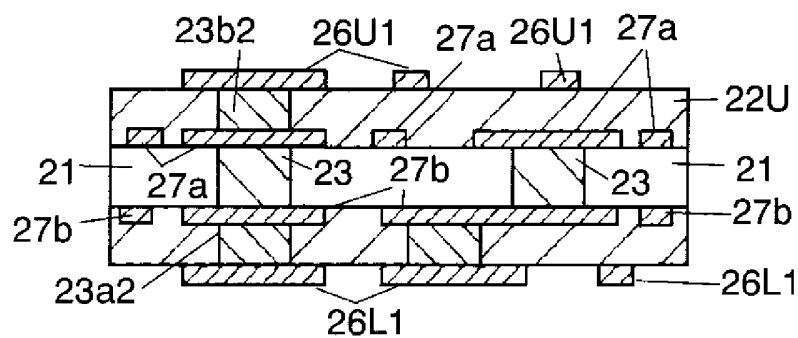
[図8C]



[図8D]



[図8E]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305252

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46 (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-151102 A (Matsushita Electric Industrial Co., Ltd.), 30 May, 2000 (30.05.00), (Family: none)	1, 2, 4, 6, 8, 9 5, 16
X Y	JP 2001-24326 A (Hitachi Chemical Co., Ltd.), 26 January, 2001 (26.01.01), (Family: none)	1, 3, 6, 10-13, 15 16
X Y	JP 4-286188 A (Matsushita Electric Works, Ltd.), 12 October, 1992 (12.10.92), (Family: none)	1, 3, 7, 9-15 16

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 June, 2006 (01.06.06)Date of mailing of the international search report
13 June, 2006 (13.06.06)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/305252

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-307246 A (Matsushita Electric Industrial Co., Ltd.), 02 November, 2000 (02.11.00), (Family: none)	5, 16
X	JP 2000-133912 A (Matsushita Electric Works, Ltd.), 12 May, 2000 (12.05.00), Fig. 7 (Family: none)	1, 2, 6, 8

A. 発明の属する分野の分類 (国際特許分類 (I P C)) Int.Cl. H05K3/46 (2006. 01)			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (I P C)) Int.Cl. H05K3/46 (2006. 01)			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 0 6 年 日本国実用新案登録公報 1 9 9 6 - 2 0 0 6 年 日本国登録実用新案公報 1 9 9 4 - 2 0 0 6 年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X Y	J P 2 0 0 0 - 1 5 1 1 0 2 A (松下電器産業株式会社) 2 0 0 0 . 0 5 . 3 0 (ファミリーなし)	1, 2, 4, 6, 8, 9 5, 16	
X Y	J P 2 0 0 1 - 2 4 3 2 6 A (日立化成工業株式会社) 2 0 0 1 . 0 1 . 2 6 (ファミリーなし)	1, 3, 6, 10-13, 15 16	
X Y	J P 4 - 2 8 6 1 8 8 A (松下電工株式会社) 1 9 9 2 . 1 0 . 1 2 (ファミリーなし)	1, 3, 7, 9-15 16	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 0 1 . 0 6 . 2 0 0 6		国際調査報告の発送日 1 3 . 0 6 . 2 0 0 6	
国際調査機関の名称及びあて先 日本国特許庁 (I S A / J P) 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 黒石 孝志	3 S 9 5 2 7
		電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線	3 3 8 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2000-307246 A (松下電器産業株式会社) 2000. 11. 02 (ファミリーなし)	5, 16
X	J P 2000-133912 A (松下電工株式会社) 2000. 05. 12, 図7 (ファミリーなし)	1, 2, 6, 8