RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 514 531**
(A n'utiliser que pour les commandes de reproduction).

A1

DEMANDE DE BREVET D'INVENTION

(21) **N° 82 17091**

(54) **Procédé pour corriger la gradation de données de sortie, utilisé dans un système de traitement numérique d'images.**

(51) Classification internationale (Int. Cl.³). **G 06 K 9/36; G 06 F 3/13.**

(22) Date de dépôt..... 12 octobre 1982.

(33) (32) (31) Priorité revendiquée : *JP, 13 octobre 1981, n° 56-162016.*

(41) Date de la mise à la disposition du public de la demande..... B.O.P.I. — « Listes » n° 15 du 15-4-1983.

(71) Déposant : Société dite : DAINIPPON SCREEN SEIZO KABUSHIKI KAISHA. — JP.

(72) Invention de : Mitsuhiko Yamada.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Netter,
40, rue Vignon, 75009 Paris.

Procédé pour corriger la gradation de données de sortie, utilisé dans un système de traitement numérique d'images.

La présente invention concerne un procédé pour corriger la gradation de données de sortie pour reproduire l'image d'un document de façon à compenser une perte du pouvoir de résolution de la gradation des données de sortie, ou la régularité de la gradation de l'image de reproduction, utilisé dans un système de traitement numérique d'images,dans lequel les données d'images sont traitées en utilisant une ou plusieurs mémoires tabulaires de consultation alignées en série.

Dans un traitement numérique d'imagesclassique utilisant des mémoires tabulaires de consultation alignées en série , notamment comportant au moins une mémoire tabulaire de consultation ayant des caractéristiques entrée-sortie non linéaires, le pouvoir de résolution de la gradation des données de sortie se détériore, et il en résulte que la gradation des images de reproduction obtenues se détériore également.

Les figures 1 et 2 montrent des courbes A et B représentant les caractéristiques entrée-sortie de mémoires tabulaires de consultation classiques, qui sont alignées en série et sont utilisées dans un système de traitement numérique d'images classique.

Les figures 3 et 4 montrent des parties des courbes carac-

téristiques A et B de la figure 1 et 2, agrandies à l'échelle unitaire d'un bit de moindre signification, c'est-à-dire de plus faible poids (LSB).

Tout d'abord, lorsque des données d'entrée X_0, X_1, X_2, etc. sont entrées dans la mémoire tabulaire de consultation de la figure 3 en t_0, t_1, t_2, ... , comme le montre la figure 5, il sort des données Y_0, Y_1, Y_2, ... consécutivement. Ensuite, lorsque les données de sortie Y_0, Y_1, Y_2, ... sont entrées dans la mémoire tabulaire de consultation de la figure 4, il sort finalement des données Z_1, Z_4, Z_7, ... Cependant, comme on le voit sur la figure 6, les données de sortie obtenues possèdent un pouvoir de résolution très inférieur aux données entrées originelles.

C'est un but de la présente invention de procurer un procédé pour corriger la gradation des données de sortie pour reproduire une image de document, utilisé dans un système de traitement numérique d'images, dans lequel les données d'images sont traitées en utilisant une ou plusieurs mémoires tabulaires de consultation alignées en série, ne présentant pas les défauts et inconvénients précités, qui peut compenser une perte de pouvoir de résolution de la gradation des données de sortie des mémoires tabulaires de consultation, et est capable d'obtenir une image de reproduction ayant une gradation fine et régulière.

La présente invention propose donc un procédé pour corriger la gradation des données de sortie pour reproduire une image de document, utilisé dans un système de traitement numérique d'images, dans lequel les données d'images sont traitées en utilisant une ou plusieurs mémoires tabulaires de consultation alignées en série , ce procédé comportant l'amélioration se caractérisant en ce qu'on ajoute un nombre variable de bits inférieurs de données d'entrée à entrer dans la mémoire tabulaire de consultation comme données de correction, le nombre de bits inférieurs des données d'entrée variant en fonction des données d'entrée et des caractéristiques entrée-sortie de

la mémoire tabulaire de consultation unique ou des caractéristiques totales entrée-sortie de la multiplicité de mémoires tabulaires de consultation, de façon à sortir des données de sortie de la mémoire tabulaire de consultation unique ou de la multiplicité de telles mémoires.

L'invention sera mieux comprise à la lecture de la description détaillée, donnée ci-après à titre d'exemple seulement, de plusieurs réalisations préférées, en liaison avec le dessin joint, sur lequel :

les figures 1 et 2 sont des graphiques montrant les courbes caractéristiques entrée-sortie de mémoires tabulaires de consultation classiques;

les figures 3 et 4 montrent des parties des courbes caractéristiques entrée-sortie des figures 1 et 2, à plus grande échelle;

la figure 5 montre une réalisation de données d'entrée avec référence au temps, qui sont entrées dans les mémoires tabulaires de consultation des figures 1 et 2;

la figure 6 montre une réalisation des données de sortie avec référence au temps, qui sont obtenues finalement de manière classique;

la figure 7 est un schéma-bloc d'une réalisation d'un circuit mettant en oeuvre un procédé selon la présente invention;

la figure 8 est un graphique montrant une courbe caractéristique totale entrée-sortie d'un groupe de mémoires tabulaires de consultation représentées sur la figure 7;

la figure 9 montre une réalisation d'un circuit discriminateur de la figure 7;

la figure 10 montre une réalisation d'un circuit de décalage de bits de la figure 7;

la figure 11 est un schéma-bloc d'une autre réalisation d'un circuit pour mettre en oeuvre un procédé selon la présente invention; et

les figures 12a et 12b montrent une réalisation de données d'entrée et de données de sortie de la figure 11.

En se reportant au dessin , on voit sur la figure 6 une réalisation d'un circuit pour mettre en oeuvre un procédé selon la présente invention; ce circuit comporte un registre à décalage 1, un circuit de prédétermination 2 fixant par avance des valeurs a_1, a_2 et a_3 pour diviser les données d'entrée en une multiplicité de zones S_1, S_2, S_3 et S_4, comme on le voit sur la figure 8, un circuit discriminateur 3 qui compare les données d'entrée envoyées du registre à décalage 1 avec les valeurs fixées par le circuit de prédétermination 2 et distingue dans quelle zone S_1, S_2, S_3 ou S_4 sont incluses les données d'entrée, un circuit de décalage de bits 4 qui sélectionne un signal de correction ayant un nombre de bits approprié fonction d'un signal de discrimation émis par le circuit discriminateur 3, un groupe de mémoires tabulaires de consultation 5, et un additionneur 6.

La raison pour laquelle une telle discrimination est exigée apparaîtra en considérant un exemple dans lequel le pouvoir de résolution de gradation est corrigé en ajoutant également les trois bits inférieurs des données d'entrée comme données de correction aux données de sortie sortant du groupe de mémoires tabulaires de consultation 5 comme suit.

Lorsque les données d'entrée sont comprises dans la zone S_1, dans laquelle la variation des données de sortie par rapport aux données d'entrée est approximativement un bit, les données de correction sont ajoutées au-delà d'une plage mobile de don-

nées principales, d'où il résulte une correction excessive. D'autre part, lorsque les données d'entrée sont incluses dans la zone S_4, dans laquelle la variation des données de sortie par rapport aux données d'entrée est très importante, les données de correction des trois bits inférieurs ne suffisent pas, d'où il résulte une correction insuffisante.

Selon la présente invention, afin de résoudre ce problème, à savoir une correction excessive ou insuffisante, il est distingué où les données d'entrée sont incluses dans une des zones caractéristiques totales entrée-sortie du groupe de mémoires tabulaires de consultation dans le circuit discriminateur 3 qui émet en conséquence un signal de discrimination. Ensuite, en fonction du signal de discrimination, les données de correction ayant le nombre de bits inférieurs approprié sont ajoutées aux données de sortie ou en sont soustraites, éliminant ainsi la correction excessive ou la correction insuffisante.

Maintenant, lorsqu'une donnée d'entrée de huit bits est verrouillée une fois dans le registre à décalage 1 et en est ensuite sortie à un moment approprié par un signal d'impulsion émis par un générateur d'impulsions de temps (non représenté), la donnée d'entrée est comparée, dans le circuit discriminateur 3, aux valeurs fixées dans le circuit de prédétermination 2, et ensuite, en fonction des valeurs du résultat de la comparaison, on distingue dans quelles zones obtenues en divisant l'axe d'entrée des caractéristiques totales entrée-sortie du groupe de mémoires tabulaires de consultation 5 en une multiplicité de parties, on inclut la donnée entrée.

Comme on le voit sur la figure 9, le circuit discriminateur 3 comporte des comparateurs 7, 8 et 9, des inverseurs 10, 11 et 12 et des portes ET 13, 14, 15 et 16.

Cependant, lorsque les caractéristiques totales entrée-sortie du groupe de mémoires tabulaires de consultation 5

sont exprimées par une courbe telle que représentée sur la figure 8, dans le circuit discriminateur 3 représenté sur la figure 9, une donnée d'entrée D_0 est comparée avec les valeurs préfixées a_1, a_2 et a_3 dans les comparateurs 7, 8 et 9, respectivement, $(0 < a_1 < a_2 < a_3)$, et ensuite, en fonction des valeurs de la comparaison entre la donnée entrée D_0 et les valeurs préfixées a_1, a_2 et a_3, une des portes ET 13, 14, 15 et 16 émet un signal de discrimination de haut niveau.

Autrement dit, lorsque la donnée entrée D_0 satisfait la condition : $D_0 < a_1$, les comparateurs 7, 8 et 9 envoient des signaux de bas niveau et ainsi la porte ET 10 émet le signal de discrimination. De la même manière que décrit ci-dessus, lorsque $a_1 \leqq D_0 < a_2$, la porte ET 15 émet ce signal; lorsque $a_2 \leqq D_0 < a_3$, c'est la porte 14 qui l'émet; et lorsque $a_3 \leqq D_0$, c'est la porte 13 qui l'émet. Le signal de discrimination est amené au circuit de décalage de bits 4.

La figure 10 montre une réalisation du circuit de décalage de bits 4, et comporte des portes ET 17, 18, et 19, et des inverseurs 20, 21 et 22. Le quatrième bit, le troisième bit et le deuxième bit des quatre bits inférieurs de la donnée d'entrée de huit bits, qui est sortie du registre à décalage 1 au moment voulu, sont amenés à une borne d'entrée des portes ET 17, 18 et 19.

Maintenant, si $D_0 \geqq a_3$, la porte ET 13 émet le signal de discrimination de haut niveau et ainsi les signaux de bas niveau sont amenés aux bornes d'entrée Q_1, Q_2 et Q_3 des inverseurs 20, 21 et 22 des portes ET 14, 15 et 16 du circuit discriminateur 3, comme on le voit sur la figure 10; ensuite, les inverseurs 20, 21 et 22 inversent les signaux de bas niveau et envoient des signaux de haut niveau aux portes ET respectives 17, 18 et 19. De ce fait, le circuit de décalage de bits 4 envoie les données de correction correspondant aux quatre bits inférieurs de la donnée d'entrée D_0.

Lorsque $a_2 \leqq D_0 < a_3$, la porte ET 14 envoie le signal de discrimination de haut niveau à la borne Q_3 et, de ce fait, les signaux de bas niveau sont envoyés aux autres bornes Q_1, Q_2 et Q_4. En conséquence, le circuit de décalage de bits 4 envoie la donnée de correction correspondant aux trois bits inférieurs de la donnée d'entrée D_0. Lorsque $a_1 \leqq D_0 < a_2$, le circuit de décalage de bits 4 envoie la donnée de correction correspondant aux deux bits inférieurs de la donnée d'entrée D_0 de la même manière que ci-dessus.

En outre, lorsque $D_0 < a_1$, la porte ET 16 émet le signal de discrimination de haut niveau, et le circuit de décalage de bits 4 envoie la donnée de correction correspondant au bit inférieur de la donnée d'entrée D_0. Dans ce cas, la donnée de correction n'est pas significative et, en conséquence, on peut admettre qu'aucune donnée de correction ne sort du circuit de décalage de bits 4, ou que la donnée de correction correspondant aux deux bits inférieurs de la donnée d'entrée D_0 est émise par le circuit de décalage de bits 4.

On comprend aisément de la description précédente que le circuit de décalage de bits 4 règle la valeur de la donnée de correction, c'est-à-dire le nombre de bits inférieurs de la donnée d'entrée à ajouter à la donnée de sortie sortant du groupe de mémoires tabulaires de consultation 5 en fonction des caractéristiques totales entrée-sortie du groupe de mémoires 5 et de la donnée d'entrée correspondant à la donnée de sortie.

La donnée de correction sortant du circuit de décalage de bits 4 est alors envoyée à l'additionneur 6 et est additionnée à la donnée de sortie sortant du groupe de mémoires tabulaires de consultation 5, compensant ainsi ou récupérant la perte de pouvoir de résolution de la gradation des données de sortie, causée dans le groupe de mémoires tabulaires de consultation 5.

La figure 11 montre une autre réalisation d'un circuit pour mettre en oeuvre un procédé selon la présente invention; ce circuit est fondamentalement réalisé comme celui représenté sur la figure 7, sauf qu'il comporte en outre un générateur de données centrales 23, un comparateur 24, un soustracteur 25 et un circuit de complémentarité 26 comme décrit ci-après en détail.

Bien que, dans la première réalisation décrite ci-dessus, la donnée de correction sortant du circuit de décalage de bits 4 est directement additionnée à la donnée de sortie correspondante du groupe de mémoires tabulaires de consultation 5, récupérant ainsi la chute de pouvoir de résolution de la gradation des données de sortie qui est perdue dans le groupe de mémoires 5, cependant, dans la deuxième réalisation représentée sur la figure 11, la correction de gradation s'effectue comme suit.

Dans cette réalisation, la donnée de correction à ajouter à la donnée de sortie du groupe de mémoires tabulaires est comparée à une donnée centrale d'une région de données exprimées par le nombre de bits de la donnée de correction; par exemple, la donnée centrale est 1000 lorsque le nombre de bits de la donnée de correction est 4 bits, et ensuite, en fonction du rapport entre les deux données, la donnée de correction est correctement additionnée à la donnée de sortie du groupe de mémoires ou en est soustraite, récupérant ainsi la chute de pouvoir de résolution de la gradation des données de sortie, qui est perdue dans le groupe de mémoires tabulaires, comme il est décrit ci-après.

Sur la figure 11, les repères 1 à 6 désignent les mêmes éléments que ceux de la figure 7. Le générateur de données centrales 23 émet une donnée centrale de la région de données exprimée par le nombre de bits de la donnée de correction en fonction du signal de discrimination sortant du circuit discriminateur 3. Le comparateur 24 compare la donnée de

correction à la donnée centrale. Le soustracteur 25 soustrait la donnée centrale de la donnée de correction lorsque cette dernière est supérieure à la première ou soustrait la donnée de correction de la donnée centrale lorsque cette dernière est supérieure à la première, en fonction du résultat de la comparaison dans le comparateur 24. Le circuit de complémentarité 26 sort le résultat de soustraction du soustracteur 25 comme complément à "2" lorsque la donnée centrale est supérieure à la donnée de correction.

De ce fait, lorsque le circuit de décalage de bits 4 envoie la donnée de correction au comparateur 24, celui-ci compare la donnée de correction à la donnée centrale, et ensuite le soustracteur 25 effectue la soustraction décrite ci-dessus en fonction de la valeur du résultat de comparaison dans le comparateur 24.

La donnée de sortie sortant du soustracteur 25 est envoyée à l'additionneur 6 par l'intermédiaire du circuit de complémentarité 26, dans lequel la donnée de sortie du soustracteur 25 est convertie en le complément à "2" seulement si la donnée centrale est supérieure à la donnée de correction, comme décrit ci-dessus. L'additionneur 6 additionne la donnée sortant du circuit de complémentarité 26, à la donnée de sortie correspondante sortant du groupe de mémoires tabulaires 5.

Maintenant, lorsque le circuit de décalage de bits 4 émet la donnée de correction représentée sur la figure 12a, du fait que la donnée de correction, qui est additionnée à la donnée centrale ou en est soustraite, est additionnée à la donnée de sortie dans l'additionneur 6, la donnée de sortie, dont la gradation est plus similaire à celle de la donnée d'entrée, ce qui différe du procédé de la première réalisation décrite ci-dessus, est obtenue comme on le voit sur la figure 12b.

Le procédé de la présente invention peut bien entendu être appliqué à un système de traitement numérique d'images comportant seulement une mémoire tabulaire de consultation.

Revendications.

1. Procédé pour corriger la gradation des données de sortie pour reproduire une image de document, utilisé dans un système de traitement numérique d'images,dans lequel les données d'images sont traitées en utilisant une ou plusieurs mémoires tabulaires de consultation alignées en série , caractérisé en ce qu'on ajoute un nombre variable de bits inférieurs de données d'entrée à entrer dans la mémoire tabulaire de consultation comme donnée de correction, le nombre de bits inférieurs de données d'entrée variant en fonction de données d'entrée et des caractéristiques entrée-sortie de la mémoire tabulaire de consultation ou des caractéristiques totales entrée-sortie de la multiplicité de mémoires tabulaires de consultation, à la donnée de sortie sortant de la mémoire tabulaire de consultation ou de la multiplicité de ces mémoires.

2. Procédé selon la revendication 1, caractérisé en ce que le nombre variable de bits inférieurs des données d'entrée ou des données de correction est comparé à une donnée centrale d'une région de données exprimée par le nombre de bits de la donnée de correction pour obtenir une valeur de différence qui est ajoutée à la place de la donnée de correction à la donnée de sortie sortant de la mémoire tabulaire de consultation oude la multiplicité de ces mémoires.

FIG. 1

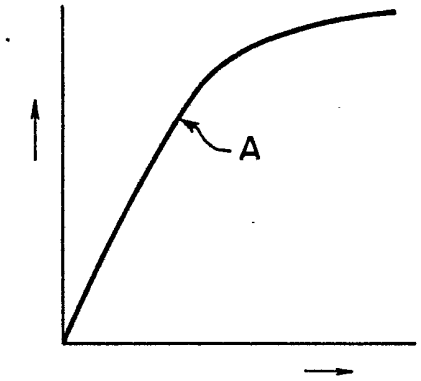


FIG. 2

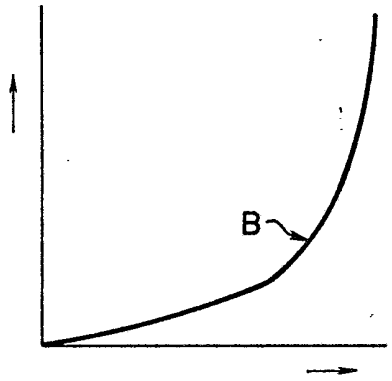


FIG. 3

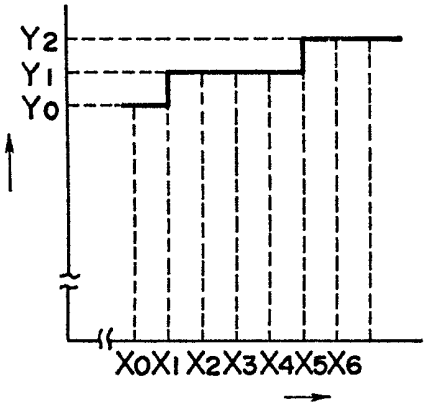


FIG. 4

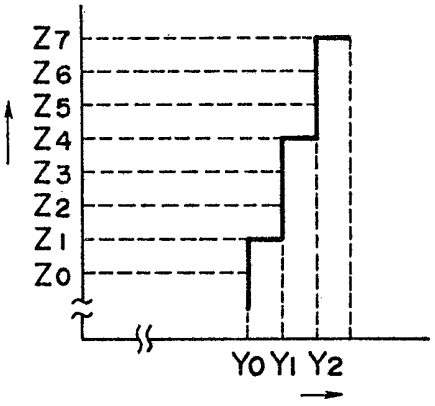


FIG. 5

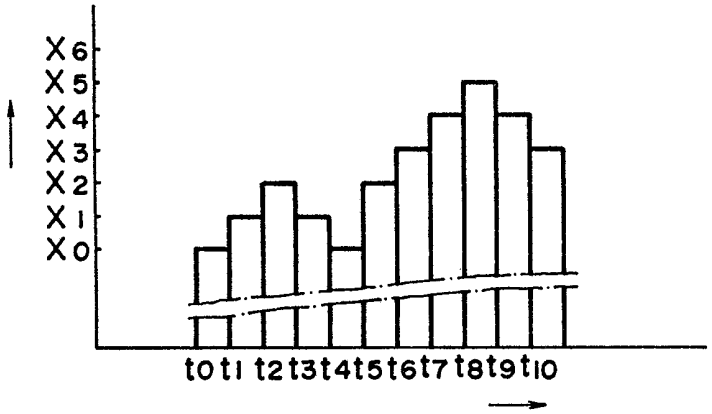


FIG. 6

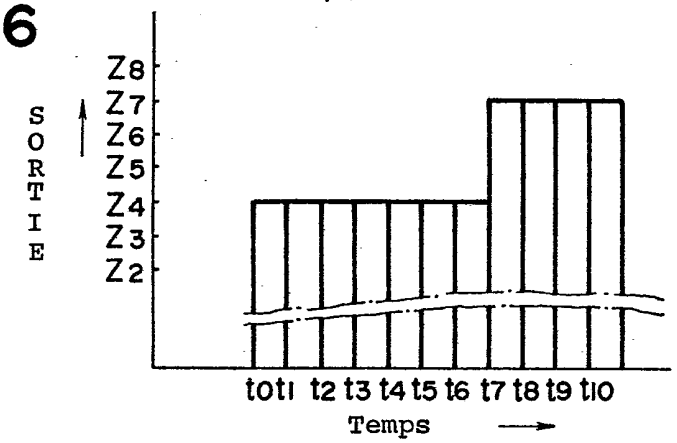


FIG. 7

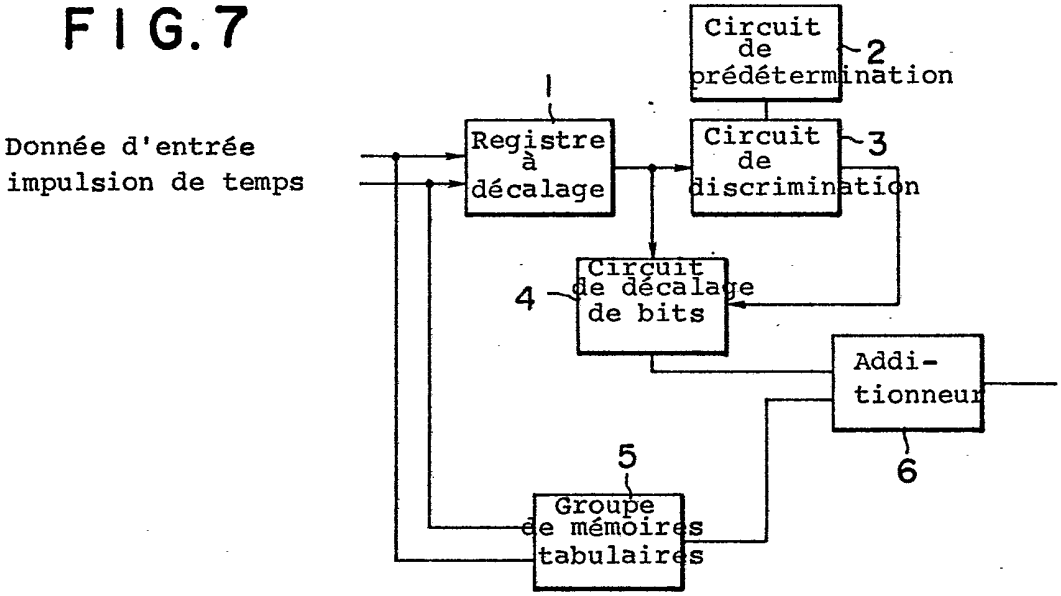


FIG. 8

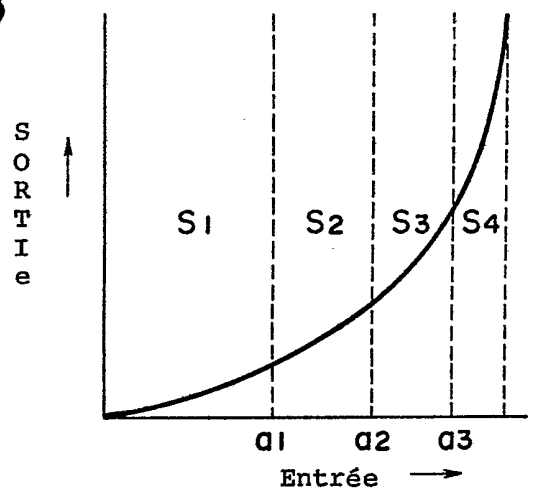


FIG. 9

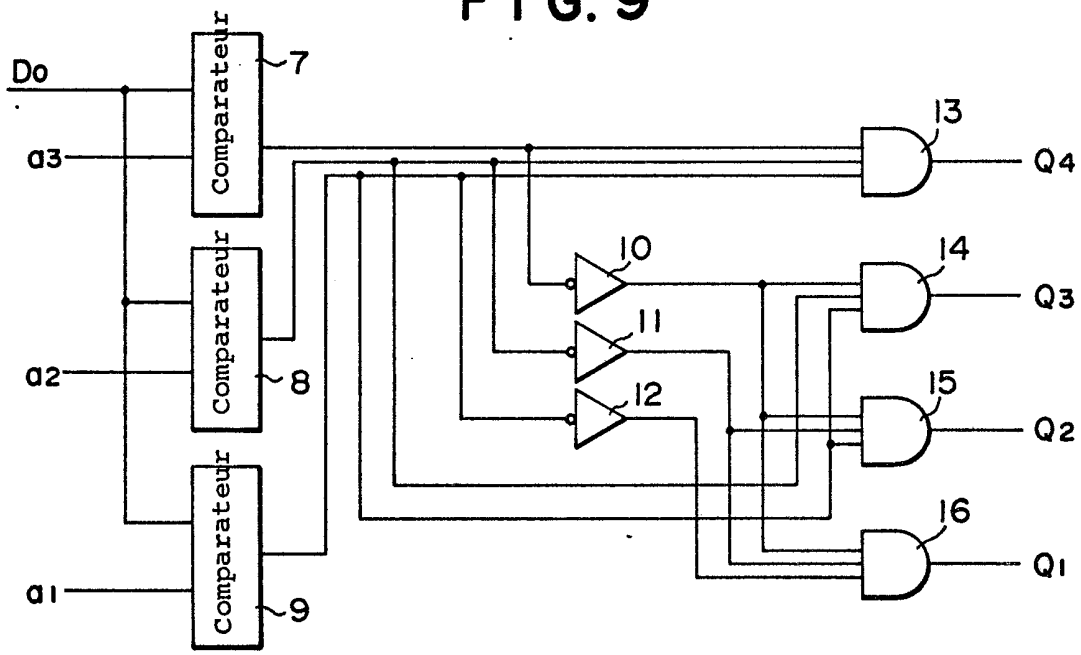

Do
a3
a2
a1
Comparateur
Comparateur
Comparateur
7
8
9
10
11
12
13
14
15
16
Q4
Q3
Q2
Q1

FIG. 10

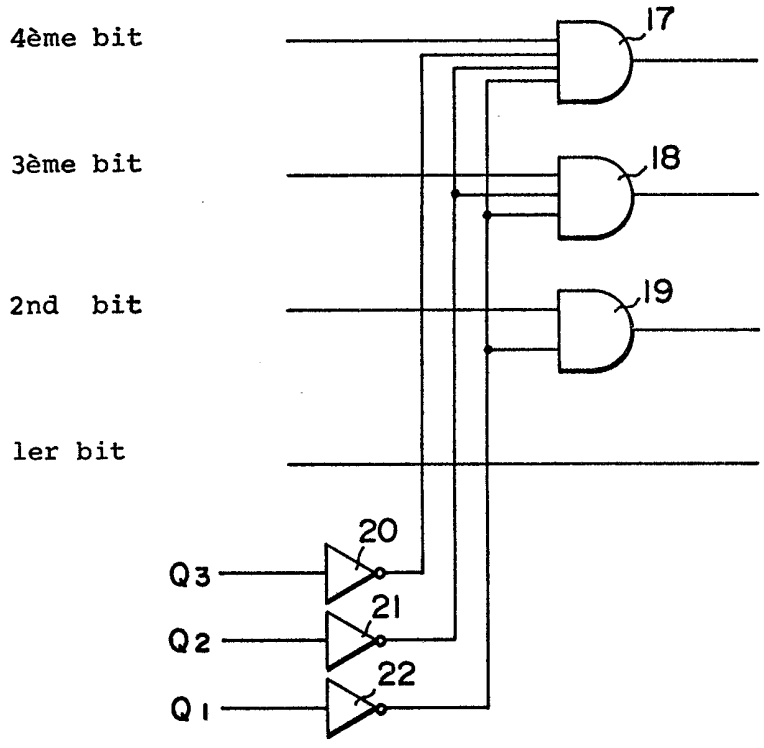

4ème bit
3ème bit
2nd bit
1er bit
Q3
Q2
Q1
17
18
19
20
21
22

FIG.11

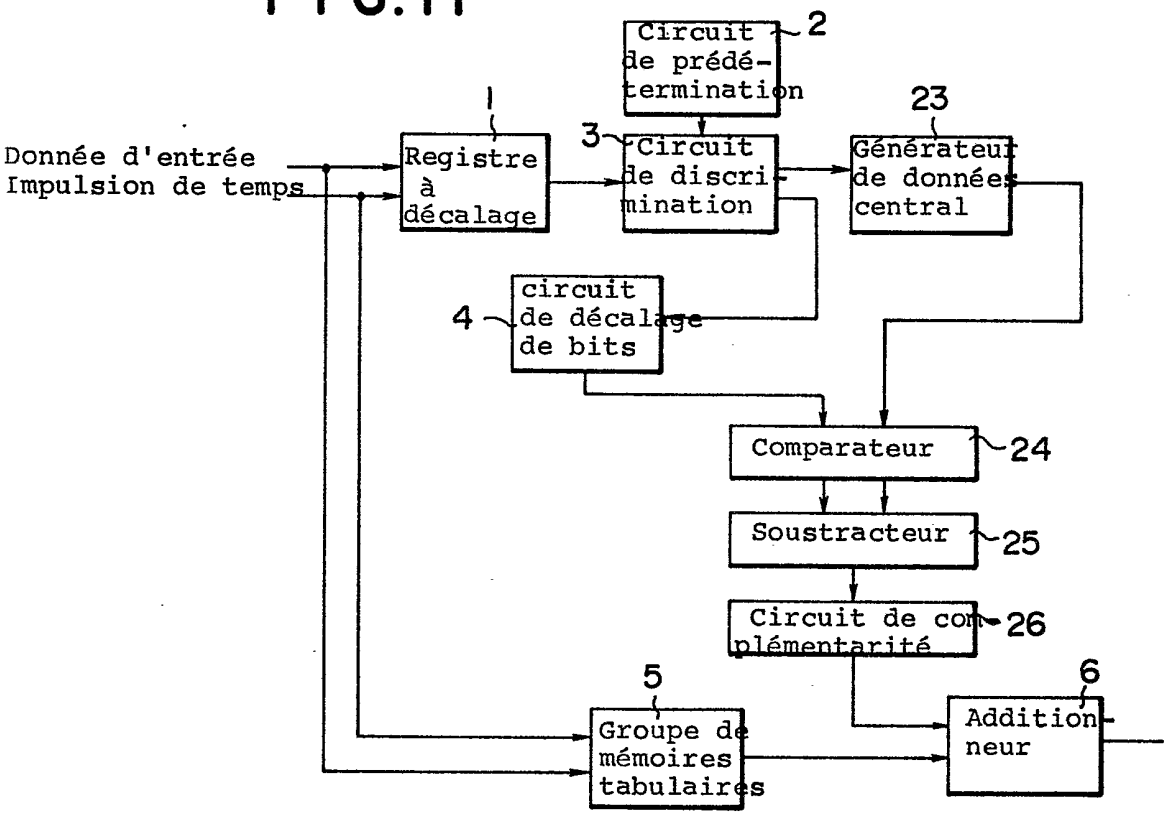
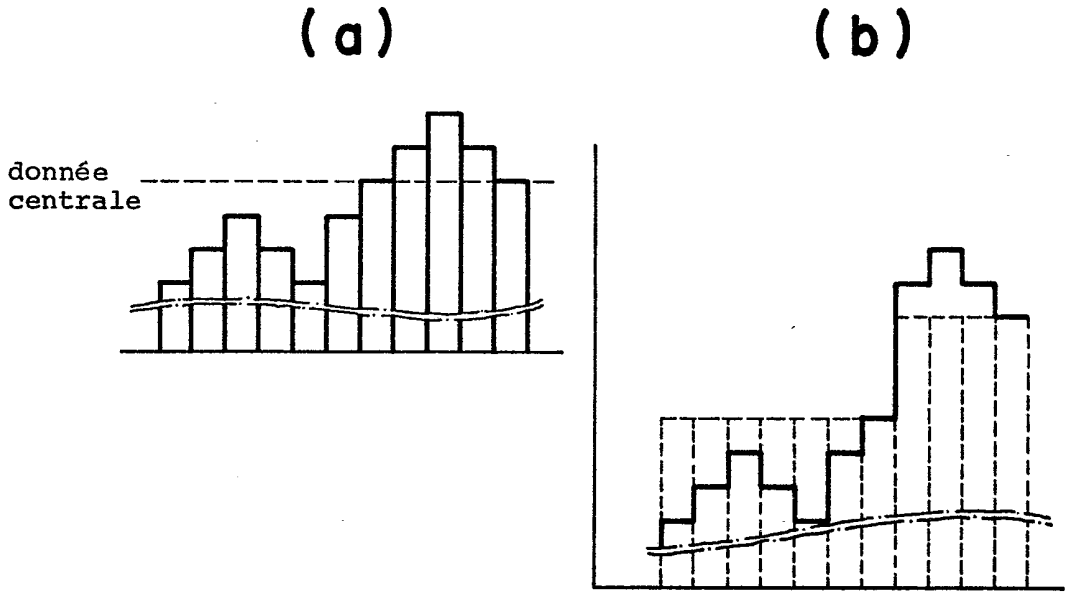

Circuit de prédétermination
2
1
23
3
Donnée d'entrée
Impulsion de temps
Registre à décalage
Circuit de discrimination
Générateur de données central
circuit de décalage de bits
4
Comparateur
24
Soustracteur
25
Circuit de complémentarité
26
5
6
Groupe de mémoires tabulaires
Additionneur

FIG.12


(a)
(b)
donnée centrale