



[12] 发明专利申请公开说明书

[21] 申请号 200410049554.7

[43] 公开日 2005 年 2 月 16 日

[11] 公开号 CN 1581963A

[22] 申请日 2004.6.16

[21] 申请号 200410049554.7

[30] 优先权

[32] 2003.7.31 [33] JP [31] 2003-284064

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 多田俊树

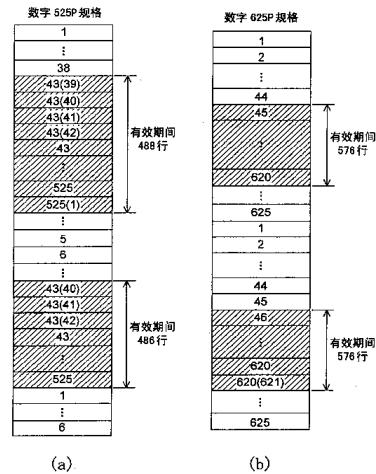
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 汪惠民

权利要求书 4 页 说明书 11 页 附图 8 页

[54] 发明名称 图像信号处理电路

[57] 摘要

本发明提供一种将以模拟视频规格为标准的图像信号数据转换为数字视频格式，从而得到数字值的顺序数据的图像信号处理电路，即使模拟顺序规格与数字顺序规格之间的两个图像显示期间存在偏差，也可以在以数字顺序规格为标准的所有图像显示期间内输出有效的图像数据。在从以模拟视频规格为标准的图像信号数据得到数字值的顺序数据时，在数字顺序规格图像显示期间(有效期间 = 486 行)(例如，第二半帧的第 40 ~ 第 525 行)中的、相当于模拟顺序规格的非图像显示期间(例如，第二半帧的第 40 ~ 第 42 行)中，利用和进入模拟顺序规格的图像显示期间不久的数据(第 43 行的数据)相同的数据来进行插补。



- 1、一种图像信号处理电路，其特征在于，包括：
5 视频缓冲存储器，其保持以模拟图像信号规格为标准的图像信号数据；和
 模拟信号处理部，其将所述视频缓冲存储器所输出的、以模拟图像信号规格为标准的图像信号数据转换为模拟视频格式，得到模拟值的顺序数据，
10 同时包括：
 数字信号处理部，其将所述视频缓冲存储器所输出的、以模拟图像信号规格为标准的图像信号数据转换为数字视频格式，以得到数字值的顺序数据；和
 视频缓冲存储器控制部，其在输出来自所述视频缓冲存储器的以模拟图像信号规格为标准的图像信号数据时，按照所述数字信号处理部中的数字视频格式的种类，控制所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据的输出，以便插补来自所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据。
20 2、根据权利要求 1 所述的图像信号处理电路，其特征在于，
 所述模拟信号处理部生成模拟图像显示期间信号，所述数字信号处理部生成数字图像显示期间信号，
 所述视频缓冲存储器控制部根据来自所述模拟信号处理部和数字信号处理部的模拟图像显示期间信号和数字图像显示期间信号，由硬件来控制所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据的输出。
25 3、根据权利要求 1 所述的图像信号处理电路，其特征在于，
 所述视频缓冲存储器控制部，根据所述数字信号处理部中的数字图像信号数据的目前的处理行、所述数字信号处理部中的数字视频格式以及所述模拟信号处理部中的模拟视频格式，由软件来控制所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据的输出。

4、根据权利要求 1 所述的图像信号处理电路，其特征在于，
所述视频缓冲存储器控制部，在所述视频缓冲存储器所输出的、以模
拟图像信号规格为标准的图像信号数据为所述模拟信号处理部的模拟视
频格式上的非图像显示期间中的数据，但为所述数字信号处理部的数字视
5 频格式上的图像显示期间中的数据时，利用和存储于所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据相同的数据来插补所述数
字视频格式上的图像显示期间中的数据。

5、根据权利要求 4 所述的图像信号处理电路，其特征在于，
所述视频缓冲存储器控制部，利用存储在所述视频缓冲存储器的、以
10 模拟图像信号规格为标准的图像信号数据中的、和进入模拟视频格式上的
图像显示期间不久的以模拟图像信号规格为标准的图像信号数据相同的数据，
来插补所述数字视频格式上的图像显示期间中的数据。

6、根据权利要求 4 所述的图像信号处理电路，其特征在于，
所述视频缓冲存储器控制部，利用存储在所述视频缓冲存储器的、以
15 模拟图像信号规格为标准的图像信号数据中的、和进入模拟视频格式上的
非图像显示期间之前的以模拟图像信号规格为标准的图像信号数据相同的数据，
来插补所述数字视频格式上的图像显示期间中的数据。

7、根据权利要求 4 所述的图像信号处理电路，其特征在于，
所述视频缓冲存储器控制部，在所述数字视频格式上的图像显示期间
20 和所述模拟视频格式上的非图像显示期间不一致，且偏在以模拟图像信号
规格为标准的图像信号数据的高位一侧时，将保持在所述视频缓冲存储器的、
以模拟图像信号规格为标准的图像信号数据移位到所定行的高位一
侧，并利用该移位到高位一侧的、以模拟图像信号规格为标准的图像信号
数据，来插补所述数字视频格式上的图像显示期间中的数据，以使其在高
25 位一侧和低位一侧中均等。

8、根据权利要求 7 所述的图像信号处理电路，其特征在于，所述视
频缓冲存储器控制部，利用移位到所述视频缓冲存储器高位一侧的、以模
拟图像信号规格为标准的图像信号数据中的、和进入模拟视频格式上的图
像显示期间不久的以模拟图像信号规格为标准的图像信号数据相同的数据，
30 来插补所述数字视频格式上的图像显示期间中的数据。

9、根据权利要求 4 所述的图像信号处理电路，其特征在于，
所述视频缓冲存储器控制部，利用移位到所述视频缓冲存储器高位一侧的、以模拟图像信号规格为标准的图像信号数据中的、和进入模拟视频格式上的非图像显示之前的以模拟图像信号规格为标准的图像信号数据 5 相同的数据，来插补所述数字视频格式上的图像显示期间中的数据。

10 10、根据权利要求 1 所述的图像信号处理电路，其特征在于，
所述模拟信号处理部具有输出调整功能：接收从所述视频缓冲存储器输出且由所述视频缓冲存储器控制部进行插补的、以模拟图像信号规格为标准的图像信号数据；遮蔽所述所接收的以模拟图像信号规格为标准的图像信号数据中的、所述模拟视频格式上的非图像显示期间内的数据。

15 11、根据权利要求 1 所述的图像信号处理电路，其特征在于，
所述模拟信号处理部接收从所述视频缓冲存储器输出且未由所述视频缓冲存储器控制部插补的、以模拟图像信号规格为标准的图像信号数据，
所述数字信号处理部接收从所述视频缓冲存储器输出且已由所述视频缓冲存储器插补过的、以模拟图像信号规格为标准的图像信号数据。

20 12、根据权利要求 1 所述的图像信号处理电路，其特征在于，
所述视频缓冲存储器控制部控制所述视频缓冲存储器的数据输出，以便将所述已插补的、以模拟图像信号规格为标准的图像信号数据向所定的多行份同时输出，

25 还包括传递函数运算电路，
所述传递函数运算电路接收所述视频缓冲存储器的多行以模拟图像信号规格为标准的图像信号数据，对该多行以模拟图像信号规格为标准的图像信号数据进行所定的插补运算，并向所述数字信号处理部输出该已进行过插补运算的以模拟图像信号规格为标准的图像信号数据。

30 13、根据权利要求 12 所述的图像信号处理电路，其特征在于，
所述视频缓冲存储器控制部在进入模拟视频格式上的图像显示期间不久，同时输出存储于所述视频缓冲存储器的以模拟图像信号规格为标准的图像信号数据中、的所定多行份的以模拟图像信号规格为标准的图像信号数据。

14、根据权利要求 12 所述的图像信号处理电路，其特征在于，
所述视频缓冲存储器控制部在进入模拟视频格式上的非图像显示期
间之前，同时输出存储于所述视频缓冲存储器的以模拟图像信号规格为标
准的图像信号数据中、所定多行份的以模拟图像信号规格为标准的图像信
号数据。
5

图像信号处理电路

5

技术领域

本发明涉及包含用来图像输出的图像插补处理的图像信号处理电路。

背景技术

10 以往，例如在专利文献 1 中记载：利用以模拟视频规格为标准的图像信号数据，进行以数字规格为标准的数字格式转换之后，进行数字输出的图像信号处理电路。图 6 中表示该图像信号处理电路。

15 图 6 所示的图像信号处理电路，由视频缓冲存储器 102、视频缓冲存储器控制部 103 和具有模拟信号处理电路 104 及数字信号处理电路 105 的
图像信号处理部 101 构成。所述视频缓冲存储器 102 保存经过译码处理而
转换为模拟顺序数据后的图像数据。另外，视频缓冲存储器控制部 103 根
据输出格式和模拟数据有效行信号，进行所述视频缓冲存储器 102 内的保
存数据的输出控制。并且，模拟信号处理电路 104 将从所述视频缓冲存储器
20 102 输入的、以模拟视频规格为标准的图像信号数据，转换为模拟格式
而进行模拟输出的信号处理；所述数字信号处理电路 105 将从所述视频缓
冲存储器 102 输入的、以模拟视频规格为标准的图像信号数据，转换为数
字格式而进行数字输出的信号处理。这种将图像信号数据进行模拟输出或
数字输出的电路例如在专利文献 1 中公开。

(专利文献 1)

25 特开 2002—369191 号公报

然而，在上述以往的构成中，从以顺序的模拟视频规格为标准的图像信号数据，进行数字格式转换之后，作为数字输出，因此，无法在整个由顺序的数字视频规格决定的图像显示期间内进行图像数据输出，其结果，尽管是图像信号显示期间，不是输出图像信号数据而是输出黑数据。其原
30 因是由于图 7 所示的模拟视频规格(参考: Rec. ITU—R BT1358 “STUDIO

PARAMETERS OF 625 AND 525 LINE PROGRESSIVE SCAN TELEVISION SYSTEMS") 和图 8 所示的数字视频规格 (参考: Rec. ITU - R BT1362 "INTERFACES FOR DIGITAL COMPONENT VIDEO SIGNALS IN 525-AND 625-LINE PROGRESSIVE SCAN TELEVISION SYSTEMS") 之间, 存在图像显示期间 (有效期间) 的差异。

即, 在模拟视频规格中的图 7 (a) 所示的 NTSC 制式的顺序规格 (模拟 525P 规格) 中, 图像信号显示期间是将所有的半帧在第 43~第 525 行中标准化, 但是, 在数字视频规格中的图 7 (b) 所示的 NTSC 制式的顺序规格 (数字 525P 规格) 中, 将奇数半帧在第 39~下一半帧的第一行中 10 标准化, 将其偶数半帧在第 40~第 525 行中标准化。另外, 模拟视频规格中的 PAL 制式的顺序规格 (模拟 625P 规格) 中, 如图 8 (a) 所示, 图像信号显示期间是将所有半帧在第 45~第 620 行中标准化, 但是, 数字视频规格中的 PAL 制式的顺序规格 (数字 625P 规格) 中, 将奇数半帧在第 45~第 620 行中标准化, 将其偶数半帧在第 46~第 621 行中标准化。

因此, 以往, 在以模拟视频规格为标准的图像数据中, 进行数字格式转换时, 在数字 525P 规格中, 在奇数半帧中不存在到第 39~第 42 行为止及最后的第一行的合计五行份的图像数据, 或在偶数半帧中不存在到第 40~第 42 行为止及最后的第一行的合计三行份的图像数据。其结果, 在不存在这些图像数据的期间中, 输出: 相同于其他空白显示 (blanking) 期间 (非图像显示期间) 的黑数据。同样, 在数字 625P 规格中, 在奇数半帧中虽然一致, 但在偶数半帧中由于第 621 行的数据不足而不存在, 故尽管是图像显示期间, 也输出黑数据。

从而, 在以往, 不能进行以数字视频规格为标准的数字输出。

25 发明内容

本发明的目的在于, 在从模拟视频规格为标准的图像信号数据转换为数字视频规格为标准的数字格式, 并进行数字输出时, 解决模拟视频规格和数字视频规格之间的图像显示期间的差异, 在数字视频规格为标准的图像显示期间中一定输出有效的图像信号。

30 为了达到上述目的, 在本发明中, 通过引入数字视频规格的图像显示

期间的概念而控制来自视频缓冲存储器的、以模拟视频规格为标准的图像信号数据的输出，从而适当地插补向数字信号处理供给的、以模拟视频规格为标准的图像信号数据，获得以数字视频规格为标准的数字顺序信号。

即，本发明之第一方案的图像信号处理电路，其特征在于，包括：保持以模拟图像信号规格为标准的图像信号数据的视频缓冲存储器；和将所述视频缓冲存储器所输出的、以模拟图像信号规格为标准的图像信号数据转换为模拟视频格式，以获得模拟值的顺序数据的模拟信号处理部；同时，还包括：将所述视频缓冲存储器所输出的、以模拟图像信号规格为标准的图像信号数据转换为数字视频格式，以获得数字值的顺序数据的数字信号处理部；在输出来自所述视频缓冲存储器的、以模拟图像信号为标准的图像信号数据时，根据所述数字信号处理部中的数字视频格式的种类，控制来自所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据的输出，以便插补所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据的视频缓冲存储器控制部。

本发明的第二方案的特征在于，在第一方案所述的图像信号处理电路中，所述模拟信号处理部生成模拟图像显示期间信号，所述数字信号处理部生成数字图像显示期间信号，所述视频缓冲存储器控制部根据来自所述模拟信号处理部及数字信号处理部的模拟图像显示期间信号及数字图像显示期间信号，利用硬件来控制所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据的输出。

本发明的第三方案的特征在于，在第一方案所述的图像信号处理电路中，所述视频缓冲存储器控制部根据所述数字信号处理部中的数字图像信号数据的目前处理行、所述数字信号处理部中的数字视频格式以及所述模拟信号处理部中的模拟视频格式，利用软件，控制所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据的输出。

本发明的第四方案的特征在于，在第一方案所述的图像信号处理电路中，所述视频缓冲存储器控制部，在所述视频缓冲存储器所输出的、以模拟图像信号规格为标准的图像信号数据为所述模拟信号处理部的模拟视频格式上的非图像显示期间中的数据，但也是所述数字信号处理部的数字视频格式上的图像显示期间中的数据时，利用和存储在所述视频缓冲存储

器的模拟图像信号规格为标准的图像信号数据相同的数据，来插补所述数字视频格式上的图像显示期间中的数据。

本发明第五方案的特征在于，在第四方案所述的图像信号处理电路中，所述视频缓冲存储器控制部利用：存储在所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据中的、和进入模拟视频格式上的图像显示期间之后的以模拟图像信号规格为标准的图像信号数据相同的数据，来插补所述数字视频格式上的图像显示期间中的数据。
5

本发明的第六方案的特征在于，在第四方案所述的图像信号处理电路中，所述视频缓冲存储器控制部利用：存储在所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据中的、和进入模拟视频格式上的非图像显示期间之前的以模拟图像信号规格为标准的图像信号数据相同的数据，来插补所述数字视频格式上的图像显示期间中的数据。
10

本发明的第七方案的特征在于，在第四方案所述的图像信号处理电路中，所述视频缓冲存储器控制部，在所述数字视频格式上的图像显示期间和所述模拟视频格式上的非图像显示期间不一致，且偏在以模拟图像信号规格为标准的图像信号数据的高位一侧时，将保持在所述视频缓冲存储器的、以模拟图像信号规格为标准的图像信号数据移位到所定行的高位一侧，利用该移位到高位一侧的、以模拟图像信号规格为标准的图像信号数据，来插补所述数字视频格式上的图像显示期间中的数据，以使在高位一侧和低位一侧均等。
15
20

本发明的第八方案的特征在于，在第七方案所述的图像信号处理电路中，所述视频缓冲存储器控制部利用：移位到所述视频缓冲存储器高位一侧的以模拟图像信号规格为标准的图像信号数据中的、和模拟视频格式上的进入图像显示期间之后不久的以模拟图像信号规格为标准的图像信号数据相同的数据，来插补所述数字视频格式上的图像显示期间中的数据。
25

本发明的第九方案的特征在于，在第四方案所述的图像信号处理电路中，所述视频缓冲存储器控制部利用：移位到所述视频缓冲存储器高位一侧的以模拟图像信号规格为标准的图像信号数据中的、和模拟视频格式上的进入非图像显示期间之前的以模拟图像信号规格为标准的图像信号数据相同的数据，来插补所述数字视频格式上的图像显示期间中的数据。
30

本发明的第十方案的特征在于，在第一方案所述的图像信号处理电路中，所述模拟信号处理部具有输出调整功能：接收从所述视频缓冲存储器输出且由所述视频缓冲存储器插补的、以模拟图像信号规格为标准的图像信号数据；和遮蔽上述所接收的模拟图像信号规格为标准的图像信号数据中的、所述模拟视频格式上的非图像显示期间内的数据。
5

本发明的第十一方案的特征在于，在第一方案所述的图像信号处理电路中，所述模拟信号处理部接收从所述视频缓冲存储器输出且未由所述视频缓冲存储器进行插补的、以模拟图像信号规格为标准的图像信号数据；所述数字信号处理部接收从所述视频缓冲存储器输出且由所述视频缓冲存储器控制部插补过的、以模拟图像信号规格为标准的图像信号数据。
10

本发明的第十二方案的特征在于，在第一方案所述的图像信号处理电路中，所述视频缓冲存储器控制部控制所述视频缓冲存储器的数据输出，以便将所述已插补过的、以模拟图像信号规格为标准的图像信号数据同时向所定的多行输出；其还包括传递函数运算电路，所述传递函数运算电路接收所述视频缓冲存储器的多行份的、以模拟图像信号规格为标准的图像信号数据，对该多行以模拟图像信号规格为标准的图像信号数据进行所定的插补运算，并将该进行过插补运算的以模拟图像信号规格为标准的图像信号数据输出到所述数字信号处理部。
15

本发明的第十三方案的特征在于，在第十二方案所述的图像信号处理电路中，所述视频缓冲存储器控制部在进入模拟视频格式上的图像显示期间不久，同时输出存储于所述视频缓冲存储器的以模拟图像信号规格为标准的图像信号数据中、的所定多行份的以模拟图像信号规格为标准的图像信号数据。
20

本发明的第十四方案的特征在于，在第十二方案所述的图像信号处理电路中，所述视频缓冲存储器控制部是在进入模拟视频格式上的非图像显示期间之前，同时输出存储于所述视频缓冲存储器的以模拟图像信号规格为标准的图像信号数据中、所定多行份的以模拟图像信号规格为标准的图像信号数据。
25

由此，在第一～第十四方案所述的发明中，在数字信号处理部中，将
30 模拟图像信号规格为标准的图像信号数据转换为数字视频格式而得到数

字值的顺序数据时，视频缓冲存储器控制部控制来自视频缓冲存储器的以模拟图像信号规格为标准的图像信号数据的输出，插补来自视频缓冲存储器的以模拟图像信号规格为标准的图像信号数据，以便良好地对应于所述信号处理部中的数字视频格式。因此，例如，在数字视频规格的 NTSC 制式的顺序规格中，一个图面中的显示行数在奇数半帧中为 488 行、在偶数半帧中为 486 行时，在奇数半帧中，在以往的最大 483 行中插补五行，使如规格所述的 488 行份的图像显示成为可能，在偶数半帧中，在以往的最大 483 行中插补三行，使如规格所述的 486 行份的图像显示成为可能。同样，在数字视频规格的 PAL 制式的顺序规格中，一个图面中的显示行数在奇数和偶数半帧都为 576 行时，在偶数半帧中，在以往的 575 行上插补一行，使如规格所述的 576 行份的图像显示成为可能。

如上所说明的，根据第一～第十四方案所述的发明的图像信号处理电路，在将模拟图像信号规格为标准的图像信号数据转换为数字视频格式，并输出数字值的顺序信号时，即使在模拟顺序规格和数字顺序规格中有图像显示期间差异，作为数字值的顺序信号也可以输出如规格所述的有效行数的图像信号，以数字规格为标准的图像显示成为可能。

附图说明

图 1 是表示本发明的第一实施方式的图像信号处理电路的构成的框图。

图 2 (a) 是表示：在该图像信号处理电路中，根据已插补的以模拟视频规格为标准的图像信号数据，转换为数字值的 NTSC 制式的顺序数据的图；图 (b) 是表示：在该图像信号处理电路中，根据已插补的以模拟视频规格为标准的图像信号数据，转换为数字值的 PAL 制式的顺序数据的图。

图 3 (a) 是表示：在本发明的第二实施方式的图像信号处理电路中，根据已插补的以模拟视频规格为标准的图像信号数据，转换为数字值的 NTSC 制式的顺序数据的图；图 (b) 是表示：在该图像信号处理电路中，根据已插补的以模拟视频规格为标准的图像信号数据，转换为数字值的 PAL 制式的顺序数据的图。

图 4 是表示本发明的第三实施方式的图像信号处理电路的构成的框图。

图 5 (a) 是表示：在该图像信号处理电路中，根据已插补的以模拟视频规格为标准的图像信号数据，转换为数字值的 NTSC 制式的顺序数据的图；图 (b) 是表示：在该图像信号处理电路中，根据已插补的以模拟视频规格为标准的图像信号数据，转换为数字值的 PAL 制式的顺序数据的图。

图 6 是表示以往的图像信号处理电路的构成的图。

图 7 是表示 525P (480P) 的模拟视频规格 ITU-R BT1358 和数字视频规格 ITU-R BT1362 的图像显示行的图。

图 8 是表示 625P (576P) 的模拟视频规格 ITU-R BT1358 和数字视频规格 ITU-R BT1362 的图像显示行的图。

图中：201—图像信号处理部，202—视频缓冲存储器，203—视频缓冲存储器控制部，204—模拟信号处理电路（模拟信号处理部），205—数字信号处理电路（数字信号处理部），206—数字顺序图像显示期间信号，207、301—以模拟视频规格为标准的图像信号数据，302—数字图像信号数据，303—传递函数运算电路，304—数字行计数器。

发明的具体实施方式

下面，结合附图说明本发明的实施方式。

(第一实施方式)

图 1 表示本发明的第一实施方式的图像信号处理电路的构成。

在图 1 中，201 是图像信号处理部，202 是视频缓冲存储器，其保持：将从目录读入的图像信号数据进行 A/D 转换而得到的数字值的以模拟视频规格（模拟图像信号规格）为标准的图像信号数据（以下称以模拟视频规格为标准的图像信号数据），203 是视频缓冲存储器控制部。在所述图像信号处理部 201 中，设有模拟信号处理电路 204 和数字信号处理电路（数字信号处理部）205。

另外，206 是从数字信号处理电路 205 输出的视频缓冲存储器 202 控制用的视频缓冲存储器控制信号。该视频缓冲存储器控制信号 206 在本实

施方式中为：由数字信号处理电路 205 的内部生成的、以数字视频规格为标准的数字顺序图像显示期间信号（数字图像显示期间信号）。该数字顺序图像显示期间信号 206 是由数字视频格式来表示如图 7 (b) 和图 8 (b) 所示的图像显示期间（有效期间）的信号。图 7 (b) 所示的图像显示期间信号是 NTSC 制式的顺序规格中的图像显示期间信号，在奇数半帧中是从第 39 行到下一个半帧的第一行为止的 488 行；在偶数半帧中是从第 40 行到第 525 行为止的 486 行。另外，图 8 (b) 所示的图像显示期间信号是 PAL 制式顺序规格中的图像显示期间信号，在奇数半帧中是从第 45 行到第 620 行为止的 576 行；在偶数半帧中是从第 46 行到第 621 行为止的 576 行。

在图 1 中，从视频缓冲存储器 202 开始，译码处理结束的顺序图像数据作为以模拟视频规格为标准的图像信号数据 207 输出，该以模拟视频规格为标准的图像信号数据 207 输入到图像信号处理部 201 的模拟信号处理电路 204 和数字信号处理电路 205。

图 1 的视频缓冲存储器 203 接收来自所述数字信号处理电路 205 的视频缓冲存储器控制信号（数字顺序图像显示期间信号）206，在所述视频缓冲存储器 202 输出以模拟视频规格为标准的图像信号数据时，根据数字信号处理电路 205 中的数字视频格式的种类是 NTSC 制式的顺序规格还是 PAL 制式顺序规格，控制来自视频缓冲存储器 202 的以模拟视频规格为标准的图像信号数据 207 的输出，以便作为有效数据，插补以模拟视频规格为标准的图像信号数据。

下面，对该以模拟视频规格为标准的图像信号数据的插补，列举具体示例进行说明。如图 2 (a) 所示，来自视频缓冲存储器 202 的以模拟视频规格为标准的图像信号数据 207，在数字信号处理电路 205 的数字视频格式为 NTSC 制式的数字顺序规格（数字 525P 规格）时，作为输入数字信号处理电路 205 的图像信号数据 207，在第一半帧中，第 39~第 42 行为止的数据虽然是有效期间内，但从图 7 (a) 可知：在 NTSC 制式的模拟顺序规格（模拟 525P 规格）中是非有效期间（非图像显示期间）的关系上，利用第 43 行的数据（即，如图 7 所示，和进入模拟 525P 规格中的有效期间不久的以模拟视频规格为标准的图像信号数据 207 相同的数

据), 将该第 39~第 42 行为止的数据进行插补并输出。并且, 在下一个半帧的第一行, 也因为在模拟 525P 规格中是非有效期间的关系, 利用第 525 行的数据(即, 和数字 525P 规格中的进入非有效期间之前的以模拟视频规格为标准的图像信号数据 207 相同的数据)来插补该第一行的数据之后
5 输出。在这里, 括弧内记载的行号码是实际的行号码, 其前的号码表示:
被插补而成为实际数字输出用的数据的号码。例如, 525P(480P)规格中的成为第一半帧的 43(39)的部分, 作为数字 525P 规格是第 39 行, 但表示根据本实施方式的插补处理, 输出第 43 行的图像数据。另外, 在第二半帧中, 利用和第 43 行的数据相同的数据来插补第 40~第 42 为止的数据
10 之后输出。

同样, 在为 PAL 制式的数字顺序规格(数字 625P 规格)时, 将输入数字信号处理电路 205 的数据, 在第一帧中是作为第 45~第 620 行为止的有效数据, 但是, 在第二半帧中, 第 621 行的数据在 PAL 制式的模拟顺序规格(模拟 625P 规格)中位于非有效期间的关系上, 用第 620 行的数据(和模拟 625P 规格中的进入非有效期间之前的数据相同的数据)来
15 插补之后输出。

利用这种插补, 针对视频缓冲存储器 202 所输出的以模拟视频规格为标准的图像信号数据 207, 可以将在所有数字顺序规格中表示的整个有效期间内有效的图像信号数据多重化。

上述视频缓冲存储器 203 中的插补控制, 即来自视频缓冲存储器 202 的以模拟视频规格为标准的图像信号数据 207 的输出控制, 是根据模拟信号处理电路 204 对应于其模拟视频格式而生成的模拟图像显示期间信号(有效期间信号)和来自所述数字信号处理电路 205 的数字图像显示期间信号 206, 利用硬件来进行的。
20

这样, 在来自视频缓冲存储器 202 的以模拟视频规格为标准的图像信号数据被插补控制的状况中, 在所述模拟信号处理电路 204 中具有输出调整功能: 接受来自视频缓冲存储器 202 的已插补过的图像信号数据 207; 遮蔽接收在该图像信号数据 207 中、根据自己的模拟视频格式的非图像显示期间信号(非有效期间信号)内的图像信号数据。另一方面, 在数字信号处理电路 205 中, 接受所述被插补的图像信号数据 207 并转换为数字视
25

频格式而获得数字值的顺序数据。另外，若只在模拟信号处理电路 204 工作时，从视频缓冲存储器 202 向模拟信号处理电路 204 输入没有插补的以模拟视频规格为标准的图像信号数据，则可以简化模拟信号处理电路 204 的构成。

5

(第二实施方式)

下面，说明本发明的第二实施方式。

图 3 表示本发明的第二实施方式，由于图像信号处理电路的构成和图 1 的相同，故省略其说明。

如图 2 (a) 所示，在上述第一实施方式中例如是利用模拟 525P 规格中的进入有效期间不久的数据(第 43 行)来插补数字 525P 规格的第 39～第 42 行的数据，但是在本实施方式中，如图 3 (a) 所示，将模拟 525P 规格的图像信号数据向高位一侧移位所定行数(例如 1 行)，利用模拟 525P 规格的进入有效期间不久的数据(第 43 行)来插补第 39～第 43 行的数据，利用模拟 525P 规格中的第 44～第 525 行来插补第 42～第 523 行的数据，利用模拟 525P 规格中的第 525 行的数据来插补第 524 行、第 525 行及下一个半帧的第一行的数据，利用模拟 525P 规格中的进入有效期间不久的数据(第 43 行)和移出有效期间之前的数据(第 525 行)来分别每三行均等插补高位一侧的第 39～第 41 行和低位一侧的第 524～1 行的两种数据。

因此，在本实施方式中，能得到可以制作更良好图像的数字顺序数据。

(第三实施方式)

接着，说明本发明的第三实施方式。

图 4 是表示本发明的第三实施方式的图像信号处理电路。在图 4 的图像信号处理电路中，变更视频缓冲存储器控制部 203 的一部分功能，同时，附加了传递函数运算电路 303。

即在图 4 中，数字信号处理电路 205 输出数字行计数器信号 304，视频缓冲存储器控制部 203 接收该行计数器信号 304。该行计数器信号 304 是表示数字信号处理电路 205 所内置的垂直行计数器(图中未示出)中的

目前处理行的信号。

视频缓冲存储器控制部 203 根据所述行计数器信号 304，根据所述数字信号处理电路 205 的图像信号数据的处理行、数字视频格式和模拟视频格式，利用软件，控制来自所述视频缓冲存储器 202 的、以模拟视频规格为标准的图像信号数据 301 向软盘的输出，以便将在有效图像数据未多重化的行即在数字规格中是图像显示期间的行、在模拟规格中是空白显示期间（非图像显示期间）的行，具体地讲：如图 5 (a) 所示，数字 525P 规格中的第一半帧的第 39～第 42 行和下一个半帧的第 1 行、第二半帧的第 40～第 42 行，图 5 (b) 所示的第二半帧的第 621 行中模拟规格上的进入有效期间不久的所定行数（如 2 行）的行的数据（即，第 43 和第 44 行的数据）或模拟规格上的移出有效期间之前的所定行数（如 2 行）的行的数据（即第 524 和第 525 行的数据）进行多重化。

另一方面，传递函数运算电路 303 接收来自所述视频缓冲存储器 202 的图像信号数据 301，在所述所定行数（例如 2 行）的行的数据已多重化时，例如，如果以图 5 (a) 所示的第一半帧的第 42 行为例进行说明，则在数据行计数器信号 304 表示第 42 行时，作为第 42 行的数据，从视频缓冲存储器 202 中将第 43 行和第 44 行的图像数据多重化了的数据输入传递函数运算电路 303 的情况下，该传递函数运算电路 303 分离已多重化的第 43 行和第 44 行的数据，并利用这些图像数据来进行所定的插补运算（传递函数运算），生成插补数据，并作为第 42 行的数字图像信号数据 302 输出。

因此，在本实施方式中，可以进一步提高精度地一边生成行的分离图像数据，一边进行以数字顺序规格为标准的图像输出。通过增加多重化的行数，从而进一步提高该图像数据的精度。

25

（工业上的可利用性）

如上述所说明的，由于本发明在将以模拟图像信号规格为标准的图像信号数据转换为数字视频格式之后，输出数字值的顺序信号时，作为数字值的顺序信号，可以输出如规格所述的有效行数的信号，能进行以数字规格为标准的图像显示，故作为处理数字顺序规格的图像信号的图像信号处理电路是有用的。

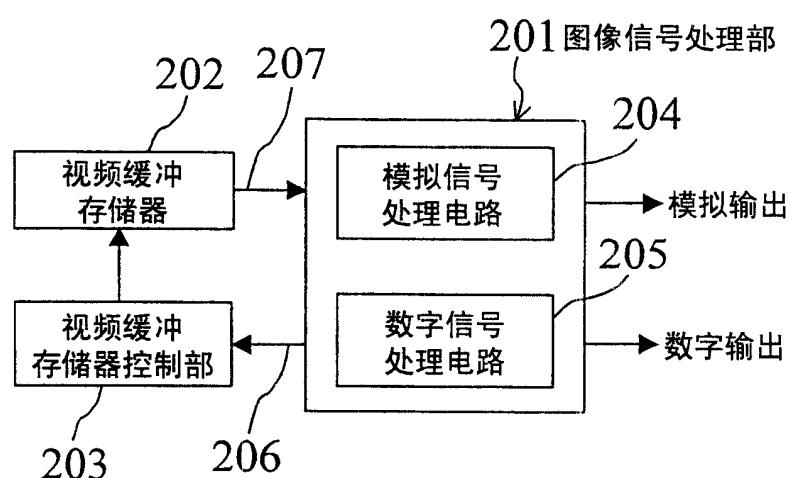


图 1

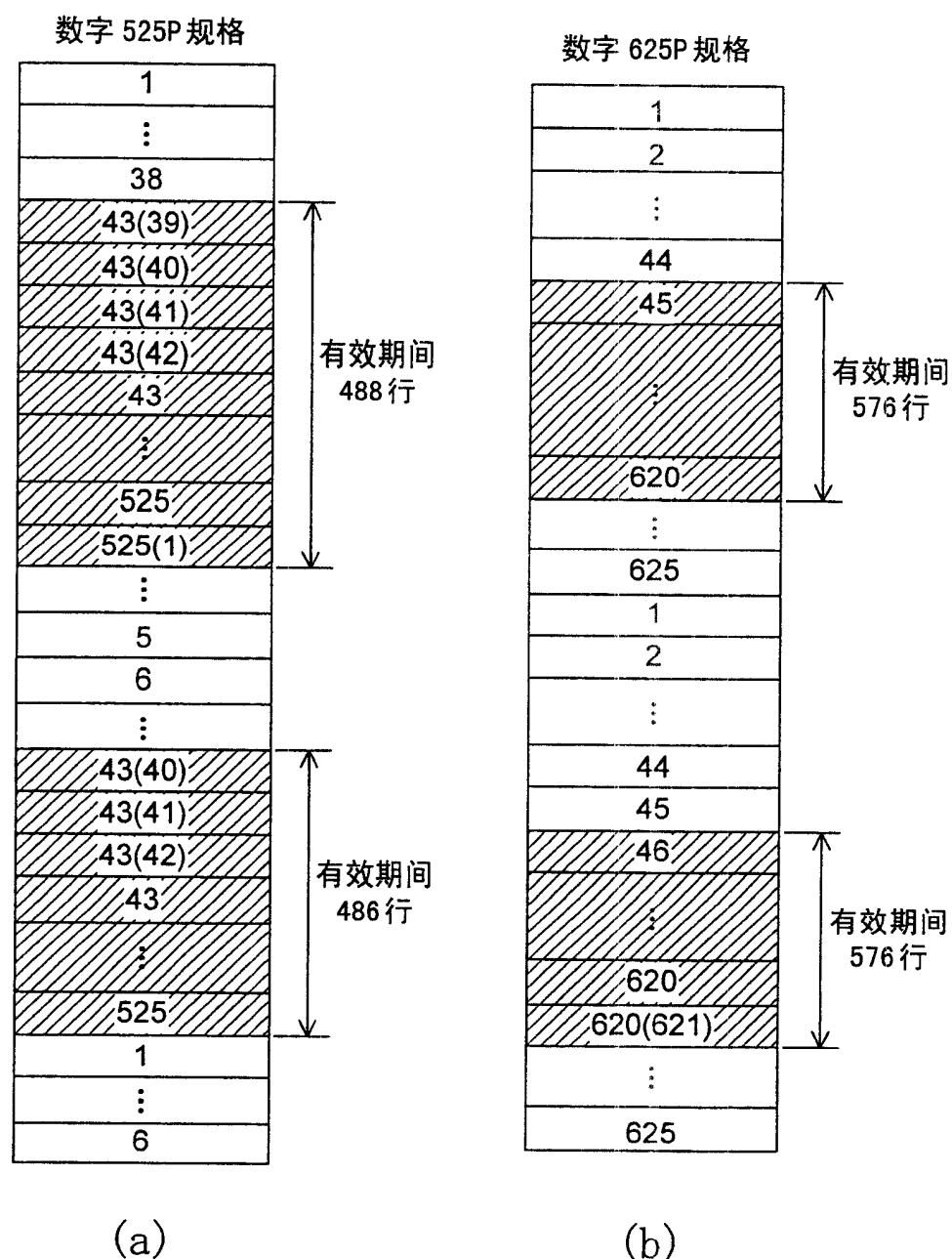


图 2

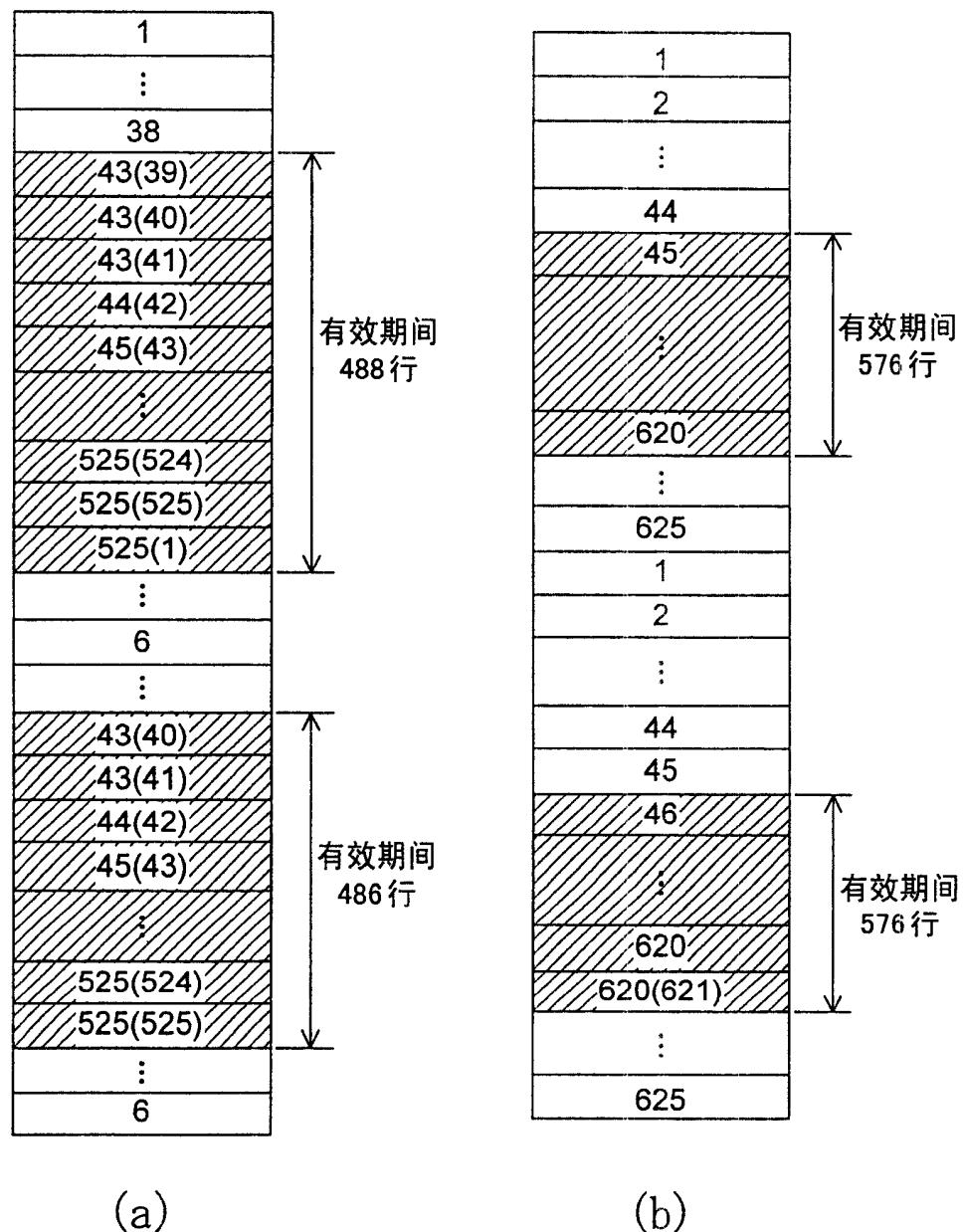


图 3

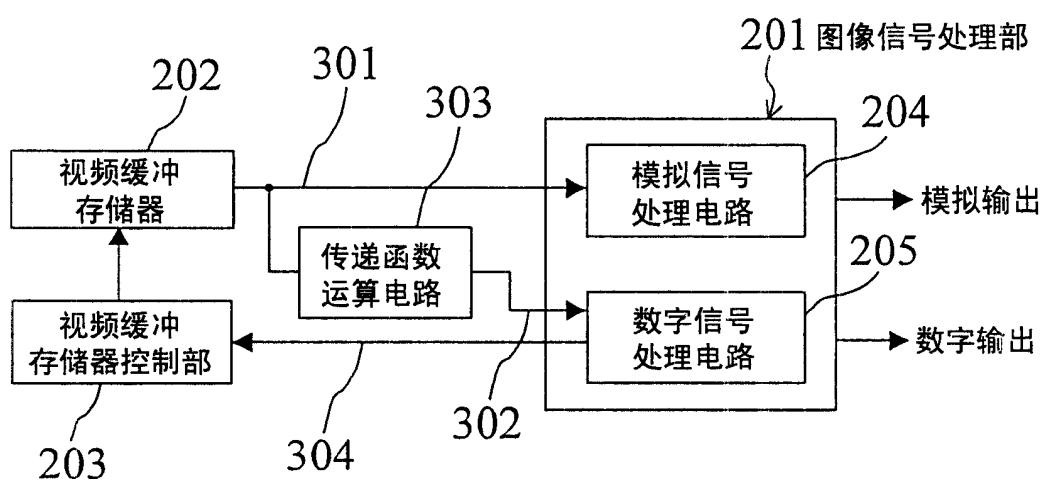


图 4

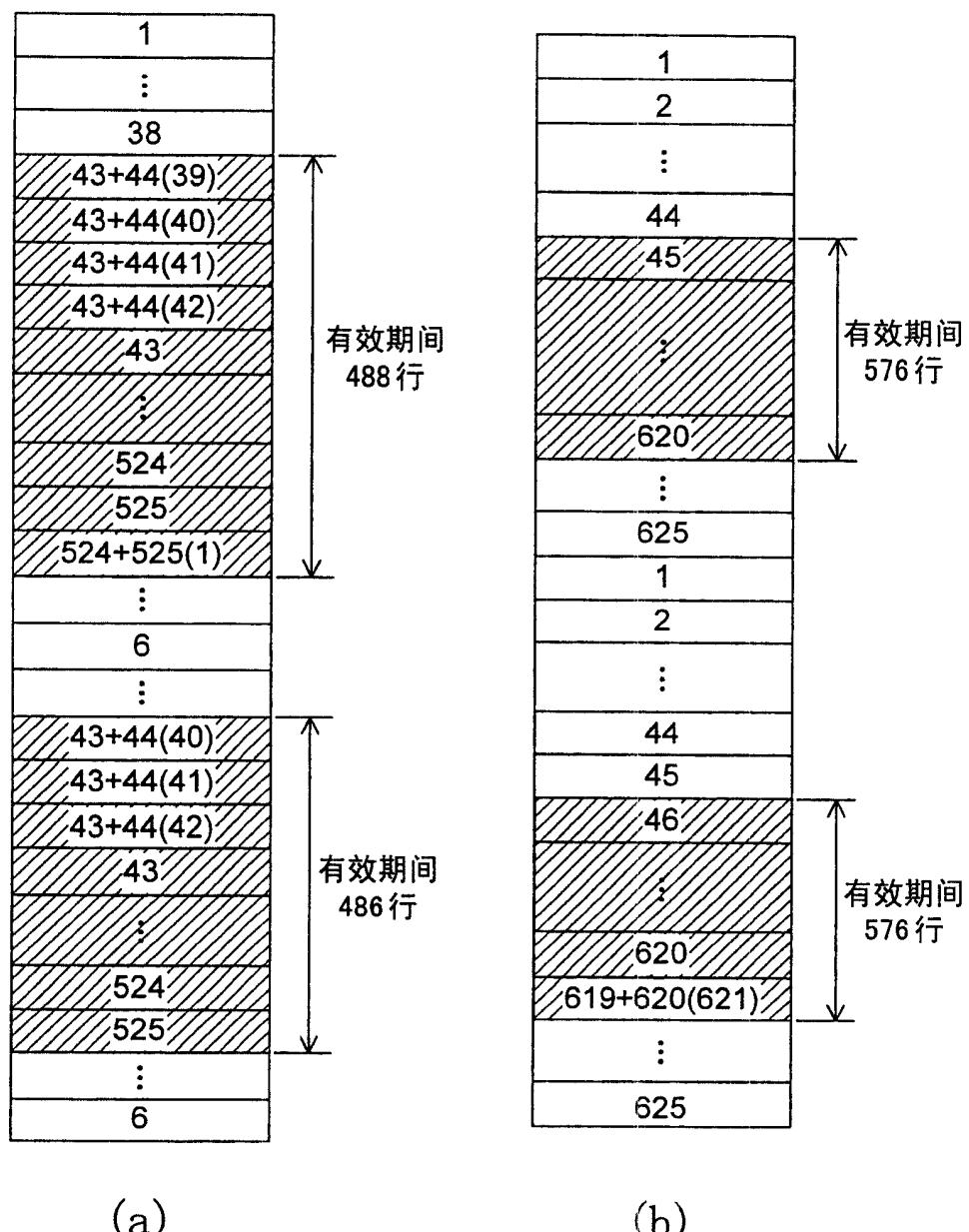


图 5

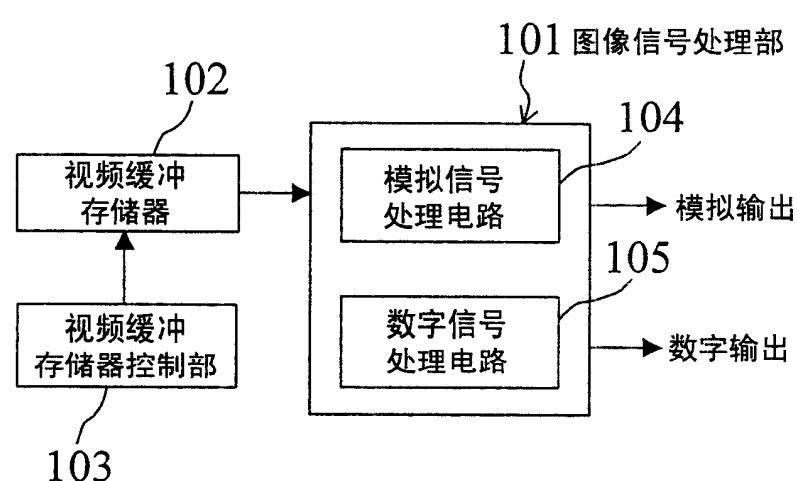


图 6

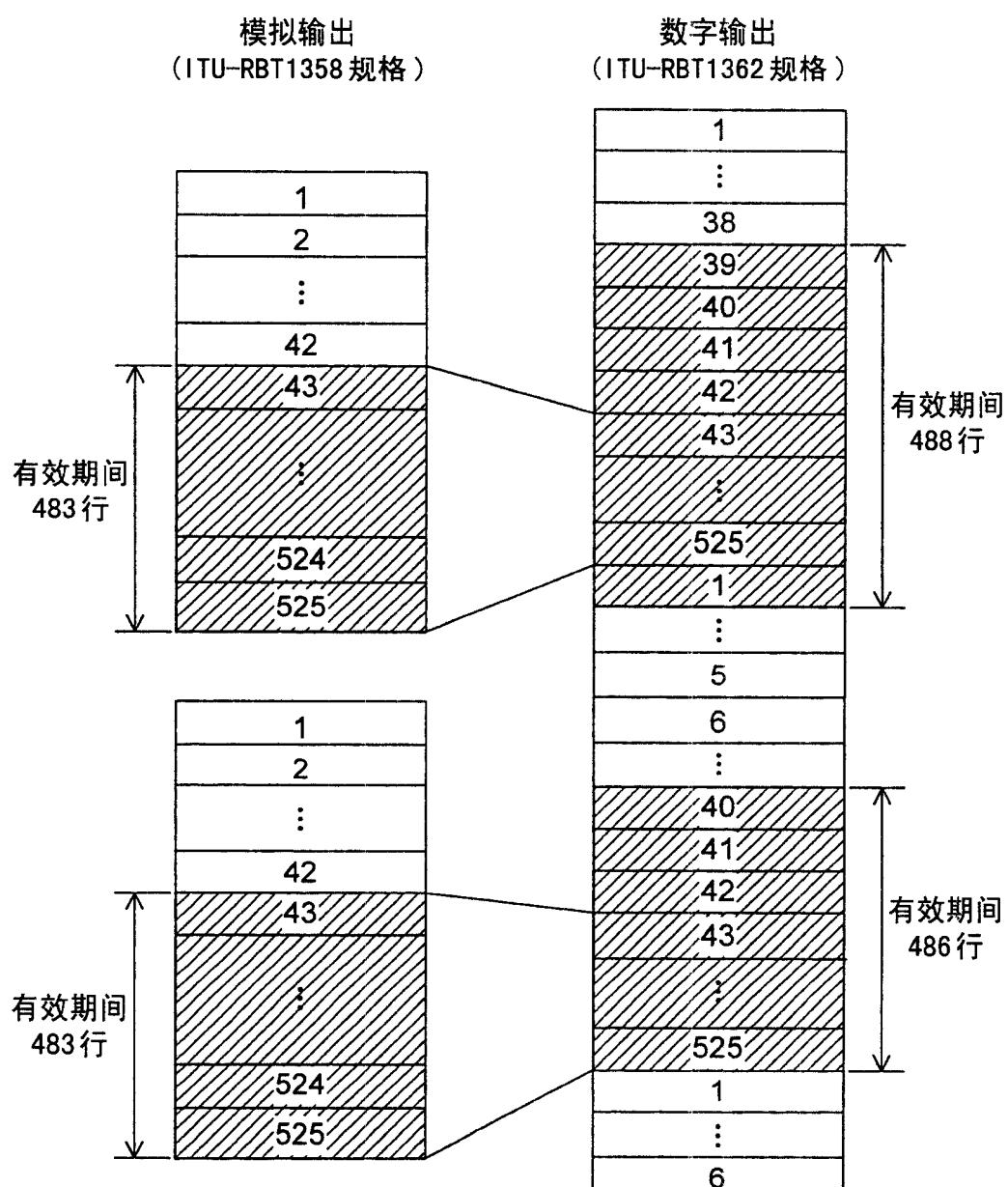


图 7

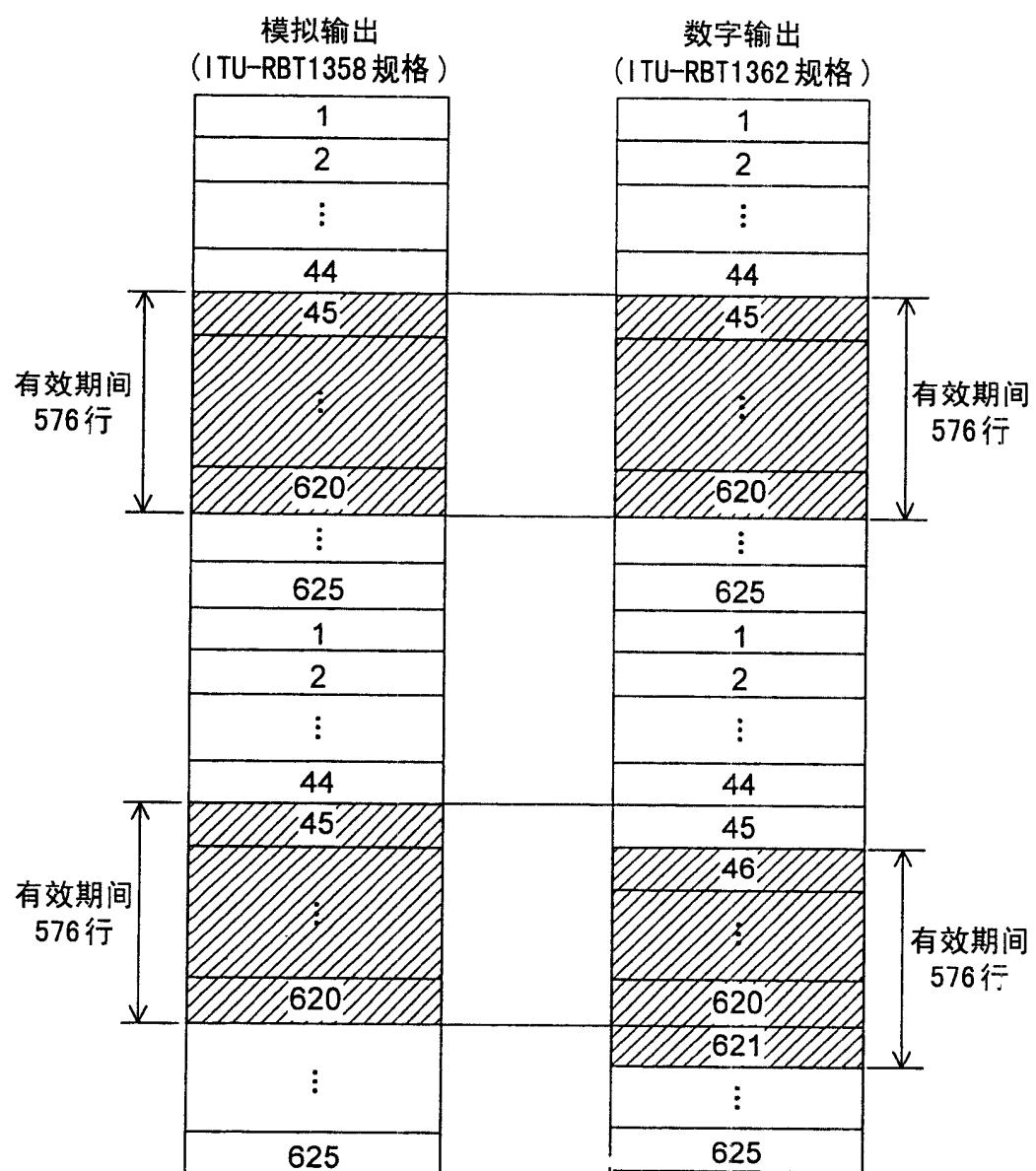


图 8