



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(51) Int. Cl.

H01L 21/3205 (2006.01)

(45) 공고일자 2006년11월24일
 (11) 등록번호 10-0649410
 (24) 등록일자 2006년11월17일

(21) 출원번호	10-2000-0077907	(65) 공개번호	10-2002-0009381
(22) 출원일자	2000년12월18일	(43) 공개일자	2002년02월01일
심사청구일자	2004년12월28일		

(30) 우선권주장 2000-221202 2000년07월21일 일본(JP)

(73) 특허권자 후지쯔 가부시끼가이샤
 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1

(72) 발명자 와따나베겐이찌
 일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쯔가부
 시끼가이샤내

고마다다이수께
 일본국아이찌켄가수가이시고조지쯔2-1844-2후지쯔브이엘에스아이가
 부시끼가이샤내

심푸꾸후미히꼬
 일본국가나가와켄가와사키시나가하라구가미고다나카4-1-1후지쯔가부
 시끼가이샤내

(74) 대리인 문두현
 문기상

(56) 선행기술조사문현

JP10112503 A

JP2001168188 A

KR1020000042812 A

KR1020010046918 A

* 심사관에 의하여 인용된 문현

심사관 : 김희주

전체 청구항 수 : 총 10 항

(54) 반도체 장치 및 그 제조 방법

(57) 요약

본 발명은 하층 도전층의 표면을 충분히 보호할 수 있어 신뢰성이 높고, 배선 용량이 작은 듀얼 다마신(dual damascene) 배선을 갖는 반도체 장치를 제공하는 것을 과제로 한다.

본 발명의 반도체 장치는 도전성 영역을 갖는 하지와, 하지의 표면을 덮는 절연성 에치 스토퍼막과, 절연성 에치 스토퍼막 상에 형성된 층간절연막과, 층간절연막 표면으로부터 제 1 깊이로 형성된 배선용 트렌치와, 배선용 트렌치 저면으로부터 도전성 영역에 이르는 접속용 홀과, 배선용 트렌치 및 접속용 홀을 매립하여 형성된 듀얼 다마신 배선을 갖고, 층간절연막이 배선용 트렌치의 측면 및 저면을 둘러싸는 제 1종 절연층과, 제 1종 절연층보다도 아래에 배치되고 제 1종 절연층과 에칭 특성이 상이한 제 2종 절연층을 포함한다.

내포도

도 1

특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

표면에 도전성 영역을 갖는 하지(下地)와,

상기 하지의 표면을 덮는 절연성 에치 스토퍼막(insulating etch stopper film)과,

상기 절연성 에치 스토퍼막 상에 형성된 층간절연막과,

상기 층간절연막 표면으로부터 제 1 깊이로 형성된 배선용 트렌치(wiring trench)와,

상기 배선용 트렌치 저면으로부터 상기 층간절연막의 나머지 두께 및 상기 절연성 에치 스토퍼막을 관통하여 상기 도전성 영역에 이르는 접속용 홀과,

상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 형성된 듀얼 다마신 배선(dual damascene wiring layer)을 갖고,

상기 층간절연막이 상기 배선용 트렌치의 측면 및 저면을 둘러싸는 제 1종 절연층과, 상기 제 1종 절연층보다도 아래에 배치되고 제 1종 절연층과 예칭 특성이 상이한 제 2종 절연층을 포함하는 반도체 장치.

청구항 10.

제 9 항에 있어서,

상기 접속용 홀은 상기 제 1종 절연층 내에서 위쪽으로 향하여 점차 단면적이 증대하는 부분을 갖는 반도체 장치.

청구항 11.

제 9 항에 있어서,

상기 층간절연층이 상기 제 2종 절연층의 아래에 배치되고 제 2종 절연층과 예칭 특성이 상이한 제 3종 절연층을 더 포함하는 반도체 장치.

청구항 12.

제 11 항에 있어서,

상기 접속용 홀은 상기 제 2종 절연층의 도중으로부터 위쪽으로 향하여 점차 단면적이 증대하는 부분을 갖는 반도체 장치.

청구항 13.

제 11 항에 있어서,

상기 제 2종 절연층이 상기 제 1종 절연층의 예칭 시에 에치 스토퍼로서 기능할 수 있는 층이고, 상기 접속용 홀은 상기 제 2종 절연층 하부로부터 상기 도전성 영역 표면까지 실질적으로 동일한 단면 형상을 갖는 반도체 장치.

청구항 14.

표면에 도전성 영역을 갖는 하지 상에 절연성 에치 스토퍼막을 형성하는 공정과,

상기 절연성 에치 스토퍼막 상에 제 1종 절연막과 그 아래에 배치되고 제 1종 절연막과 예칭 특성이 상이한 제 2종 절연막을 포함하는 층간절연막을 형성하는 공정과,

상기 층간절연막의 표면으로부터 상기 층간절연막을 관통하여 상기 절연성 에치 스토퍼막에 이르는 접속용 홀을 형성하는 공정과,

상기 접속용 홀 내에 상기 제 2종 절연막의 표면보다 아래의 높이까지 유기물의 보호 층전물을 형성하는 공정과,

상기 접속용 홀과 중복시켜 상기 층간절연막 표면으로부터 제 1종 절연막 중의 제 1 깊이까지 배선용 트렌치를 형성하는 공정과,

상기 보호 층전물을 제거하는 공정과,

상기 절연성 에칭 스토퍼막을 제거하고 도전성 영역을 갖는 하지까지의 접속용 홀을 관통시키는 공정과,

상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 듀얼 다마신 배선을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

청구항 15.

표면에 도전성 영역을 갖는 하지 상에 절연성 에치 스토퍼막을 형성하는 공정과,

상기 절연성 에치 스토퍼막 상에 제 1종 절연막과 그 아래에 배치되고 제 1종 절연막과 에칭 특성이 상이한 제 2종 절연막을 포함하는 층간절연막을 형성하는 공정과,

상기 층간절연막의 표면으로부터 상기 제 1종 절연막을 관통하여 상기 제 2종 절연막에 이르는 접속용 홀을 형성하는 제 1 에칭 공정과,

상기 접속용 홀과 중복시켜 상기 층간절연막 표면으로부터 제 1종 절연막 중의 제 1 깊이까지 배선용 트렌치를 형성하는 동시에 상기 접속용 홀 아래의 나머지 층간절연막을 제거하는 제 2 에칭 공정과,

상기 절연성 에칭 스토퍼막을 제거하고 도전성 영역을 갖는 하지까지의 접속용 홀을 관통시키는 공정과,

상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 듀얼 다마신 배선을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

청구항 16.

표면에 도전성 영역을 갖는 하지 상에 절연성 에치 스토퍼막을 형성하는 공정과,

상기 절연성 에치 스토퍼막 상에 아래로부터 제 1종 절연막과 제 2종 절연막과 제 3종 절연막을 포함하고 제 2종 절연막은 제 1종 및 제 3종 절연막과 에칭 특성이 상이한 층간절연막을 형성하는 공정과,

상기 층간절연막 표면으로부터 상기 제 3종 절연막, 제 2종 절연막, 제 1종 절연막을 관통하여 상기 절연성 에치 스토퍼막에 이르는 접속용 홀을 형성하는 제 1 에칭 공정과,

상기 접속용 홀 내에 상기 제 1종 절연막 표면보다 높고 상기 제 2종 절연막 표면보다 낮은 높이까지 유기물의 보호 충전물을 형성하는 공정과,

상기 접속용 홀과 중복시켜 상기 층간절연막 표면으로부터 제 3종 절연막 중의 제 1 깊이까지 배선용 트렌치를 형성하는 제 2 에칭 공정과,

상기 보호 충전물을 제거하고 상기 접속용 홀 내에 상기 절연성 에치 스토퍼막을 노출시키는 공정과,

노출된 상기 에치 스토퍼막을 에칭하는 제 3 에칭 공정과,

상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 듀얼 다마신 배선을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

청구항 17.

표면에 도전성 영역을 갖는 하지 상에 절연성 에치 스토퍼막을 형성하는 공정과,

상기 절연성 에치 스토퍼막 상에 아래로부터 제 1종 절연막과 제 2종 절연막과 제 3종 절연막을 포함하고 제 2종 절연막은 제 1종 및 제 3종 절연막과 에칭 특성이 상이한 층간절연막을 형성하는 공정과,

상기 층간절연막의 표면으로부터 상기 제 3종 절연막을 관통하여 상기 제 2종 절연막에 이르는 접속용 홀을 형성하는 제 1 에칭 공정과,

상기 접속용 홀 저면에 노출된 제 2종 절연막을 에칭하는 제 2 에칭 공정과,

상기 접속용 홀과 중복시켜 상기 층간절연막 표면으로부터 제 3종 절연막 중의 제 1 깊이로 배선용 트렌치를 형성하는 동시에 상기 접속용 홀 아래의 제 1종 절연막을 에칭하여 상기 에치 스토퍼막을 노출시키는 제 3 에칭 공정과,

노출된 상기 에치 스토퍼막을 에칭하는 제 4 에칭 공정과,

상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 듀얼 다마신 배선을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

청구항 18.

제 17 항에 있어서,

상기 층간절연막을 형성하는 공정이 상기 층간절연막 상에 하드 마스크층도 형성하고 상기 제 1 에칭 공정이 상기 하드 마스크층 상에 제 1 레지스트 마스크를 형성하는 공정과 상기 제 1 레지스트 마스크를 에칭 마스크로서 사용하여 하드 마스크층을 에칭하는 공정을 포함하고, 상기 제 3 에칭 공정이 상기 하드 마스크층 상에 제 2 레지스트 마스크를 형성하고 상기 제 2 레지스트 마스크를 에칭 마스크로서 사용하여 상기 하드 마스크층을 에칭하는 공정과 그 후에 제 2 레지스트 마스크를 제거하고 하드 마스크층을 에칭 마스크로서 사용하여 에칭을 행하는 공정을 포함하는 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히, 듀얼 다마신(dual damascene) 배선을 갖는 반도체 장치 및 그 제조 방법에 관한 것이다.

본 명세서에서 에치 스토퍼는 일정 에칭에서 에칭 대상물의 에치 레이트에 대하여 1/5 이하의 에치 레이트를 나타낼 수 있는 것을 의미한다. 또한, 일정 에칭에서 에칭 대상물의 에치 레이트에 대하여 약 1/2 내지 약 2의 에치 레이트를 나타낼 경우, 유사한 에치 레이트를 갖는다고 한다.

반도체 장치에서는 점점 집적도의 향상이 요구되고 있다. 종래의 배선은 Al, W 등으로 형성되었다. 절연층 상에 Al 배선층 또는 W 배선층을 형성한 후, 그 위에 레지스트 패턴 등의 에칭 마스크를 형성하여, 배선층을 패터닝하고, 절연층으로 매립함으로써 배선을 형성했다.

집적도의 향상과 함께, 배선의 폭을 감소시키고, 배선간 간격을 감소시키는 것이 요구된다. 이러한 미세화에 따라, 배선간 용량은 증가한다. 또한, 배선의 단면적을 감소시키면, 저항 증가를 초래하게 된다. 용량의 증가 또는 저항의 증가는 배선에서의 신호 전달 속도를 저하시켜, 동작 속도 향상의 장애로 된다.

배선 저항 저감을 위해, 종래의 Al 또는 W에 비하여 저항률이 낮은 Cu를 사용한 배선이 채용되게 되었다. Cu는 에칭에 의해 패터닝하는 것이 곤란하기 때문에, Cu 배선을 형성하기 위해서는, 절연층 표면부에 배선용 트렌치를 형성하고, 이 배선 용 트렌치 내에 배선층을 매립하여, 절연층 표면상의 여분의 배선층을 화학 기계 연마(CMP)에 의해 제거하는 다마신 배선 공정이 이용된다.

배선층 사이의 접속을 위해서는, 배선층 사이를 비어(via) 도전체로 접속할 필요가 있다. 다마신 공정으로서는, 비어 홀(via-hole)을 형성하고, 비어 도전체로 다시 매립한 후, 배선용 트렌치를 형성하여 배선을 매립하는 싱글 다마신 공정과, 비어 홀과 배선용 트렌치를 형성한 후, 동시에 비어 홀과 배선용 트렌치에 배선 재료를 다시 매립하는 듀얼 다마신 공정이 있다. 공정의 간략화의 관점에서는 듀얼 다마신 공정이 우수하다.

듀얼 다마신 공정에도, 비어 홀을 먼저 형성한 후에 배선용 트렌치를 형성하는 선(先)비어 방식과, 배선용 트렌치를 형성한 후에 비어 홀을 형성하는 후(後)비어 방식이 알려져 있다. 하층과의 접속을 확실하게 행하기 위해서는 선비어 방식이 우수할 것으로 생각된다.

이하, 도 13 및 도 14를 참조하여 선비어 방식의 듀얼 다마신 공정의 예를 설명한다.

도 13a에 나타낸 바와 같이, 도전성 영역(111)을 갖는 하지(110)의 표면상에 SiN 등의 제 1 에치 스토퍼층(112)을 성막한다. 하지는 반도체 기판일 수도 있고, 그 위에 형성된 절연층일 수도 있다. 도전성 영역(111)은 반도체 영역일 수도 있고, 배선일 수도 있다. 도전성 영역(111)이 Cu 배선일 경우에는, Cu 배선의 표면이 상당히 산화되기 쉽기 때문에, 에치 스토퍼층이 필요하다.

제 1 에치 스토퍼층(112) 상에 제 1 층간절연막(113)을 실리콘 산화물 등에 의해 형성한다. 제 1 층간절연막(113) 상에 배선용 트렌치 형성 시의 에치 스토퍼로서 기능하는 제 2 에치 스토퍼층(114)을 성막한다. 제 2 에치 스토퍼층(114) 상에 배선용 트렌치를 형성하는 절연층으로 되는 제 2 층간절연막(115)을 형성하고, 그 위에 레지스트층 패터닝 시의 반사방지 기능을 갖는 SiN막 등의 절연성 반사방지막(116)을 형성한다.

도 13b에 나타낸 바와 같이, 절연성 반사방지막(116) 상에 레지스트층을 형성하고, 노광 및 현상하여 레지스트 패턴(PR1)을 형성한다. 레지스트 패턴(PR1)은 비어 홀에 대응하는 개구(101)를 갖는다.

레지스트 패턴(PR1)을 에칭 마스크로 하여, 반사방지막(116), 제 2 층간절연막(115), 제 2 에치 스토퍼층(114), 제 1 층간절연막(113)을 이방적으로 에칭한다. 이와 같이 하여, 레지스트 패턴(PR1)의 개구(101)에 대응한 비어 홀(102)이 형성된다. 오버 에칭(over-etching)을 행하면, 제 1 에치 스토퍼층(112)도 약간 에칭된다. 경우에 따라, 제 1 에치 스토퍼층(112)이 소멸되어, 하지의 도전성 영역(111)이 손상을 받는 경우가 있다. 그 후, 레지스트 패턴(PR1)은 제거한다.

도 13c에 나타낸 바와 같이, 반사방지막(116) 상에 레지스트층을 형성하고, 노광 및 현상하여 제 2 레지스트 패턴(PR2)을 형성한다. 레지스트 패턴(PR2)은 비어 홀(102)을 포함한 영역에 배선용 트렌치에 대응하는 개구(103)를 갖는다.

도 13d에 나타낸 바와 같이, 레지스트 패턴(PR2)을 에칭 마스크로서 사용하여, 반사방지막(116) 및 제 2 층간절연막(115)의 에칭을 행한다. 제 2 에치 스토퍼층(114)은 이 에칭에 대한 에치 스토퍼로서 기능한다.

또한, 도 13d의 공정에서 제 1 에치 스토퍼층(112)의 막질(膜質) 및 두께가 불충분할 경우, 에칭 중에 제 1 에치 스토퍼층(112)이 에칭되어, 하지의 도전성 영역(111) 표면이 손상을 받는 경우가 있다.

도 14e에 나타낸 바와 같이, 제 2 레지스트 패턴(PR2)을 산소 플라즈마에 의한 애싱(ashing)에 의해 제거한다. 제 1 에치 스토퍼층(112)이 충분히 남아 있지 않을 경우, 이 애싱 공정에서 산소 플라즈마가 도전성 영역(111)의 표면에 손상을 주는 경우가 있다.

도 14f에 나타낸 바와 같이, 반사방지막(116), 배선용 트렌치 저면에 노출된 제 2 에치 스토퍼층(114), 비어 홀 내에 노출된 제 1 에치 스토퍼층(112)을 이방성 에칭에 의해 제거한다. 그 후, 듀얼 다마신 배선(160)을 형성한다.

상술한 예는, 배선용 트렌치의 에칭 시, 제 2 에치 스토퍼층(114)을 사용하여 배선용 트렌치의 에칭을 제 2 에치 스토퍼층에서 정지시키고 있다. 따라서, 배선용 트렌치 저면에는 에치 스토퍼층(114)이 남는다. 노출되어 있는 제 2 에치 스토퍼층을 제거하여도, 듀얼 다마신 배선(160)의 배선부 측면이 제 2 에치 스토퍼층(114)과 접촉한다.

에치 스토퍼 기능을 갖는 절연층은 일반적으로 유전율이 높고, 배선용 트렌치 측면에 에치 스토퍼층이 존재하면, 배선간 용량의 증대를 초래하게 된다. 그래서, 배선용 트렌치 에칭을 위한 제 2 에치 스토퍼층을 사용하지 않는 공정이 제안되어 있다.

도 14g에 나타낸 바와 같이, 하지(110) 상에 에치 스토퍼총(112) 및 충간절연막(113)을 형성한 후, 그 표면에 반사방지막(116)을 형성한다. 반사방지막(116) 상에 레지스트 패턴을 형성하고, 상술한 예와 동일하게 에치 스토퍼총(112)에 이르는 비어 홀(102)을 형성한다. 그 후, 배선용 트렌치를 형성하기 위한 레지스트 패턴(PR2)을 형성한다.

도 14h에 나타낸 바와 같이, 레지스트 패턴(PR2)을 마스크로 하여 반사방지막(116)을 에칭한 후, 제 1 충간절연막(113)의 소정 두께를 컨트롤로 에칭한다. 에치 스토퍼총을 사용하지 않기 때문에, 에칭 시간의 제어에 의해 에칭 깊이를 제어한다. 이와 같이 하여, 비어 홀(102)에 연속된 배선용 트렌치(104)를 형성한다. 또한, 에치 스토퍼총을 사용하지 않기 때문에, 비어 홀 어깨부가 에칭되어, 비어 홀의 단면적은 위쪽으로 향하여 서서히 증가하는 형상으로 된다.

또한, 이 예에서도 비어 홀(102)의 에칭 또는 배선용 트렌치(104)의 에칭 시, 제 1 에치 스토퍼총(112)이 에칭되거나 하면, 그 아래의 도전 영역(111)이 손상을 받는 경우가 있다.

이와 같이, 선비어 방식의 듀얼 다마신 공정에서는 비어 홀 저부(底部)에 형성된 에치 스토퍼총이 손상을 받아, 에치 스토퍼총 하부의 도전 영역이 손상을 받는 경우가 있다.

비어 홀 아래쪽의 도전성 영역이 손상을 받기 어렵게 하기 위해, 비어 홀에 충전물을 매립하는 공정이 제안되어 있다.

도 15는 배선용 트렌치의 에칭에 에치 스토퍼총을 이용하고, 비어 홀에 충전물을 넣는 공정의 예를 나타낸다. 도전성 영역(111)을 갖는 하지(110) 상에 제 1 에치 스토퍼총(112), 제 1 충간절연막(113), 제 2 에치 스토퍼총(114), 제 2 충간절연막(115), 반사방지막(116)이 적층된다. 레지스트 패턴을 사용하여 제 1 에치 스토퍼총(112)에 이르는 비어 홀(102)이 형성된다.

이 비어 홀(102)의 아래쪽 부분에 에칭 시의 보호물로 되는 충전물(155)이 매립된다. 반사방지막(116) 상에 배선용 트렌치 형성을 위한 개구(103)를 갖는 레지스트 패턴(PR2)이 형성된다.

도 15b에 나타낸 바와 같이, 레지스트 패턴(PR2)을 에칭 마스크로 하여 반사방지막(116) 및 제 2 충간절연막(115)을 이방적으로 에칭한다. 비어 홀(102) 아래쪽의 제 1 에치 스토퍼총(112)은 충전물(155)로 덮여 있기 때문에, 에칭으로부터 보호되고 있다.

도 15c에 나타낸 바와 같이, 레지스트 패턴(PR2)을 애싱에 의해 제거한다. 충전물(155)이 유기물로 형성되어 있을 경우, 애싱에 의해 동시에 제거할 수 있다. 또한, 충전물(155)과 레지스트 패턴(PR2)을 각각 별도의 제거 공정으로 제거하는 것도 가능하다.

제 1 에치 스토퍼총(112)은 배선용 트렌치의 에칭으로부터 보호되고 있기 때문에, 애싱을 받아도 그 아래의 도전성 영역(111)이 손상을 받는 경우가 적다.

도 15d에 나타낸 바와 같이, 제 2 충간절연막(115) 상의 반사방지막(116), 배선용 트렌치 저면에 노출된 제 2 에치 스토퍼총(114), 비어 홀 내에 노출된 제 1 에치 스토퍼총(112)을 에칭에 의해 제거한다. 이와 같이 하여, 배선용 트렌치 및 비어 홀이 하지 중의 도전성 영역(111)과 접속된 상태에서 형성된다.

도 15e에 나타낸 바와 같이, 배선층을 형성하고, 제 2 충간절연막(115) 표면상의 부분을 CMP로 제거함으로써, 비어 홀 및 배선용 트렌치를 매립하는 듀얼 다마신 배선(160)이 형성된다.

발명이 이루고자 하는 기술적 과제

상술한 바와 같이, 종래의 듀얼 다마신 공정에 의하면, 듀얼 다마신 배선의 아래에 배치되는 도전성 영역의 표면을 충분히 보호하여 신뢰성이 높은 배선 구조를 형성하는 것이 반드시 용이하지는 않았다.

본 발명의 목적은 하층 도전층의 표면을 충분히 보호할 수 있어 신뢰성이 높은 듀얼 다마신 배선을 갖는 반도체 장치의 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 이러한 듀얼 다마신 공정을 사용하는데 적합한 구조를 갖는 반도체 장치를 제공하는 것이다.

발명의 구성

본 발명의 일 관점에 의하면, 표면에 도전성 영역을 갖는 하지와, 상기 하지의 표면을 덮는 절연성 에치 스토퍼막과, 상기 절연성 에치 스토퍼막 상에 형성된 충간절연막과, 상기 충간절연막 표면으로부터 제 1 깊이로 형성된 배선용 트렌치와, 상기 배선용 트렌치 저면으로부터 상기 충간절연막의 나머지 두께 및 상기 절연성 에치 스토퍼막을 관통하여 상기 도전성 영역에 이르는 접속용 홀과, 상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 형성된 듀얼 다마신 배선을 갖고, 상기 충간 절연막이 상기 배선용 트렌치의 측면 및 저면을 둘러싸는 제 1종 절연층과 상기 제 1종 절연층보다도 아래에 배치되고 제 1종 절연층과 예칭 특성이 상이한 제 2종 절연층을 포함한 반도체 장치가 제공된다.

본 발명의 다른 관점에 의하면, 표면에 도전성 영역을 갖는 하지 상에 절연성 에치 스토퍼막을 형성하는 공정과, 상기 절연성 에치 스토퍼막 상에 제 1종 절연막과 그 아래에 배치되고 제 1종 절연막과 예칭 특성이 상이한 제 2종 절연막을 포함한 충간절연막을 형성하는 공정과, 상기 충간절연막의 표면으로부터 상기 충간절연막을 관통하여 상기 절연성 에치 스토퍼막에 이르는 접속용 홀을 형성하는 공정과, 상기 접속용 홀 내에 상기 제 2종 절연막의 표면보다 아래의 높이까지 유기물을 보호 충전물을 형성하는 공정과, 상기 접속용 홀과 중복시켜 상기 충간절연막 표면으로부터 제 1종 절연막 중의 제 1 깊이 까지 배선용 트렌치를 형성하는 공정과, 상기 보호 충전물을 제거하는 공정과, 상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 듀얼 다마신 배선을 형성하는 공정을 갖는 반도체 장치의 제조 방법이 제공된다.

본 발명자들은 종래 기술의 문제점에 대해서 보다 상세하게 고찰했다. 도 15에 나타낸 공정에서 제 1 에치 스토퍼층(112)을 충분히 보호하고자 하면, 충전물(155)을 두껍게 형성할 필요가 있다. 그런데, 비어 홀(102)의 높이를 제한하고자 하면, 충전물(155)의 높이도 제한되게 된다.

충전물(155)의 높이를 낮게 하면, 배선용 트렌치의 예칭 시에 충전물이 없어져, 비어 홀 저면에 노출된 제 1 에치 스토퍼층(112)이 손상을 받는 경우가 있다. 제 1 에치 스토퍼층이 손상을 받지 않도록 충전물(155)의 높이를 높게 하면, 배선용 트렌치 예칭 시에 충전물(155)이 제 2 에치 스토퍼층(114)보다도 위로 돌출되어, 색도잉(shadowing)이라 불리는 현상이 발생한다.

이 색도잉이 발생하면, 충전물(155)의 측벽부에 예칭 잔류물이 남는다. 비어 개구부 또는 그 주변의 배선용 트렌치에 예칭 잔류물이 남으면, 그 후의 Cu 등의 금속 매립 공정에서 불량이 발생하기 쉬워진다.

도 16은 배선용 트렌치 저면에 에치 스토퍼층을 배치하지 않는 경우의 충전물을 사용한 듀얼 다마신 공정의 예를 나타낸다.

도 16a에 나타낸 바와 같이, 도전성 영역(111)을 갖는 하지(110) 상에 에치 스토퍼층(112), 충간절연막(113), 반사방지막(116)이 적층되어 있다. 레지스트 패턴을 사용하여 비어 홀(102)을 형성한 후, 비어 홀 하부에 충전물(155)을 형성한다. 그 후, 반사방지막(116) 표면상에 배선용 트렌치 형성용의 레지스트 패턴(PR2)을 형성한다.

도 16b에 나타낸 바와 같이, 레지스트 패턴(PR2)을 예칭 마스크로 하여 반사방지막(116) 및 충간절연막(113)의 부분적 예칭을 행한다. 이 때, 비어 홀 하부에는 충전물(155)이 형성되어 있어, 그 아래의 에치 스토퍼층(112)은 예칭으로부터 보호되고 있다.

그러나, 충전물(155)은 그 주위의 충간절연막(113)과는 예칭 특성이 상이하다. 따라서, 충전물(155)이 마스크로 되어 색도잉이라 불리는 현상이 발생한다. 즉, 충전물(155)의 측부에 깊은 컷(cut)이 형성되기 쉽다. 또한, 컷은 충전물(155)의 측벽으로부터 멀어지도록 형성되어, 충전물(155) 주위의 충간절연막에는 예리한 돌출부가 형성된다. 이하, 이 현상을 이상(異常) 예칭이라고 부르기도 한다.

도 16c에 나타낸 바와 같이, 배선용 트렌치를 예칭한 후, 레지스트 패턴(PR2)을 애싱에 의해 제거한다. 충전물(155)이 유기물로 형성되어 있을 경우는, 애싱에 의해 충전물(155)도 동시에 제거된다. 또한, 비어 홀 상부에는 색도잉에 의해 생긴 돌출부 또는 깊은 컷부(cut部)가 형성되어 있다.

도 16d에 나타낸 바와 같이, 충간절연막(113) 표면상의 반사방지막(116) 및 비어 홀 내에 노출된 에치 스토퍼층(112)의 예칭을 행한다.

도 16e에 나타낸 바와 같이, 배선용 트렌치 및 비어 홀 내에 듀얼 다마신 배선(160)의 매립을 행한다. 그러나, 비어 홀 주변에 예리한 돌출부 또는 깊은 컷이 형성되어 있기 때문에, 배선(160) 형성 시에 보이드가 생기기 쉽다. 보이드가 생기면, 하층 배선(111)과 상층 배선(160)의 전기적 접속이 불충분해지기 쉽다.

본 발명자들은 도 16에 나타낸 바와 같은 이상 예칭 또는 하지 도전체의 손상이 발생하는 원인을 고찰했다. 고찰 내용을 도 17, 도 18, 도 19를 참조하여 설명한다.

도 17a에 나타낸 바와 같이, 도전성 영역(111)을 갖는 하지(110)의 표면 상에 에치 스토퍼총(112) 및 충간절연막(113)을 형성한 후, 반사방지막(116)을 적층시킨다. 반사방지막(116) 상에 레지스트 마스크를 형성하고, 비어 홀을 에치 스토퍼총(112) 표면까지 형성한다. 그 후, 비어 홀 형성에 사용한 레지스트 패턴을 제거하고, 배선 트렌치 형성용의 레지스트 패턴(PR2)을 형성한다. 그 후, 비어 홀 내에 충전물(155)을 형성한다. 여기서, 도 17a에서는 충전물(155)을 높이 600nm로 형성한다.

도 18a에서는 충전물(155)을 높이 400nm로 형성한다. 또한, 도 19a에서는 충전물(155)을 높이 200nm로 형성한다. 그 밖의 조건은 도 17a와 동일하다. 이와 같이, 충전물의 높이가 상이할 경우, 배선용 트렌치를 예칭해 나가는 공정에서 어떠한 변화가 나타나는지를 고찰한다.

도 17b, 도 18b, 도 19b는 각각 배선용 트렌치를 형성하기 위해, 충간절연막(113)을 깊이 400nm로 예칭한 상태를 나타낸다. 충간절연막(113)의 예칭과 함께 충전물(155)도 예칭되나, 비어 홀 내의 충전물(155)은 남아 있다. 비어 홀의 상측 가장자리부(어깨부)는 비스듬하게 예칭된다.

도 17c, 도 18c, 도 19c는 배선용 트렌치를 깊이 600nm 예칭한 상태를 나타낸다. 충전물(155)이 200nm 형성된 도 19c의 경우, 배선용 트렌치의 예칭에 의해 충전물(155)이 소멸되어 있다. 따라서, 예칭을 더 진행시키면 비어 홀 아래의 에치 스토퍼총(112)이 예칭의 영향을 받는다.

도 17d, 도 18d, 도 19d는 배선용 트렌치를 깊이 800nm 예칭한 상태를 나타낸다. 도 19d에서는 에치 스토퍼총(112)이 예칭되어, 하지 내의 도전성 영역(111)이 예칭되게 된다. 따라서, 이러한 상태에서 듀얼 다마신 배선을 형성하여도, 배선의 전기적 특성은 보증되지 않아, 신뢰성이 낮은 배선으로 된다.

도 17d에서는 충전물(155)이 충분히 남아 있으나, 충전물(155)의 표면이 예칭된 어깨부의 에치 표면보다도 위로 돌출되는 형상으로 되어, 이상 예칭이 발생하고 있다.

도 18d에서는 예칭된 어깨부의 영역이 충전물(155) 표면에 이르러, 예칭 잔류물이 생기는 상태로 되고 있다. 현재는 이상 예칭이 생기지 않았더라도 곧 이상 예칭이 생기는 상태이다.

여기서 정량적 고찰을 행한다. 도 17a 및 도 17c에 나타낸 바와 같이, 충간절연막(113)의 두께를 h , 충전물(155)의 높이를 z , 트렌치 예칭의 깊이를 y , 비어 홀 어깨부의 최대 깊이를 x , 충전물(155)의 나머지 높이를 z' 라고 한다. 충전물의 막 감량(減量)은 $\Delta z = z - z'$ 이다. 충간절연막의 에치 레이트에 대한 충전물의 에치 레이트의 비율을 b 라고 한다.

충전물의 막 감량은 $\Delta z = y/b$ 로 나타낼 수 있다. 따라서, $z' = z - \Delta z = z - (y/b)$ 로 된다. 어깨부의 예칭 깊이 x 를 $x = \{1 + (1/1.4)\}y$ 로 한다. 그리하면, 예칭 잔류물이 남지 않을 조건은, $h - x = h - \{1 + (1/1.4)\}y > z' = z - (y/b)$ 로 된다. 비어 홀의 저부를 보호하기 위해 필요한 충전물의 높이는 $z > (y/b)$ 이다. 예칭 깊이 y 를 크게 하면, z 도 크게 해야만 하나, z 를 크게 하면 예칭 잔류물이 남기 쉬워진다.

이와 같이, 충간절연막 중에 에치 스토퍼총을 형성하지 않는 컨트롤 예칭에서는, 배선용 트렌치의 예칭 깊이가 깊어질수록 이상 예칭이 발생하기 쉬워진다. 충전물의 높이를 낮게 하면, 이상 예칭은 발생하지 않으나, 에치 스토퍼총이 손상을 받아, 하지의 도전성 영역이 손상을 받을 위험성이 높아진다. 두꺼운 배선을 형성하기 위해 깊은 배선용 트렌치를 형성할 때가 문제이다.

도 17, 도 18, 도 19에 나타낸 예에서는 예칭 깊이 400nm까지는 장해가 생기지 않더라도, 예칭 깊이 800nm에서는 양호한 결과를 얻을 수 없다. 일반적으로 500nm 이상 깊은 트렌치 예칭을 행하고자 하면 문제가 생긴다.

이하, 도면을 참조하여 본 발명의 실시예를 설명한다.

도 1a에 나타낸 바와 같이, 도전성 영역(11)을 갖는 하지(10) 상에 SiN 등으로 형성된 제 1 에치 스토퍼층(12), 불소 함유 실리콘 산화물(FSC) 등으로 형성된 제 1 층간절연막(13), 질화실리콘(SiN) 등으로 형성된 제 2 에치 스토퍼층(14), 불소 함유 산화물 등으로 형성된 제 2 층간절연막(15), SiN 등으로 형성된 절연성 반사방지막(16)을 적층시킨다.

FSG는 통상의 산화실리콘보다 낮은 유전율을 갖는다. 불소의 함유량 등에 의해, 유전율을 가변 제어할 수도 있다. 질화실리콘은 산화실리콘의 에칭에 대하여 상당히 낮은 에치 레이트로 할 수 있어 에치 스토퍼로 하는 것이 가능하나, 유전율은 산화실리콘의 유전율보다도 높다.

이들의 적층은 화학 기상 퇴적(CVD)에 의해 형성할 수 있다. 제 1 에치 스토퍼층(12) 및 제 2 에치 스토퍼층(14)은, 예를 들어, SiN막에 의해 형성한다. 제 1 층간절연막(13)은, 예를 들어, 불소 함유 실리콘 산화물에 의해 형성한다. 제 2 층간절연막(15)은, 예를 들어, 제 1 층간절연막(13)보다도 두꺼운 불소 함유 실리콘 산화물에 의해 형성한다. 반사방지막(16)은, 예를 들어, SiN막에 의해 형성한다.

이 적층 구조는 도 15a에 나타낸 것과 동일하나, 도 15a와 비교하면 제 2 에치 스토퍼층(14)이 하지(10)에 보다 가까운 위치에 배치되어 있다. 즉, 제 1 층간절연막(13)이 얇게, 제 2 층간절연막(15)이 두껍게 형성되어 있다. 배선용 트렌치는 제 2 층간절연막(15)의 상부에 컨트롤 에칭에 의해 형성된다.

반사방지막(16) 상에 레지스트 패턴을 형성하여, 제 1 에치 스토퍼층(12)에 이르는 비어 홀(HP)을 형성한다. 그 후, 레지스트 패턴은 제거하고, 비어 홀(HP)의 하부에 유기물의 보호 충전물(55)을 형성한다. 보호 충전물(55)은, 예를 들어, 감광재를 제거한 레지스트 재료로 형성한다. 충전물(55)의 높이는 현상액에 의한 충전물의 제거를 시간 제어함으로써 행할 수 있다. 충전물(55)의 상면은 제 2 에치 스토퍼층(14)의 상면보다도 위에 위치되지 않는 것이 바람직하다.

반사방지막(16) 상에 배선용 트렌치의 형상을 갖는 개구(WA)를 형성한 레지스트 패턴(PR2)을 형성한다.

도 1b에 나타낸 바와 같이, 개구(WA)를 갖는 레지스트 패턴(PR2)을 마스크로 하여 반사방지막(16)을 에칭한 후, 제 2 층간절연막(15)의 컨트롤 에칭을 행한다. 에칭 가스로서는, 예를 들어, CF를 함유한 가스와 O₂를 함유한 가스와의 혼합 가스를 사용한다.

에칭 깊이는 제 2 층간절연막(15)의 중간까지의 깊이로 선택한다. 이와 같이 하여, 제 2 층간절연막(15)에 배선용 트렌치(WG)가 형성된다. 배선용 트렌치(WG)의 측면 및 저면은 유전율이 낮은 제 2 층간절연막(15)으로 확정되어 있고, 제 2 에치 스토퍼층(14)은 배선용 트렌치 저면보다 아래쪽에 배치되어 있다.

제 2 에치 스토퍼층(14)은 배선용 트렌치의 에칭에서는 에치 스토퍼층으로서 기능하고 있지 않다. 그러나, 비어 홀(HP) 내의 충전물(55) 주위를 둘러쌈으로써 어깨부의 에칭을 억제하여, 이상 에칭의 발생을 방지하고 있다.

배선용 트렌치의 에칭 후에 애싱을 행한다.

도 1c에 나타낸 바와 같이, 애싱에 의해 레지스트 패턴(PR2) 및 유기물의 보호 충전물(55)이 제거된다.

도 1d에 나타낸 바와 같이, 예를 들어, CHF₃+O₂를 에칭 가스로서 사용하여 반사방지막(16) 및 제 1 에치 스토퍼층(12)의 실리콘 질화막을 에칭한다.

도 1e에 나타낸 바와 같이, 배선용 트렌치 및 비어 홀 내에 듀얼 다마신 배선(60)을 형성한다. 듀얼 다마신 배선(60)은, 예를 들어, TaN을 스퍼터링하여 배리어층을 형성한 후, Cu의 시드(seed)층 및 Cu의 메인 배선층을 형성한다. Cu층의 형성은, 예를 들어, 도금에 의해 행할 수 있다. 제 2 층간절연막(15) 상면 상에 퇴적된 배리어층, 시드층, 메인 배선층은 CMP 등에 의해 제거한다.

본 실시예에 의하면, 충전물(55)의 상면은 SiN으로 형성된 제 2 에치 스토퍼층(14)의 상면 이하의 높이에 위치하고 있기 때문에, 배선용 트렌치의 에칭에서 비어 홀 주위의 이상 에칭이 억제된다. 따라서, 배선용 트렌치에 연속되는 비어 홀의 형상이 매크로 해져, 배리어층이 배선 트렌치 및 비어 홀의 내면에 잘 부착되고, 그 후의 배리어층 형성 및 메인 배선층 형성을 양호하게 행할 수 있다.

제 2 에치 스토퍼총(14)은 비교적 높은 유전율을 가지나, 이 제 2 에치 스토퍼총(14)은 메인 배선층보다도 아래에 위치하고 있다. 따라서, 배선간 용량의 증대는 억제된다. 비어 홀은 기판 면내에서 약간 분포할 뿐이고, 제 2 에치 스토퍼총이 배선용 트렌치 측벽과 접하는 경우에 비하여, 기생(parasitic) 용량에 주는 영향은 작다.

또한, 도 1d에 나타낸 제 1 에치 스토퍼총(12)의 에칭 공정에서 제 2 층간절연막이 에칭되는 경우도 있다.

도 1f는 도 1d에 나타낸 제 1 에치 스토퍼총(12)의 에칭 공정에서 배선용 트렌치 저면의 제 2 층간절연막(15)이 에칭되어, 제 2 에치 스토퍼총(14)이 노출된 경우를 나타낸다. 제 2 에치 스토퍼총(14)이 노출됨으로써, 배선의 기생 용량은 약간 증가한다. 그러나, 도전성 영역(11) 표면의 손상을 방지하며, 이상 에칭을 방지하는 효과는 유지된다.

또한, 제 2 에치 스토퍼총(14)을 어느 높이로 형성하는 것이 바람직한가를 이하에 보충적으로 설명한다. 제 2 에치 스토퍼총(14)을 생략한 상태의 층간절연막의 두께를, 예를 들어, 1500nm로 한다. 이 층간절연막에 배선용 트렌치로서 깊이 800nm의 트렌치를 형성하는 경우를 고찰한다. 보호용 층전물의 높이는 600nm로 한다.

도 20aa는 제 2 에치 스토퍼총(14)을 사용하지 않고 깊이 800nm의 트렌치를 형성한 경우의 단면 구조를 개략적으로 나타낸다. 비어 홀 근방에서 어깨부의 에칭이 진행되어, 층전물(55) 주위에 이상 에칭이 발생하고 있다.

도 20ba는 레지스트 패턴(PR2) 및 층전물(55)을 제거한 상태를 나타낸다. 층간절연막은 비어 홀 주변에서 예리한 돌기와 컷을 가져, 그 후의 듀얼 다마신 배선의 형성을 곤란하게 한다.

도 20ab는 에치 스토퍼총을 층간절연막의 아래로부터 200nm의 위치에 배치한 경우를 나타낸다. 이 경우에도 비어 홀 주변의 어깨부의 에칭은 진행되고, 층전물(55)의 표면이 에칭 표면보다도 위로 돌출되어, 그 주위에서 이상 에칭이 생기고 있다.

도 20bb는 레지스트 패턴(PR2)을 제거한 상태를 나타낸다. 비어 홀 주변의 층간절연막은 예리한 돌기와 깊은 컷을 갖고 있다.

도 20ac 및 도 20bc는 제 2 에치 스토퍼총(14)을 층간절연막의 저면으로부터 높이 약 400nm의 위치에 배치한 경우를 나타낸다. 어깨부의 에칭은 제 2 에치 스토퍼총(14)에서 정지되어, 비어 홀의 하부에 층전물(55)이 잔류되어 있다.

도 20bc에 나타낸 바와 같이, 레지스트 패턴(PR2)을 제거하면, 비어 홀 주변에서 완만한 기울기의 어깨부를 갖는 듀얼 다마신 배선 트렌치가 형성되고 있다.

도 20ad 및 도 20bd는 제 2 에치 스토퍼총(14)을 층간절연막 저면으로부터 높이 약 600nm의 위치에 배치한 경우를 나타낸다. 비어 홀 주변의 어깨부의 에칭이 진행되어 제 2 에치 스토퍼총(14)이 노출되면, 어깨부의 에칭은 그 이후 거의 진행되지 않는 상태로 된다.

도 20bd에 나타낸 바와 같이, 레지스트 패턴(PR2)을 제거하면, 대략 평탄한 평면을 갖는 배선용 트렌치와 주위에 이상 에칭이 생기지 않은 비어 홀을 얻을 수 있다. 이와 같이, 비어 홀 주변에서 어깨부의 에칭이 진행되어, 에치 스토퍼총이 노출된 시점에서 층전물 상면의 높이가 어깨부의 가장 낮은 위치보다도 더 하부에 배치하도록 하면, 이상 에칭을 효율적으로 방지하여, 양호한 형상을 얻을 수 있다.

도 1의 실시예에서는 층간절연막을 3층의 적층 구조로 형성했다. 층간절연막의 구성을 보다 간략화할 수도 있다.

도 2는 층간절연막을 2층의 적층 구조로 형성하는 경우를 나타낸다. 도 2a에 나타낸 바와 같이, 도전성 영역(11)을 갖는 하지(10) 상에 에치 스토퍼총(12), 플라즈마 SiO_2 등으로 형성된 제 1 층간절연막(56), 불소 함유 실리콘 산화물 등으로 형성된 제 2 층간절연막(15), SiN 등으로 형성된 반사방지막(16)을 적층시킨다.

제 1 층간절연막(56) 및 제 2 층간절연막(15)은 유사한 에치 레이트를 가지나, 제 1 층간절연막의 에치 레이트는 낮고, 제 2 층간절연막의 에치 레이트는 높다.

제 2 층간절연막(15)의 두께는 그 후에 형성하는 배선용 트렌치의 깊이보다도 두껍게 설정한다. 또한, 제 2 에치 스토퍼층이 존재하지 않기 때문에, 제 1 층간절연막(56)은 두껍게 형성하는 것이 바람직하다. 예를 들면, 제 2 층간절연막(15)보다도 제 1 층간절연막(56)을 두껍게 한다.

도 1의 실시예와 동일하게 반사방지막(16) 상에 레지스트 패턴을 형성하고, 반사방지막(16), 제 2 층간절연막(15), 제 1 층간절연막(56)의 이방성 에칭을 행하여 비어 홀(HP)을 형성한다. 그 후, 레지스트 패턴은 제거하고, 비어 홀(HP)의 저부에 유기화합물의 보호 충전물(55)을 형성한다. 보호 충전물(55)은 제 1 실시예와 동일하게 제 1 층간절연막(56) 표면보다도 낮은 높이까지 형성한다. 제 1 층간절연막(56) 및 제 2 층간절연막(15)은 유사한 에치 레이트를 갖는다.

반사방지막(16) 상에 배선용 트렌치의 패턴에 대응하는 개구(WA)를 갖는 레지스트 패턴(PR2)을 형성한다.

도 2b에 나타낸 바와 같이, 개구(WA)를 갖는 레지스트 패턴(PR2)을 에칭 마스크로 하여 반사방지막(16) 및 제 2 층간절연막(15)의 에칭을 행한다. 제 2 층간절연막(15)의 에칭은 컨트롤 에칭으로 하고, 시간 제어에 의해 에칭 깊이를 제어한다. 제 2 층간절연막(15)의 일부 두께가 남은 상태에서 에칭을 정지시킨다. 이와 같이 하여, 제 2 층간절연막(15)에 배선용 트렌치(WG)가 형성된다.

보호 충전물(55)은 제 2 층간절연막(15)보다도 에칭 레이트가 낮은 제 1 층간절연막(56)으로 둘러싸여 있기 때문에, 배선용 트렌치의 에칭 시에 보호 충전물(55) 주위에 이상 에칭이 발생할 가능성은 적다.

도 2c에 나타낸 바와 같이, 레지스트 패턴(PR2) 및 보호 충전물(55)을 애칭에 의해 제거한다.

도 2d에 나타낸 바와 같이, 제 2 층간절연막(15) 상면 상의 반사방지막(16) 및 비어 홀 저부의 에치 스토퍼층(12)의 SiN막을 에칭에 의해 제거한다.

도 2e에 나타낸 바와 같이, 배선용 트렌치 및 비어 홀 내에 듀얼 다마신 배선(60)을 형성한다. 이들 공정은 제 1 실시예와 동일하다.

도 2에 나타낸 실시예에서 제 1 층간절연막(56) 및 제 2 층간절연막(15)의 두께를 어떻게 선택하면 좋은가를 보다 구체적으로 설명한다. 제 2 층간절연막 및 제 1 층간절연막의 합인 층간절연막의 높이를 1500nm로 하고, 배선용 트렌치의 깊이를 800nm로 한다. 또한, 비어 홀 내에 대한 보호용 충전물의 높이를 약 500nm로 한다.

도 21aa 및 도 21ba는 1층의 층간절연막(15)으로 층간절연막을 형성한 경우를 나타낸다. 이 경우, 비어 홀 주변의 에칭이 진행되어, 충전물(55)의 주변에 이상 에칭이 생기게 된다. 레지스트 패턴(PR2)을 제거한 상태에서는, 도 21ba에 나타낸 바와 같이, 비어 홀 주변에 예리한 돌기와 깊은 컷이 생기고 있다.

도 21ab 및 도 21bb는 아래쪽에 배치하는 제 1 층간절연막(56)의 두께를 약 200nm(제 2 층간절연막(15)의 두께는 1300nm)로 한 경우를 나타낸다. 이 경우, 비어 홀 주변의 어깨부의 에칭이 진행되어, 제 1 층간절연막(56)이 노출되는 시점에서 이상 에칭이 발생하고 있다.

도 21ac는 제 1 층간절연막(56)의 높이를 약 400nm로 한 경우를 나타낸다. 비어 홀 주변의 어깨부의 에칭이 진행되어 제 1 층간절연막(55)이 노출되면, 그 후의 어깨부 에칭의 진행은 느려진다. 에칭 종료 후, 레지스트 패턴(PR2)을 제거한 상태에서는, 도 21bc에 나타낸 바와 같이, 제 1 층간절연막(55)의 주요 부분에서는 대략 수직인 측벽을 갖고, 상부에서 완만한 기울기의 어깨부를 갖는 비어 홀이 얻어진다.

도 21ac 및 도 21bd는 제 1 층간절연막(55)의 높이를 약 600nm로 한 경우를 나타낸다. 이 경우에는 도 21ac보다도 빠른 타이밍으로 제 1 층간절연막(55)이 노출되고, 그 후의 제 1 층간절연막(44)의 에칭은 완만하게 진행되기 때문에, 어깨부의 에칭 양은 보다 작아진다. 도 21bd에 나타낸 바와 같이, 레지스트 패턴(PR2)을 제거한 상태에서는, 대략 수직인 측벽을 갖는 비어 홀 주요부와 그 상부에서 약간 경사진 어깨부를 갖는 듀얼 다마신 배선용 트렌치가 얻어진다.

이와 같이, 충전물(55)의 표면은 에칭을 억제하는 층의 상측 표면보다도 아래의 위치에 배치되어 있는 경우에 양호한 에칭 형상을 실현하는 것이 가능해진다.

본 실시예에서는 유전율이 높은 SiN 등의 제 2 에치 스토퍼총을 사용하지 않기 때문에, 배선간 용량을 저감시키는 동시에, 비어 홀 사이의 용량 증대도 억제할 수 있다.

도 2f는 도 2d에 나타낸 제 1 에치 스토퍼총(12)의 에칭 공정에서 배선용 트렌치 저면의 제 2 층간절연막(15)이 에칭되어, 제 1 층간절연막(56)이 노출된 경우를 나타낸다. 배선용 트렌치가 제 1 층간절연막 중에 들어가는 경우도 있다. 제 1 층간절연막(56)이 노출됨으로써, 배선의 기생 용량은 약간 증가한다. 그러나, 도전성 영역(11) 표면의 손상을 방지하며, 이상 에칭을 방지하는 효과는 유지된다.

제 2 실시예에서는 하부 층간절연막을 플라즈마 SiO₂막으로 형성했다. 플라즈마 SiO₂막은 에치 레이트가 낮고, 유전율은 SiN보다 낮기는 하지만 그다지 낮지 않다. 상하 배선층 사이의 용량을 저감시키기 위해서는, 유전율이 더 낮은 재료를 사용하는 것이 요망된다.

도 3은 이상 에칭 방지용의 플라즈마 SiO₂막의 두께를 제한하고, 그 상하를 불소 함유 실리콘 산화막으로 끼운 층간절연막을 사용하는 구성을 나타낸다. 도 3a에 나타낸 바와 같이, 도전성 영역(11)을 갖는 하지(10) 상에 SiN 등으로 형성된 에치 스토퍼총(12), 불소 함유 실리콘 산화막으로 형성된 제 1 층간절연막(13), 플라즈마 SiO₂막으로 형성된 에칭 억제 절연층(54), 불소 함유 실리콘 산화막으로 형성된 제 2 층간절연막(15), SiN 등으로 형성된 반사방지막(16)을 적층시킨다.

제 1 층간절연막(13), 제 2 층간절연막(15), 에칭 억제 절연층(54)은 보호 충전물과 유사한 에치 레이트를 가지나, 제 1 층간절연막(13) 및 제 2 층간절연막(15)의 에치 레이트는 높고, 에칭 억제 절연층(54)의 에치 레이트는 낮다.

도 3a의 구성은 도 2a의 구성에서의 제 1 층간절연막(56)을 제 1 층간절연막(13)과 에칭 억제 절연층(54)과의 적층으로 치환시킨 구성에 대응한다.

반사방지막(16) 상에 레지스트 패턴을 형성하여, 비어 홀(HP)을 형성한다. 그 후, 레지스트 패턴을 제거하고, 비어 홀(HP) 하부에 유기화합물의 보호 충전물(55)을 형성한다. 보호 충전물(55)의 상면은 에칭 억제 절연층(54)의 상면보다도 위로 돌출되지 않으며, 에칭 억제 절연층(54)으로 둘러싸이도록 배치한다.

반사방지막(16) 표면상에 배선 트렌치 형성용 개구(WA)를 갖는 레지스트 패턴(PR2)을 형성한다.

도 3b에 나타낸 바와 같이, 레지스트 패턴(PR2)을 에칭 마스크로 하여 반사방지막(16)을 에칭한 후, 제 2 층간절연막(15)의 컨트롤 에칭을 행한다. 제 2 층간절연막(15)의 컨트롤 에칭은 제 2 층간절연막의 일부 두께가 남도록 설정한다.

이 때, 비어 홀 주위의 어깨부에서 에칭이 진행되나, 그 아래에 에치 레이트가 낮은 절연층(54)이 배치되어 있기 때문에, 어깨 부분의 에칭이 절연층(54)에서 억제되어 보호 충전물(55) 주위의 이상 에칭은 억제된다.

도 3c에 나타낸 바와 같이, 레지스트 패턴(PR2) 및 보호 충전물(55)을 애싱에 의해 제거한다.

도 3d에 나타낸 바와 같이, 제 2 층간절연막(15) 표면상의 반사방지막(16) 및 비어 홀 저부의 에치 스토퍼총(12)을 에칭 제거한다. 이와 같이 하여, 이상 에칭을 억제하면서, 배선용 트렌치 및 비어 홀을 형성할 수 있다.

도 3e에 나타낸 바와 같이, 배선용 트렌치 및 비어 홀 내에 듀얼 다마신 배선(60)을 형성한다. 이 공정은 상술한 실시예와 동일하다.

도 3f는 도 3d에 나타낸 제 1 에치 스토퍼총(12)의 에칭 공정에서 배선용 트렌치 저면의 제 2 층간절연막(15)이 에칭되어, 에칭 억제 절연층(54)이 노출된 경우를 나타낸다. 배선용 트렌치가 에칭 억제 절연층 중에 들어가는 경우도 있다. 에칭 억제 절연층(54)이 노출됨으로써, 배선의 기생 용량은 약간 증가한다. 그러나, 도전성 영역(11) 표면의 손상을 방지하며, 이상 에칭을 방지하는 효과는 유지된다.

상술한 실시예에서는 하지 도전 영역 표면의 손상을 방지하기 위해, 비어 홀의 하부에 충전물을 형성했다. 이하, 충전물을 사용하지 않고 비어 홀 아래쪽의 도전성 영역 표면을 손상으로부터 보호하는 실시예를 설명한다.

도 4 및 도 5는 본 발명의 다른 실시예에 의한 반도체 장치의 제조 방법을 나타낸다.

도 4a에 나타낸 바와 같이, 구리 배선 등의 도전성 영역(11)을 갖는 하지(10)의 표면상에 제 1 에치 스토퍼총(12), 제 1 층 간절연막(13), 제 2 에치 스토퍼총(14), 제 2 층 간절연막(15), 반사방지막(16)의 적층을 형성한다. 이들 적층은 화학 기상 퇴적(CVD)에 의해 형성할 수 있다.

제 1 에치 스토퍼총(12) 및 제 2 에치 스토퍼총(14)은, 예를 들어, 두께 약 50nm의 SiN막에 의해 형성한다. 제 1 층 간절연막(13)은, 예를 들어, 두께 300nm의 불소 함유 실리콘 산화물에 의해 형성한다. 제 2 층 간절연막(15)은 제 1 층 간절연막(13)보다도 두꺼운, 예를 들어, 두께 900nm의 불소 함유 실리콘 산화물에 의해 형성한다. 반사방지막(16)은, 예를 들어, 두께 50nm의 SiN막에 의해 형성한다. 반사방지막(16)의 표면상에 레지스트막을 도포하고, 노광 및 현상함으로써 비어 홀을 위한 개구(HA)를 갖는 레지스트 패턴(PR1)을 형성한다.

도 4b에 나타낸 바와 같이, 레지스트 패턴(PR1)을 에칭 마스크로 하여 반사방지막(16), 제 2 층 간절연막(15), 제 2 에치 스토퍼총(14)을 에칭한다. 이 에칭에서 SiN막(16, 14)에 대해서는 불소를 함유한 가스를 에칭 가스로서 사용하고, 불소 함유 실리콘 산화물로 형성된 제 2 층 간절연막에 대해서는, 예를 들어, CF를 함유한 가스와 O₂를 함유한 가스의 혼합 가스를 에칭 가스로서 사용한다. 이 에칭에 의해 형성된 비어 홀(HP)의 하부에는 제 1 층 간절연막(13)이 노출된다.

도 4c에 나타낸 바와 같이, 애싱에 의해 레지스트 패턴(PR1)을 제거한다. 또한, 도 4b 및 도 4c의 공정에서 하지 도전 영역(11)은 제 1 에치 스토퍼총(12) 및 제 1 층 간절연막(13)으로 덮여있기 때문에, 에칭 및 애싱에 의해 손상을 받는 것으로부터 방지되고 있다.

도 4d에 나타낸 바와 같이, 반사방지막(16) 상에 레지스트층을 도포하고, 노광 및 현상함으로써 배선용 개구(WA)를 갖는 레지스트 패턴(PR2)을 형성한다.

도 5e에 나타낸 바와 같이, 레지스트 패턴(PR2)을 에칭 마스크로 하여 반사방지막(16)을 에칭한 후, 제 2 층 간절연막(15)의 컨트를 에칭을 행한다. 제 2 층 간절연막(15)의 에칭 깊이 d1은 제 1 층 간절연막(13)의 두께 d2보다도 큰 값으로 한다.

이와 같이 설정함으로써, 배선용 트렌치(WG)을 에칭하는 동안에, 비어 홀 아래쪽의 제 1 층 간절연막(13)은 완전하게 에칭되어, 제 1 에치 스토퍼총(12)이 노출된다. 제 1 에치 스토퍼총(12)의 에치 레이트는 제 2 층 간절연막(15)의 에치 레이트 보다도 충분히 낮게 할 수 있고, 배선용 트렌치의 에칭에 의해서도 제 1 에치 스토퍼총(12)이 충분한 두께로 남아 있어, 그 아래의 도전성 영역이 손상을 받는 것은 용이하게 방지된다.

도 5f에 나타낸 바와 같이, 애싱에 의해 레지스트 패턴(PR2)을 제거한다. 이 애싱에서도 하지(10) 내의 도전성 영역(11) 표면은 제 1 에치 스토퍼총(12)에 의해 덮여 있어, 애싱에 의해 손상을 받는 것으로부터 방지된다.

도 5g에 나타낸 바와 같이, 제 2 층 간절연막(15) 상의 반사방지막(16) 및 비어 홀 내에 노출된 제 1 에치 스토퍼총(12)을 에칭에 의해 제거한다. 제 1 에치 스토퍼총(12)이 제거되고, 도전성 영역(11)을 노출시키는 비어 홀(HPA)이 형성된다.

도 5h에 나타낸 바와 같이, 배선용 트렌치(WG) 및 비어 홀(HPA) 내면 상에 배리어층(19) 및 메인 배선층(20)을 매립하여 듀얼 다마신 배선을 형성한다. 또한, 제 2 층 간절연막(15) 상에 퇴적된 배리어층 및 메인 배선층은 CMP 등에 의해 제거한다.

본 실시예에서는 도 4b에서 형성한 비어 홀(HP)은 도전성 영역(11) 표면을 덮는 에치 스토퍼총(12)까지 도달하지 않고, 그 위에 형성된 제 1 층 간절연막(13) 표면에서 그치고 있다. 따라서, 그 후에 실행되는 배선 트렌치 형성용 에칭에서 제 1 에치 스토퍼총(12)이 충분한 두께로 남아, 도전성 영역이 손상을 받는 것이 용이하게 방지된다.

또한, 제 1 층 간절연막(13)의 두께는 배선용 트렌치 형성용의 에칭에서 완전하게 에칭되는 두께로 선택한다. 예를 들면, 배선용 트렌치(WG)의 제 2 층 간절연막 내에서의 깊이 d1을 500nm로 하고, 제 1 층 간절연막(13)의 두께 d2를 300nm로 한다.

제 2 층 간절연막에 배선 트렌치(WG)를 형성하는 에칭의 에치 레이트 비율을 층 간절연막(13, 15) : 에치 스토퍼총(12) = 12 : 1로 선택할 경우, 제 1 층 간절연막(13)이 에칭된 단계에서 배선용 트렌치는 약 300nm 에칭되고 있다. 나머지 200nm의 에칭을 행할 때, 제 1 에치 스토퍼총(12)은 200/12=16.6nm 에칭되게 된다. 제 1 에치 스토퍼총(12)은 두께 약 50nm로 형성되어 있기 때문에, 제 1 에치 스토퍼총(12)은 충분한 두께로 남아, 도전성 영역이 손상을 받는 것은 용이하게 방지된다.

또한, 먼저 형성한 비어 홀(HP)에는 충전물이 형성되어 있지 않아, 배선용 트렌치의 에칭에서 비어 홀 주변에 이상 에칭이 발생하는 것이 방지된다.

도 4 및 도 5에 나타낸 실시예에서는 충간절연막 중에 에치 스토퍼총을 배치한 구성을 사용했다. 반드시 에치 스토퍼총을 사용하지 않더라도, 동일한 효과를 나타낼 수 있다.

도 6은 본 발명의 다른 실시예에 의한 반도체 장치의 제조 방법을 나타낸 단면도이다.

도 6a에 나타낸 바와 같이, 하지(10) 표면상에 제 1 에치 스토퍼총(12)을 형성한 후, 플라즈마 SiO_2 막(17)을 두께 약 200 nm로 형성한다. 이 플라즈마 SiO_2 총(17) 상에 불소 함유 실리콘 산화물로 형성된 제 2 충간절연막(15)을 두께 약 1000nm로 형성한다. 제 2 충간절연막(15) 상에는 반사방지막(16)을 두께 약 50nm로 형성한다.

이 구성에서는 도 4a에 나타낸 구성에서의 제 1 충간절연막(13)과 제 2 에치 스토퍼총(14)과의 적층이 플라즈마 SiO_2 막으로 형성된 제 1 충간절연막(17)으로 치환된 구성으로 되어 있다.

비어 홀 형성용 개구(HA)를 갖는 레지스트 패턴(PR1)을 반사방지막(16) 상에 형성하고, 반사방지막(16) 및 제 2 충간절연막(15)의 에칭을 행한다. 이 에칭에서는 에치 스토퍼총이 존재하지 않기 때문에, 제 1 충간절연막(17) 표면은 약간 오버 에칭된다.

제 1 충간절연막의 에치 레이트를 제 2 충간절연막의 에치 레이트보다도 낮은 값으로 설정함으로써, 오버 에칭의 양은 억제된다. 예를 들면, 제 2 충간절연막(15)을 CF를 함유한 가스와 O_2 를 함유한 가스의 혼합 가스를 에칭 가스로 하여 에칭할 경우, 제 2 충간절연막(15)과 제 1 충간절연막(17)에 대한 에치 레이트는 제 2 충간절연막 : 제 1 충간절연막 = 2 : 1로 설정할 수 있다.

제 2 충간절연막(15)에 대한 에칭에서 약 150nm 상당의 오버 에칭을 행한 경우, 제 1 충간절연막(17)의 표면은 깊이 약 75 nm에 에칭되게 된다. 이 경우, 제 1 충간절연막(17)은 약 125nm의 두께로 남는다. 따라서, 제 1 에치 스토퍼총(12)은 전혀 에칭되지 않아, 그 아래에 배치된 도전성 영역(11)이 손상을 받는 것을 거의 완벽하게 방지할 수 있다.

비어 홀(HP)의 형성 후, 레지스트 패턴(PR1)은 애칭에 의해 제거한다. 이 애칭에서도 하지(10) 내의 도전성 영역(11)이 손상을 받는 것을 거의 완벽하게 방지할 수 있다.

도 6b에 나타낸 바와 같이, 반사방지막(16) 상에 배선용 트렌치를 에칭하기 위한 개구(WA)를 갖는 레지스트 패턴(PR2)을 형성한다.

도 6c에 나타낸 바와 같이, 레지스트 패턴(PR2)을 에칭 마스크로 하여 제 2 충간절연막(15)에 배선용 트렌치(WG)를 형성하는 동시에, 비어 홀 저면 아래의 제 1 충간절연막(17)을 제거하는 에칭을 행한다. 이 에칭은 제 1 충간절연막(17)을 완전하게 제거한 후, 오버 에칭이 실행되도록 설정한다.

즉, 제 1 충간절연막(17)의 두께 d_3 는 제 2 충간절연막(15) 중에 깊이 d_1 의 배선용 트렌치(WG)를 에칭할 때에 완전하게 에칭되는 값으로 설정한다. 제 1 충간절연막(17)과 제 2 충간절연막(15)의 에치 레이트가 상이할 경우는, 당연히 에치 레이트에 따른 가중(加重)을 행한다.

상술한 두께를 사용한 경우, 두께 125nm의 제 1 충간절연막(17)을 에칭하는 동안에, 제 2 충간절연막(15)은 깊이 약 250 nm에 에칭된다. 배선용 트렌치의 깊이 d_1 을 500nm로 설정한 경우, 제 2 충간절연막(15)에 대해서는 나머지 약 250nm분의 에칭이 실행된다. 에치 레이트 비율을 제 2 충간절연막(15) : 에치 스토퍼막(12) = 12 : 1로 설정할 경우, 제 1 에치 스토퍼총은 $250/12=20.8\text{nm}$ 에 에칭되게 된다. 에치 스토퍼총(12)은 상기 에칭에 의해서도 충분히 잔존되어, 도전성 영역이 손상을 받는 것을 거의 완벽하게 방지할 수 있다.

그 후, 애칭을 행하여 레지스트 패턴(PR2)을 제거한다.

도 6d에 나타낸 바와 같이, 실리콘 질화막에 대한 에칭을 행하여, 제 2 층간절연막 상의 반사방지막(16) 및 도전성 영역 상의 에치 스토퍼층(12)을 제거한다. 그 후, 도 5h에 나타낸 공정과 동일한 공정을 행하여, 시드층, 배리어층, 메인 배선층을 형성하고, 듀얼 다마신 배선을 완성시킨다.

도 3의 실시예와 동일하게 상하 배선층의 기생 용량을 한층 더 저감시킬 수도 있다. 도 7a 및 도 7b는 상하 배선층의 기생 용량을 한층 더 저감시키는 실시예를 나타낸다.

도 7a에서 층간절연막은 아래로부터 불소 함유 실리콘 산화막(13), 플라즈마 산화막(17), 불소 함유 실리콘 산화막(15)으로 형성되어 있다. 불소 함유 실리콘 산화막(13)의 유전율이 낮아, 용량 저감에 효과적이다. 도 6a 내지 도 6d와 동일한 공정을 행함으로써, 도 7b의 구조를 얻는다.

또한, 상술한 실시예에서는 비어 홀을 위한 개구는 배선 트렌치용 개구의 영역 내에 배치되는 것을 전제로 하고 있다. 따라서, 위치맞춤 여유를 고려하여 패턴을 설계할 필요가 있다. 위치맞춤 여유가 작아진 경우, 위치맞춤 어긋남에 의해 비어 홀 패턴과 배선 트렌치용 패턴이 어긋나는 경우가 발생할 수 있다.

도 8a는 비어 홀을 위한 개구(HP)와 배선 트렌치용 개구(WA)에 위치맞춤 어긋남을 발생시킨 경우를 나타낸다. 이 경우, 배선 트렌치용 개구(WA)에 포함되지 않은 비어 홀 영역에는 레지스트가 남겨지게 된다.

도 8b는 배선 트렌치용 개구(WA)의 광 근접 효과에 의해 배선 트렌치용 개구(WA)가 후퇴한 경우, 비어 홀을 위한 개구(HP)의 일부가 배선 트렌치용 개구(WA)에 덮이지 않게 된 경우를 나타낸다. 이 경우도 비어 홀을 위한 개구(HP)의 일부는 배선 트렌치용 개구(WA)에 덮이지 않고, 그 영역의 레지스트는 제거되지 않아 남게 된다.

도 8c는 이러한 위치맞춤 어긋남 또는 패턴의 광 근접 효과에 의한 후퇴에 의해, 비어 홀을 위한 개구의 일부가 배선 트렌치용 개구에 덮이지 않게 된 경우의 배선 트렌치용 에칭을 행하는 레지스트 패턴(PR2)의 형상을 개략적으로 나타낸다. 배선 트렌치용 개구(WA)는 비어 홀(HP)의 일부로부터 외부로 향하여 연이어 존재한다. 비어 홀(HP)의 일부 영역에는 레지스트 패턴(PR2)이 들어가 있다.

도 8c에 나타낸 구성에서는 배선 트렌치용 개구(HP)가 제 1 층간절연막(13) 표면까지 도달하고 있으나, 비어 홀의 단면적이 감소되고 있다.

도 8d는 위치맞춤 어긋남이 더 커진 경우에 발생할 수 있는 현상을 나타낸다. 이 경우에는 배선 트렌치용 에칭의 에칭 마스크로 되는 레지스트 패턴(PR2)의 개구는 비어 홀(HP)의 깊이방향의 일부에만 도달하고, 비어 홀(HP)의 하부에서는 비어 홀 전면이 레지스트에 의해 덮여 있다. 이 경우, 배선 트렌치용 에칭을 행하여도, 비어 홀 아래쪽의 제 1 층간절연막(13)은 전혀 에칭되지 않게 된다.

이와 같이, 비어 홀(HP)과 배선 트렌치용 개구(WA)가 위치맞춤 어긋남을 발생시킨 경우에, 비어 도전체의 콘택트 불량이 발생할 수 있다. 이하, 이러한 위치맞춤 어긋남이 발생한 경우에도, 비어 홀이 확실하게 하지 도전 영역 표면에 도달하도록 하는 실시예를 설명한다.

도 9 및 도 10은 본 발명의 다른 실시예에 의한 반도체 장치의 제조 방법을 설명하는 단면도이다.

도 9a에서 도전성 영역(11)을 갖는 하지(10) 표면상에 제 1 에치 스토퍼층(12), 제 1 층간절연막(13), 제 2 에치 스토퍼층(14), 제 2 층간절연막(15), 하드 마스크층(18)을 적층시킨다.

제 1 에치 스토퍼층(12) 및 제 2 에치 스토퍼층(14)은, 예를 들어, 두께 50nm의 SiN막에 의해 형성한다. 제 1 층간절연막은, 예를 들어, 두께 약 300nm의 불소 함유 실리콘 산화막에 의해 형성한다. 제 2 층간절연막(15)은, 예를 들어, 두께 900nm의 불소 함유 실리콘 산화막에 의해 형성한다. 하드 마스크층(18)은, 예를 들어, 두께 100nm의 TiN 등의 메탈층에 의해 형성한다.

하드 마스크층(18) 상에 레지스트막을 도포하고, 노광 및 현상하여 비어 홀을 위한 개구(HA)를 갖는 레지스트 패턴(PR1)을 형성한다. 레지스트 패턴(PR1)을 에칭 마스크로서 사용하여 하드 마스크층(18)을 에칭한 후, 제 2 층간절연막(15)의 에칭을 행한다.

하드 마스크층(18)의 에칭은, 예를 들어, Cl을 함유한 가스를 에칭 가스로 한 이방성 플라즈마 에칭에 의해 행한다. 제 2 층 간절연막(15)의 에칭은 CF를 함유한 가스와 O₂를 함유한 가스의 혼합 가스를 에칭 가스로 한 이방성 플라즈마 에칭에 의해 행한다. 이 에칭에서 불소 함유 산화막(15)과 SiN막(14)에 대한 에치 레이트는, 예를 들어, 불소 함유 실리콘 산화막(15) : SiN막(14) = 12 : 1로 설정된다.

또한, 제 2 층간절연막(15)에 대한 에칭은 하드 마스크층(18)을 마스크로 하여 행할 수도 있다. 이 경우, 레지스트 패턴(PR1)은 제 2 층간절연막의 에칭 전에 제거할 수도 있다.

제 2 층간절연막(15)의 에칭을 행한 후, 제 2 에치 스토퍼층(14)의 에칭을 행한다. 이 에칭에서 레지스트 패턴(PR1)은 마스크로서 잔존할 수도 있고, 그 전에 제거할 수도 있다. 레지스트 패턴(PR1)이 남아 있을 경우는, 그 후의 애칭 등에 의해 제거한다.

도 9b에 나타낸 바와 같이, 하드 마스크층(18) 상에 배선 트렌치 형성용 레지스트 패턴(PR2)을 형성한다. 레지스트 패턴(PR2)의 개구(WA)는 비어 홀(HP)을 완전하게 포함하지 않을 수도 있다.

도 9c에 나타낸 바와 같이, 레지스트 패턴(PR2)을 마스크로 하여 하드 마스크(18)의 에칭을 행한다. 이 에칭에서 비어 홀(HP)의 일부는 레지스트로 덮여 있으나, 배선용 트렌치 형성 영역의 하드 마스크층(18)의 에칭에는 지장이 없다.

도 9d에 나타낸 바와 같이, 레지스트 패턴(PR2)을 제거한다. 비어 홀(HP) 내에 들어가 있던 레지스트는 제거되어, 비어 홀(HP) 전체가 노출된다. 또한, 제 2 층간절연막(15) 상의 하드 마스크층(18)은 비어 홀(HP) 상부 및 배선용 트렌치 형성 영역을 포함한 개구(WA)를 갖는다.

도 10e에 나타낸 바와 같이, 하드 마스크층(18)을 에칭 마스크로 하여 제 2 층간절연막(15)의 컨트롤 에칭을 행하는 동시에, 제 1 층간절연막(13)을 에칭한다. 이 에칭은 제 1 층간절연막(13)을 완전하게 에칭한 후, 오버 에칭이 실행되도록 설정된다.

이 에칭에서는 제 1 및 제 2 층간절연막(13, 15)에 대한 에치 레이트가 제 1 에치 스토퍼층(12)에 대한 에치 레이트보다도 충분히 큰 조건으로 행할 수 있다. 예를 들면, 상술한 바와 같이 CF를 함유한 가스와 O₂를 함유한 가스의 혼합 가스를 에칭 가스로서 사용하고, 에치 레이트비를 12:1로 행할 수 있다. 이 에칭에서 제 1 에치 스토퍼층(12)은 충분한 두께로 남아, 그 아래의 도전성 영역(11)의 손상을 방지한다.

도 10f에 나타낸 바와 같이, 비어 홀(HP) 저부에 노출된 제 1 에치 스토퍼층(12)을 에칭하고, 도전 영역(11)을 노출시키는 비어 홀(HPA)을 형성한다.

도 10g에 나타낸 바와 같이, 하드 마스크(18) 및 배선용 트렌치, 비어 홀 상에 배리어 메탈층(19) 및 메인 배선층(20)을 형성한다. 배리어 메탈층(19)은, 예를 들어, 두께 약 25nm의 TiN층으로 형성할 수 있다. 메인 배선층(20)은, 예를 들어, 구리층으로 형성할 수 있다. 배리어 메탈층 및 메인 배선층은 스퍼터링 및 도금 등에 의해 형성할 수 있다.

도 10h에 나타낸 바와 같이, 제 2 층간절연막(15) 상에 형성된 메인 배선층(20), 배리어 메탈층(19), 하드 마스크층(18)을 CMP 등에 의해 제거하여, 평坦한 표면을 형성한다.

본 실시예에 의하면, 배선 트렌치용 에칭은 비어 홀을 위한 개구와 배선 트렌치용 개구를 맞춘 형상의 하드 마스크에 전사된 패턴을 에칭 마스크로 하여 실행된다. 배선 트렌치용 마스크가 비어 홀을 위한 마스크에 대하여 위치맞춤 어긋남을 발생시켜도, 비어 홀 내에 들어가 있던 레지스트는 제거된 후, 에칭이 실행되기 때문에, 비어 홀 형성이 손상되는 것을 방지할 수 있다.

본 실시예에서의 층간절연막의 적층 구조는 도 4 및 도 5에 나타낸 층간절연막 하부에 에치 스토퍼층을 갖는 구성을 사용했다. 동일한 제조 공정이 에치 스토퍼층을 사용하지 않는 도 6 및 도 7의 층간절연막을 사용하는 공정에 대해서도 적용시킬 수 있다.

도 11은 본 발명의 실시예에 의한 반도체 장치의 제조 방법을 나타낸 단면도이다.

도 11a에 나타낸 바와 같이, 도전성 영역(11)을 갖는 하지(10) 표면상에 에치 스토퍼총(12), 제 1 층간절연막(17), 제 2 층간절연막(15), 하드 마스크총(16)을 적층시킨다. 에치 스토퍼총(12)은, 예를 들어, 두께 50nm의 SiN막으로 형성한다. 제 1 층간절연막(17)은, 예를 들어, 굴절률 $n=1.5$, 두께 약 200nm의 SiO_2 막에 의해 형성한다. 제 2 층간절연막(15)은, 예를 들어, 두께 1000nm의 불소 함유 실리콘 산화막에 의해 형성한다. 하드 마스크총(16)은, 예를 들어, 두께 100nm의 TiN막에 의해 형성한다.

하드 마스크총(16) 상에 비어 홀 패턴을 갖는 개구(HA)를 갖는 레지스트 패턴(PR1)을 형성한다.

레지스트 패턴(PR1)을 에칭 마스크로서 사용하여 하드 마스크총(16)을 Cl을 함유한 에칭 가스로 에칭한 후, 제 2 층간절연막(15)을 CF를 함유한 가스와 O_2 를 함유한 가스의 혼합 가스를 에칭 가스로 하는 이방성 플라즈마 에칭에 의해 에칭한다. 그 후, 레지스트 패턴(PR1)은 제거한다.

도 11b에 나타낸 바와 같이, 하드 마스크총(16)의 표면상에 배선 트렌치 패턴의 개구(WA)를 갖는 레지스트 패턴(PR2)을 형성한다. 이 레지스트 패턴(PR2)을 에칭 마스크로 하여 하드 마스크총(16)의 에칭을 행한다. 또한, 레지스트 패턴(PR2)은 위치맞춤 어긋남에 의해 비어 홀 내에 들어간 형상이나, 비어 홀에 연속된 배선 트렌치용 개구가 하드 마스크총(16)에 형성된다.

도 11c에 나타낸 바와 같이, 레지스트 패턴(PR2)을 제거한다. 비어 홀 내부에 들어가 있던 레지스트는 제거되어, 비어 홀 전체가 노출된다. 하드 마스크총(16)을 에칭 마스크로 하여 제 2 층간절연막(15)의 컨트롤 에칭을 행한다. 이 컨트롤 에칭과 동시에, 비어 홀 하부에 잔존하는 제 1 층간절연막(17)이 에칭되어, 제 1 에치 스토퍼총(12)이 노출된다.

이와 같이 하여, 배선용 트렌치와 그것에 접속한 비어 홀이 마스크의 위치맞춤 어긋남에 관계없이 형성된다. 그 후, 상술한 실시예와 동일하게 배리어총 및 메인 배선총을 형성하고, CMP 등에 의해 제 2 층간절연막 상의 금속총을 제거한다. 도 9 내지 도 11에 나타낸 실시예에 의하면, 마스크 맞춤 여유를 크게 취할 수 있고, 확실한 접속용 홀의 형성을 행할 수 있어, 보다 전기적으로 양호한 특성을 나타내는 배선 구조를 형성할 수 있다. 배선을 보다 고밀도로 배치할 수 있다.

상술한 실시예에서는 1개의 듀얼 다마신 배선을 형성했다. 실제의 반도체 장치에서는 다층의 배선총을 형성하여, 각 배선총에서 복수의 듀얼 다마신 구조를 형성한다.

도 12는 반도체 집적회로 장치의 구성예를 나타낸 단면도이다. 실리콘 기판(10)의 표면에는 샐로 트렌치 아이솔레이션(shallow trench isolation)에 의해 소자 분리 영역(STI)이 형성되어, 활성 영역이 확정(劃定)되고 있다. 도면에 나타낸 구조에서는 1개의 활성 영역 내에 n채널 MOS 트랜지스터(n-MOS)가 형성되고, 다른 활성 영역 내에 p채널 MOS 트랜지스터(p-MOS)가 형성되어 있다.

각 트랜지스터는 기판 표면상에 절연 게이트 전극 구조를 갖고, 게이트 전극의 양측 기판 내에 n형 또는 p형의 소스/드레인 영역(11)이 형성되어 있다. 이들 소스/드레인 영역은 상술한 실시예에서의 도전성 영역이다.

실리콘 기판(10) 표면상에 제 1 에치 스토퍼총(12), 제 1 층간절연막(13), 제 2 에치 스토퍼총(14), 제 2 층간절연막(15)의 적층이 형성되고, 배리어총(19) 및 메인 배선총(20)의 듀얼 다마신 배선 구조가 형성되어 있다. 이들 듀얼 다마신 배선도 그 위쪽에 형성되는 배선에 대해서는 상술한 실시예에서의 도전성 영역으로 된다.

도면에서는 양끝의 도전성 영역(11) 상에 각각 인출 배선 구조가 형성되고, 중앙의 2개의 도전 영역(11) 상에 서로를 접속하는 다른 배선 구조가 형성되어 있다. 즉, 도면에 나타낸 2개의 MOS 트랜지스터는 상보(相補)(complementary) MOS (CMOS) 트랜지스터를 구성하고 있다.

상술한 제 1 배선총 상에 제 3 에치 스토퍼총(22), 제 3 층간절연막(23), 제 4 에치 스토퍼총(24), 제 4 층간절연막(25)의 적층이 형성되고, 이 적층 내에 배리어총(29) 및 메인 배선총(30)의 듀얼 다마신 배선 구조가 형성되어 있다.

또한, 상층에는 제 5 에치 스토퍼총(32), 제 5 층간절연막(33), 제 6 에치 스토퍼총(34), 제 6 층간절연막(35)이 적층되고, 이 적층 내에 배리어 메탈총(39) 및 메인 배선총(40)의 듀얼 다마신 배선 구조가 형성되어 있다.

또한, 상층에는 제 7 에치 스토퍼층(42), 제 7 층간절연막(43), 제 8 에치 스토퍼층(44), 제 8 층간절연막(45)의 적층이 형성되고, 이 적층 내에 배리어 메탈층(49) 및 메인 배선층(50)의 듀얼 다마신 배선 구조가 형성되어 있다. 이 듀얼 다마신 배선 구조의 표면을 덮어, 보호막(52)이 형성되어 있다.

이들 듀얼 다마신 배선도 상술한 실시예의 듀얼 다마신 배선에 상당한다. 이와 같이, 다층 배선 구조를 듀얼 다마신 배선 구조를 사용하여 형성함으로써, 고집적도를 갖고 기생 용량이 작으며, 배선 저항이 작은 배선 구조를 형성할 수 있다.

이상 실시예에 따라 본 발명을 설명했으나, 본 발명이 이들에 제한되는 것은 아니다. 예를 들면, 에치 스토퍼층으로서 실리콘 질화막 이외에, 실리콘 산화질화막, 실리콘 카바이드(SiC, SiC:H) 등을 사용할 수도 있다. 에치 레이트가 상이한 막은 조성, 밀도, 성장 방법(CVD, 증착, 스퍼터링), 성장 온도가 상이한 실리콘 산화막, 불소, 인, 봉소 등과 같은 첨가물의 함유량이 상이한 첨가물 함유 실리콘 산화막, 수소 실세스퀴오카산(silsesquioxane)(HSQ), 테트라에톡시실리케이트(TEOS) 등과 같이 원료가 상이한 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 실록산 결합을 갖는 무기화합물막, 유기화합물막 등에서 선택할 수 있다. 듀얼 다마신 배선은 금속 또는 금속 화합물로 형성할 수 있다. 금속으로서는 금, 은, 백금, 구리, 알루미늄, 텅스텐, 티타늄, 탄탈, 몰리브덴 등, 또는 이들의 합금을 사용할 수 있다. 금속 화합물로서는 티타늄 나이트라이드, 탄탈 나이트라이드, 텅스텐 나이트라이드, 또는 몰리브덴 나이트라이드 등을 사용할 수 있다.

또한, 다양한 변경, 개량, 조합이 가능한 것은 당업자에게 자명할 것이다. 두꺼운, 예를 들어, 500nm 이상의 두께의 배선층에 대해서만 상술한 듀얼 다마신 배선을 채용하고, 얇은, 예를 들어, 500nm 미만의 배선층에 대해서는 종래의 듀얼 다마신 배선층을 채용할 수도 있다. 하나의 형태로서는 하층 배선은 도 13 내지 도 21에 나타낸 종래형의 배선으로 형성하고, 상층 배선은 도 1 내지 도 11에 나타낸 실시예에 의한 배선으로 형성한다.

또한, 본 발명에 관하여, 이하를 개시한다.

(부기 1) 표면에 도전성 영역을 갖는 하지와,

상기 하지의 표면을 덮는 절연성 에치 스토퍼막과,

상기 절연성 에치 스토퍼막 상에 형성된 층간절연막과,

상기 층간절연막 표면으로부터 제 1 깊이로 형성된 배선용 트렌치와,

상기 배선용 트렌치 저면으로부터 상기 층간절연막의 나머지 두께 및 상기 절연성 에치 스토퍼막을 관통하여 상기 도전성 영역에 이르는 접속용 홀과,

상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 형성된 듀얼 다마신 배선을 갖고,

상기 층간절연막이 상기 배선용 트렌치의 측면 및 저면을 둘러싸는 제 1종 절연층과, 상기 제 1종 절연층보다도 아래에 배치되고 제 1종 절연층과 예칭 특성이 상이한 제 2종 절연층을 포함하는 반도체 장치.

(부기 2) 상기 접속용 홀은 상기 제 1종 절연층 내에서 위쪽으로 향하여 점차 단면적이 증대하는 부분을 갖는 부기 1에 기재된 반도체 장치.

(부기 3) 상기 층간절연층이 상기 제 2종 절연층의 아래에 배치되고 제 2종 절연층과 예칭 특성이 상이한 제 3종 절연층을 포함하는 부기 1 또는 2에 기재된 반도체 장치.

(부기 4) 상기 접속용 홀은 상기 제 2종 절연층의 도중으로부터 위쪽으로 향하여 점차 단면적이 증대하는 부분을 갖는 부기 3에 기재된 반도체 장치.

(부기 5) 상기 제 2종 절연층이 상기 제 1종 절연층의 예칭 시에 에치 스토퍼로서 기능할 수 있는 층이고, 상기 접속용 홀은 상기 제 2종 절연층 하부로부터 상기 도전성 영역 표면까지 실질적으로 동일한 단면 형상을 갖는 부기 3 또는 4에 기재된 반도체 장치.

(부기 6) 상기 제 3종 절연층이 상기 제 1 깊이보다 작은 두께를 갖는 부기 3 내지 5 중의 어느 하나에 기재된 반도체 장치.

(부기 7) 상기 제 2종 절연층이 상기 절연성 에치 스토퍼막 상에 배치되어 있고, 상기 제 1 깊이보다 작은 두께를 갖는 부기 1 또는 2에 기재된 반도체 장치.

(부기 8) 표면에 도전성 영역을 갖는 하지 상에 절연성 에치 스토퍼막을 형성하는 공정과,

상기 절연성 에치 스토퍼막 상에 제 1종 절연막과 그 아래에 배치되고 제 1종 절연막과 예칭 특성이 상이한 제 2종 절연막을 포함하는 층간절연막을 형성하는 공정과,

상기 층간절연막의 표면으로부터 상기 층간절연막을 관통하여 상기 절연성 에치 스토퍼막에 이르는 접속용 홀을 형성하는 공정과,

상기 접속용 홀 내에 상기 제 2종 절연막의 표면보다 아래의 높이까지 유기물의 보호 층전물을 형성하는 공정과,

상기 접속용 홀과 중복시켜 상기 층간절연막 표면으로부터 제 1종 절연막 중의 제 1 깊이까지 배선용 트렌치를 형성하는 공정과,

상기 보호 층전물을 제거하는 공정과,

상기 절연성 에칭 스토퍼막을 제거하고 도전성 영역을 갖는 하지까지의 접속용 홀을 관통시키는 공정과,

상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 듀얼 다마신 배선을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

(부기 9) 상기 층간절연층이 상기 제 2종 절연층의 아래에 배치되고 제 2종 절연층과 예칭 특성이 상이한 제 3종 절연층을 포함하는 부기 8에 기재된 반도체 장치의 제조 방법.

(부기 10) 상기 제 2종 절연막은 상기 제 1종 및 제 3종 절연막보다 에치 레이트가 낮은 부기 9에 기재된 반도체 장치의 제조 방법.

(부기 11) 상기 제 2종 절연막이 다른 에치 스토퍼층과 그 아래에 배치된 하층절연막을 갖고,

상기 접속용 홀을 형성하는 공정이 상기 제 1종 절연막 및 다른 에치 스토퍼막과 그 아래에 배치된 하층절연막을 갖는 제 2종 절연막을 관통하여 상기 에치 스토퍼막에 이르는 접속용 홀을 형성하는 공정인 부기 8에 기재된 반도체 장치의 제조 방법.

(부기 12) 표면에 도전성 영역을 갖는 하지 상에 절연성 에치 스토퍼막을 형성하는 공정과,

상기 절연성 에치 스토퍼막 상에 제 1종 절연막과 그 아래에 배치되고 제 1종 절연막과 예칭 특성이 상이한 제 2종 절연막을 포함하는 층간절연막을 형성하는 공정과,

상기 층간절연막의 표면으로부터 상기 제 1종 절연막을 관통하여 상기 제 2종 절연막에 이르는 접속용 홀을 형성하는 제 1 예칭 공정과,

상기 접속용 홀과 중복시켜 상기 층간절연막 표면으로부터 제 1종 절연막 중의 제 1 깊이까지 배선용 트렌치를 형성하는 동시에 상기 접속용 홀 아래의 나머지 층간절연막을 제거하는 제 2 예칭 공정과,

상기 절연성 에칭 스토퍼막을 제거하고 도전성 영역을 갖는 하지까지의 접속용 홀을 관통시키는 공정과,

상기 배선용 트렌치 및 상기 접속용 홀을 매립하여 듀얼 다마신 배선을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

(부기 13) 상기 제 2 예칭 공정이 상기 제 2종 절연막을 예칭하여 상기 에치 스토퍼막을 노출시키는 공정과 노출된 에치 스토퍼막을 예칭하는 공정을 포함하는 부기 12에 기재된 반도체 장치의 제조 방법.

(부기 14) 상기 제 2종 절연막이 다른 에치 스토퍼막과 그 아래에 배치된 하층절연막을 갖고, 상기 제 1 에칭 공정은 마스크를 사용하여 상기 제 1종 절연막을 에칭하는 공정과 그 후에 노출된 다른 에치 스토퍼막을 에칭하는 공정을 포함하고, 상기 제 2 에칭 공정이 마스크를 사용하여 상기 접속용 훌 아래의 상기 하층절연막을 에칭하는 공정과 노출된 상기 에치 스토퍼막을 에칭하는 공정을 포함하는 부기 12에 기재된 반도체 장치의 제조 방법.

(부기 15) 상기 층간절연막을 형성하는 공정이 상기 층간절연막 상에 하드 마스크층도 형성하고 상기 제 1 에칭 공정이 상기 하드 마스크층 상에 제 1 레지스트 마스크를 형성하는 공정을 포함하고, 상기 제 2 에칭 공정이 상기 하드 마스크층 상에 제 2 레지스트 마스크를 형성하고 상기 하드 마스크층을 에칭하는 공정과 그 후에 제 2 레지스트 마스크를 제거하고 하드 마스크층을 에칭 마스크로서 사용하여 에칭을 행하는 공정을 포함하는 부기 12 내지 14 중의 어느 하나에 기재된 반도체 장치의 제조 방법.

(부기 16) 표면에 도전성 영역을 갖는 하지 상에 절연성 에치 스토퍼막을 형성하는 공정과,

상기 절연성 에치 스토퍼막 상에 아래로부터 제 1종 절연막과 제 2종 절연막과 제 3종 절연막을 포함하고 제 2종 절연막은 제 1종 및 제 3종 절연막과 에칭 특성이 상이한 층간절연막을 형성하는 공정과,

상기 층간절연막 표면으로부터 상기 제 3종 절연막, 제 2종 절연막, 제 1종 절연막을 관통하여 상기 절연성 에치 스토퍼막에 이르는 접속용 훌을 형성하는 제 1 에칭 공정과,

상기 접속용 훌 내에 상기 제 1종 절연막 표면보다 높고 상기 제 2종 절연막 표면보다 낮은 높이까지 유기물의 보호 층전물을 형성하는 공정과,

상기 접속용 훌과 중복시켜 상기 층간절연막 표면으로부터 제 3종 절연막 중의 제 1 깊이까지 배선용 트렌치를 형성하는 제 2 에칭 공정과,

상기 보호 층전물을 제거하고 상기 접속용 훌 내에 상기 절연성 에치 스토퍼막을 노출시키는 공정과,

노출된 상기 에치 스토퍼막을 에칭하는 제 3 에칭 공정과,

상기 배선용 트렌치 및 상기 접속용 훌을 매립하여 듀얼 다마신 배선을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

(부기 17) 표면에 도전성 영역을 갖는 하지 상에 절연성 에치 스토퍼막을 형성하는 공정과,

상기 절연성 에치 스토퍼막 상에 아래로부터 제 1종 절연막과 제 2종 절연막과 제 3종 절연막을 포함하고 제 2종 절연막은 제 1종 및 제 3종 절연막과 에칭 특성이 상이한 층간절연막을 형성하는 공정과,

상기 층간절연막의 표면으로부터 상기 제 3종 절연막을 관통하여 상기 제 2종 절연막에 이르는 접속용 훌을 형성하는 제 1 에칭 공정과,

상기 접속용 훌 저면에 노출된 제 2종 절연막을 에칭하는 제 2 에칭 공정과,

상기 접속용 훌과 중복시켜 상기 층간절연막 표면으로부터 제 3종 절연막 중의 제 1 깊이로 배선용 트렌치를 형성하는 동시에 상기 접속용 훌 아래의 제 1종 절연막을 에칭하여 상기 에치 스토퍼막을 노출시키는 제 3 에칭 공정과,

노출된 상기 에치 스토퍼막을 에칭하는 제 4 에칭 공정과,

상기 배선용 트렌치 및 상기 접속용 훌을 매립하여 듀얼 다마신 배선을 형성하는 공정을 갖는 반도체 장치의 제조 방법.

(부기 18) 상기 층간절연막을 형성하는 공정이 상기 층간절연막 상에 하드 마스크층도 형성하고 상기 제 1 에칭 공정이 상기 하드 마스크층 상에 제 1 레지스트 마스크를 형성하는 공정과 상기 제 1 레지스트 마스크를 에칭 마스크로서 사용하여 하드 마스크층을 에칭하는 공정을 포함하고, 상기 제 3 에칭 공정이 상기 하드 마스크층 상에 제 2 레지스트 마스크를 형성

하고 상기 제 2 레이스트 마스크를 예칭 마스크로서 사용하여 상기 하드 마스크층을 예칭하는 공정과 그 후에 제 2 레이스트 마스크를 제거하고 하드 마스크층을 예칭 마스크로서 사용하여 예칭을 행하는 공정을 포함하는 부기 17에 기재된 반도체 장치의 제조 방법.

발명의 효과

상술한 바와 같이, 본 발명에 의하면, 하지 도전 영역에 손상을 주는 것이 적은 듀얼 다마신 배선 구조를 갖는 반도체 장치의 제조 방법이 제공된다.

또한, 가장 바람직한 듀얼 다마신 배선 구조를 갖는 반도체 장치가 제공된다.

비어 훌 내에 충전물을 사용하지 않더라도, 하지 도전 영역에 손상을 주는 것이 적은 배선 형성 기술이 제공된다.

도면의 간단한 설명

도 1은 본 발명의 실시예를 설명하기 위한 반도체 기판의 단면도.

도 2는 본 발명의 다른 실시예를 설명하기 위한 반도체 기판의 단면도.

도 3은 본 발명의 다른 실시예를 설명하기 위한 반도체 기판의 단면도.

도 4는 본 발명의 다른 실시예를 설명하기 위한 반도체 기판의 단면도.

도 5는 도 4와 함께 다른 실시예를 설명하기 위한 반도체 기판의 단면도.

도 6은 본 발명의 다른 실시예를 설명하기 위한 반도체 기판의 단면도.

도 7은 본 발명의 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 반도체 기판의 단면도.

도 8은 도 4 내지 도 7의 실시예에서, 마스크의 위치맞춤 어긋남이 발생했을 때에 생길 수 있는 문제를 설명하기 위한 평면도 및 단면도.

도 9는 본 발명의 다른 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 반도체 기판의 단면도.

도 10은 도 9와 함께 본 발명의 다른 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 반도체 기판의 단면도.

도 11은 본 발명의 다른 실시예에 의한 반도체 장치의 제조 방법을 설명하기 위한 반도체 기판의 단면도.

도 12는 본 발명의 실시예에 의해 제조되는 반도체 집적회로 장치의 구성예를 개략적으로 나타낸 단면도.

도 13은 종래 기술에 의한 반도체 장치의 제조 방법을 설명하기 위한 반도체 기판의 단면도.

도 14는 종래 기술에 의한 반도체 장치의 제조 방법을 설명하기 위한 반도체 기판의 단면도.

도 15는 종래 기술에 의한 반도체 장치의 제조 방법을 설명하기 위한 반도체 기판의 단면도.

도 16은 반도체 장치의 제조 방법에 대한 고찰을 설명하기 위한 반도체 기판의 단면도.

도 17은 종래 기술에 의한 배선의 제조 공정에 대한 고찰을 설명하기 위한 반도체 기판의 단면도.

도 18은 종래 기술에 의한 배선의 제조 공정에 대한 고찰을 설명하기 위한 반도체 기판의 단면도.

도 19는 종래 기술에 의한 배선의 제조 공정에 대한 고찰을 설명하기 위한 반도체 기판의 단면도.

도 20은 종래 기술에 의한 이상(異常) 에칭 또는 하지 손상의 발생에 대한 고찰을 설명하기 위한 반도체 기판의 단면도.

도 21은 종래 기술에 의한 이상 에칭 또는 하지 손상의 발생에 대한 고찰을 설명하기 위한 반도체 기판의 단면도.

도면의 주요부분에 대한 부호의 설명

10 : 하지(下地) 11 : 도전성 영역

12, 14 : 에치(etch) 스토퍼(stopper)층

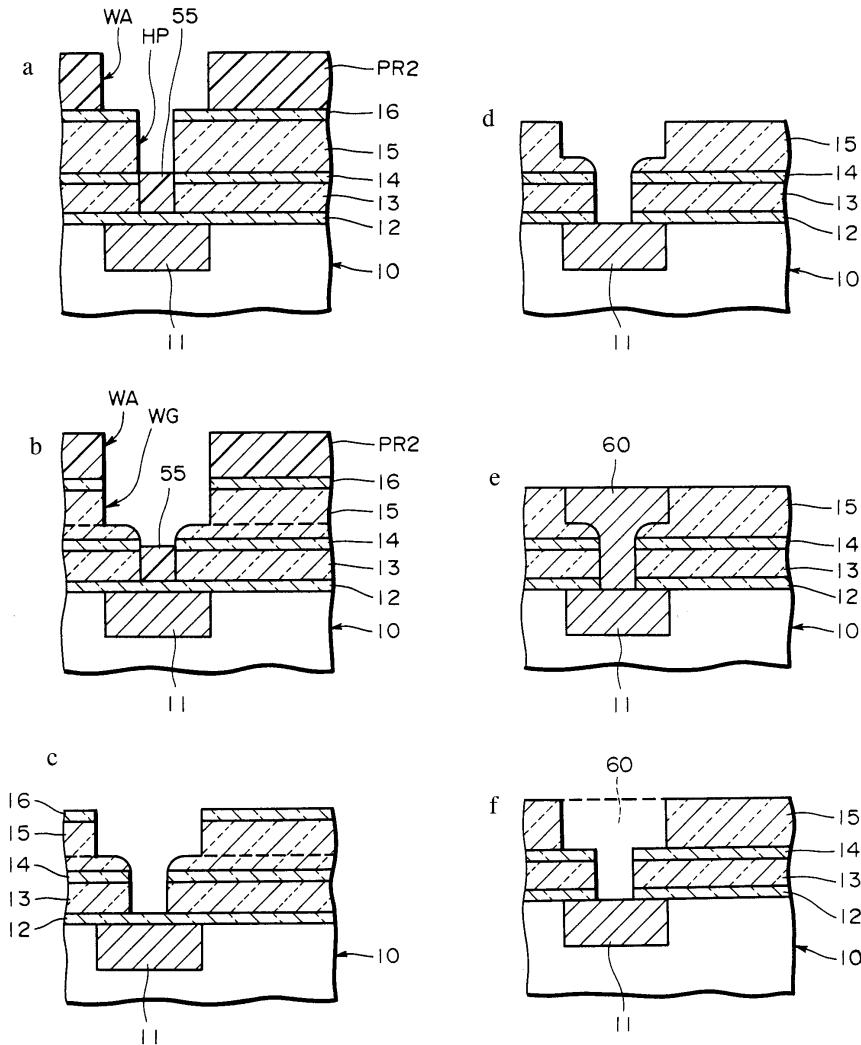
13, 15 : 층간절연막 16 : 반사방지막

18 : 하드 마스크층 19 : 배리어(barrier) 메탈층

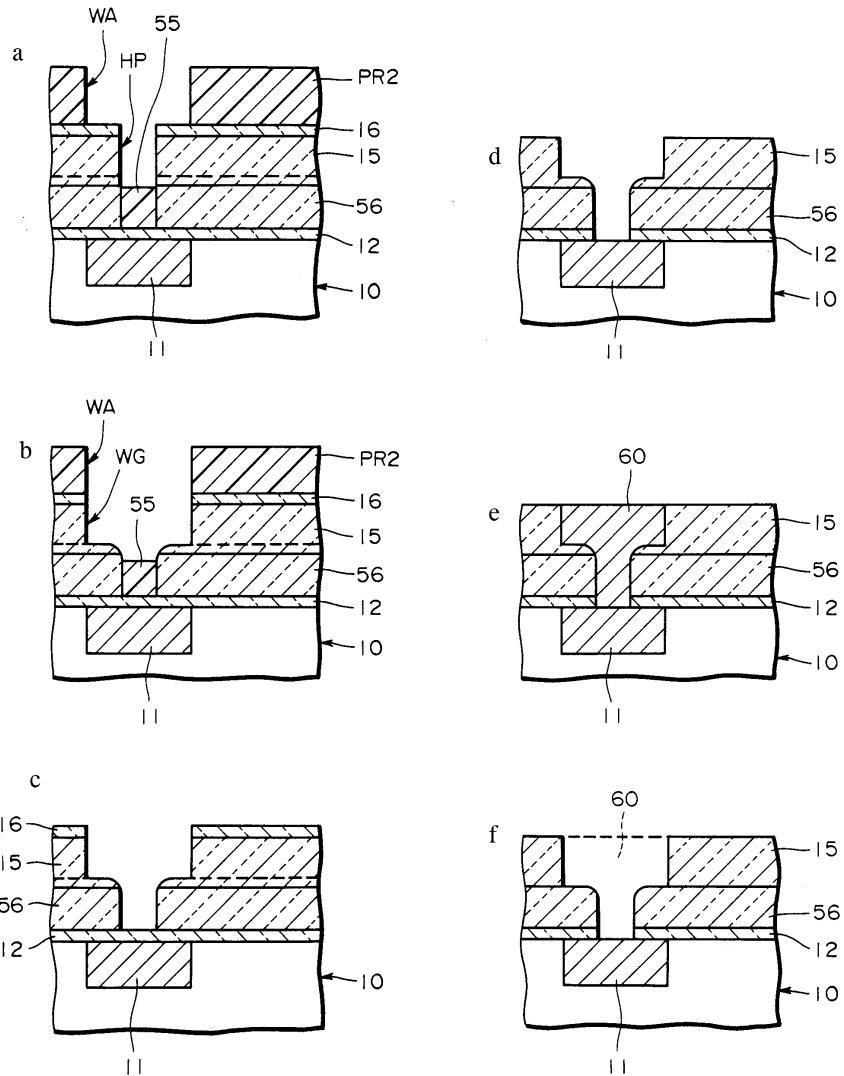
20 : 메인 배선층

도면

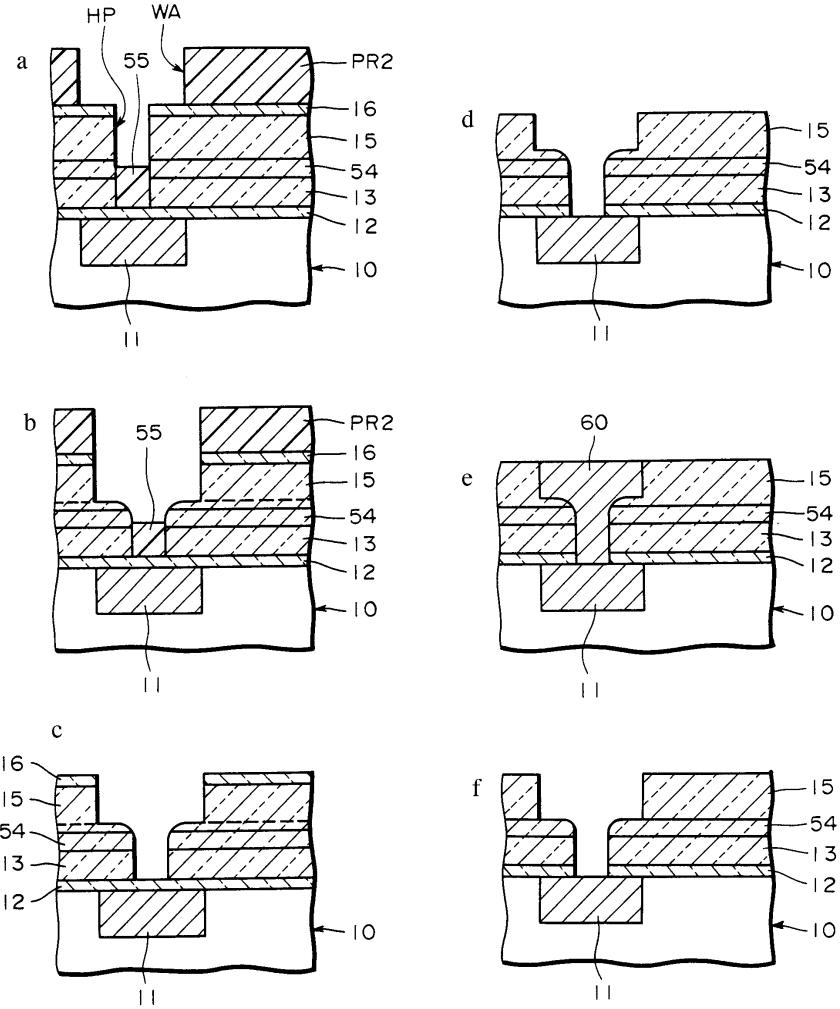
도면1



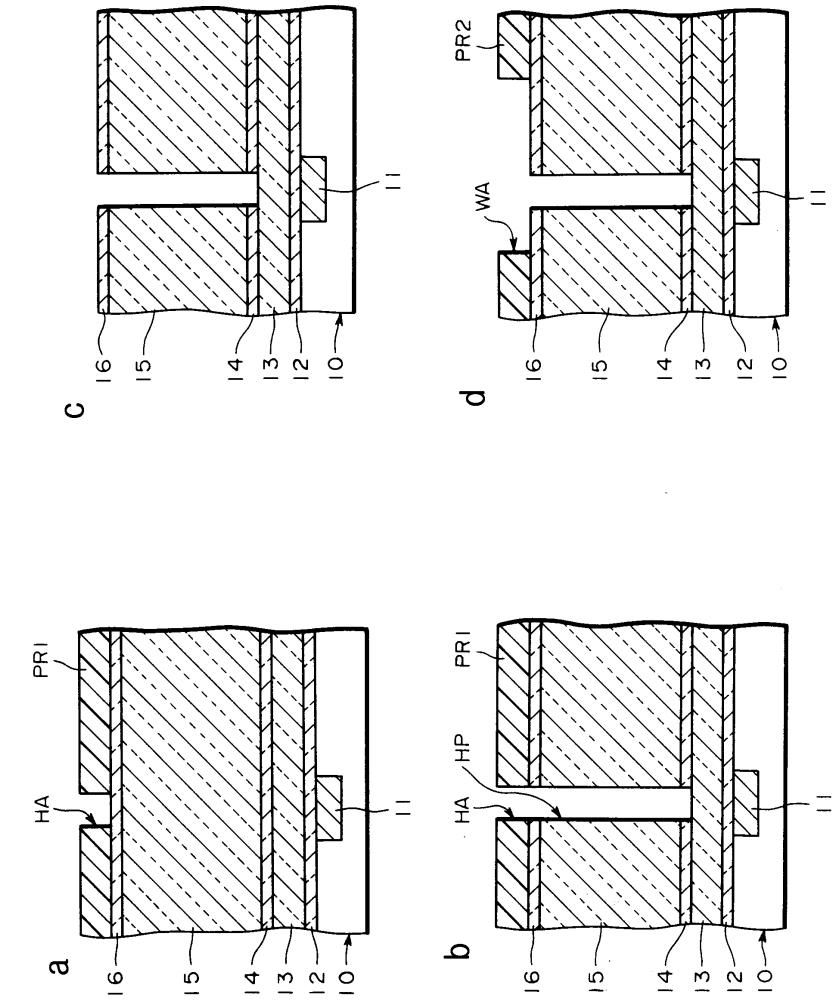
도면2



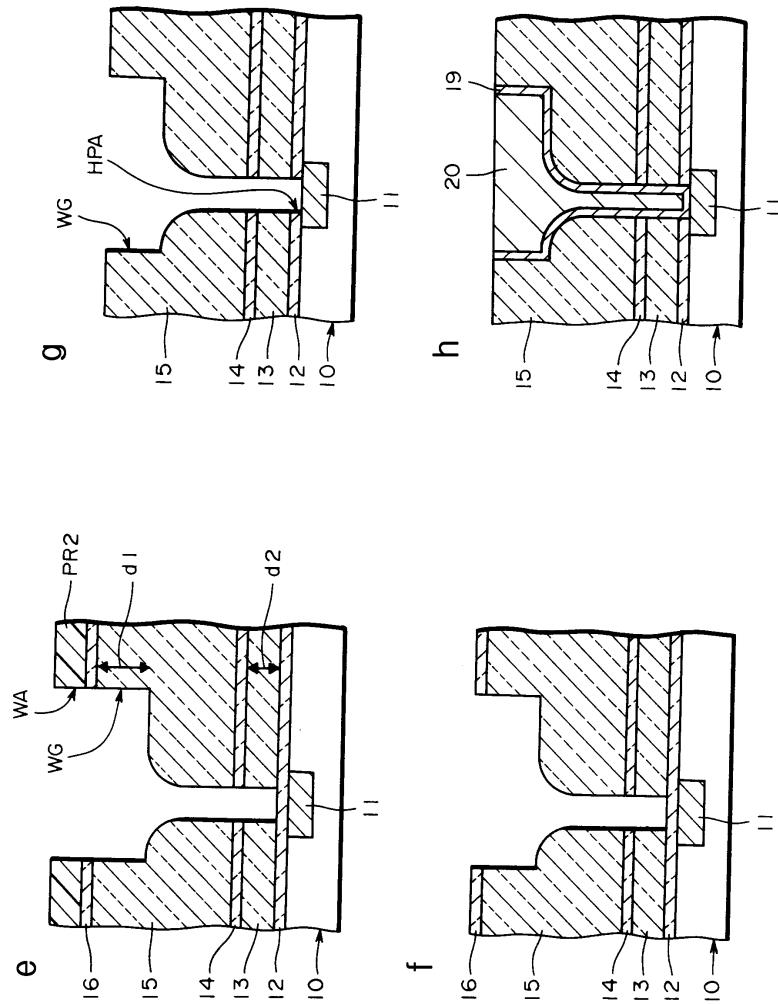
도면3



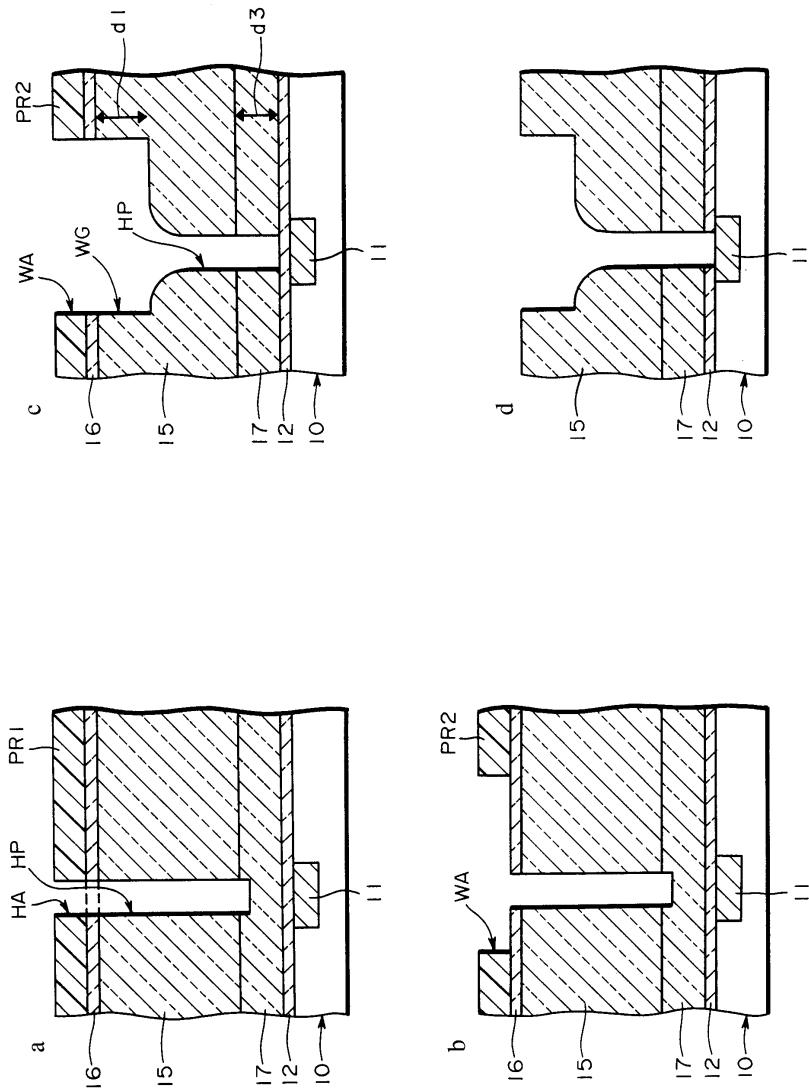
도면4



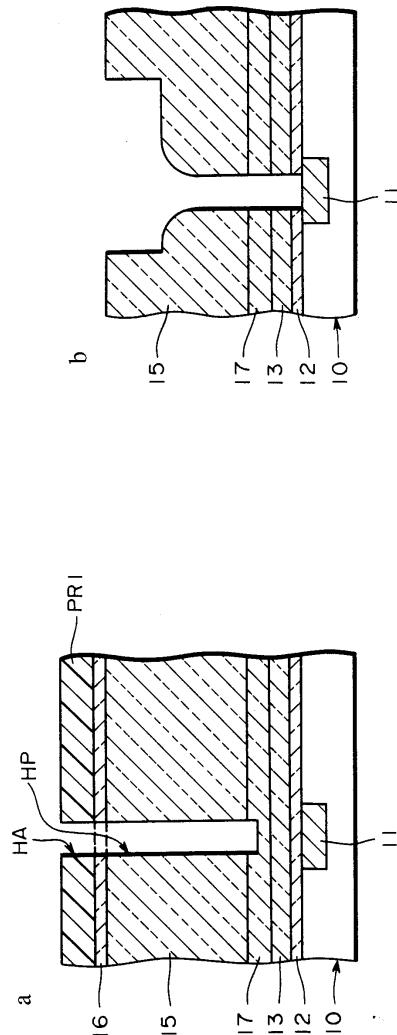
도면5



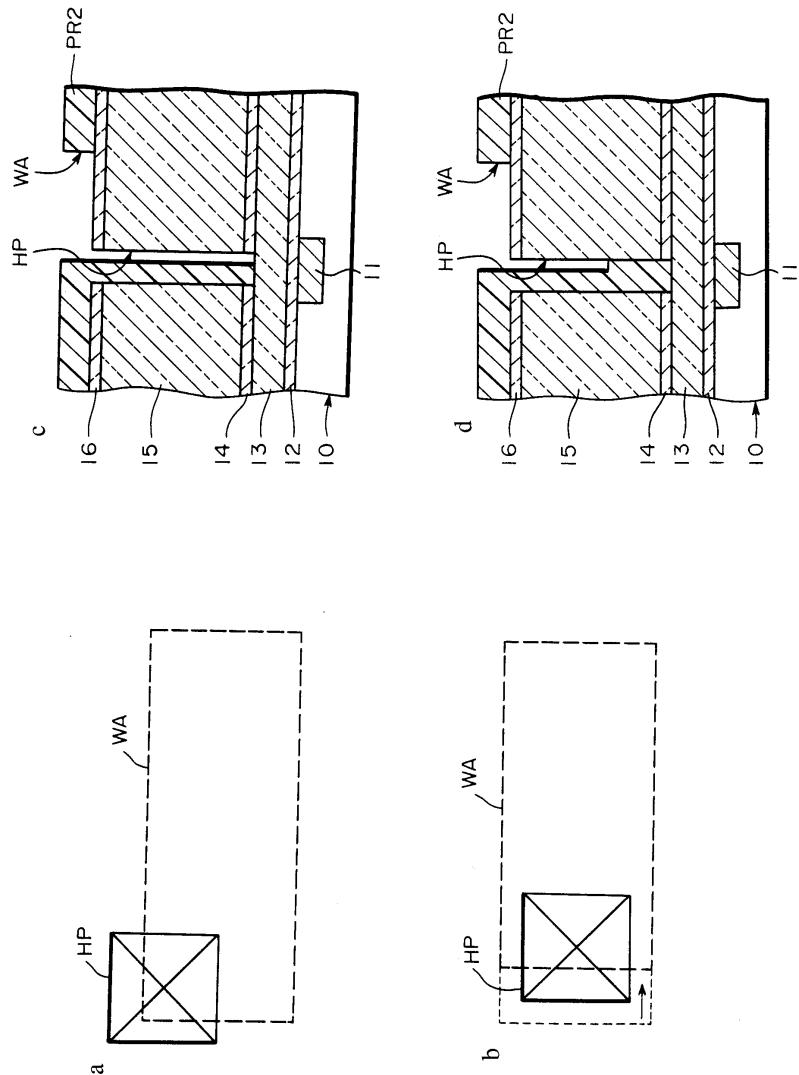
도면6



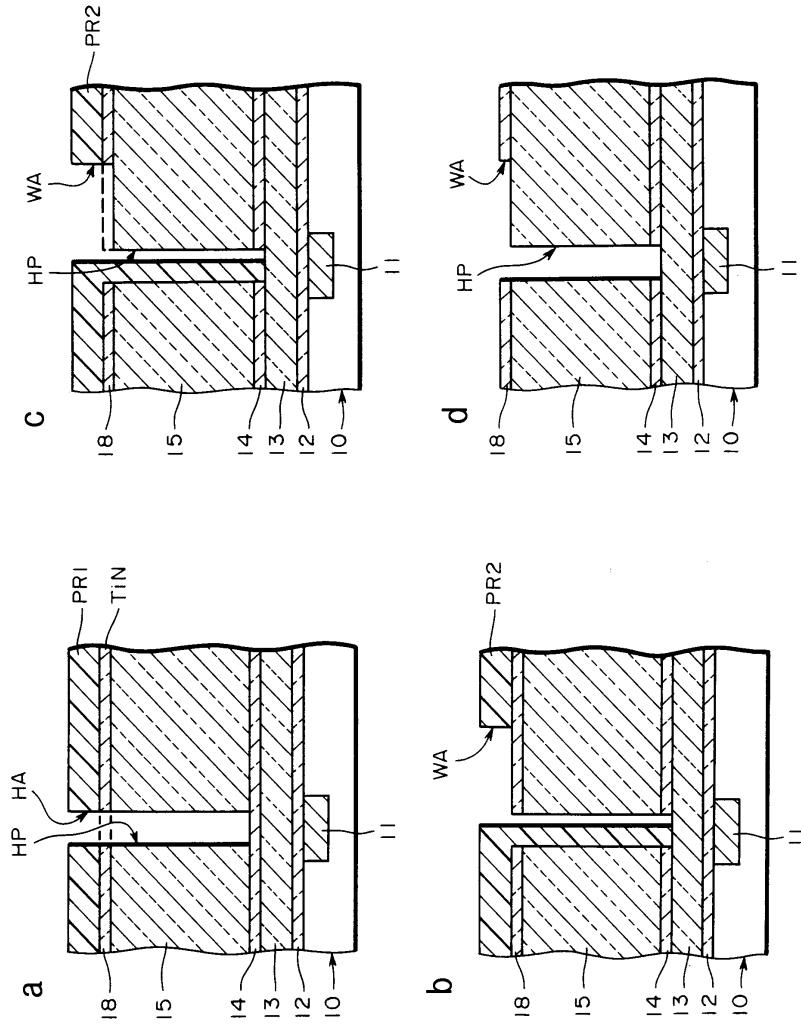
도면7



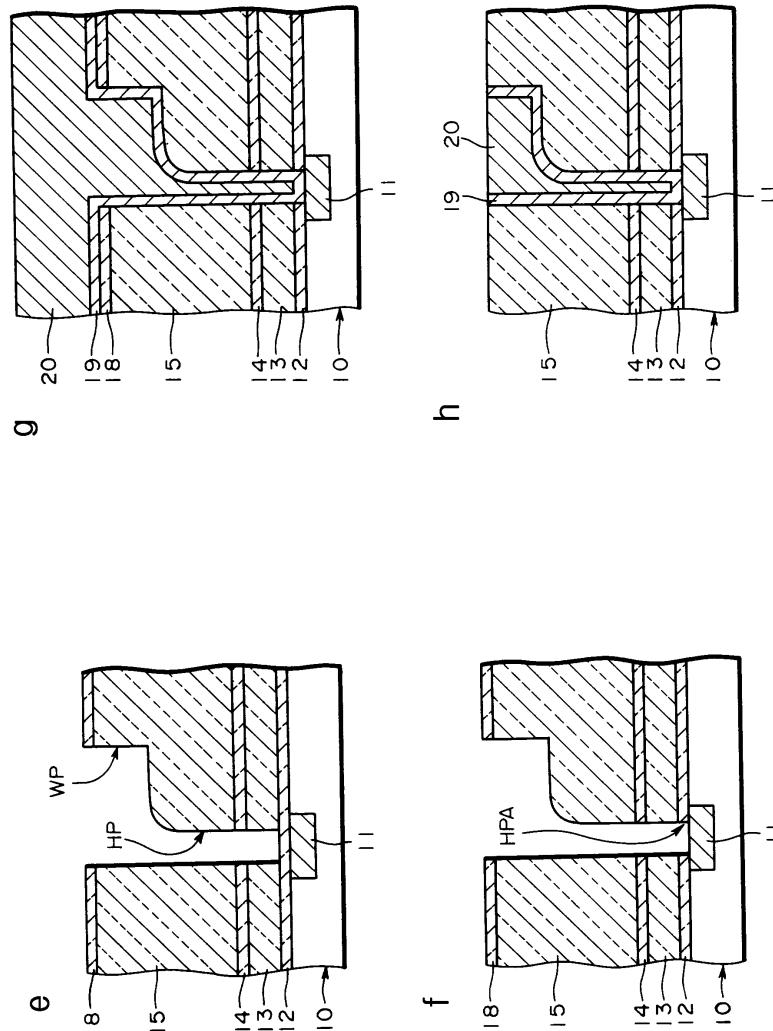
도면8



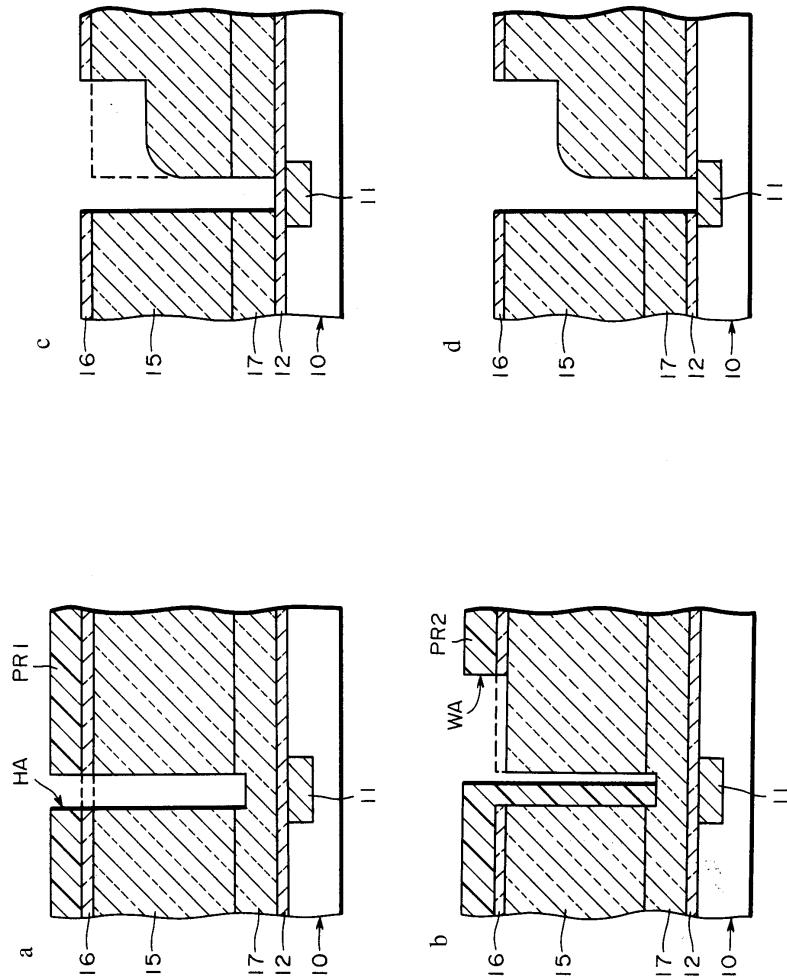
도면9



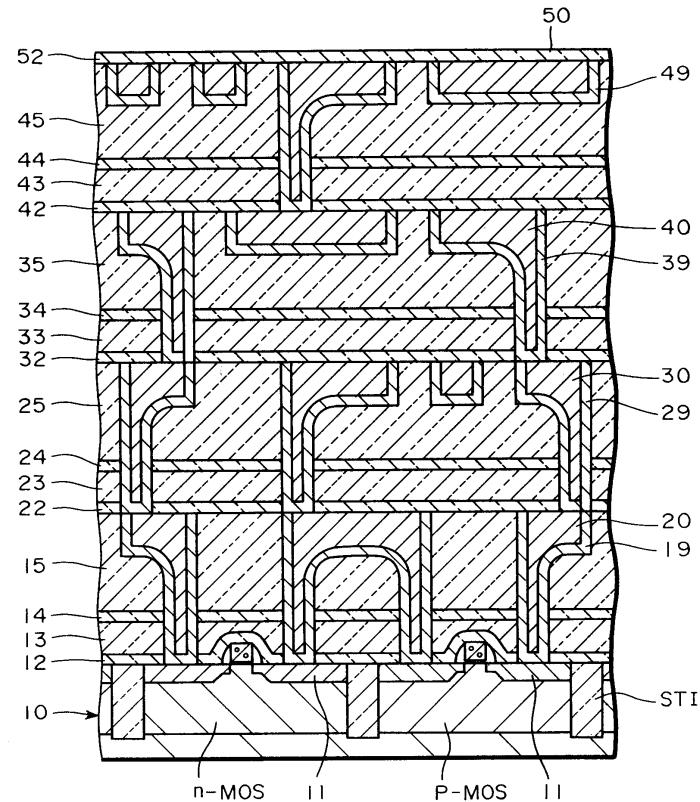
도면10



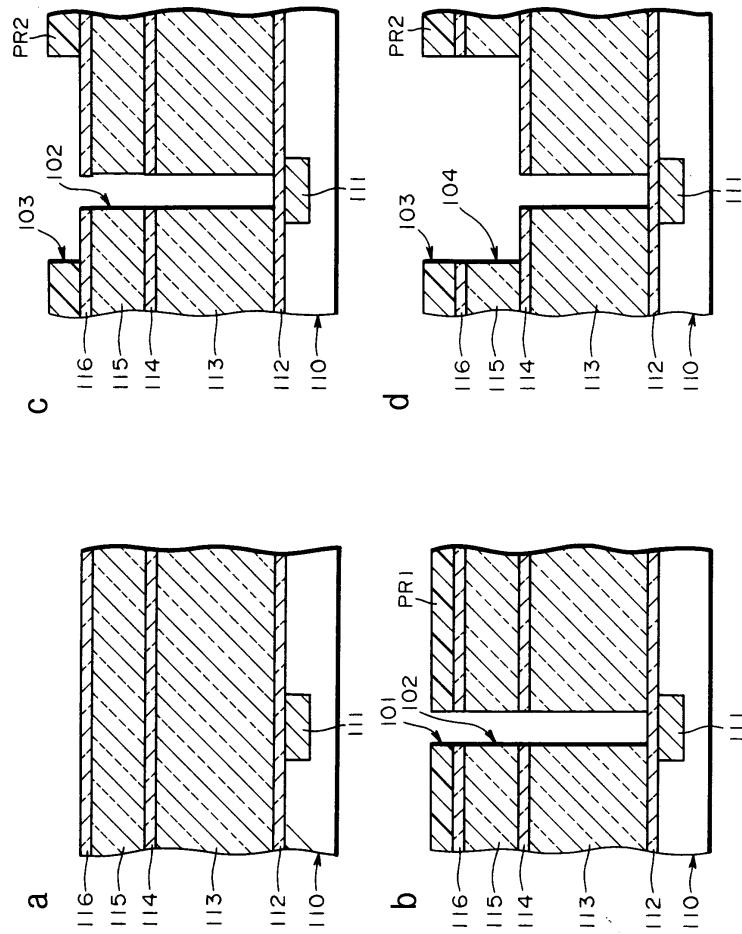
도면11



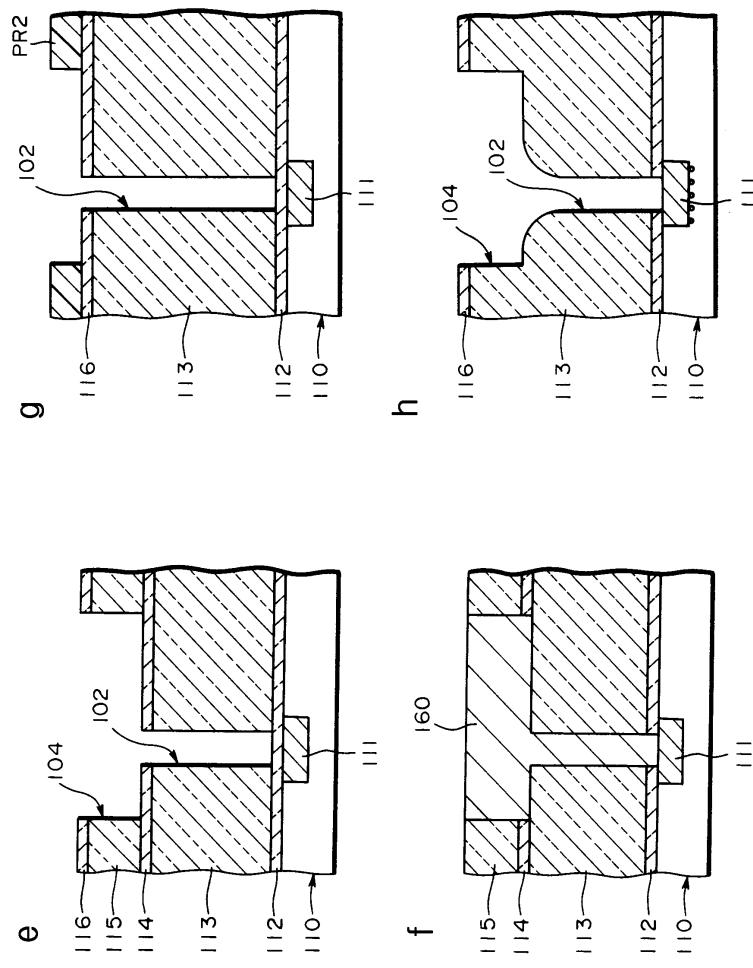
도면12



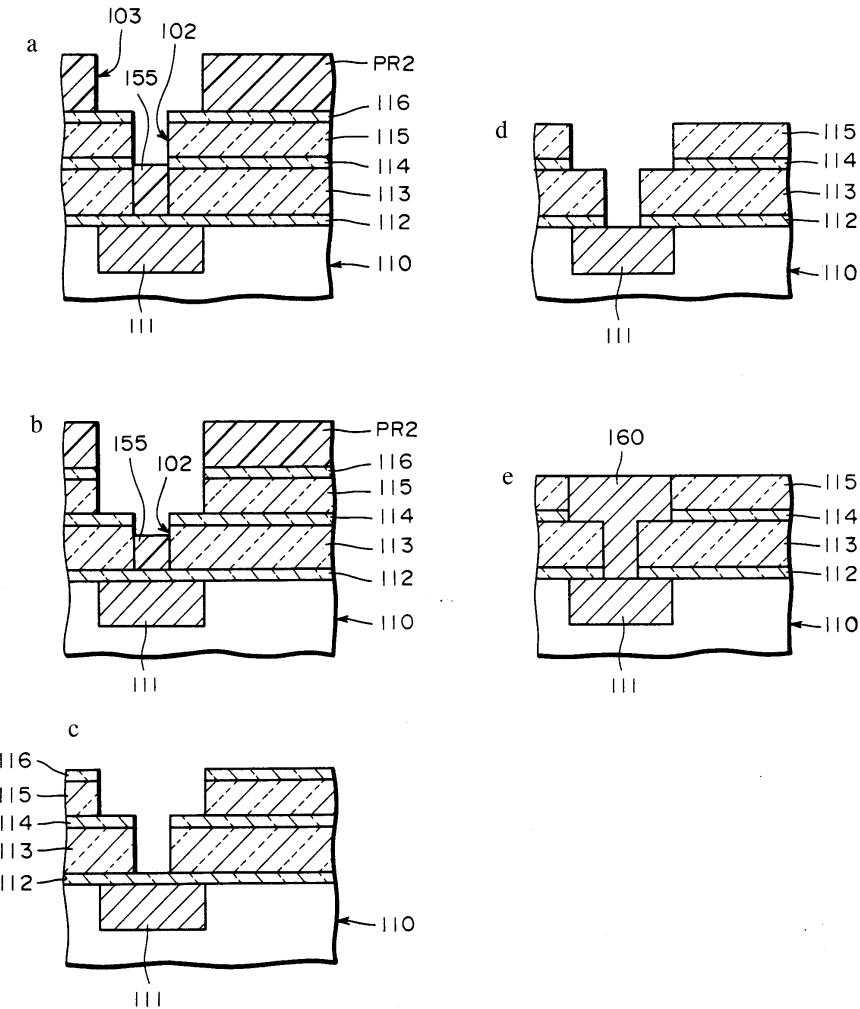
도면13



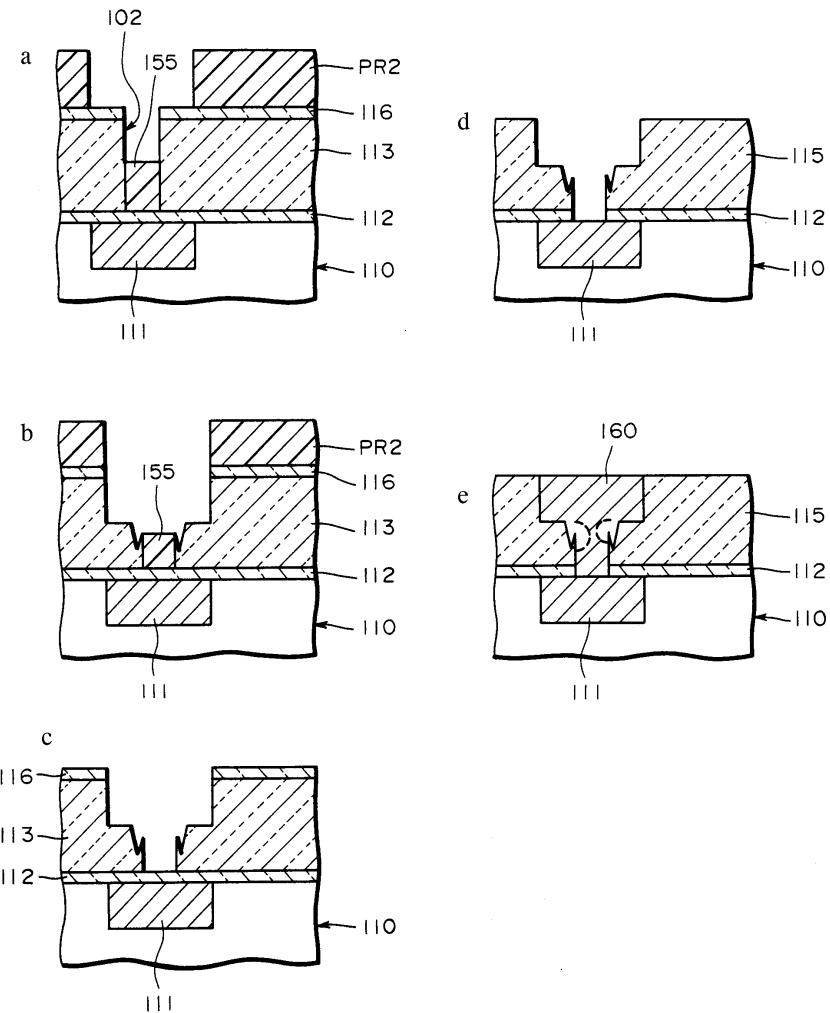
도면14



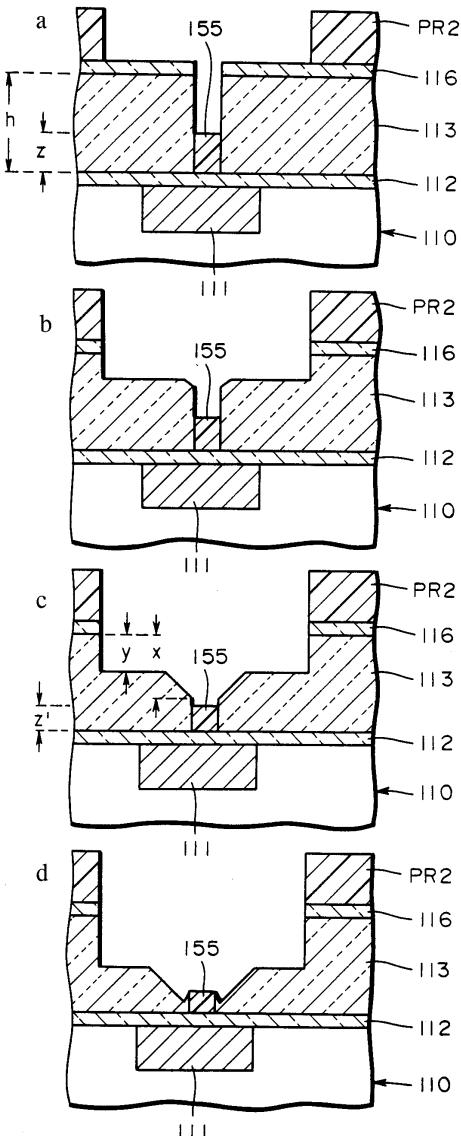
도면15



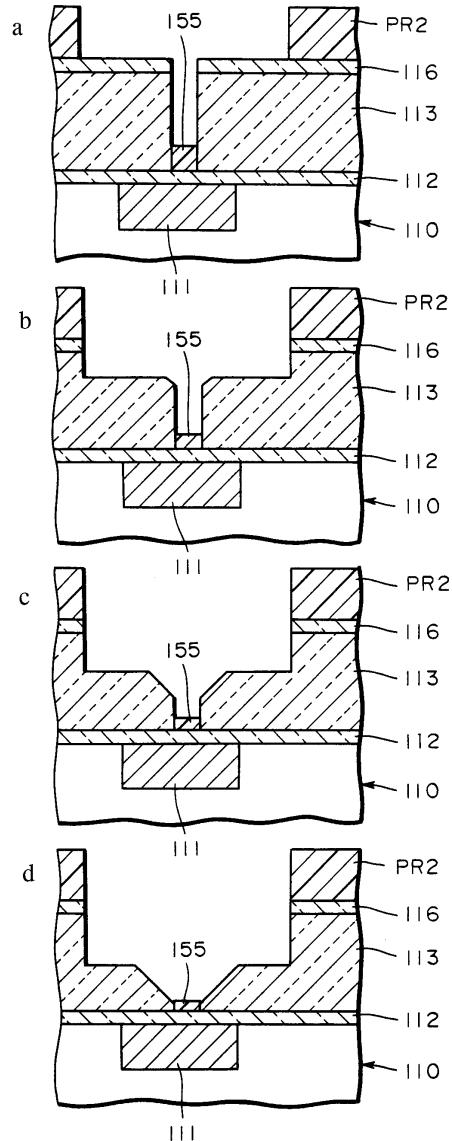
도면16



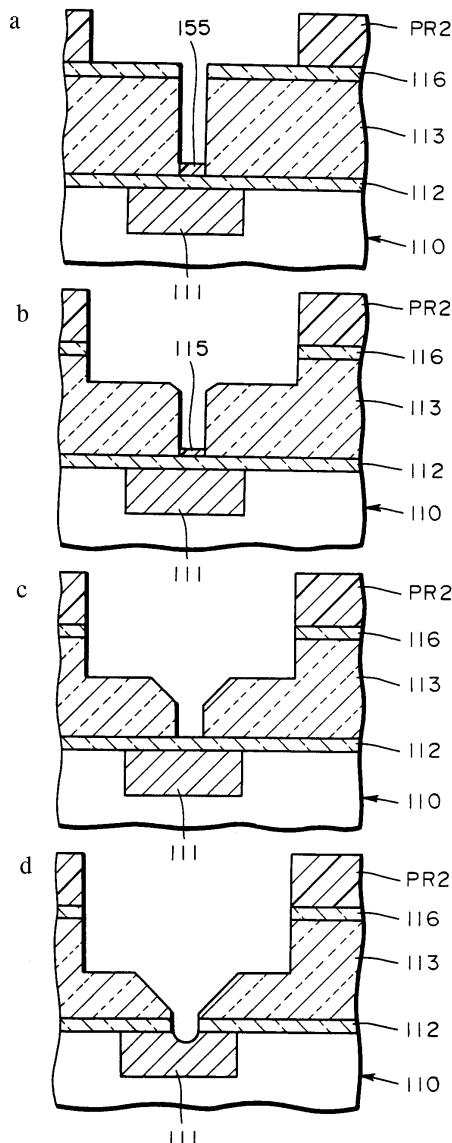
도면17



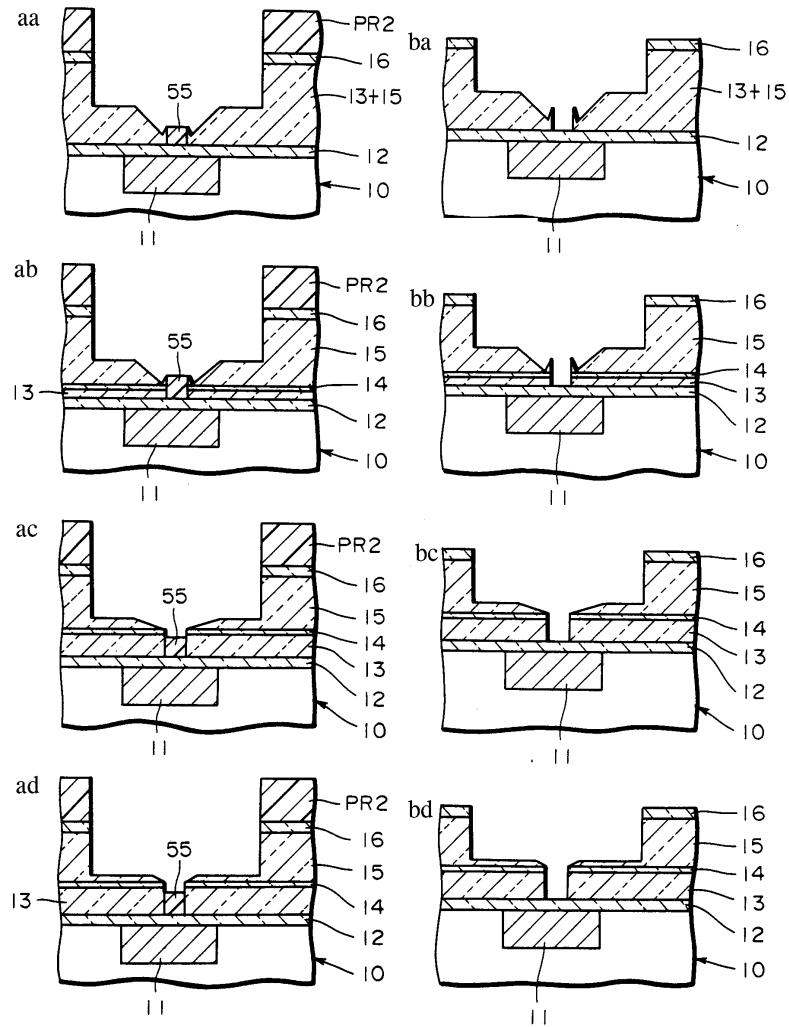
도면18



도면19



도면20



도면21

