

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2004-103902
(P2004-103902A)

(43) 公開日 平成16年4月2日(2004.4.2)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/8247	H O 1 L 29/78 3 7 1	5 F O 4 8
H O 1 L 21/8234	H O 1 L 27/10 4 8 1	5 F O 8 3
H O 1 L 27/088	H O 1 L 27/10 4 3 4	5 F 1 O 1
H O 1 L 27/10	H O 1 L 27/08 1 O 2 C	
H O 1 L 27/115		
審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2002-265114 (P2002-265114)	(71) 出願人 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日 平成14年9月11日 (2002.9.11)	(74) 代理人 100094053 弁理士 佐藤 隆久
	(72) 発明者 青笹 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内
	Fターム(参考) 5F048 AA01 AB01 AB03 AC01 BA01 BB05 BB11 BB15 BB16 BB17 BC06 BF16 BG12 DA23
	最終頁に続く

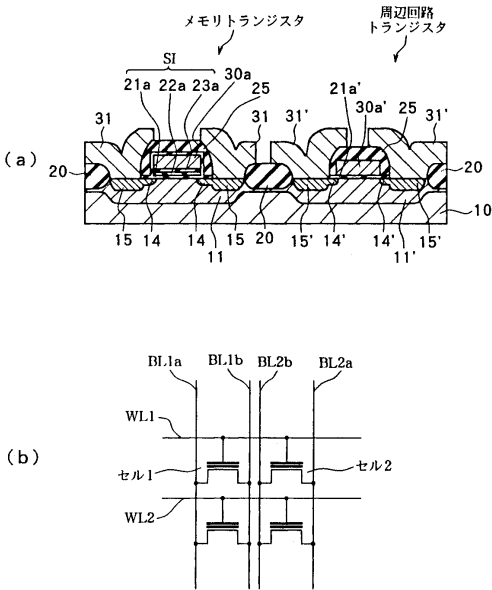
(54) 【発明の名称】 不揮発性半導体メモリ装置、および、その製造方法

(57) 【要約】

【課題】メモリトランジスタの窒化処理の影響で、非メモリトランジスタの特性が低下する。

【解決手段】メモリトランジスタと非メモリトランジスタとが同一基板10に形成され、メモリトランジスタのチャネルが形成される半導体領域11とゲート電極30aとの間に、電位障壁膜21aと電荷蓄積膜22aとを半導体領域11の側から順次有し、非メモリトランジスタのチャネルが形成される半導体領域11'とゲート電極30a'との間に単層のゲート絶縁膜21a'を有している。メモリトランジスタの電位障壁膜21aが5%~20%の範囲内の比率で窒素を含有し、かつ、非メモリトランジスタの半導体領域11'に含有する窒素の濃度が所定の許容値以下に設定されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

メモリトランジスタと非メモリトランジスタとが同一基板に形成され、
前記メモリトランジスタのチャンネルが形成される半導体領域とゲート電極との間に、電位障壁膜と電荷蓄積膜とを前記半導体領域の側から順次有し、
前記非メモリトランジスタのチャンネルが形成される半導体領域とゲート電極との間に単層のゲート絶縁膜を有し、
メモリトランジスタの前記電位障壁膜が 5 % ~ 20 % の範囲内の比率で窒素を含有し、かつ、非メモリトランジスタの前記半導体領域に含有する窒素の濃度が所定の許容値以下に設定されている
不揮発性半導体メモリ装置。

10

【請求項 2】

窒素の濃度の前記許容値が $5 \times 10^{19} / \text{cm}^3$ である
請求項 1 に記載の不揮発性半導体メモリ装置。

【請求項 3】

メモリトランジスタの前記半導体領域とゲート電極との間に形成されている積層膜が、
5 % ~ 20 % の範囲内の比率で窒素を含有し、前記半導体領域の上に形成されている第 1 の電位障壁膜と、
前記第 1 の電位障壁膜の上に形成されている前記電荷蓄積膜と、
前記電荷蓄積膜の上に形成されている第 2 の電位障壁膜と、
を含む
請求項 1 に記載の不揮発性半導体メモリ装置。

20

【請求項 4】

前記電荷蓄積膜が、窒化シリコン、酸化窒化シリコン、フッ化窒化シリコンの何れか 1 つ又は複数の材料からなる
請求項 1 に記載の不揮発性半導体メモリ装置。

【請求項 5】

メモリトランジスタと非メモリトランジスタとを同一基板に形成する不揮発性半導体メモリ装置の製造方法であって、
複数の膜からなり電荷蓄積機能を有する積層膜を、チャンネルが形成される半導体の上に形成する工程と、
前記積層膜の上に前記メモリトランジスタのメモリゲート電極を形成する工程と、
前記非メモリトランジスタの形成領域で前記積層膜を除去する工程と、
前記積層膜を除去した半導体領域の上に単層のゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の上に前記非メモリトランジスタのゲート電極を形成する工程と、を有し、
前記積層膜の形成工程が、
前記半導体領域の上に電位障壁膜を形成する工程と、
前記電位障壁膜の最終的な窒素の含有率が 5 ~ 20 % の範囲内となる条件で、窒素を含むガスを用いた加熱により前記電位障壁膜に窒化处理を施す工程と、
前記電位障壁膜の上に電荷蓄積膜を形成する工程と、
を含む
不揮発性半導体メモリ装置の製造方法。

30

40

【請求項 6】

前記窒化处理の条件に応じて、前記非メモリトランジスタの前記半導体領域において最終的に含有する窒素の濃度を $5 \times 10^{19} / \text{cm}^3$ 以下に設定する
請求項 5 に記載の不揮発性半導体メモリ装置の製造方法。

【請求項 7】

珪素と窒素を含むガスを用いた化学的気相堆積法によって、前記電荷蓄積膜を前記電位障壁膜の上に形成する

50

請求項 5 に記載の不揮発性半導体メモリ装置の製造方法。

【請求項 8】

前記電荷蓄積膜を、窒化シリコン、酸化窒化シリコン、フッ化窒化シリコンの何れか 1 つ又は複数の材料から形成する

請求項 5 に記載の不揮発性半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の膜からなり電荷蓄積機能がある積層膜を有するメモリトランジスタと、単層のゲート絶縁膜を有する非メモリトランジスタとを同一基板に形成した不揮発性半導体メモリ装置と、その製造方法とに関する。

【0002】

【従来の技術】

不揮発性半導体メモリ装置は、誘電体膜中に形成された電荷蓄積手段（導体または電荷捕獲準位）に存在する電荷の有無により記憶素子の閾値電圧をシフトさせ、そのシフト後の閾値電圧の値を書き込み用および読み出し用の信号に対応させている。

【0003】

たとえば、不揮発性半導体メモリ装置の電荷蓄積手段に電子が蓄えられていて、記憶素子が N M O S である場合には、閾値電圧は正の方向にシフトしている。読み出し時に、該当するメモリセルに電圧を印加するが、その電荷蓄積手段に蓄えられている電子によって、閾値電圧は印加電圧より大きくなっているため、ビット線には電流は流れない又は流れ難い。逆に、電荷蓄積手段に電子が蓄えられていないとき又は正孔が蓄えられている場合には、閾値電圧は負の方向にシフトしているため、読み出し時のゲート電圧の印加によりビット線に電流が流れる又は流れ易くなる。

この電流が“流れる”又は“流れ易い”、“流れない”又は“流れ難い”を、言い換えれば電流の大、小（0 も含めた）を記憶データの論理“0”と“1”に対応させているのが不揮発性半導体メモリ装置の基本動作原理である。

【0004】

記憶素子の 1 つに、電荷蓄積膜が酸化膜に上下から挟まれた窒化膜からなる M O N O S （ M e t a l - O x i d e - N i t r i d e - O x i d e - S e m i c o n d u c t o r ）型メモリトランジスタがある。

図 1（a）は、M O N O S 型メモリトランジスタと、周辺回路トランジスタ（メモリ周辺回路に限らず、ロジック回路のトランジスタ等を含む）とを同一基板上に集積化した不揮発性メモリの構成を示す断面図である。

図中、左側の領域においてメモリトランジスタが形成されている。

素子分離絶縁層 20 により分離された半導体基板 10 の P 型ウェル（以下、P ウェル）11 の上に、たとえば酸化シリコンからなる第 1 の電位障壁膜 21 a が形成されている。第 1 の電位障壁膜 21 a 上に、たとえば窒化シリコンからなる電荷蓄積膜 22 a が形成され、さらに、その上に、たとえば酸化シリコンからなる第 2 の電位障壁膜 23 a が形成されている。これら第 1 の電位障壁膜 21 a、電荷蓄積膜 22 a および第 2 の電位障壁膜 23 a から、電荷蓄積機能を有する積層膜 S I が構成される。

第 2 の電位障壁膜 23 a の上に、たとえばドーパド多結晶珪素からなるゲート電極 30 a が形成されている。また、ゲート電極 30 a の両側に位置する半導体基板 10 の部分に、N 型不純物を例えば低濃度に含有するエクステンション不純物領域 14 と、高濃度に含有するソース・ドレイン不純物領域 15 が形成されている。

このメモリトランジスタは、ゲート電極 30 a と半導体基板 10 中のチャネル形成領域との間に積層膜 S I を有する N チャネル型の電界効果トランジスタである。

ゲート電極 30 a を被覆して例えば酸化シリコンからなる層間絶縁膜 25 が形成されており、ソース・ドレイン不純物領域 15 に達するコンタクトホールが開口されて、ソース・ドレイン電極 31 が形成されている。

【0005】

図1(a)の右側の領域において、メモリ周辺回路のトランジスタ(以下、周辺回路トランジスタという)が形成されている。

素子分離絶縁層20により分離された半導体基板10のPウェル11'上に、たとえば酸化シリコンからなるゲート絶縁膜21a'が形成され、その上に、たとえばドーパド多結晶珪素からなるゲート電極30a'が形成されている。また、ゲート電極30a'の両側部の半導体基板10中に、N型不純物を例えば低濃度に含有するエクステンション不純物領域14'と、高濃度に含有するソース・ドレイン不純物領域15'が形成されている。さらに、ゲート電極30a'を被覆して例えば酸化シリコンからなる層間絶縁膜25が形成されており、ソース・ドレイン不純物領域15'に達するコンタクトホールが開口されて、ソース・ドレイン電極31'が形成されている。 10

【0006】

MONOS型メモリトランジスタにおいて、積層膜SIは、電荷蓄積膜22aのバルク中の電荷トラップ(バルクトラップ)や、電荷蓄積膜22aと第2の電位障壁膜23aとの界面近傍に形成された電荷トラップ(界面トラップ)などに電荷を蓄積し保持する機能を持つ。

ゲート電極30a、半導体基板10中のソース・ドレイン不純物領域15、および半導体基板10に適当な電圧を印加することにより、ファウラー・ノルドハイム(FN)トンネリング電流が生じ、第1の電位障壁膜21aを通してPウェル11から積層膜SI中に電子が注入され、これが印加電圧によって形成される電界により伝導し、トラップに捕獲される。あるいは逆に、第1の電位障壁膜21aを通して積層膜SI中からPウェル11へ電子が放出される。 20

【0007】

前記メモリトランジスタを行列状に並べNOR型動作可能に接続したメモリセルアレイの等価回路図を図1(b)に示す。

たとえば、セル1のメモリトランジスタのゲート電極はワード線WL1に接続され、ソース・ドレイン不純物領域はビット線BL1a、BL1bにそれぞれ接続されている。また、セル2のメモリトランジスタのゲート電極はワード線WL1に接続され、ソース・ドレイン不純物領域はビット線BL2a、BL2bにそれぞれ接続されている。このように各線に接続されたメモリトランジスタがNOR型にマトリクス状に接続され、メモリアレイを構成する。 30

【0008】

MONOS型メモリトランジスタを有している不揮発性半導体メモリ装置の製造において、シリコン半導体基板10に素子分離絶縁層20を形成した後、周辺回路トランジスタ形成領域をレジスト膜などにより保護し不純物のイオン注入を行うことによって、Pウェル11をメモリトランジスタ形成領域にのみ形成する。

【0009】

たとえば熱酸化法により全面に酸化シリコン膜を形成し、第1の電位障壁膜21aを形成する。次に、たとえばCVD(Chemical Vapor Deposition)法により、第1の電位障壁膜21aの上に窒化シリコンを堆積させ、電荷蓄積膜22aを形成する。さらに、たとえば熱酸化法により電荷蓄積膜22aの表面全域を熱酸化して酸化シリコン膜を形成し、第2の電位障壁膜23aを形成する。これによりメモリトランジスタの電荷蓄積機能を有する積層膜SIが形成される。 40

次に、ゲート電極材料を堆積してパターニングするが、このとき、下地の積層膜SIを連続してエッチングする。これにより、周辺回路トランジスタ形成領域において積層膜SIが除去され、半導体基板10が露出する。

【0010】

メモリトランジスタ形成領域をレジスト膜などで保護し不純物のイオン注入を行うことにより、周辺回路トランジスタ形成領域にPウェル11'を形成する。たとえば熱酸化法により全面に酸化シリコン膜を形成し、ゲート絶縁膜21'を形成する。続いてゲート電極 50

材料を堆積してパターンニングすることにより、周辺回路トランジスタ用のゲート電極 30 a' を形成する。

次に、ゲート電極 30 a、ゲート電極 30 a' をマスクとして不純物をイオン注入し、N 型不純物を例えば低濃度に含有するエクステンション不純物領域 14、14' を形成する。

【0011】

以降の工程としては、サイドウォール絶縁層を形成し、ソース・ドレイン不純物領域 15、15' を形成する。これにより、メモリトランジスタと周辺回路トランジスタが形成される。その後、層間絶縁膜 25 の堆積、コンタクトホール開口、ソース・ドレイン電極 31 の形成の諸工程を経て、当該不揮発性半導体メモリ装置を完成させる。

10

【0012】

【発明が解決しようとする課題】

この従来の不揮発性半導体メモリ装置の製造方法では、MONOS 型メモリトランジスタの積層膜 S I の形成時に、電荷蓄積膜 22 a として窒化シリコンなどの窒化膜を形成する必要がある。このときの形成方法としては、例えば、ジクロルシラン (DCS) とアンモニア NH₃ の混合ガスを用い、基板温度を、600 を超える値に設定して窒化シリコン膜の CVD を行う。

【0013】

このときの下地が酸化シリコンなどの場合、その上に組成が異なる窒化シリコンなどの電荷蓄積膜 22 a を CVD しようとする、最初のある時間は窒化シリコンの核成長に費やされ、成長が極端に遅い時間が存在する。これはインキュベーション時間と称され、下地の表面状態によって変動するため、これによって CVD の膜厚制御性が損なわれる。

20

そこで、インキュベーション時間を抑制するために、通常、電荷蓄積膜 22 a (例えば窒化シリコン膜) の形成前に、第 1 の電位障壁膜 21 a (例えば酸化シリコン膜) 表面を熱窒化処理する必要がある。例えば、基板温度を約 800 から 1000 に保った状態で、酸化シリコン膜の表面をアンモニア NH₃ に数 10 分間曝し、酸化シリコン膜表面を窒化する。

条件にもよるが一般に、熱窒化処理によって表面から数 10 nm、場合によっては数 μm ほどのシリコン表面層が窒化されてしまう。

【0014】

30

このような基板への窒素の導入は、メモリ部以外で特に問題となる。

すなわち、周辺のトランジスタ部では、ONO 膜 (蓄積膜 S I) を除去し、次の工程で新たにゲート絶縁膜 21' を熱酸化等により付け直す必要がある。ところが、このとき窒素原子の存在により熱酸化膜の成長が阻害される。また、窒素の含有率がばらつきやすく、このため熱酸化膜厚が変動する。その結果、メモリトランジスタ以外のトランジスタ (例えば、メモリ周辺回路、ロジックトランジスタなど) の閾値電圧が変動し、あるいはモビリティが低下するなどの不利益がある。

【0015】

このような不利益を回避するために、周辺回路やロジックトランジスタのゲート絶縁膜形成時の熱酸化の前に、犠牲酸化及び犠牲酸化膜除去工程を挿入し、シリコン基板表面を薄層状に除去することによって、窒素の影響を除去するなどの対策が施される。この犠牲酸化膜はウエットエッチングにより除去されるため、犠牲酸化時に消費されたシリコン表面層が均一に、しかもダメージを残すことなくエッチングされる。

40

ところが、この通常の工程に付加された作業は、(1) マスク工程の増加、(2) ウエットエッチング時の素子分離絶縁層の膜厚の減少、(3) 熱工程の増加によるスケーリング性の悪化など、種々の問題をさらに引き起こす。

【0016】

本発明の目的は、不揮発性メモリトランジスタと、メモリ機能を有しない非メモリトランジスタとを同じ基板上に集積化した不揮発性半導体メモリ装置において、メモリトランジスタの窒化処理の効果を維持しながら非メモリトランジスタで窒素の影響を低減すること

50

を、製造コストの増加なしに可能とし、これによってトランジスタ特性やスケーリング性を改善することにある。

【0017】

【課題を解決するための手段】

本発明の第1の観点に係る不揮発性半導体メモリ装置は、上述した目的を達成するためのものであり、メモリトランジスタと非メモリトランジスタとが同一基板に集積され、前記メモリトランジスタのチャネルが形成される半導体領域とゲート電極との層間に、電位障壁膜と電荷蓄積膜とを前記半導体領域の側から順次有し、前記非メモリトランジスタのチャネルが形成される半導体領域とゲート電極との層間に単層のゲート絶縁膜を有し、メモリトランジスタの前記電位障壁膜が5～20%の範囲内の濃度で窒素を含有し、かつ、非メモリトランジスタの前記半導体領域に含有する窒素の濃度が所定の許容値以下に設定されている。

【0018】

本発明の第2の観点に係る不揮発性半導体メモリ装置の製造方法は、上述した目的を達成するためのものであり、メモリトランジスタと非メモリトランジスタを同一基板に形成する不揮発性半導体メモリ装置の製造方法であって、複数の膜からなり電荷蓄積機能を有する積層膜を、チャネルが形成される半導体の上に形成する工程と、前記積層膜の上に前記メモリトランジスタのメモリゲート電極を形成する工程と、前記非メモリトランジスタの形成領域で前記積層膜を除去する工程と、前記積層膜を除去した半導体領域の上に単層のゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の上に前記非メモリトランジスタのゲート電極を形成する工程と、を有し、前記積層膜の形成工程が、前記半導体領域の上に電位障壁膜を形成する工程と、前記電位障壁膜の最終的な窒素の含有率が5～20%の範囲内となる条件で、窒素を含むガスを用いた加熱により前記電位障壁膜に窒化処理を施す工程と、前記電位障壁膜の上に電荷蓄積膜を形成する工程と、を含む。

【0019】

第1の観点の不揮発性半導体メモリ装置によれば、非メモリトランジスタの、チャネルが形成される半導体領域に含有する窒素の濃度が所定の許容値以下となるように、メモリトランジスタにおける電位障壁膜の窒素の含有率が5～20%となっている。この含有率の上限値20%というのは、非メモリトランジスタのチャネルに含有する窒素の濃度を抑制するために規定され、下限値5%は窒化処理の効果、即ち、その上に形成されている電荷蓄積膜の表面粗さを小さくすることを実効あらしめるために規定されている。

【0020】

第2の観点の不揮発性半導体メモリ装置の製造方法によれば、メモリトランジスタの電荷蓄積機能を有する積層膜を形成する。より詳細には、メモリトランジスタのチャネルが形成される半導体領域の上に電位障壁膜を形成し、電位障壁膜の最終的な窒素の含有率が5～20%となる条件で、窒素を含むガスを用いた加熱により電位障壁膜に窒化処理を施す。この程度の窒素濃度では、非メモリトランジスタのチャネルが形成される半導体領域に、トランジスタ特性が低下するほどの窒素が導入されない。その後、電位障壁膜の上に電荷蓄積膜を形成し、その上にメモリゲート電極を形成する。次に、非メモリトランジスタの形成領域で積層膜を除去し、積層膜を除去した半導体領域の上に単層のゲート絶縁膜を形成し、ゲート絶縁膜の上に非メモリトランジスタのゲート電極を形成する。

【0021】

【発明の実施の形態】

以下、本発明に係る不揮発性半導体メモリ装置の製造方法の実施の形態を、図面を参照して説明する。

図1(a)は、本発明の実施形態に係る不揮発性メモリ装置の断面図であり、従来例と同様な構造を有している。

【0022】

図中、左側の領域においてメモリトランジスタが形成されている。

素子分離絶縁層20により分離された半導体基板10のP型ウェル(以下、Pウェル)1 50

1の上に、たとえば酸化シリコンからなる第1の電位障壁膜21aが形成されている。第1の電位障壁膜21a上に、たとえば窒化シリコンからなる電荷蓄積膜22aが形成され、さらに、その上に、たとえば酸化シリコンからなる第2の電位障壁膜23aが形成されている。これら第1の電位障壁膜21a、電荷蓄積膜22aおよび第2の電位障壁膜23aから、電荷蓄積機能を有する積層膜SIが構成される。

第2の電位障壁膜23aの上に、たとえばドーパド多結晶珪素からなるゲート電極30aが形成されている。また、ゲート電極30aの両側部の半導体基板10中には、N型不純物を例えば低濃度に含有するエクステンション不純物領域14と、高濃度に含有するソース・ドレイン不純物領域15が形成されている。

このような構成のメモリトランジスタが、ゲート電極30aと半導体基板10のチャネル形成領域との層間に積層膜SIを有するNチャネル型の電界効果トランジスタである。ゲート電極30aを被覆して例えば酸化シリコンからなる層間絶縁膜25が形成されており、ソース・ドレイン不純物領域15に達するコンタクトホールが開口されて、ソース・ドレイン電極31が形成されている。

【0023】

一方、図1(a)の右側の領域においては、本発明における“非メモリトランジスタ”の一例として、周辺回路トランジスタが形成されている。

素子分離絶縁層20により分離された半導体基板10のPウェル11'上に、たとえば酸化シリコンからなるゲート絶縁膜21a'が形成され、その上に、たとえばドーパド多結晶珪素からなるゲート電極30a'が形成されている。また、ゲート電極30a'の両側部の半導体基板10中には、N型不純物を例えば低濃度に含有するエクステンション不純物領域14'と、高濃度に含有するソース・ドレイン不純物領域15'が形成されている。さらに、ゲート電極31a'を被覆して例えば酸化シリコンからなる層間絶縁膜25が形成されており、ソース・ドレイン不純物領域15'に達するコンタクトホールが開口されて、ソース・ドレイン電極31'が形成されている。

【0024】

前述した構造のメモリトランジスタにおいて、積層膜SIは、電荷蓄積膜22aのバルク中の電荷トラップ(バルクトラップ)や、電荷蓄積膜22aと第2の電位障壁膜23aの界面近傍に形成された電荷トラップ(界面トラップ)などに電荷を蓄積し保持する機能を持つ。

ゲート電極30a、半導体基板10中のソース・ドレイン不純物領域15、および半導体基板10に適当な電圧を印加することにより、ファウラー・ノルドハイム(FN)トンネリング電流あるいはチャネルホットエレクトロンによる電流が生じる。これらの電流によって、第1の電位障壁膜21aを通してPウェル11から積層膜SI中に電子が注入され、これが前記電圧によって形成される電界により伝導し、トラップに捕獲される。あるいは逆に、第1の電位障壁膜21aを通して積層膜SI中からPウェル11に電子が放出される。

【0025】

メモリトランジスタを行列状に並べNOR型動作可能に接続したメモリセルアレイの等価回路図を図1(b)に示す。

たとえば、セル1のメモリトランジスタのゲート電極はワード線WL1に接続され、2つのソース・ドレイン不純物領域はビット線BL1aとBL1bに接続されている。また、セル2のメモリトランジスタのゲート電極はワード線WL1に接続され、2つのソース・ドレイン不純物領域はビット線BL2aとBL2bに接続されている。このように各線に接続したメモリトランジスタがNOR型にマトリクス状に接続され、メモリアレイを構成する。

【0026】

積層膜SI中に電荷が蓄積されると、蓄積された電荷による電界が発生するため、メモリトランジスタの閾値電圧が変化する。この変化によりデータの記憶が可能となる。

たとえば、セル1の積層膜SI中に電子を蓄積した場合に、メモリトランジスタがNチャ

ネル型であるとする、その閾値電圧が正の方向にシフトしている。読み出し時には、該当するメモリセルのゲート電極（ワード線WL1）に電圧を印加するが、積層膜SIに蓄積された電荷によってメモリトランジスタの閾値電圧が印加電圧よりも高くなっているため、両ビット線BL1a、BL1b間に電流が流れない。逆に、積層膜SIにホールを蓄積した場合に、メモリトランジスタの閾値電圧が負の方向にシフトしているため、読み出し時のゲート電圧で両ビット線BL1a、BL1b間に電流が流れる。この電流が“流れる”、“流れない”を論理“0”、“1”に対応させて、1ビットのバイナリデータを記憶させ読み出すことができる。あるいは、閾値電圧の分布幅を複数に分割すると多値化が可能となる。

以上のことから、積層膜SIを有する電界効果型トランジスタ（メモリトランジスタ）に対しデータを書き込み、読み出すことが可能となる。 10

【0027】

消去では、蓄積電荷をFNトンネリング、ダイレクトトンネリング、その他の方法で基板側に引き抜くか、逆極性の電荷を注入する。これにより、メモリトランジスタの閾値電圧が、消去状態の低いレベルに推移する。この消去は、通常、メモリセルアレイ一括か、メモリセルアレイの所定のサブアレイ単位を一括で行うが、ビットごとの消去も可能である。

【0028】

次に、MONOS型メモリトランジスタを有している不揮発性半導体メモリ装置の製造方法について、図面を参照して説明する。 20

図2(a)～図4(h)に、不揮発性半導体メモリ装置の製造途中の断面図を示す。

【0029】

図2(a)に示すように、シリコン半導体基板10に対して、たとえばLOCOS法により酸化シリコンからなる素子分離絶縁層20を形成する。ここで、素子分離絶縁層20により分離された図面の左側の活性領域がメモリトランジスタ形成領域であり、図面の右側の活性領域が周辺回路トランジスタ形成領域である。

【0030】

周辺回路トランジスタ形成領域をレジスト膜などで保護し、メモリトランジスタ形成領域に閾値電圧を調整するための不純物のイオン注入、あるいはウェルなどを形成するための不純物のイオン注入などを行う。これにより、図2(b)に示すように、たとえばPウェル11がメモリトランジスタ形成領域にのみ形成される。 30

【0031】

図2(c)に示すように、たとえば熱酸化法により全面に酸化シリコン膜を形成し、第1の電位障壁膜21を形成する。熱酸化では、例えば800 から1000 に昇温した基板表面を酸素O₂または酸化二窒素N₂Oに曝す。第1の電位障壁膜21の膜厚に限定はないが、例えば0.5nm～8.0nmの範囲から適切な膜厚が選択される。

続いて、形成した第1の電位障壁膜21の表面部を熱窒化する。熱窒化では、例えば、基板温度を700 から1000 に保った状態で、二酸化シリコン膜（第1の電位障壁膜21）の表面をアンモニアNH₃に0.5分～5分間さらす。この高温窒化処理は、次に電荷蓄積膜を堆積する時のインキュベーション時間を低減するためである。本実施形態では、この熱窒化処理条件を、電荷蓄積膜の表面粗さの抑制と、非メモリトランジスタ（例えば周辺回路トランジスタあるいはロジックトランジスタ）の特性低下防止とを両立させる目的で、最適化する。この最適化のための予備実験については後述する。 40

【0032】

図3(d)に示すように、たとえばCVD法により、第1の電位障壁膜21の上に窒化シリコンをCVD法により堆積させ、電荷蓄積膜22を形成する。このとき、例えば、流量が20sccmのジクロルシラン(DCS)と、流量が200sccmのアンモニアNH₃とを混合したガスを用い、また、圧力と温度を所定の値に制御してシリコン窒化膜のCVDを行う。電荷蓄積膜22の膜厚に限定はないが、例えば2.0nm～16.0nmの範囲から適切な膜厚が選択される。 50

【0033】

図3(e)に示すように、たとえば熱酸化法により電荷蓄積膜22表面全域を熱酸化して酸化シリコン膜を形成し、第2の電位障壁膜23を形成する。第2の電位障壁膜23の形成を、CVD法を用いて行ってもよい。

【0034】

図3(f)に示すように、たとえばCVD法により第2の電位障壁膜23の上にドーパド多結晶珪素を堆積させ、フォトリソグラフィ工程によりレジスト膜をパターンニングし、レジストをマスクにRIE(反応性イオンエッチング)などのエッチングを施し、ゲート電極30aを形成する。このとき連続してゲート電極と同じパターンによるエッチングを行うことによって、第1の電位障壁膜21a、電荷蓄積膜22a、第2の電位障壁膜23aからなり、電荷蓄積機能を有する積層膜SIが形成される。 10

【0035】

図4(g)に示すように、メモリトランジスタ形成領域をレジスト膜で保護してRIEなどのエッチングを施し、周辺回路トランジスタ形成領域の第1の電位障壁膜21、電荷蓄積膜22、および、第2の電位障壁膜23を除去し、周辺回路トランジスタ形成領域において半導体基板10を露出させる。

【0036】

メモリトランジスタ形成領域をレジスト膜などで保護したまま、周辺回路トランジスタ形成領域に閾値電圧を調整するための不純物のイオン注入、あるいはウェルなどを形成するための不純物のイオン注入などを行う。これにより、図4(h)に示すようにPウェル11'が形成される。 20

熱酸化法によりPウェル表面を熱酸化する。これにより、酸化シリコン膜からなる周辺回路トランジスタ用のゲート絶縁膜21'が形成される。このとき、メモリトランジスタ形成領域においても、ゲート電極30aの両側部のPウェル11表面や、ゲート電極30a表面に酸化シリコン膜が形成される。

形成したゲート絶縁膜21'の上にCVD法によりドーパド多結晶珪素を堆積させ、これをフォトリソグラフィによりパターンニングして周辺回路トランジスタ用のゲート電極30a'を形成する。

ゲート電極30a、ゲート電極30a'をマスクとして不純物イオンを注入し、N型不純物を例えば低濃度に含有するエクステンション不純物領域14、14'を形成する。 30

【0037】

たとえばCVD法により酸化シリコンを堆積し、これをエッチバックしてゲート電極30aと30a'の側部にサイドウォール絶縁層(不図示)を形成し、これをマスクとして不純物イオンを注入し、N型の導電性不純物を高濃度に含有するソース・ドレイン不純物領域15と15'を形成する。以上により、メモリトランジスタと周辺回路トランジスタの基本構造が完成する。

その後、たとえばCVD法により、これらのトランジスタを被覆して酸化シリコンを堆積させて層間絶縁膜25を形成し、層間絶縁膜25にソース・ドレイン不純物領域15、15'に達するコンタクトホールを開口する。たとえばスパッタリング法によりアルミニウム合金などの導電膜を堆積させ、パターンニングしてソース・ドレイン電極31を形成すると、図1(a)に示す不揮発性半導体メモリ装置の製造が終了する。 40

【0038】

本実施形態における不揮発性半導体メモリ装置の製造方法は、メモリトランジスタにおける第1の電位障壁膜21の熱室化処理条件を最適化したことに大きな特徴がある。

【0039】

図5は、この熱室化処理条件の最適化のための予備実験の結果を示すグラフである。メモリトランジスタの第1の電位障壁膜21の表面を種々の条件で室化処理したサンプルを製作した。このときの第1の電位障壁膜21は、酸化シリコンからなる。図5に図解したグラフの横軸は第1の電位障壁膜21の組成における窒素の比率を示す。

これらのサンプルにおいて、同じ条件で電荷蓄積膜22として窒化シリコン(SiN)の 50

膜をCVD法により形成した。この状態で、電荷蓄積膜22の表面粗さを測定した。図5における黒塗りのひし形印は、電荷蓄積膜22の表面粗さの二乗平均の平方根(RMS)を示す。

次に、第2の電位障壁膜23まで一旦形成し、ONO構造の蓄積膜SIをウエットエッチングにより剥離した。そして、露出したウエル表面を熱酸化して酸化シリコン膜を成長させた。この酸化シリコン膜は非メモリトランジスタのゲート絶縁膜を想定したものであり、図5における白抜きの四角印で示す膜厚を有する。ここでは、目標とする膜厚を18.6nmとした。

【0040】

ロジックトランジスタ、周辺回路トランジスタの特性上から許されるゲート絶縁膜厚のばらつきは設定膜厚の±10%であることから、その許容下限値は16.8nmである。ゲート絶縁膜の膜厚仕様を満たすためには、第1の電位障壁膜21の窒素の含有率に上限値があり、その値は、グラフから20%であることが判る。

非メモリトランジスタのゲート絶縁膜厚21'が薄くなる現象は、そのチャネル形成領域のシリコンの窒素濃度が高くなり、酸化が進まないことが原因である。シリコンの窒素濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ を超えると酸化レートが低下し始めることが知られている。第1の電位障壁膜21に含有する窒素の濃度の許容上限値20%は、この酸化レートが低下し始めるシリコン中の窒素濃度とほぼ対応している。つまり、メモリトランジスタの第1の電位障壁膜21に対する窒素処理を、その窒素の含有率が20%を超えるほどに過度に行うと、その時点を超えて非メモリトランジスタのゲート絶縁膜21'の酸化レートの低下が著しくなる。酸化レートの低下だけなら、その分を見越して酸化膜厚を厚く設定することもできるが、チャネル形成領域のシリコン中の窒素濃度の増大によってキャリアの移動度が下がり閾値電圧が変動するため、トランジスタの特性が低下する。

【0041】

一方、第1の電位障壁膜21の窒素の含有率を下げていくと、5%付近を境に、その上に形成する電荷蓄積膜22の表面粗さが急激に増大することが図5のグラフから読み取れる。

電荷蓄積膜22の表面粗さが増大すると局部的に電界が集中し、保持されている電荷が抜けやすくなるという不利益を被る。また、インキュベーション時間が増大し、この時間変化が製造ロット間で異なるため電荷蓄積膜の膜厚制御性が低下する。

【0042】

以上より、メモリトランジスタの第1の電位障壁膜21の窒素の含有率に最適範囲があり、その最適範囲は望ましくは5%~20%である。これにより、非メモリトランジスタの特性低下防止と、メモリトランジスタの電荷保持特性の低下防止との両立が図れる利点を得られる。

【0043】

また、いわゆる犠牲酸化膜の形成とその除去によって非メモリトランジスタのチャネルの表面層を薄く除去して窒素の影響をなくす処置が不要であり、コスト増加を伴わない。さらに、犠牲酸化膜除去に付随した素子分離絶縁層の膜減り、あるいは、犠牲酸化による加熱総量(サーマルバジェット)の増加がないため、スケーリング性に優れたメモリ混載LSIの実現が可能となる。

【0044】

本発明の不揮発性半導体メモリ装置の構造および製造方法は、前記の実施の形態に限定されない。

たとえば、電荷蓄積膜22は窒化シリコン膜に限定されず、酸化窒化シリコン(silicon oxynitride)膜、あるいは、フッ化窒化シリコン膜から構成してもよい。

また、上述の説明ではメモリトランジスタと非メモリトランジスタのゲート電極を別々に形成する方法について記したが、メモリトランジスタの積層膜SIと非メモリトランジスタのゲート絶縁膜21'を形成した後に、ゲート電極30a, 30a'を同時に形成する

10

20

30

40

50

ことも可能である。

ゲート電極 30a、30a' は 1 層としているが、ポリサイドなどの多層構成としてもよい。ソース・ドレイン不純物領域は、エクステンション構造以外の構造としてもよい。

メモリトランジスタ構造は MONOS 型に限らず、いわゆる MNOS 型であってもよい。さらに、半導体メモリ装置のセルアレイ方式としては、NOR 型のほか、AND 型、DINOR 型、NAND 型など何れでもよい。電荷の電荷蓄積膜 SI への注入は、データの書き込み、消去のどちらに相当する場合でも構わない。電荷注入方法も FN トンネリングに限定されない。

その他、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

【0045】

10

【発明の効果】

本発明の不揮発性半導体メモリ装置およびその製造方法によれば、不揮発性メモリトランジスタと、メモリ機能を有しない非メモリトランジスタとを同じ基板上に集積化した不揮発性半導体メモリ装置において、メモリトランジスタの窒化処理の効果を維持しながら非メモリトランジスタで窒素の影響を低減することを、製造コストの増加なしに可能とし、これによってトランジスタ特性やスケール性を改善することができた。

【図面の簡単な説明】

【図 1】(a) は、本発明の実施の形態および従来例の不揮発性半導体メモリ装置の断面図である。(b) は、不揮発性半導体メモリ装置の 4 メモリセル分の等価回路図である。

【図 2】(a) ~ (c) は、本発明の実施の形態の不揮発性半導体メモリ装置の製造における断面図であり、第 1 の電位障壁膜の形成までを示す。 20

【図 3】(d) ~ (f) は、図 2 (c) に続く工程での断面図であり、メモリトランジスタのゲート電極のパターニングまでを示す。

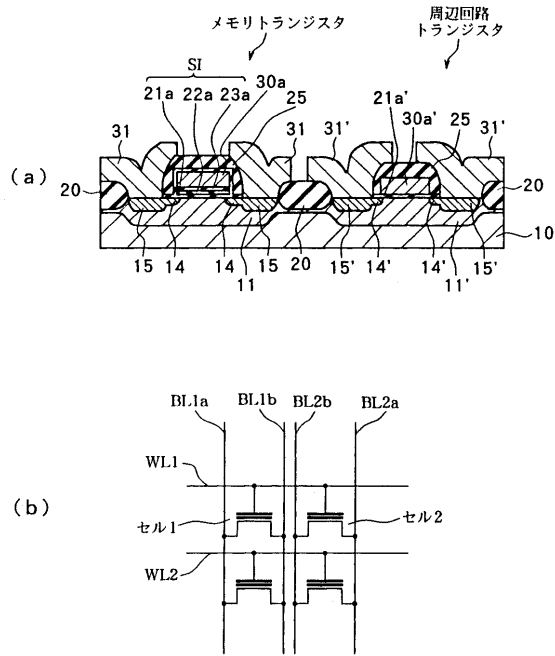
【図 4】(g) および (h) は、図 3 (f) に続く工程での断面図であり、エクステンション不純物領域の形成までを示す。

【図 5】本発明の実施の形態における、熱窒化処理条件の最適化のための予備実験の結果を示すグラフである。

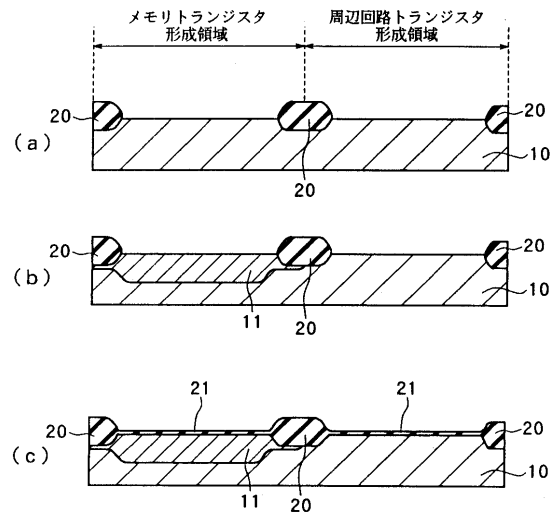
【符号の説明】

10 ... 半導体基板、11, 11' ... P ウエル、14 ... エクステンション不純物領域、15 ... ソース・ドレイン不純物領域、20 ... 素子分離絶縁層、21、21a ... 第 1 の電位障壁膜、22、22a ... 電荷蓄積膜、23、23a ... 第 2 の電位障壁膜、25 ... 層間絶縁膜、30 ... ゲート電極となる導電膜、30a ... ゲート電極、31, 31' ... ソース・ドレイン電極、SI ... 積層膜、BL1a 等 ... ビット線、WL1 等 ... ワード線 30

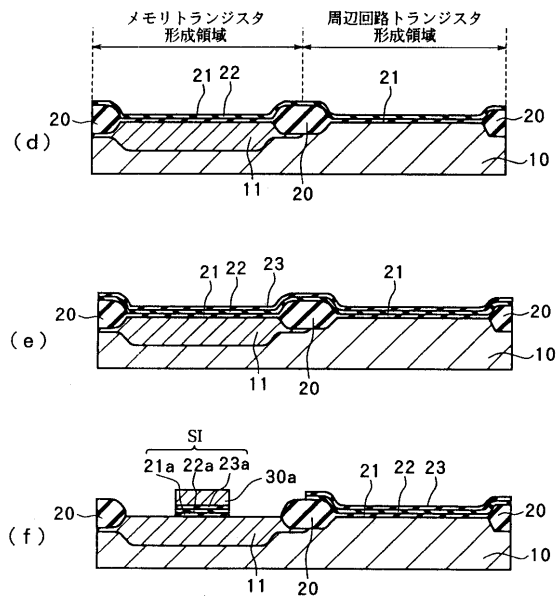
【図 1】



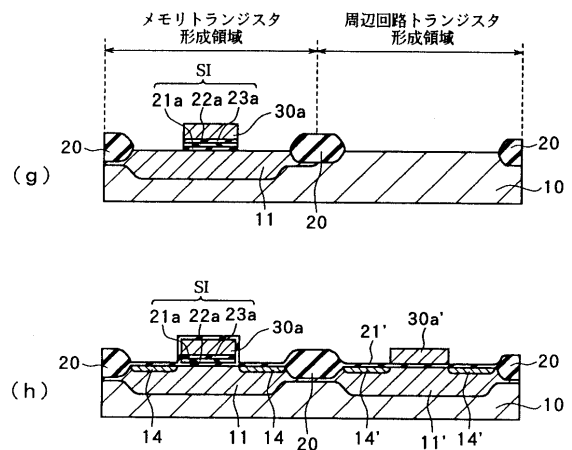
【図 2】



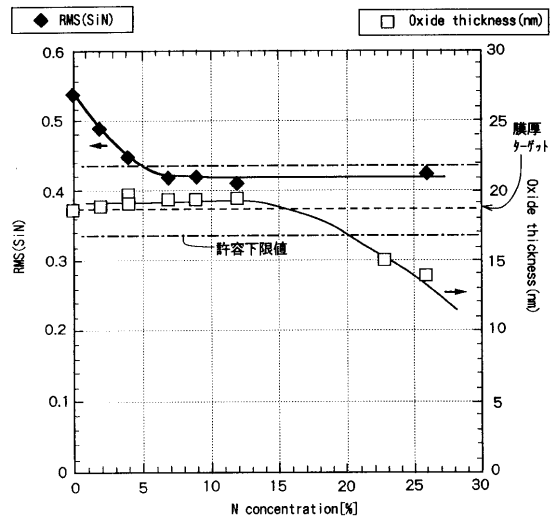
【図 3】



【図 4】



【図 5】



(51) Int.Cl.⁷

テーマコード（参考）

H 0 1 L 29/792

Fターム(参考)	5F083	EP18	EP23	EP77	ER02	ER03	ER22	JA01	JA04	JA05	JA19
		JA36	PR12	PR15	PR21	PR41	PR43	PR45	PR53	PR55	ZA07
		ZA21									
	5F101	BA45	BA46	BB05	BC02	BC11	BD07	BD33	BF05	BH02	BH03
		BH06	BH21								