

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G06F 3/16

H03 M 1/82



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 96104260.5

[45] 授权公告日 2003 年 9 月 3 日

[11] 授权公告号 CN 1120412C

[22] 申请日 1996.3.20 [21] 申请号 96104260.5

[30] 优先权

[32] 1995. 3.20 [33] JP [31] 061320/1995

[32] 1995.12.19 [33] JP [31] 330105/1995

[71] 专利权人 富士通株式会社

地址 日本神奈川

[72] 发明人 山口彰治 内藤步 宫台智治

审查员 韩 燕

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

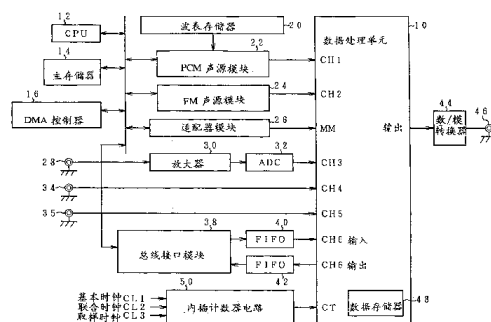
代理人 杜日新

权利要求书 10 页 说明书 42 页 附图 38 页

[54] 发明名称 音频数据处理装置

[57] 摘要

本发明音频数据处理装置，包括：数据处理电路，它并行地输入并连接多个数字音频输入通道，在由标准联合取样频率 44.1KHz 决定的每个周期 T_u ，分别时分地处理每个输入通道的数据，随后，进行规定的混合并将已混合的数据从 D/A 变换器 44 输出到线路。当联合取样频率 44.1KHz 和音频数据的声源取样频率不同时，对输入数据进行内插处理，统一为标准频率。



ISSN 1008-4274

知识产权出版社出版

1.一种音频数据处理装置,用于输入多个音频数据随后进行数据处理并输出此处理过的数据,它包括:

多个用于输入音频数据的输入通道(CH1~CH6);和
数据处理电路(10),由所述多个输入信道(CH1~CH6)对其并行输入以进行处理,

其中所述数据处理单元(10)包括:

多个内插部分(54, 60和66),输入并连接多个输入通道(CH2、CH5、CH6)的每个,以取样频率而不是标准的预定联合取样频率输入音频数据,对所述各输入通道(CH2、CH5、CH6)的音频数据在每个周期 T_u 进行各自时分的数据处理,周期 T_u 由所述联合取样频率决定;以及

混合部分(52),用于将所述多个内插部分(54、60、66)的输出信号混合并输出。

2.按照权利要求1所说的装置,其特征在于在所说的联合取样频率与所说的音频数据的声源取样频率不同时,所说的数据处理电路(10)进行处理,将所说的输入通道的音频数据转换成所说的联合取样频率的数据。

3.按照权利要求1所说的装置,其特征在于当所说的联合取样频率与所说的音频数据的声源取样频率不同时,所说的数据处理电路(10)与所说的联合取样频率同步地进行算术运算内插数

据并将其转换成具有所说的事取样频率的音频数据。

4.按照权利要求3的装置,其特征在于所说的数据处理电路(10)以曲线近似为基础进行所说的内插数据的算术运算。

5.按照权利要求3的装置,其特征在于所说的数据处理电路(10)以线性近似为基础进行所说的内插数据的算术运算。

6.按照权利要求5的装置,其特征在于为了以线性近似为基础进行所说的内插数据的算术运算,所说的数据处理电路(10)包括:

保持单元(132),用于在每个所说的(声源)取样周期至少保持三个连续取样数据的;

时间位置操作单元(50),有能算算术运算的延迟时间并保持在所说的保持单元(132)中的所说的至少三个连续取样数据为基础,计算内插时间位置;和

内插操作单元(136),用于以保持在所说的保持单元(132)中的取样数据和所说的时间位置操作单元(50)计算的所说的内插时间位置为基础,进行算术运算内插数据。

7.按照权利要求5的装置,其特征在于为了以线性近似为基础进行所说的内插数据的算术运算,所说的数据处理电路(10)包括:

数据保持单元(140、142、144),用以在每个所说的取样周期保持至少三个连续取样数据 $S(n)$ 、 $S(n-1)$ 和 $S(n-2)$;

延迟周期数设定单元,用于设定直到前一周期为止的延迟周期数(N_d),此时当将“1”加到通过用所说的联合取样周期 T_u

除所说的声源取样周期 T_s 所得到的商上, 并且作为结果的相加值达到联合取样周期 T_u 时, 计算内插数据;

计数器 (150), 它在每个所说的声源取样周期 T_s 被归零并计数预定的基础时钟而且产生计数值 cnt ;

第一时间位置操作单元 (52), 用于每次得到所说的基本时钟时从通过使所说的延迟周期数 N_d 与所说的联合取样周期 T_u 相乘所得到的值($T_u * N_d$)减去所说的计数值 cnt 和所说的声源取样周期 T_s , 由此计算用以进行所说的内插数据的算术运算的第一时间位置 CT_1 ;

第二时间位置操作单元 (154), 用于每次得到所说的基本时钟时, 从通过使所说的延迟周期数 N_d 与所说的联合取样周期 T_u 相乘得到的值减去所说的计数值 cnt 时, 由此计算用以进行所说的内插数据的所说的算术运算的第二时间位置 CT_2 ;

转换选择单元 (146、148、156、158), 用于对所说的延迟周期 N_d 与所说的联合取样周期 T_u 相乘所得到的值($T_u * N_d$)和所说的声源取样周期 T_s 之间的差 ΔT 与所说的计数值 cnt 进行比较, 当所说的计数值 cnt 等于或小于所说的差 ΔT 时, 选择所说的第一时间位置 CT_1 作为内插时间位置 C , 并选择一周期前数据 $S(n-1)$ 和二周期前数据 $S(n-2)$ 作为新数据 A 和老数据 B , 当所说的计数值 cnt 超过所说的差 ΔT 时, 选择所说的第二时间位置 CT_2 作为内插时间位置 CT , 并选择当前数据 $S(n)$ 和一周期前数据 $S(n-1)$ 作为新数据 A 和老数据 B ; 和

内插操作单元 (136), 用于每次周期达到所说的联合取样

周期 T_u 时, 根据用所说的转换选择单元选择的新老数据 A 及 B 和所说的内插时间位置 C , 以线性近似为基础, 算术运算内插数据 X 。

8.按照权利要求 7 的装置其特征在于当所说的新老二数据设定为 A 与 B , 内插时间位置 C 设定为 C , 声源取样周期 T_s 设定为 D 时, 所说的内插操作单元 (136) 用下式计算内插数据 X :

$$X=A-(A-B)C/D.$$

9.按照权利要求 2 的装置, 其特征在于所说的数据处理电路 (10) 测量所说的输入数据的声源取样周期 T_s , 并按照所说的测量结果进行不同的转换处理。

10.按照权利要求 9 的装置, 其特征在于所说的数据处理电路 (10) 测量所说的输入数据的声源取样周期 T_s , 当所说的声源取样周期 T_s 和所说的联合取样周期 T_u 之间的比率(T_s/T_u)等于 ($1/\text{整数}$)值时, 进行缩值处理以便消除存在在所说的联合取样周期 T_u 内的每个声源取样周期 T_s 处的数据。

11.按照权利要求 9 的装置, 其特征在于所说的数据处理电路 (10) 测量所说的输入数据的声源取样周期 T_s , 并且当所说的声源取样周期 T_s 与所说的联合取样周期 T_u 之间的比率(T_s/T_u)等于整数倍的值时, 将零数据插到所说的声源取样周期 T_s 内的联合取样周期 T_u 的位置处, 由此进行内插。

12.按照权利要求 9 的装置, 其特征在于所说的数据处理电路 (10) 测量所说的输入数据声源取样周期 T_s , 当所说的声源取样周期 T_s 与所说的联合取样周期 T_u 之间的比率(T_s/T_u)等于非

整数倍的值或(1/非整数)时, 用线性近似将内插数据插到所说的声源取样周期 T_s 内所说的联合取样周期 T_u 的位置, 从而进行线性内插。

13.按照权利要求 12 的装置, 其特征在于为了以线性近似为基础进行所说的内插数据的算术运算, 所说的数据处理电路(10)包括:

数据保持单元(140、142、144), 用以在每个所说的声源取样周期保持至少三个连续取样数据 $s(n)$ 、 $S(n-1)$ 和 $S(n-2)$;

延迟周期数设定单元, 用以设定直到前一周期为止的延迟周期数(N_d), 此时当将“1”加到通过用所说的联合取样周期 T_u 除所说的声源取样周期 T_s 所得到的商上并且作为结果的相加值达到联合取样周期 T_u 时, 计算内插数据;

计数器(150), 每次得到取样时钟时它被归零, 并计数予定基本时钟而且输出计数值 cnt ;

第一时间位置操作单元(152), 用于每次得到所说的基本时钟时, 从通过使所说的延迟周期数 N_d 与所说的联合取样周期 T_u 相乘所得到的值($T_u * N_d$)减去所说的计数值 cnt 和所说的声源取样周期 T_s , 由此计算用以进行内插数据的算术运算的第一时间位置 CT_1 ;

第二时间位置操作单元(154), 用于每次得到所说的基本时钟时, 从通过使所说的延迟周期数 N_d 与所说的联合取样周期 T_u 相乘得到的值减去所说的计数值 cnt , 由此计算用以进行所说的内插数据的算术运算的第二时间位置 Ct_2 ;

转换选择单元（146、148、156、158），用于对所说的延迟周期数 N_d 与所说的联合取样周期 T_u 相乘所得到的值($T_u \cdot N_d$)与所说的声源取样周期 T_s 之间的差 ΔT 和所说的计数值 cnt 进行比较，当所说的计数值 cnt 等于或小于所说的差 ΔT 时，选择所说的第一时间位置 C_{t1} 作为内插时间位置 C ，并选择一周周期前数据 $S(n-1)$ 和两周周期前数据 $S(n-2)$ 作为新数据 A 和老数据 B ，当所说的计数值 cnt 超过所说的差 ΔT 时，选择所说的第二时间位置 C_{t2} 作为内插时间位置 CT ，并选择当前数据 $S(n)$ 和一周周期前数据 $S(n-1)$ 作为新数据 A 和老数据 B ；和

内插操作单元（136），用于每次周期达到所说的联合取样周期 T_u 时，根据用所说的转换选择单元选择的新老数据 A 及 B 和所说的内插时间位置 C ，以线性近似为基础，算术运算内插数据 X 。

14.按照权利要求 13 的装置，其特征在于当所说的新老两数据设定为 A 与 B ，内插时间位置设定为 C ，声源取样周期 T_s 设定为 D 时，所说的内插操作单元用下式计算内插数据 X ：

$$X=A-(A-B)C/D。$$

15.按照权利要求 1 的装置，其特征在于所说的数据处理电路（10）使设定的音量系数与输入数据相乘并产生音量调整数据。

16.按照权利要求 1 的装置，其特征在于所说的数据处理电路（10）将输入数据校正到特定的电平，此后，使设定的音量系数与已校正的输入数据相乘并产生音量调整数据。

17.按照权利要求 1 的装置，其特征在于所说的数据处理电

路(10)使予定的滤波系数与输入数据相乘由此算术运算输出数据。

18.按照权利要求1的装置,其特征在于所说的数据处理电路(10)是低通滤波器,用以滤除输入数据的高频噪声分量并按照有限冲激响应由滤波系数算术运算输出数据。

19.按照权利要求18的装置,其特征在于所说的数据处理电路(10)算术运算所述目标数据的滤波器输出数据,所说的目标数据是用存在在时基上所说的作为中心的目标数据前后的,在每个联合取样周期上的预定阶次的输入数据根据所说有限冲激响应的固定阶次的滤波系数之间的乘积之和进行处理的当前目标。

20.按照权利要求18的装置,其特征在于所说的数据处理电路(10)输入并相加作为被混合目标选定的多个数据,从而获得混合输出数据。

21.按照权利要求1的装置,其特征在于所说的数据处理电路(10)包括:

第一处理电路(80),用于在每个所说的联合取样周期 T_u 时分地进行像所说的多个通道那样多的内插、音量调整、和音频数据的混合输出;和

第二处理电路(82),用于在每个所说的联合取样周期 T_u 时分地进行象所说的多个通道那样多的滤波处理。

22.按照权利要求21的装置,其特征在于每个所说的第一和第二处理电路(80、82)包括:

乘法流水线电路(80-1),用于选择所说的多个输入数据

中的两个，随后使所说的两个选定的输入数据相乘；

加法/减法流水线电路（80-2），用于选择所说的多个输入数据中的两个，随后使所说的两个选定的数据相加或相减；

数据存储器（58），用于从所说的乘法流水线电路（80-1）和所说的加法/减法流水线（80-2）读出输入数据和将输出数据写入上述两电路；

控制存储器（118），在每个基本时钟周期，用以使所说的乘法流水线电路（80-1）和所说的加法/减法流水线电路（80-2）在所说的联合取样周期 T_u 中操作的控制模式已存储在其中；和

顺序计数器（116），用以在每个所说的联合取样周期 T_u 重复所说基本时钟的计数操作，产生地址，从所说的控制存储器（118）根据所说的地址读出操作模式，并使所说的乘法流水线电路（80-1）和所说的加法/减法流水线电路（80-2）时分地进行与所说的多个输入通道（个数）一样多的处理。

23.按照权利要求 22 的装置，其特征在于所说的乘法流水线电路（80-1）包括：

第一选择器（88），用于选择所说的多个输入数据中的一个；

第二选择器（90），用于选择所说的多个输入数据中地一个；

第一寄存器（92），用于保持所说的第一选择器的输出；

第二寄存器（94），用于保持所说的第二选择器的输出；

乘法器（94），用于使在所说的第一和第二寄存器中的值

相乘;

第一输出寄存器(98), 用于保持所说的乘法器的输出;

和

所说的加法/减法流水线电路(80-2)包括:

第三选择器(100), 用以选择所说的多个输入数据中的一个;

第四选择器(102), 用以选择所说的多个输入数据中的一个;

第三寄存器(104), 用以保持所说的第三选择器的输出;

第四寄存器(106), 用以保持所说的第四选择器的输出;

加法器/减法器(108), 用以使所说的第三和第四寄存器中的值相加或相减;

第二输出寄存器(110), 用以保持所说的加法器/减法器的输出; 和

多路器(112), 用以选择所说的第一或第二输出寄存器。

24.按照权利要求23的装置, 其特征在于所说的第一和第二输出寄存器(98、100)的输出按照需要被反馈并连接到第一第四选择器的输入(88、90、100、102)。

25.按照权利要求24的装置, 其特征在于设置在所说的乘法器(96)之后的所说的第一输出寄存器(98)和设置在所说的加法器/减法器(108)之后的所说的第二输出寄存器(110)中的每一个都有移位寄存器的功能, 当用所说的操作模式选定输出操作时, 所说的第一和第二输出寄存器(98、110)保持所说的加法

器/减法器的输出数据，当用所说的操作模式选定移位操作时，所选的第一和第二输出寄存器（98、110）使所保持的数据向上或向下移位。

26.按照权利要求 23 的装置，其特征在于用以进行滤波处理的所说的第二处理电路（82）的所说的加法/减法流水线电路（80-2）直接反馈，并将所说的加法器/减法器（108）的输出连接到选择器输入侧。

27.按照权利要求 26 的装置，其特征在于设置有用以掩蔽一部分反馈数据的掩蔽电路（114）作为对所述第一和第二输出寄存器（98、110）输入侧的反馈连接电路被。

28.按照权利要求 1 的装置，其特征在于所说报送 合取样频率等于 44.1KHz，所说的联合取样周期 T_u 是所说的联合取样频率的倒数。

29.按照权利要求 1 的装置，其特征在于所说的多个输入通道（CH1~CH6）分别输入并连接 PCM（波表）声源模块的输出、FM 声源模块的输出、带放大器和 A/D 变换器的话筒输入电路的输出、外部连接的 CD 装置的输出、外部连接的音频装置的数字输出，和经数据总线外部连接的外部存储器装置的传输数据。

音频数据处理装置

本发明涉及从数字声源输入音频数据并进行必要的数据处理，随后转换成模拟信号输出到线路的音频数据处理装置。本发明特别涉及通过使用流水线或逻辑电路时分地执行多通道数据字处理的音频处理装置。

近年来，在诸如计算机等称为多媒体装置的装置中，希望能重现来自多个不同数字声源的音频数据。必须将来自多个数字声源的音频数据混合并输出此已混合的数据。特别是作为计算机所需要的数字声源。有用不同的流程设计的多个数字声源。并需要能适应所有声源的数据处理装置。如上所述，由于这样的用不同的流程设计的不同的数字声源已设定在各自的取样频率上，所以必须配备与每个取样频率对应的数/模变换器(DAC)。例如，称作PCM声源(波表声源)的声源装置(波表合成器)有例如8个输入通道并增加输入到这些输入通道的相同取样周期的音频数据。为了允许该装置以适应这样的PCM声源，配备与8KHz、16KHz、32KHz和48KHz的取样频率相应的DACs，通过使用诸如晶体管等模拟器件混合由DACs输出的模拟信号。作为另一种方法，配备能被转换到8KHz、16KHz、32KHz和48KHz中任一取样频率的DAC，改变用以使该DAC按照该取样频率工作时钟频率，从而重建各种PCM处理。在称作FM声源的声源装置中，以例如55.5KHz的取样周期的数字声源形式输出用组合正弦波信号记录的信息。而

且,与 PCM 声源类似的形式,有数字音频声源,例如 CD 唱机或已用 PCM 方式记录了连续的声音或音乐的数字音频磁带。在这样的数字音频声源中,输出用一标准例如 44.1KHz 确定的取样周期的音频数据。

如上所述在个人计算机所需要的声源装置中,有各种取样周期的数字声源,并且必须配备与每一种声源相应的 DAC。而且在使这些声源同时输出时,必须使用模拟器件来混合由与每种声源对应设置的 DAC 输出的模拟音频数据。由于难以形成集成电路的模拟器件必须用于其集成电路技术日益提高的数字装置中,因而当与各种声源装置对应地制造该装置时,印刷电路板上声源电路所占的区域增加。作为提供这样数字声源和缩小声源电路的方法;有称之为数字选择电路的方法,该方法提供能适应各种数字声源的取样频率的 DAC,并将各种数字声源的音频数据有选择地输入到所用的 D/A 变换器,从而使其能适应该声源。然而,这样能有选择地输出音频数据的装置有一缺点,即多个数字声源不能同时重现。作为克服多个数字声源不能同时重现这一缺陷并进而缩小声源电路的方法,考虑使用能提高集成度的数字电路完成上述混合电路的方法。

近年来,在计算机或类似装置中使用来自多个不同数字声源的音频数据,并需要数据处理装置,所说的数据处理装置能适于进行诸如内插,音量调整、滤波、混合的处理和直接作为数字数据的各种音频数据的处理。在作为上述数字数据那样处理各种音频信号时,当声源不同时,由于声源的取样频率不同,所以必须使声源的取样频率一致。通常,由于声源侧没有任何用以改变输出取样

频率的装置,所以必须将取样频率转换到统一的诸如 44.1KHz, 48KHz 等取样频率,并通过设置在计算机侧的数字音频处理装置输出,迄今为止,在建立用以按数字数据处理音频信号的装置时,常规方式是使用数字信号处理器(DSP)通过完美的逻辑或类似软件的方法来完成。

图 1 示出用于音频信号数字处理的常规逻辑电路的实例。在通过随机逻辑完成这样的电路时,借助串联连接的选择器 301 和 302 以及算术操作单元 303,304 和 305 按照算述运算的深度和算术运算数据的宽度完成所要求的处理。特别是,在混合多个有不同声源取样频率的音频数据时,在如同声源取样频率的公倍数那样高的高频下进行,诸如滤波等算术运算处理是必须的。因此需要高速率或复杂的算术运算电路。

然而在图 1 的常规装置中,由于通过串联连接选择器 301,302 和算术运算单元 303,304,305 并顺序完成算述运算来进行要求的音频处理,所以尽管处理速度能提高,但仍存在问题,致使门的规模扩大。特别是,像有限冲激响应型数字滤波器那样,当必须多次重复乘加运算时,门规模扩大的问题将特别明显。

在用数字信号处理器的软件来完成时,尽管能完成灵活性高的音频数据处理,其通用性也高。然而,在实现所要求的大多数性能时,必须按照这样的要求来选择或研制数字信号处理器,这就使成本增加。处理速度比随机逻辑的处理速度低。

按照本发明,提供一种使用逻辑电路的音频数据处理装置,它能实现高速处理,有良好的通用性并能进行音频数据处理。

按照本发明,由于取决于声源的有不同声源取样频率的音频

数据转换成统一的 44.1KHz 取样频率并输出, 所以提供这样一种音频数据处理装置, 通过逻辑电路和完成各种内插处理的软件来实现它。

按照本发明, 进一步提供一种音频数据处理装置, 它是按这样尺寸制造, 要使各种数字声源电路和能混合多个数字声源的电路能设置在一个集成电路中。

本发明涉及一种音频数据处理装置, 一种音频数据处理装置, 用于输入多个音频数据随后进行数据处理并输出此处理过的数据, 它包括: 多个用于输入音频数据的输入通道 (CH1 ~ CH6); 和数据处理电路 (10), 由所述多个输入信道 (CH1 ~ CH6) 对其并行输入以进行处理, 其中所述数据处理单元 (10) 包括: 多个内插部分 (54, 60 和 66), 输入并连接多个输入通道 (CH2、CH5、CH6) 的每个, 以取样频率而不是标准的预定联合取样频率输入音频数据, 对所述各输入通道 (CH2、CH5、CH6) 的音频数据在每个周期 T_u 进行各自时分的数据处理, 周期 T_u 由所述联合取样频率决定; 以及混合部分 (52), 用于将所述多个内插部分 (54、60、66) 的输出信号混合并输出。

当联合取样频率 44.1KHz 和音频数据的声源取样频率不同时, 数据处理电路进行将输入通道的音频数据变换成联合取样周期 44.1KHz 的取样数据的处理。也就是就, 当音频数据的声源取样频率与联合取样频率 44.1KHz 不同时, 数据处理电路与联合取样频率同步地算术运算内插数据并转换成联合取样频率的音频数据。内插处理是基于曲线近似的算术运算, 特别是基于线性近似的运算内插数据。

为了基于线性近似的内插数据的算术运算, 数据处理电路包括: 保持单元, 用以在每个声源取样周期保持至少三个连续取样数据; 时间位置操作单元, 它有在该期间能完成算术运算的延迟时间, 并根据保持在保持单元中的至少三个连续取样数据计算内插时间

位置；和内插操作单元，用以根据保持在保持单元的取样数据和用时间位置操作单元计算的内插时间位置算述运算内插数据。在内插数据这样的算述运算中，为了能在与联合取样周期 T_u 相应的异步时序下以实时方式处理在声源取样周期 T_s 从声源以实时方式产生的音频数据，即在声源取样周期 T_s 完成写入操作并在联合取样周期 T_u 进行读操作，所以至少需要三个取样数据保持单元。为了在联合取样周期 T_u 的定时以实时方式处理已输入的音频数据，必须在联合取样周期 T_u 的当前定时之前(N_d 周期之前或更多)的几个周期得到该数据。

特别进一步说明，为了基于线性近似的内插数据的算术运算，在音频数据的每个声源取样周期 T_s ，数据处理电路用数据保持单元保持至少三个连续取样数据 $s(n)$ 、 $S(n-1)$ 和 $S(n-2)$ 。当将“1”加到用联合取样周期 T_u 除以声源取样周期 T_s 所得到的商，而且结果数据达到联合取样周期 T_u 时，用延迟周期数设定单元设定到计算内插数据的刚过去的周期为止的延迟周期数 N_d 。进而每次得到取样时钟时将计数器清零，用计数器计数预定的基本时钟，并输出计数值 cnt 。

而且，每当得到基本时钟时，第一时间位置操作单元从使延迟周期数 N_d 联合取样周期 T_u 相乘所得到的值($T_u * N_d$) 中减去计数值 cnt 和取样周期 T_u ，由此计算用以进行内插数据的算术运算的第一时间位置 CT_1 ，即用下式计算：

$$CT_1 = (T_u * N_d) - cnt - T_u$$

同时，每当得到基本时钟时，第二时间位置操作单元从使延迟周期数(N_d)与联合取样周期 T_u 相乘所得到的值中减去计算数值

cnt , 由此计算用以进行内插数据算术运算的第二时间位置 CT_2 。即计算 $CT_2 = (Tu * Nd) - cnt$ 。当计算内插数据时, 用转换选择单元使延期周期数 (Nd) 与联合联样周期 Tu 相乘所得到的值 ($Tu * Nd$) 声源取样周期 Ts 之间的差 ΔT 和计数值 cnt 比较。即计算 $\Delta T = (Tu * Nd) - Ts$, 并判断是否 $\Delta T \geq cnt$ 。当计数值等于或小于差 ΔT 时, 选择第一时间单位 CT_1 作为内插时间位置 C 。当计数值 cnt 超过差 ΔT 时, 选择第二时间位置 CT_2 作为内插时间位置 C 。选择一周期前数据 $S(n-1)$ 和二周期前数据 $S(n-2)$ 作为新、老数据 A 和 B 。当计数值超过差 ΔT 时, 选择第二时间位置 CT_2 作为内插时间位置 C 。选择当前数据 $S(n)$ 和一周期前数据 $s(n-1)$ 作为新、老数据 A 和 B 。

每当时达到联合取样周期 Tu 时, 内插操作单元根据保持在数据保持单元中的当前数据 $S(n)$ 和一周期前数据 $S(n-1)$ 的新老数据 A 和 B 与用转换选择单元选择的内插时间位置 C , 按照线性近似算术运算内插数据 X 。即假定新、老两数据设定为 A 和 B , 内插时间位置设定为 C , 和声源取样周期 Ts 设定为 D , 则内插操作单元按下式计算内插数据 X :

$$X = A - (A - B)C/D$$

当具体表示此公式时, 它变成下式:

$$X = S(n-1) - \{S(n-1) - S(n-2)\}CT_1/Ts \text{ 或者}$$

$$X = S(n) - \{S(n-1) - S(n-2)\}CT_2/Ts$$

此计算出的内插数据是当前时间点的延期周期数 (Nd) 之前的数据。以假定已预先知道声源取样周期并且声源取样周期 Ts 和联合取样周期 Tu 的比率 (Ts/Tu) 等于非整数倍或 $1/(\text{非整数})$ 作为前

提,完成上述线性内插处理。按照在每个联合取样周期内插定时的变化,能由在声源取样周期中数据内插的时间位置和当前数据前后的取样数据适当地计算内插数据。

换言之,由于也存在不知道取样数据周期的情况,数据处理电路按照本发明测量输入数据的声源取样周期 T_s 。当带有所测量的声源取样周期 T_s 的比率(T_s/T_u)等于 $1/\text{整数}$ 时,数据处理电路 10 完成缩值(*thinning-out*)处理,以便消除存在于联合取样周期 T_u 的间隙的每个声源取样周期的数据。当带有联合取样周期 T_u 的比率(T_s/T_u)等于整数倍的值时,数据处理电路进行称作零设定内插,以便将插入零数据内插到声源取样周期 T_s 的联合取样周期 T_u 的位置。此外,当带有联合取样周期 T_u 的比率(T_u/T_u)等于非整数倍的值时,用线性近似得到的内插数据插到声源取样周期 T_s 内的联合取样周期 T_u 的位置,从而进行线性内插。线性近似的细节已如上叙述。

作为数据处理电路的音量调整处理,一设定音量系数与输入数据相乘,产生音量调整数据。也能以这样方式构成数据处理电路 10,即在将输入数据校正到规定的电平后再乘以设定音量系数,产生音量调整数据。

作为数据处理电路的滤波处理,予定的滤波系数乘以输入数据,算术运算输出数据。作为数据处理电路 10 的特定的滤波处理,按照有限冲激响应,用存在在作为当前处理目标的中心的目标数据前后的时基上,对每个联合取样周期的预定阶次那样多的输入数据的乘积和,和固定阶次的滤波系数计算目标数据的滤波输出数据。

作为数据处理电路的混合处理，输入作为混合目标选择的多个数据并相加。

在用逻辑电路完成数据处理电路的情况下，设置有：第一处理电路，用以在每个联合取样周期 T_u 时分地完成像多个通道那样多的音频数据的内插、音量调整、和混合输出；和第二处理电路，用以在每个联合取样周期 T_u 完成像多个通道那样多的滤波处理。第一和第二处理电路中的每一个都有：乘法流水线电路，用以选择多个输入数据中的两个并随后相乘；和加法/减法流水线电路，用以选择多个输入数据中的两个并随后相加或相减。用以读出输入数据并写入输出数据的数据存储器设置在乘法流水线电路和加法/减法流水线电路之间。使用控制存储器和序列器的顺序计数器进行每个流水线电路的控制操作。在每个基本时钟周期，用以使乘法流水线电路和加法/减法流水线电路操作的控制模式存储在控制存储器中。每当该周期达到联合取样周期 T_u 时，顺序计数器被归零，在每个联合取样周期 T_u 重复基本时钟的计数操作并产生控制存储器中的存取地址。顺序计数器从控制存储器中读出操作模式，并使乘法流水线电路和加法/减法流水线电路时分地完成像多个通道那样多的处理。乘法流水线电路包括：第一选择器，用以选择多个输入数据中的一个；第二选择器，用以选择多个输入数据中的一个；第一寄存器，用以保持第一选择器的输出；第二寄存器，用以保持第二选择器的输出；乘法器，用以使第一和第二寄存器的值相乘；和第一输出寄存器，用以保持乘法器的输出。加法/减法流水线电路包括：第三选择器，用以选择多个输入数据中的一个；第四选择器，用以选择多个输入数据中的一个；第三寄存器，用以

保持第一选择的输出；第四寄存器，用以保持第二选择器的输出；加法器/减法器，用以完成第三和第四寄存器值的相加或相减；第二输出寄存器，用以保持加法器/减法器的输出；如乘法器，用以选择第一或第二输出寄存器。反馈第一和第二输出寄存器的输出，并按照需要连接到选择器输入。第一和第二输出寄存器有移位寄存器的功能。当用操作模式指定输出操作时，保持加法器/减法器的输出数据，随后第一和第二输出寄存器进行上移或移下操作，能容易地使输出数据倍增或将其减小到 $1/2$ 。

用以完成滤波处理的第二处理电路的加法/减法流水线电路的特征在于加法器/减法器的输出被直接色馈，并连接到选择器输入侧，用以掩蔽一部分反馈数据的掩蔽电路，作为反馈连接电路设置到第一和第二输出寄存器的输入侧。

多个输入通过电路分别输入和连接有：通常称作波表声源的 PCM 声源模块的输出；FM 声源模块的输出；带放大器和 A/D 变换器的话筒输入电路的输出；外部连接的 CD 装置的输出；外部连接的音频装置的数字输出；和通过数据总线外部连接的外部存储器装置的传输数据。

如上所述用逻辑电路完成的数据处理电路能进行乘法和加法的流水线算术运算，从而能显著提高运算速度。例如，关于重复滤波处理的乘加计算，在循环过程中能通过流水线处理并行地计算以前相乘结果的当前乘加。通过减法、乘法和减法完成内插处理。通过两次相乘完成音量调整。进而通过多次相加得到混合输出。通过适当地组合乘法和减法的流水线算术运算，在每个联合取样周期能有效进行像多通道那样多的处理。不同声源取样频率的数字音

频数据能被统一到联合取样频率 44.1KHz 。进而对于大计算量的滤波处理，对于用以完成内插、音量调整和混合输出的第一处理电路，提供其它的硬件结构作为第二处理电路。因此，即使使用相对低速度(低的电流消耗和低成本)的算术运算元件也足能进行这些处理。

本发明的上述和其它目的、特征和优点，从下面按照附图的详细说明，将变得更加明显。

图 1 是用随机逻辑完成的常规装置的电路方框图；

图 2 是表示本发明实施例的方框图；

图 3 是图 2 中数据处理电路的功能方框图；

图 4 是图 2 中数据处理电路的方框图；

图 5 是图 4 中第一处理电路的电路方框图；

图 6 是通过图 5 中的序列发生器联合取样周期的状态周期的说明图；

图 7 是在图 5 中的第一和第二处理电路的联合取样周期时分处理的说明图；

图 8A~8I 是在图 5 中的乘法流水线电路上基本操作的定时图；

图 9 是在图 5 的电路框图中操作和必须的状态数的说明图；

图 10 是图 5 中第一处理电路设置的内插处理的功能方框图；

图 11 是内插处理的原理说明图；

图 12A 和 12B 是在声源取样频率设定为 16KHz 和 48KHz 时内插处理的定时说明图；

图 13 是图 10 中计数处理的处理操作的流程；

图 14 是表示以图 10 中的计数值为基础的转换选择和内插计算的流程图；

图 15 是用以完成图 10 中的内插操作单元的功能的图 5 中电路的操作说明图；

图 16 是图 4 中第一处理电路设置的音量调整的功能方框图；

图 17 是完成图 16 中音量调整单元的功能的图 5 中电路的操作说明图；

图 18 是图 4 中第二处理电路设置滤波处理的功能方框图；

图 19 是用以完成图 18 中滤波处理功能的图 5 中的电路的操作说明图；

图 20 是图 4 中第一处理电路设置的混合器输出处理的功能方框图；

图 21 是用以完成图 18 中混合器输出处理功能的图 5 中电路的操作说明图；

图 22 是图 2 中数据处理电路的另一实施例的功能方框图；

图 23 是图 2 中数据处理电路的又一实施例的功能方框图；

图 24 是在处理机的处理中用以完成图 2 中数据处理电路操作环境的方框图；

图 25 是由图 24 中处理机完成的数据处理电路的功能方框图；

图 26 是图 25 中输入通道处理的流程图；

图 27 是图 26 中取样时钟测量处理的流程图；

图 28 是图 26 中内插模式设置处理的流程图；

图 29 是缩值处理的说明图；

图 30 是置零内插处理的说明图；

图 31 是图 28 中缩值(*thin-out*)处理的流程图;

图 32 是图 28 中置零内插处理的流程图;

图 33 是本发明中所用的音时调整处理的功能方框图;

图 34 是按照图 33 的音量调整的定时图;

图 35 是图 33 中音量调整流程图;

图 36 是与图 33 中音量调整加到其上的数字演奏装置的按键输入相结合的包络处理的功能方框图;

图 37A 和图 37B 图 36 中包络处理的定时图;

图 38 是图 36 中包络的流程图。

下面将对本发明的优选实施例进行详细说明(装置的结构和功能)。

图 2 是本发明的音频数据处理装置的完整的框图结构。在图 2 中, 数据处理单元 10 有许多通道输入端 CH_1-CH_6 , 并处理联合取样频率 44.1KHz 由通道 CH_1-CH_6 输入的数字音频数据。输入到数据处理单元 10 的数字音频数据的声源取样频率是取决于声源的不同而不同。低于联合取样频率 44.1KHz 的声源取样频率的数字音频数据通过内插处理转换成联合取样频率 44.1KHz 的数字音频数据并经受诸如音量调整、滤波、混合等必须的处理。高于联合取样频率 44.1KHz 的声源取样频率的数字音频数据通过缩值(*thin-out*)处理转换成联合取样频率 44.1KHz 的数字音频数据。*PCM* 声源模块 22 连接到数据处理单元 10 的输入通道 CH_1 。使用波表存储器并能同时产生多个通道的 *PCM* 声源模块 22 按照 *CPU*12 的指令产生声源。*FM* 声源模块 24 连接到数据处理单元 10 的输入通道 CH_2 。在通过 *CPU*12 控制的基础上, *FM* 声源模块 24

用模拟实际声音和音乐装置声音的 *FM* 方法同时产生多通道的声源输出。来自微音器输入端 28 的音频信号用放大器 30 放大,随后用 *A/D* 变换器 32 将放大的信号转换成序列的数字音频数据。将此数字音频数据提供给数据处理单元 10 的输入通道 CH_3 。*CD* 序列数据输入端 34 连接到数据处理单元 10 的输入通道 CH_4 ,并且通过光盘驱动输入用 *CD* 装置重放的数字音频信号。到 *CD* 序列数据输入端 34 的数字音频信号的声源取样频率等于 44.1KHz 。通过在前级提供 *ADPCM* 译码器,也能输入由 *CD-ROM-XA* 输出的 18.9KHz 和 37.8KHz 的音频信号。*AUX* 输入端 35 连接到数据处理单元 10 的输入通道 CH_5 。从 *AUX* 连接端 35 输入视频的 *CD* 之类或者数字音频信号。数据处理单元 10 的通道 CH_6 有输入通道和输出通道。输入通道(*IN*)和输出通道(*OUT*)分别通过先进先出 40 和 42 连接到总线接口模块 38。总线接口模块 38 连接到总线 18。总线 18 连接到主存储器 14 和 *DMA* 控制器 16 并通过 *DMA* 控制器 16 的控制进行到/从主存储器 14 的数字音频数据的数据传输。由总线 18 传输的音频数据的声源取样频率在 $8\sim 48\text{KHz}$ 范围内并且被设为立体声信号或单声道信号。通道 CH_6 的输出侧用以将由通道 CH_1-CH_5 输入的数字音频信号或者多个输入的数字音频信号的混合结果输出到外部存储器并存储成文件或类似物。数据处理单元 10 的数字音频数据有例如 16 位的数据宽度,并按照联合取样频率 44.1KHz 在每个联合取样周期 T_u 被连续变换,而且提供给 *D/A* 变换器 44,并被转换成模拟音频信号。从 *L/R* 输出端 46 经线路输出此模拟音频信号。即使输入通道 CH_1-CH_6 的声源取样频率是与联合取样频率 44.1KHz 不同的频率,所有的由 *L/R* 输

出端 46 输出的数字音频信号通过用数据处理单元 10 的处理,都变换为联合取样频率 44.1KHz ,随后借助 D/A 变换器 44 将数字音频信号变换成模拟音频信号。为进行来自输入通道 CH_1-CH_6 的数字音频数据的诸如插入、音量调整、滤波、混合等处理所必须的各种参量已预先存储在其中的数据存储器 48 设置在数据处理单元 10 中。数据存储器 48 也用作数据缓冲器,它用来暂存正在处理中的数据并转交给下一处理。而且,为数据处理单元 10 设置插值用的计数器电路 50。声源取样频率相应的作为插值对象的基本时钟 CL_1 、联合时钟 CL_2 和取样时钟 CL_3 提供给插值用的计数器电路 50。基本时钟 CL_1 的频率设定为例如 16.9344MHz 。当联合取样频率 44.1KHz 的联合时钟 CL_2 的时钟周期,即联合取样周期 T_u 用基本时钟 CL_1 的数量表示时, $T_u=384$ 个时钟。虽然按照适当的输入音频数据的声源取样频率确定取样时钟 CL_3 ,但在实施例中指出声源取样频率设定为 16KHz 时的实例。声源取样频率 16KHz 的取样时钟 CL_3 的时钟周期,即声源取样周期 T_s 用基本时钟 CL_1 的数量表示时, $T_s=1058.4$ 时钟。每次得到取样时钟 CL_3 时,插值用计数器电路 50 都使设置在其中的计数器归零。对于一时间周期,直到随后得到取样时钟 CL_3 为止,都计数基本时钟 CL_1 并得到计数值 cnt 。以此计数值 cnt 为基础,用作内插计算的内插数据的时间定位 CT 供给数据处理单元 10。将在下文的内插处理的说明中阐明内插用的计数器电路 50 的细节。

图 3 示出由图 2 中的通道 CH_1-CH_6 的数据处理单元 10 完成的数字音频数据处理的功能方框图。首先,对于 PCM 声源模块 22 的输入通道 CH_1 ,作为一实例已示出在 PCM 声源模块 22 侧已经

完成所有必须工序和 PCM 声源模块 22 的声源取样频率设定到联合取样频率 44.1KHz 的情况。因此,在此情况下它按原样被输入到混合器单元 52。对于 PCM 声源模块 24 的输入通道 CH₂,由于声源取样频率未设定成联合取样频率 44.1KHz,它被通过内插单元 54 插值并转换成 44.1KHz 的取样周期的数据。随后,用滤波器单元 56 进行低通滤波处理以去除高频噪声,并将结果数据供给混合器单元 52。对于作为微音器输入和 CD 序列数据输入的输入通道 CH₃ 和 CH₄,由于声源取样频率设定为 44.1KHz,不进行内插处理,但通过音量调整单元 57 和 58 进行音量调整。随后,将已调整的数据输入到混合器单元 52。对于从 AUX 输入端输入视频信号的数字音频数据的通道 CH₅,例如,由于声源取样频率设定为 16KHz,它被用插值单元 60 插值到 44.1KHz。此后,用音量调整单元 62 调整音量,并进一步用滤波器单元 64 进行低通滤波处理,以消除由于内插产生的高频噪声。随后,将结果数据输出到混合器单元 52。至于来自用作通道 CH₆ 输入的数据总线的数据音频数据,以例如 8KHz 声源取样频率从先进先出 40 读出,并通过插值单元 66 插值到 44.1KHz。然后,用音量调整单元 68 对其进行音量调整,用滤波器单元 70 进行低能滤波处理。此结果数据提供给混合器单元 52。而且,在通道 CH₆ 的输出侧,经由混合器单元 52 导出的联合取样频率 44.1KHz 的数字音频数据借助滤波器单元 72 恢复成原来的数据。随后,用音量调整单元 74 调整音量。进而用反向内插单元 76 通过缩值处理等使数据恢复到 8KHz 的原来的数据,并用 L/R 混合器 78 最终混合。此结果数据被提供给用以输出的先进先出 42。如上所述,数字处理单元 10 与每个输入通道 CH₁—

CH_4 相应地进行各自的数字音频数据处理并用混合器单元 52 最终完成规定的混合,将此结果作为数字音频数据序列提供给 D/A 变换器 44。在此实施例中,为与诸如内插处理、音量调整处理及混合处理的系统和滤波处理系统两种系统相应的这些多通道输入分别提供专用的处理电路。每种处理电路在联合取样频率 44.1KHz 的每个联合取样周期 T_u 被时分多重处理。

〔数据处理电路的逻辑结构和控制〕

图 4 示出图 2 中数据处理单元 10 的内部电路的基本结构。数据处理单元 10 包括:第一处理电路 80,用以对作为目标的由外部输入的多通道的数字音频数据进行诸如内插、音量调整和混合等处理;和第二处理电路 82,用以对作为目标的用作多通道外部输入的数字音频数据进行滤波处理。为了对第一处理电路 80 在联合取样 T_u 期间一次完成内插、音量调整及所有通道的混合处理,对第二处理电路 82,在同样的 T_u 期间执行必要的滤波算术操作,提供了一种序列发生器 84。第一和第二处理电路 80 和 82 共用数据存储单元 48。根据序列器 84 存取的要求,为第一和第二处理电路 80 和 82 完成必要数据的读、写操作。因为最后完成第一处理电路的混合处理,所以向外部 D/A 变换器 44 的输出是第一处理电路 80 侧的输出。

图 5 示出为图 4 中数据处理单元 10 设置的第一处理电路 80 的实施例。第一处理电路 80 由上面的乘法流水线电路 80—1 如下面的加法/减法流水线电路 80—2 构成。乘法流水线电路 80—1 有用以分别选择两系统的外部输入的选择器 88 和 90,并在其后设置寄存器 92—94。在寄存器 92—94 之后设置乘法器 96,使两个寄存

器的输入相乘。在乘法器 96 之后设置输出寄存器 98。加法/减法流水线电路 80—2 由用以分别选择两系统的外部输入的选择器 100 和 102、用以保持两选择器输出的寄存器 104 和 106、用以对两寄存器的输入进行加法或减法运算的加法器/减法器 108、和有移位功能的另外的寄存器 110 构成。在有移位功能的寄存器 110 之后设置用以选择乘法流水线电路 80—1 和加法/减法流水线电路 80—2 的输出的多路器 112。在有移位功能的寄存器 110 之后还设置有移位功能寄存器 113。在保持最后输出之后,寄存器 113 完成移位操作并将此已移位的数据作为序列数据输入到外部 D/A 变换器 44。输出寄存器 98 的输出反馈回乘法流水线电路 80—1 的选择器 90。寄存器 92 的输出反馈回选择器 88。通过像上述这样在适当级上将寄存器的输出反馈到输入选择器,能完成可再次输入输入结果或者再次输入算术操作结果的循环处理。乘法流水线电路 80—1 的输出寄存器 98 的输出也输入到加法/减法流水线电路 80—2 的选择器 100。乘法流水线电路 80—1 的乘法运算结果输入到加法/减法流水线电路 80—2,而且能在乘法运算之后完成加法或减法运算。进一步在加法/减法流水线电路 80—2 中,除了有输出功能的寄存器 100 的输出在最后级对选择器 102 的反馈之外,加法器/减法器 108 的输出还直接反馈给选择器 102。因此,能对下一项的加法或减法运算直接重复用加法器/减法器 108 的算术操作结果。在滤波处理中使用从加法器/减法器 108 对选择器 102 的这样直接的反馈连接,将在下面更清楚地进行说明。还给加法/减法流水线电路 82 设置用以掩码的“与”门 114。有移位功能的寄存器 110 的数据输入到“与”门 114 的一输入端,适当的掩码数据输入到另一输

入端,从而能使反馈到选择器 102 的一部分输出数据被掩码。

为乘法流水线电路 80—1 和加法/减法流水线电路 80—2 设置序列发生器 84,用以在联合时钟频率 44.1KHz 的联合取样周期 Tu ,与所有通道输入的数字音频数据相应地完成在例如图 3 中所示的各种处理。为序列器 84 设置顺序计数器 116。每次得到联合取样时钟 CL_2 后,顺序计数器 116 都被归零。对于一时间周期,直到获得下一个联合取样时钟为止,顺序计数器 116 都计数基本时钟 CL_1 。例如,由于 16.9344MHz 用作基本时钟 CL_1 ,触用 $Tu=384$ 时钟表示联合取样时钟 CL_2 周期 Tu 。给顺序计数器 116 设置使用诸如闪速存储器等非易失性存储器的控制存储器 118。控制存储器 118 有与联合取样时钟 CL_2 的周期 $Tu=384$ 相应的地址 0—383。为了完成数字音频数据的内插、音量调整和混合的处理,用以使乘法流水线电路 80—1 和/或加法/减法流水线电路 80—2 的每个电路单元工作的位相应控制信息已存储在控制存储器 118 的每个控制地址中。在借助顺序计数器 116 的计数值 0—383 指示控制存储器 118 地址的存取中,能直接指示地址 0—383,或者也能使用在变换成预定存储区的计数值 0—383 的相对范围内变化的相对地址。顺序计数器 116 的每次计数操作从控制存储器 118 读出的控制数据加到控制输出寄存器 120。此控制输出寄存器 120 被允许去完成在与乘法流水线电路 80—1 和加法/减法流水线电路 82—2 的每个电路单元对应的位区中的位数据为基础的操作。例如,对于寄存器 92, 94, 98, 104 和 106,由于其中的每一个都设定在保持状态或非保持状态中任一状态,所以使用一位作为控制输出寄存器的控制信息就足够了。由于选择器 88, 90, 100 和 102 中的每一个都需要

像输入端数那样多的选择,所以设定控制位的位数如同输入端数的二进制记数的位数是足够的。由于乘法器 96 设定为乘法的存在状态和不存在状态中的任一状态,使用一位足够。如果乘法器 96 总是处于操作状态,则位控制是不必要的。对于加法器/减法器 108,在加法和减法之间的选择需要一个控制位。带移位功能的寄存器 110 的需要一个控制保持操作的位、一个上移位功能的位和一个下移位功能的位,总共三个位。多路器 112 能用一位转换。因此,控制输出寄存器 120 有与必须的控制模式的总位数相应的宽度,例如 64 位宽度。而且数据存储器 48 的读、写操作的存取信息已存储在控制存储器 118。通过借助顺序计数器 116 的计数值的地址指定,存储器的存储数据与对控制输出寄存器 120 的控制数据的输出同步地输出到存储器存取寄存器 122。乘法管线电路 80—1 和加法/减法管线电路 80—2 的数据的必要的读或写地址通过当时顺序计数器 116 的计数值的操作,表示在存储器存取寄存器 122 中。

图 6 是表示用图 5 中的顺序计数器 116,联合取样周期 $Tu(=384 \text{ 时钟})$ 的一个处理周期的示图。在由 44.1KHz 联合取样频率确定的联合取样周期 $Tu(=384 \text{ 时钟})$ 的时区中,例如由基本时钟 CL_1 的 16 个时钟构成一个状态周期。由于 $Tu=384$ 个时钟,所以这样时区能被分成 1—24 状态周期。一个状态周期,典型地如在状态周期 1 所示,分成与基本时钟 CL_1 的一个时钟相应的 16 个状态。这 16 个状态的状态数设定为 $O-F$ 作为十六进制的数。由联合取样周期 Tu 确定的 384 时钟的处理分类成 16 状态的 1—24 状态周期,从而能容易地配置用以完成数据处理的控制数据。它们是在

联合取样周期 $Tu(=384 \text{ 时钟})$ 期间图 3 中的 6 个通道输入 CH_1 — CH_6 所要求的。图 6 中的状态和状态周期在用控制存储 118 借助顺序计数器 116 的实际存取中是不能明显觉察别的。在控制存储器 118 中, 仅完成这样的处理, 即识别用在从 0 到 383 范围内的由顺序计数器 116 输出的计数值决定的存取地址, 读出指定的存取的地址中的控制数据, 并置入控制输出寄存器 120。

图 7 示出借助在图 4 中的数据处理单元 10 中的顺序计数器 84 和 86, 在第一和第二处理电路 80 和 82 的联合取样周期 $Tu(=384 \text{ 时钟})$ 的一个处理周期的内容。首先, $Tu(=384 \text{ 时钟})$ 的处理周期由前米的 192 时钟的 L 处理周期 124 和后半的 192 时钟的 R 处理周期 126 构成。 L 和 R 的立体、声数字音频数据的处理内容完全相同。因此, 在前半 L 处理周期 124 和后半 R 处理周期 126 的控制存储器 118 中的控制内容基本相同除了输入选择和控制存储器 48 的读/写操作不同。因此, 在图 5 中的顺序存储器 116 中, 实际上在用联合时钟 CL_1 使计数值归零, 计数到 192 个基本时钟 CL_1 之后, 处理被重复两次并完成图 7 中的 L 处理周期 124 和 R 处理周期 126。如已抽出并在下面示出那样, 图 7 中的 L 处理周期 124 由用图 4 中的第一处理电路 80 的数据处理 128 和用第二处理电路 82 的数据处理 130 的并行处理构成。按照例如通道 CH_2 的内插处理、通道 CH_3 的音量调整处理、通道 CH_4 的音量调整处理、通道 CH_5 的内插处理、通道 CH_5 的音量调整处理、通道 CH_6 的内插处理、通道 CH_6 的音量调整处理、和最后的混合处理的顺序, 用第一处理电路 80 执行数据处理 128。按照通道 CH_2 的滤波处理、通道 CH_5 的滤波处理和通道 CH_6 的滤波处理的顺序用第二处理电路 82 执

行数据处理 130。对 R 处理周期 126 来说, 数据处理 128 和 130 的并行处理也如上所述被类似地完成。对于数据处理 128 中的内插、音量调整和混合的处理, 在 192 个时钟的时间周期中有充分的时间分时处理 CH_2-CH_6 五个通道。换言之, 由于数据处理 130 的滤波处理是有限冲激响应型的数字滤波处理, 按时基提高规定效果的有限数量的滤波系数和充分与必要的较果和精度的滤波的器精度, 从而使一次滤波处理所需要的时间比内插、音量调整和混合处理所需的时间长。因此, 仅为滤波处理配置第二处理电路 82。在图 7 中的滤波处理 128 中, 内插、音量调整和混合的处理区被分配给每个通道。然而由于能在处理的中间状态从数据存储器 48 读出结果或得其写入数据存储器 48, 所以以状态周期单元为基础完成内插处理、音量调整处理与混合处理的混合处理是可能的。而且对于数据处理 128 和 130 中的任一处理, 并非总是需要完全应用 192 时钟的所有状态。使控制存储 118 工作以致在所要求的通道输入数量的范围内在 192 时钟完成该处理就足够了。

图 8A—8I 是图 5 中的乘法流水线电路 80—1 的基本操作的定时图。相对于一处理实例示出定时图, 这里用选择器 88 和 90 选择同样的输入数据 A 并存储进寄存器 92 和 94, 而且随后用乘法器 96 使这些寄存器的输出相乘, 相乘的结果存储进输出寄存器 98。也就是说, 按照有联合时钟周期 Tu ($=384$ 时钟) 的图 8A 中的参考时钟 CL_1 , 图 8B 中顺序计数器 116 的值作为十六进位数在从 0 到 BF 范围内变化。图 8C, 8E, 8F, 8H 和 8I 示出寄存器 92 的输入与加载、寄存器 94 的输入与加载, 和寄存器 98 的加载。寄存器 92、94 和 98 响应基本时钟 CL_1 的后沿的操作。图 8D 示出选择器

88 作为对寄存器 92 输入的输入数据 A, B, C 和 D 的选择位。按照顺序计数器的计数值 1, 3, 5 和 7 的顺序按顺序地选择选择位并加载进寄存器 92, 如图 8E 所示。如图 8F, 8G 和 8H 所示, 寄存器 94 侧也相对同样的输入数据 A, B, C 和 D 而同样地操作。如图 8I 所示, 用乘法器 96 相乘的值 $(A \times A), (B \times B), (C \times C)$ 和 $(D \times D)$ 在顺序计数器的计数值 1, 3, 5 和 7 的各定时, 按顺序地加载进输出寄存器 98。

图 9 示出在图 5 中的乘法流水线电路 80—1 和加法/减法流水线电路 80—2 中的控制内容和必须状态的数目即基本时钟的数目。对于选择锁存、乘法锁存、加法/减法锁存、存储器读、存储器写、输出锁存、输出选择中的任何一种, 能在一个状态中处理。

〔内插处理〕

图 10 是用图 2 中的数据处理单元 10 完成的数字音频数据的内插处理的功能方框图。内插处理单元由数据保持单元 132、内插计数器电路 50 和内插操作单元 136。数据保持单元 132 将作为串行数据输入的音频输入数据用串/并行转换器 138 变换成并行数据。并行数据顺序地进入按 16KHz 取样时钟 CL_3 串行连接的三级寄存器 140、142 和 144。因此, 假定保持在寄存器 140 中的当前数据是 $S(n)$, 则一周期的数据 $S(n-1)$ 保持在寄存器 142 中。二周期前的数据 $S(n-2)$ 保持在寄存器 144 中。选择器 146 和 148 从三个连续输入数据 $S(n), S(n-1)$ 和 $S(n-2)$ 中选择两个新老数据并提供给内插操作单元 136。现在假定输入到内插操作单元 136 的新数据被设定为 A , 一周期的老数据设定为 B 。内插计数器电路 50 有计数器 150。每次得到 16KHz 的取样时钟 CL_3 时, 计数器

电路 150 使计数值 cnt 归到 0。对一时间周期来说,直到获得下一个取样时钟 CL_3 为止,计数器 150 都计数基本时钟 CL_1 。即,计数器 150 的计数值在取样时钟 CL_3 的每个声源取样周期 T_s 都在 cnt ($=0\sim1058.4$) 范围内变化在计数器 150 之后,设置第一时间位置操作单元 152 和第二时间位置操作单元 154,用以在当内插计算时用以获得内插数据的声源取样周期 T_s 中获得时间位置。由第一时间位置操作单元 152 得到的第一时间位置 CT_1 和由第二时间位置操作单元 154 得到的第二时间位置 CT_2 提供给选择器 158。选择器 158 通过转换控制单元 156 转换并将第一时间位置 CT_1 或第二时间位置 CT_2 作为内插时间位置 C 提供给内插操作单元 136。同时,转换控制单元 156 控制选择器 146 和 148 的选择操作。也就是说,当选择第一时间位置 CT_1 时,来自寄存器 142 和 144 的一周期前数据 $S(n-1)$ 和二周期前数据 $S(n-2)$ 作为新数据 A 和老数据 B 通过选择器 146 和 148 输入到内插操作单元 136。当用选择器 158 选择第二时间位置 CT_2 时,用选择器 146 和 148 选择寄存器 140 和 142 的输出。当前数据 $S(n)$ 和一周期前数据 $S(n-1)$ 作为新数据 A 和老数据 B 输入到内插操作单元 136。内插操作单元 130 按照下列公式计算内插数据 X :

$$X=A-(A-B)C/D\cdots\cdots(1)$$

式中以新数据 A 、老数据 B 、时间位置 C 和 $16KHz$ 的取样时钟 CL_3 的声源取样周期 $T_s=D$ 四个参量为基础。

图 11 是图 10 的内插处理的原理说明图。按照实际信号波形 160 的变化,以 $16KHz$ 的声源取样周期 $T_s=D$ 的间隔得到取样数据。现在假定在时间 $t-1$ 得到前取样时钟 CL_3 ,在时间 t 得到当前

取样数据 A 。当如上所述得到二个相继数据 A 和 B 时,能通过线性内插得到在它们之间的任意时间位置 T_x 的数据 X 。在线性内插中,得到连接以前的数据 B 和当前数据 A 的直线 162 的倾斜度,并得到从在时间 t 的数据 A 的位置到内插位置 t_x 的内插时间位置 C 。如上所述,当得到新数据 A 、老数据 B 、声源取样周期 D 和内插时间位置 C 时,能用公式(1)获得内插数据 X 。对于反映用以获得图 11 中取样数据 X 的时间 t_x 的内插时间位置 C ,联合时钟频率等于 44.1KHz ,声源取样频率是 16KHz ,并且这些频率有联系,以致它们不能完全分开。例如,如在图 12A 中所示,对于在从时间 $(t-6)$ 到时间 $(t+5)$ 的间隔中的联合取样周期 $Tu(=384)$ 来说 16KHz 的取样数据 $S(n-2) \sim S(n+2)$ 的声源取样周期 $Ts(=1058.4 \text{ 时钟})$ 每次都偏离。这样例如,在图 12A 中当前时间 t 完成内插处理时,一周前取样数据 $S(n-1)$ 和另一个一周前取样数据 $S(n-1)$ 二个数据是必须的。因此在这样间隔中在三个联合取样周期 $Tu(=384 \text{ 时钟})$ 的时间 $(t-3)$, $(t-2)$ 和 $(t-1)$ 的内插被执行。也就是说,在当前时间 t 之前在联合时钟周期的三个周期的时间完成数据内插现在假定在用以完成当前时间 t 的数据内插的时间 $(t-3)$ 之前延迟周期数设定为 Nd ,能用下面的公式得到此延迟周期数 (Nd) 。

$$\begin{aligned}
 Nd &= INT(Ts/Tu) + 1 = INT(1058.4/384) + 1 \\
 &= INT(2.75626) + 1 \\
 &= 2 + 1 \\
 &= 3 \dots \dots \dots (2)
 \end{aligned}$$

公式(2)代表一种处理,即将“1”加到通过将输入声源取样周期 Ts

与联合取样周期 Tu 的比率 (Ts/Tu) 合成整数而获得的值中。因此, 当在图 12 A 中 $16KHz$ 的输入声源取样频率的周期 $Ts=1058.4$ 和 $44.1KHz$ 的联合取样频率的周期 $Tu=384$ 时, 可获得延迟周期数 (Nd) 为 3。当如上所述得到作为当前时间的内插目标的延迟周期数 (Nd) 时, 例如, 用以在图 12A 中的当前时间 t 、 $t+1$ 和 $t+2$ 内插的内插时间分别设定为 $t-3$ 、 $t-2$ 和 $t-1$ 。对于在内插时间 $t-3$ 、 $t-2$ 和 $t-1$ 的内插, 这就足以在当前时间和取样数据 $S(n)$ 的时间 (n) 前后从取样数据 $S(n-1)$ 和 $S(n)$ 得到内插时间位置 C 。首先, 对于当前时间 t 和 $t+1$, 由于在保持取样数据 $S(n)$ 的时间, 计数器计数值 cnt 被归零之后执行连续的计数操作, 能从像联合取样周期 $Tu (=384 \text{ 时钟})$ 三倍那样大的值通过计算得到计数值 cnt 。此值与第二时间位置 CT_2 对应, 通常用下式表示:

$$CT_2 = (Nd \times Tu) - cnt \dots \dots \dots (3)$$

在此实施例中, 由于输入声源取样频率等于 $16KHz$, 联合取样频率是 $44.1KHz$, 所以

$$\begin{aligned} CT_2 &= (3 \times 384) - cnt \\ &= 1152 - cnt \dots \dots \dots (4) \end{aligned}$$

公式(4)中的第二时间位置 CT_2 用图 10 中的第二时间位置操作单元 154 计算。

当当前时间是 $t+2$ 时, 获得下一个取样数据 $S(n+1)$, 并且这时的主数值 cnt 是 0。因此, 不能使用公式(4)中的时间位置 CT_2 。在这种情况下通常使用下面公式的第一时间位置 CT_1 :

$$CT_1 = \{(Nd \times Tu - cnt) - Ts \dots \dots \dots (5)$$

当输入声源取样频率为 $16KHz$ 和联合取样频率为 $44.1KHz$

时,

$$\begin{aligned} CT_1 &= \{(3 \times 384) - cnt\} - 1058.4 \\ &= 93.6 - cnt \cdots \cdots (6) \end{aligned}$$

也就是说, 时间位置 CT_1 等于从称之为 $\Delta T (= 93.6)$ 的差值减去在取样时间已被清零的计数值 cnt 的值所得到的差, 所说的 04 做 $\Delta T (= 93.6)$ 的差值可以延迟周期数 (Nd) 乘以联合取样频率 Tu 所得到的值减去输入声源取样周期 Ts 而得到。公式 (6) 中的第一时间位置 CT_1 用图 10 中第一时间位置操作单元 152 计算。进而对于在当前时间 ($t+2$) 时时间 ($t-1$) 的内插, 由于在此例中保持新的取样数据 $S(n+1)$, 所以用于内插计算的新和老数据 A 和 B 被修正为 $A=S(n+1)$ 和 $B=S(n)$ 。因此, 需要转换保持数据器到 $A=S(n)$ 和 $B=S(n-1)$ 。

图 10 中的转换控制单元 156 通常完成下面方程式的比较算术运算:

$$\{(Nd \times Tu) - Ts\} \geq cnt \cdots \cdots (7)$$

当输入声源取样频率为 16KHz , 联合取样频率为 44.1KHz 时, 用下式进行比较运算:

$$\{(3 \times 384) - 1058.4\} \geq cnt \cdots \cdots (8)$$

$$93.6 \geq cnt$$

也就是说比较 $\Delta T (= 93.6)$ 和计数值 cnt 。直到通过取样时间使计数值 cnt 归到 0 以及及差 ΔT 增加到 93.3 为止, 用图 10 中选择器 158 选择第一时间位置 CT_1 , 用选择器 146 和 148 选择一周期前数据 $S(n-1)$ 和二周期前数据 $S(n-2)$ 作为新数据 A 和老数据 B , 以及用内插操作单元 136 完成内插操作。

现在将概括地像下述那样说明以上操作。

当 $93.6 \geq cnt$ 时,

$$A = S(n-1)$$

$$B = S(n-2)$$

$$C = CT_1$$

$$D = Ts = 1058.4$$

$$X = S(n-1) - \{S(n-1) - S(n-2)\} \cdot CT_1 / 1058.4 \cdots \cdots (9)$$

例如特别说明计算在图 12A 中的当前时间 $t+2$ 的三周期前时间 $t-1$ 的内插数据。

换言之,当计数值 cnt 是 $\Delta T = 93.6$ 或更多时,例如当内插时间 $t-3$ 和 $t-2$ 相应于图 12A 中的当前时间 t 和 $t+1$ 时,图 10 中的转换控制单元 156 使选择器 158 选择第二时间位置 CT_2 并使选择器 146 和 148 选择当前数据 $S(n)$ 和一周周期前数据 $S(n-1)$ 作为新、老数据 A 和 B 。用内插操作单元 136 计算内插数据 X 。

现在将像下述那样概括地说明以上处理。

当 $93.6 < cnt$ 时,

$$A = S(n)$$

$$B = S(n-1)$$

$$C = CT_2$$

$$D = Ts = 1058.4$$

$$X = S(n) - \{S(n) - S(n-1)\} \cdot CT_2 / 1058.4 \cdots \cdots (10)$$

在图 12A 中 $t, t+1, t+2$ 和 $t+3$ 时间操作的 ($Nd=3$) 三周期前的 $t-3, t-2, t-1$ 和 t 时的内插数据 $X(t-3), X(t-2), X(t-1)$ 和 $X(t)$ 如下所示:

$$\begin{aligned}
X(t-3) &= S(n) - \{S(n) - S(n-1)\} \times \\
&\quad \{(3 \times 384) - cnt(t)\} / 1058.4 \\
X(t-2) &= S(n) - \{S(n) - S(n-1)\} \times \\
&\quad \{(3 \times 384) - cnt(t+1)\} / 1058.4 \\
X(t-1) &= S(n) - \{S(n) - S(n-1)\} \times \\
&\quad \{(3 \times 384) - cnt(t+2) - 1058.4\} / 1058.4 \\
X(t) &= S(n+1) - \{S(n+1) - S(n)\} \times \\
&\quad \{(3 \times 384) - cnt(t+1)\} / 1058.4
\end{aligned}$$

图 12A 示出在声源取样频率 f_s 等于 16KHz 即低于 联合取样频率 $=44.1\text{KHz}$ 时的内插处理。反之, 图 12B 示出在声源取样频率 f_u 等于例如 48KHz 即高于联合取样频率 $f_u=44.1\text{KHz}$ 时的内插处理。在这样情况下, 声源取样周期 T_s 等于 352.8 公式(2)中的延迟周期数(Nd)是 :

$$Nd = INT(352.8/384) + 1 = 1$$

因此, 在每个取样时间计算一周期前的内插数据。也就是说, 当在图 12B 中的 $t-2, t-1, t, t+1$ 和 $t+2$ 时间被分别操作的一 ($Nd=1$) 一周期前的 $t-3, t-2, t-1$ 和 $t+1$ 时间, 内插数据 $X(t-3), X(t-2), X(t-1), X(t)$ 和 $X(t+1)$ 如下所示:

$$\begin{aligned}
X(t-3) &= S(n-2) - \{S(n-2) - S(n-3)\} \times \\
&\quad \{(1 \times 384) - cnt(t-2)\} / 352.8 \\
X(t-2) &= S(n-1) - \{S(n-1) - S(n-2)\} \times \\
&\quad \{(1 \times 384) - cnt(t-1)\} / 352.8 \\
X(t-1) &= S(n) - \{S(n) - S(n-1)\} \times \\
&\quad \{(1 \times 384) - cnt(t)\} / 352.8
\end{aligned}$$

$$X(t) = S(n+1) - \{S(n+1) - S(n)\} \times \\ \{(1 \times 384) - cnt(t+1) - 352.8\} / 352.8$$

$$X(t+1) = S(n+3) - \{S(n+3) - S(n+2)\} \times \\ \{(1 \times 384) - cnt(t+2)\} / 352.8$$

图 13 是与图 10 中的计数器电路 50 和数据保持单元 132 的基本时钟 CL_1 同步处理的流程图。每当获得基本时钟时，执行图 13 的流程图中的处理。首先在步骤 S_1 中进行校验以观察是否已得到取样时钟。当得到取样脉冲时，在步骤 S_2 中计数器 150 的计数值 cnt 被归零到 $cnt=0$ 。在步骤 S_3 中更新取样数据。也就是说，寄存器 140 中的取样数据 $S(n)$ 更新为新数据并且在寄存器 140 中的该数据移位进寄存器 142，该数据被更新为 $S(n-1)=S(n)$ 。进而，寄存器 142 中的数据被移位进寄存器 144，从而设定 $S(n-2)=S(n-1)$ 。在步骤 S_1 中未得到取样时钟时，计数器 150 在步骤 S_4 中被上计数，从而使计数值 cnt 增加“1”。在步骤 S_5 中，通过使用已更新的计数值 cnt 得到第二时间位置 CT_2 。在步骤 S_6 中获得第一时间位置 CT_1 。此第一时间位置 CT_1 等于从第二时间位置 CT_2 的值减去声源取样周期 $T_s=1054.8$ 所获得的值。

图 14 是用图 10 中为计数器电路 50 设置的转换控制单元 156 选择时间位置 CT_1 与 CT_2 和用选择器 146 和 148 选择新和老数据为基础的内插数据 X 的算术运算处理的流程图。首先在步骤 S_1 中判断是否出现联合取样频率 44.1KHz 的时钟 CL_2 。当获得联合取样时钟 CL_2 时，进行步骤 S_2 。作为转换控制单元 156 的比较操作，比较 $\Delta T=93.6$ 和在那时的计数值 cnt 。当以计数值 cnt 等于小于 $\Delta T=93.6$ 时进行步骤 S_3 并计算第一时间位置 CT_1 作为时间位置

C。在步骤 S_4 中,选择新数据 $A=S(n-1)$ 和老数据 $B=S(n-2)$ 。在步骤 S_5 中计算内插数据 X 。内插计算中的 D 代表输入声源取样周期 $T_s(=1058.4 \text{ 时钟})$ 。换言之,在步骤 2 中当计数值 cnt 超过 $\Delta T=93.6$ 时进行步骤 6 并选择第二时间位置 CT_2 作为时间位置 C 。在步骤 7 中,选择新数据 $A=S(n)$ 和老数据 $B=S(n-1)$ 。随后在步骤 S_5 中计算内插数据 X 。

图 15 是在用图 5 中所示的乘法流水线电路 80—1 和加法/减法流水线电路 80—2 执行图 10 中内插操作单元 136 的内插数据 X 的算术运算处理时的定时图。图 15 示出由基本时钟 CL_1 确定的状态数相应的乘法器 96 加法器/减法器 108 的操作。在 0 状态数,用在乘法器 96 侧的选择器 88 和 90 选择内插时间位置 C 和由输入声源取样周期 D 的倒数给出的常数 $1/D$ 。通过寄存器 92 用乘法器 96 完成 $(C \times 1/D)$ 的乘算。所得到的结果锁存进输出寄存器 98。与在乘法器 96 侧的乘法运算的同时,在加法器/减法器 108 侧选择器 100 和 102 分别选择新数据 A 和老数据 B ,并通过寄存器 104 和 106 提供给加法器/减法器 108。在此例中因为设定的是减法运算模式,所以加法器/减法器 108 完成 $(A-B)$ 减法运算。在下一个状态数 1,用选择器 88 和 90 选择在乘法器 96 侧的 $(C \times 1/D)$ 相乘结果和在加法器/减法器 108 侧的 $(A-B)$ 相减结果并输入到乘法器 96。得到它们之间的相乘结果 $[(A-B) \cdot (C/D)]$ 。在下一状态数 2,用加法器/减法器从新数据 A 的选择结果减去在乘法器 96 侧的乘算的结果,从而计算出内插数据 X 。在最后的的状态数 3,将加法器/减法器 108 的运算结果,即内插数据 X 移位到移位功能的寄存器 110。然后,完成用以通过多路器 112 选择数据 X 并写入数据存储

器 48 的写入操作。

〔音量调整处理〕

图 16 示出在图 4 中的数据处理单元 10 的第一处理电路 80 侧完成的音量调整处理的功能方框图。在此音量调整处理中，读出储存数据存储器 48 中的数据储存单元 164 中的作为音量调整目标的音频数据作为输入数据 A 输进音量调整单元 170。已存储在数据存储器 48 中的 AGC 系数储存单元 166 并用以调整到预定电平的 AGC 系数作为输入数据 B 也被读出。已存储在数据存储器 48 中的音量系数储存单元 168 中曾由调整操作设定的音量系数被作为输入数据读出。用下式求出输出数据 X ：

$$X = A \times B \times C \cdots \cdots (11)$$

A : 数据

B : AGC 系数

C : 音量系数

也就是说，作为用以调整到预定电平的 AGC 系数的输入数据 B 首先与作为音量调整目标的输入数据 A 相乘。随后，从外部设置的音量系数的输入数据 C 与此乘积相乘从而获得已调整过音量的输出数据 X 。也能不存储进数据存储器 48 而直接输入音量系数。能通过使用图 5 中的乘法流水线电路 80—1 实现声源调整单元 170。例如用序列器 84 完成在图 17 的定时图中所示的控制操作。在图 17 中的音量调整控制中，在状态数 0，选择作为调整目标的音频数据 A 和 AGC 系数的输入数据 B 并在乘法器 96 侧获得乘法运算结果 ($A \times B$)。在一下状态数 1，反馈并选择相乘结果，选择音量系数的输入数据 C ，并将它们相乘，从而获得已调整音量的输出数

据 X。在最后状态数 2，完成对输出锁存器的写入操作和数据存储。

〔滤波处理〕

图 18 示出 在图 4 中为数据处理单元 10 设置的第二处理电路 82 侧完成的滤波处理的功能框图。在数据存储器 48 中设置作为滤波目标的音频数据已储存在其中的数据存储单元 172，和用以滤波的滤波系数已储存在其中的滤波系数存储单元 174。滤波操作单元 176 进行算术操作处理，用以完成例如有限冲激响应型的数字滤波，并通过已讨论过的内插处理完成用以去除在音频数据中所包括的高频噪声的低通滤波处理。由下述方程式进行有限冲激响应型的低通滤波数字处理的算术运算。

$$X = \sum_{T=1}^N (A \times B) \cdots \cdots (12)$$

A: 数据

B: 滤波系数

C: 阶次(例如 57)

即在有限冲激响应型的数字滤波器中的，使用在作为中心的目标数据前后的时基处有按冲激响应的予是分布的有限阶次的，当前是处理目标的滤波系数，并计算滤波系数值与输入数据的乘积的和。例如，当有限冲激响应阶次设定为 $N=57$ 时，在一次滤波算术操作中，按照序列器 86 的控制使用像存储在数据存储单元 172 中的 57 阶次那样多的数据和 存储在滤波系数存储单元 174 中的滤波系数重复进行乘加计算。虽然图 4 中的用以实现滤波操作单元 176 的第二处理电路 82 的逻辑结构与图 5 中的相同，但当重复

乘加计算时,在加法/减法流水线电路 80—2 的输出级,加法运算的结果未锁存进有移位功能的寄存器 110,但被直接反馈到选择器 102,从而迅速地和一个算术运算周期连结。

图 19 是用图 18 中的序列器 86,在有图 5 中的乘法流水线电路 80—1 和加法/减法流水线电路 80—2 的滤波操作单元 176 中算术操作处理的定时图。首先在状态数 0,乘法器 96 侧选择数据 A_0 和滤波系数 B_0 并使它们相乘。在下一状态数 1,相乘的结果输入到加法器/减法器 108,并与以前的加法地运算结果(最初为 0)相加。同时,在乘法器 96 侧,输入下一个数据 A_1 和滤波系数 B_1 ,从而获得相乘结果($A_1 \times B_1$)。对 $T=57$ 的 57 个状态连续重复上述处理。在最后的 57 个状态数 57,加法器/减法器 108 的 57 阶次那样多的积加计算的结果通过;输出锁存器和多路器被作为滤波输出数据写入数据存储器 48。

〔混合处理〕

图 20 是在图 4 中为数据处理单元 10 设置的第一处理电路 80 侧完成的混合处理的功能方框图。在此混合处理中,作为混合目标的数字数据已存储在其中的数据存储器单元 178 被提供给数据存储器 48。在此例中假定选择 A, B, C 和 D 四种数字数据并混合。序列器 84 中预定的混合时序从数据存储器 48 中的数据存储器单元 178 读出数据 $A \sim D$,从而使混合操作单元完成下述的混合算术操作。

$$X=A+B+C+D\cdots\cdots\cdots(13)$$

能用序列器 84,通过控制图 5 中的加法/减法流水线电路 80—2 完成混合操作单元 180 的处理。

图 21 是用图 20 中的序列器 84,混合操作单元 180 的混合处

理的定时图。首先在状态数 0, 在加法器/减法器 108 侧选择第一个两数据 A 和 B 并相加, 在下一状态数 1, 选择先前的相加结果($A+B$)和新数据 C 并相加。在状态数 2, 与上述类似, 选择最后数据 D 并加到迄今加法运算的结果。在最后状态数 3, 锁存加法器/减法器 108 的相加结果作为混合输出数据并随后将其写入数据存储器。在图 21 定时图中, 虽然为已混合的输出数据 X 在状态数 3 被写入数据存储器 48, 将从图 3 的功能方框图清楚地了解到, 用混合器的处理是在数据处理单元 10 中最后级的处理。因此, 在图 5 中的加法/减流水线电路 80—2 的加法器/减法器 108 的输出级, 数据 X 被存储进有移位功能的寄存器 110。此后, 通过移位操作将数据 X 变换成并行数据。此并行数据从多路器 12 输出到外部的 D/A 变换器 44 并转换成模拟数据。此模数据输出到线路。

[另外的实施例]

图 22 是通过图 10 中的有图 5 中的乘法流水线电路和加法/减法流水线电路的数据处理单元 10 完成的本发明的另外的实施例的功能方框图。在此实施例中, 对于输入通道 $CH_1 \sim CH_4$ 的混合输入单元 182, 184, 186 和 188 中的每一个, 如以作为代表的混合输入单元 182 所示, 混合输入单元 182 由数据输入单元 190、数据内插单元 192、滤波单元 194、和音量调整单元 196 构成。所有的混合输入单元接收与联合取样频率 44.1KHz 不同的声源取样频率的音频数据并进行处理。随后, 用混合单元 198 进一步处理已处理过的音频数据, 并最终作为模拟音频数据从有 D/A 变换器的数据输出单元 200 输出到线路。

图 23 示出本发明的另一个实施例, 并对通道 $CH_1 \sim CH_4$ 使用

不同的数字音频数据的处理形式。也就是说,对通道 CH_1 仅提供音量调整单元 202。对通道 CH_2 ,由于声源取样频率不同,提供内插单元 204 和音量调整单元 206。进而在通道 CH_1 侧和通道 CH_3 侧提供用以混合数据的混合单元 208。最后,通过滤波单元 210,用混合单元 212 混合通道 CH_4 的滤波单元 214 输出数据,从而能输出混合了的结果。也能通过图 4—21 中所示的处理,容易地完成对图 23 的通道 $CH_1 \sim CH_4$ 中的数字音频数据的这样的处理,以便完成图 3 中的数据处理单元 10 的功能块。

〔声源取样频率的测量和内插处理〕

图 24 示出用处理器通过程序控制完成图 2 中数据处理单元 10 的实施例。与使用图 5 的逻辑电路的情况相比,能进一步提高数字音频信号的各种处理的灵活性。给数据处理单元 10 设置 MPU216。将数据存储器 220,有外部输入输出用的通道 $CH_1 \sim CH_6$ 的输入/输出模块 222、用以将已处理的数字音频信号转换成模拟音频信号并输出的 D/A 变换器 224、和图 2 中的上 CPU12' 的上接口 226 连接到总线 218。

图 25 是通过图 24 中的 MPU216 的程序控制完成的本发明的数据处理单元 10 的功能方框图。在此实施例中,与通道 $CH_1 \sim CH_5$ 对应地设置 5 个混合输入单元 230—1~230—5。对于混合输入单元 230—1~230—5 中的每一个,作为代表如在混合输入单元 230—1 所示,此混合输入单元 230—1 由取样时钟测量单元 234、内插单元 236、音量调整单元 238 和滤波单元 240 构成。此取样时钟测量单元 234 从通道 CH_1 输入的随机数字音频数据中测量声源取样频率并根据声源取样频率的测量结果,确定内插单元 236 中的

内插处理。在数据处理单元 10 中,使用联合取样频率 44.1KHz ,并计算联合取样周期 T_u 与用取样时钟测量单元 234 测量的输入数字音频信号的声源取样频率的周期 T_s 的关系,从而确定内插单元 236 的处理。

图 26 的流程图示出图 25 中的通道 CH_1 的混合输入单元 230—1 的处理过程。首先在步骤 S_1 中设定内插模式。对所有的输入通道 $CH_1 \sim CH_5$ 完成内插模式设定处理。在完成取样时钟侧量处理之后,首先在步骤 S_2 中设定通道 $CH=1$ 。在步骤 S_3 步骤中,进行校验观察通道 CH_1 的声源取样频率 T_s 是否等于联合取样频率 T_u 。当它们不同时,在步骤 4 中完成内插处。当它们相等时,不进行步骤 4 中的内插处理。在步骤 5 中完成音量调整处理。在步骤 6 中检查是否存在内插处理。当已完成内插处理时,在步骤 S_7 进行滤波处理。在滤波处理完成后,在步骤 8 中使通道 CH_1 增加“1”。在步骤 S_9 中,进行检查以观察该处理是否达到最后通道。重复步骤 $S_3 \sim S_9$ 的上述处理直到该处理达到最后通道 CH_5 。当在步骤 S_9 中判定完成最后通道 CH_5 的处理时,在步骤 S_{10} 中进行混合处理。此后,在步骤 S_{11} 中进行输出处理,在与联合取样频率 44.1KHz 对应的每个周期 T_u 重复步骤 $S_2 \sim S_{11}$ 中的处理。

图 27 是表示用以测量在图 26 的步骤 S_1 中的内插模式设定处理所用的声源取样周期 T_s 的内插处理细节的流程图。通过在很短周期发生的定时中断启动中断处理。首先在步骤 S_1 中计数值 cnt 增 1。在步骤 2 中判断是否存在来自输入通道的取样时钟。当得到取样时钟时,在步骤 S_3 中从计数器的计数值 cnt 得到声源取样周期 T_s 。在步骤 S_4 中使计数值 cnt 归零到 0。当在步骤 S_2 中未得到

取样时钟时,完成中断处理。

图 28 是表示在图 26 的步骤 S_1 中的内插模式设定处理细节的流程图。在内插模式设定处理中,在步骤 S_1 中首先计算声源取样频率 T_s 和联合取样频率 T_u 之间的比率(T_s/T_u)。在步骤 S_2 中进行检查以观察该比率是否等于(1/整数)的值。如果是,进入步骤 S_4 并设定取样数据的缩值模式。如果在步骤 S_2 中检查结果不是,则进入步骤 S_3 并进行检查以观察该比率是否等于整数倍的值。如果是,进入步骤 S_5 并设定置零内插模式。如果在步骤 S_3 中检查结果不是,设定近似曲线内插模式。例如在步骤 S_6 中设定线性内插模式。

图 29 示出在设定图 28 中步骤 S_4 中的缩值模式时的缩值处理。首先由于输入声源取样周期 T_s 比联合取样周期 T_u 短,所以在与联合取样周期 T_u 同步的取样数据 242 与 248 之间的取样数据 244 和 246 未被保持作为取样数据但被缩值。因此,该取样数据能被变换成用黑点所示的有联合取样周期 T_u 的取样数据。

图 30 示出设定图 28 中的步骤 S_5 中的置零插值模式时的置零插值处理。在这种情况下,输入取样周期 T_s 更长,例如是联合取样周期 T_u 两倍那样长。此在 $2T_u$ 周期得到的声源取样周期 T_s 的取样数据,例如如在取样数据 250 和 252 所示。相对于在取样数据 250 和 252 之间存在的联合取样周期 T_u 的定时内插位置,内插零数据 254。在上述的置零内插中,在完成置零内插处理之后,通过滤波处理用的低通滤波器传输该数据,而且由于置零内插使整个电平降低。因此要进行用以提高电平的电平调整处理。

图 31 的流程图涉及图 29 中的缩值处理。首先在步骤 S_1 中用

以计数得到联合取样周期 T_u 的取样数据数的计数器 M 被归零到 $M=0$ 。随后进行检验以观察每次得到取样数据都被归零到 0 的计数值 cnt 是否与已测量的输入声源取样频率 T_s 一致。在步骤 S_2 ，计数值 cnt 与输入声源取样周期 T_s 一致，处理例行程序前进到步骤 S_3 ，并且计数器 M 向上增“1”。在步骤 S_4 进行检查以观察计数器 M 的计数值是否已达到联合取样周期 T_u 与声源取样频率 T_s 之间的比率 (T_u/T_s)。例如，在图 29，，进行检查，看计数值是否已达到 $M=3$ 。重复步骤 S_2-S_4 的处理，直到计数值达到 $M=3$ 。不输出取样数据。当在步骤 S_4 中 $M=3$ 时，在步骤 S_5 中输出当时的取样数据。在步骤 S_6 中，判断是否存在通道输入的转换。重复步骤 S_1-S_6 的处理，直到转换通道输入。当转换通道输入时，处理例行程序再次回到图 28，并在新转换的通道中执行插值模式设定处理。

图 32 是图 30 中的置零内插处理的流程图。

首先在步骤 S_1 中，指示内插数据数即在声源取样周期 T_s 存在的置零数据数的计数器 N 被归零。在步骤 S_2 步骤进行检查，看每个声源取样周期 T_s 被归零到 0 的计数值 cnt 是否已达到联合取样周期 T_u 。当计数值 cnt 达到联合取样周期 T_u 时，在步骤 S_3 中计数器 N 向上增“1”。在步骤 S_4 中进行检查，看在图 30 的情况输入声源取样期 T_s 与联合取样周期 T_u 之间的比率 (T_s/T_u) 是否已达 $N=2$ 。当在步骤 S_4 中计数值 cnt 达到 $N=2$ 时，由于这意味着该定时是下一个取样定时，所以输入的取样数据矫正到例如 (T_s/T_u)=2 倍，以便补偿与置零内插有关的电平减少。此后，在步骤 S_6 中输出该取样数据。当在步骤 S_4 中计数值未达到 $N=2$ 时，在步骤 S_7 中建立 $S=0$ 的置零数据并在步骤 S_6 中作为内插设

定取样数据输出。在步骤 S_8 中,进行检查,看通道输入是否已转换。重复步骤 $S_1 \sim S_7$ 中的处理直到通道输入被转换。

〔音量调整控制〕

在本发明的音频数据处理装置中,对于原来的数字音频输入通道,通过音量操作调整音量。对于像上述那样通过音量操作调整音量,当由于音量调整值的瞬间变化而精确地调整音量时,由于瞬时音量变化产生数字噪声。因此,图 33 的实施例的特征在于控制音量以减少由于瞬时音量变化值的音频波形的不连续性而产生的噪声。首先,在输入级设置寄存器 260,262 和 264。输出数据 X 反馈到寄存器 260 并保持当前值 A 。来自外部的与音量调整有关的音量设定值 B 保持在寄存器 262 中。进而通过序列器 84 随予定的联合取样频率 44.1KHz 的处理周期 Tu 而变化的增长值 C 保持在寄存器 264 中。寄存器 260 中的当前值 A 和寄存器 264 中的增长值 C 提供给操作单元 266。用序列器 84 在每个处理周期 Tu 进行 $X=A \pm C$ 的音量调整算术运算。用比较单元 268 比较寄存器 260 中的当前值 A 和用外部音量设定的音量设定值 B (目标值)。以比较单元 268 的比较结果为基础确定操作单元 266 中的增长值 C 的相加或相减。当设定值 B 大于当前值 A 时,操作单元 266 进行 $X=A+C$ 加法运算。当设定值 B 小于当前值 A 时,操作单元 266 进行 $X=A-C$ 的减法运算。用比较单元 272 使运算输出 X 与设定值比较。此比较单元 272 按照按照比较结果控制选择器 270。当运算输出 X 与设定值 B 不一致时,选择器 270 选择操作单元 266 的输出 X 并建立输出数据 X 。当比较单元 272 的输出 X 与设定值 B 一致时,该选择器选择设定值 B 作为输出数据 X 。

图 34 是图 33 中的音量控制的定时图。现在假定通过音量设定从外部为当前值 A 设定新的设定值 B 。从时间 t_1 用操作单元 266 在用序列器 250 决定的每个处理周期 Tu 进行算术运算 $A+C$ 。操作单元 266 的输出 X 每次增加增长值 C 。在时间 t_2 输出值 X 与设定值 B 重合。在时间 t_1 与时间 t_2 的时间期间选择器 270 选择并输出操作单元 266 的输出 X 。当时间到达 t_2 时,选择器 270 选择并输出设定值 B 。因此,即使音量设定值存在瞬间变化,实际输出的数据也有一个由增长值 C 限定的时间变化率。当然能避免因瞬时音量变化导致音频波形不连续性而产生的噪声。

图 35 是用处理器通过程序控制完成图 33 的功能块时的流程图。首先在步骤 S_1 中读出当前值 A 、设定值 B 和增长值 C 。在步骤 S_2 中进行检查,看当前值 A 与设定值 B 是否一致。当它们不同时,在步骤 S_3 中将增长值 C 加到当前值 A 。在这种情况下当当前值 A 小于设定值 B 时增长值 C 的增加是加 $-C$,当 $A > B$ 时增加 C 。在步骤 S_4 中进行检查,看输出 X 是否达到设定值 B 。在输出 X 与设定值 B 一致之前都输出在步骤 3 中的运算结果 X 并在步骤 S_5 中将当前值 A 更新到 $A=X$ 。当在步骤 S_4 运算值 X 与设定值 B 相等时,输出 $X=B$ 并在步骤 S_6 中将当前值 A 更新到设定值 B 。

图 36 的特征在于通过使用图 33~35 所示的音量调整的控制功能可很容易地完成电子演奏装置的键操作的音频波形的包络调整。在图 36 的功能块中,在输入侧为寄存器 262 新设选择器 274,并给图 33 的寄存器 264 新设选择器 276。与键的时效变化相应的音量设定值 B_1, B_2, B_3 和 B_4 输入到选择器 274。与音量设定值 $B_1 \sim B_4$ 相应的特有的增长值 C_1, C_2, C_3 和 C_4 设定给选择器 276。每当

当前值 A 达到设定值 $P_1 \sim P_4$ 中的任一个时, 序列器 250 进入下一个序列。通常, 为键输入的 ON 操作设定起音、衰减、保持、释放四种模式。按照这四种模式设定对选择器 274 的音量设定值 $B_1 \sim B_4$ 和用以改变各音量设定值的增长 $C_1 \sim C_4$ 。

例如, 对于如图 37B 所示的键输入, 确定如图 37A 所示的起音、衰减、保持和释放四种模式的音量设定值 B_1, B_2, B_3 和 B_4 。特有的增长值 $C_1 \sim C_4$ 被用作在起音特性曲线 280、衰减特性曲线 282、保持特性曲线 284 和释放特性曲线 286 中的单位周期 Tu 的增长值。如上所述设定设定值 $B_1 \sim B_4$ 和增长值 $C_1 \sim C_4$ 的状态的包络波形的产生处理按下述执行。首先, 序列器 250 用选择 274 和 276 选择冲击模式下的音量设定值 B_1 和增长值 C_1 并置入寄存器 262 和 264。在这种状态下, 序列器 250 在每个处理周期 Tu , 在其中已存储了当前值的寄存器 260 和 262 中的音量设定值 B_1 之间以用比较单元 268 的比较结果为基础用操作单元 266 重复增长值 C_1 对当前值 A 的加法运算。当用比较单元 272 判定该值已达到设定值 B_1 时, 重合输出被提供给序列器 250。用选择器 274 和 276 选择下一个衰减模式中的音量设定值 B_2 和增长值 C_2 。以与上述类似的方式分别对保持模式和释放模式重复类似的处理。因此能与从图 37B 中的键 ON 到键 OFF 的键操作对应地产生图 37A 的包络波形。

图 38 示出图 36 中的处理的流程图。与在图 35 中通过音量进行音量调整时的处理相类似的处理仅被重复由计数器 n 决定的 $n = 4$ 次。

按照上述的本发明, 当统一这些不同的声源取样频率到预定

的联合取样频率例如 44.1KHz 时来自多个数字声源的不同声源取样频率的数字音频数据被输出并能被处理。数字声源侧并非总是需要产生联合频率 44.1KHz 的数据。由于使用本发明的装置作为对计算机装置的音频数据的接口,能使各种数字声源一次全部承受必要的音频率处理。

由于使用硬件,在该硬件中乘法流水线电路和加法/减法流水线电路被交互连接作为用以完成多通道数字数据的时分处理的逻辑电路,所以能在联合取样频率 44.1KHz 的处理周期中有效地按时分地进行多通道数字数据的处理。逻辑电路本身也是简单的,并且仅用序列器通过控制存储器的无条件地址指定也能完成控制处理,从而能用简单的电路完成多通道处理。

进而由于使数据处理电路有作为用处理器的软件处理的灵活性,测量适当的数字音频数据的声源取样频率,按照测得的声源取样频率与联合取样频率之间的关系进行内插处理和必须的缩值处理,并且能在装置侧通过内插和缩值自动而有效地完成转换成联合取样频率 44.1KHz ,而与外部数字声源的声源取样频率无关。

本发明不限于在上述实施例中所示的数值。

图. 1 现有技术

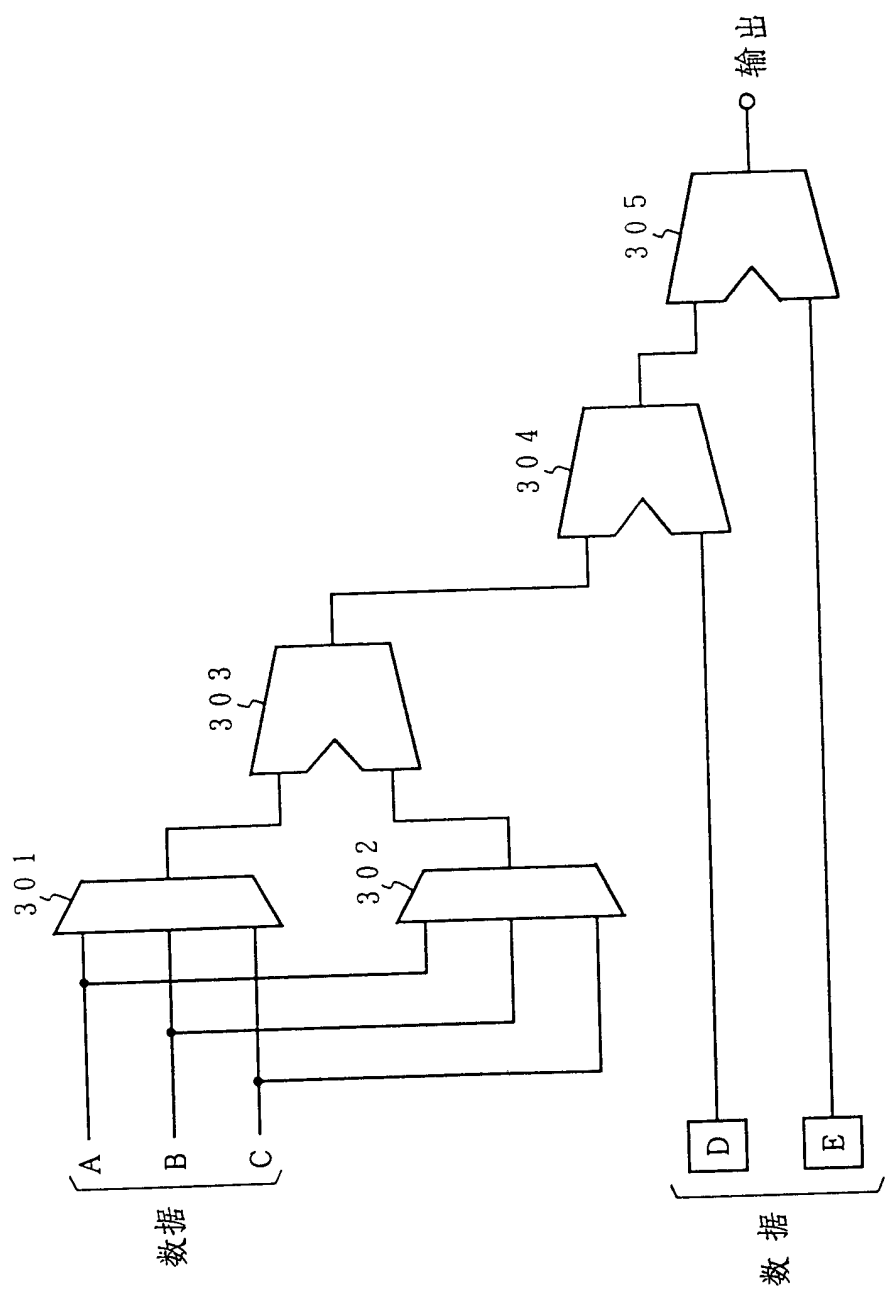


图. 2

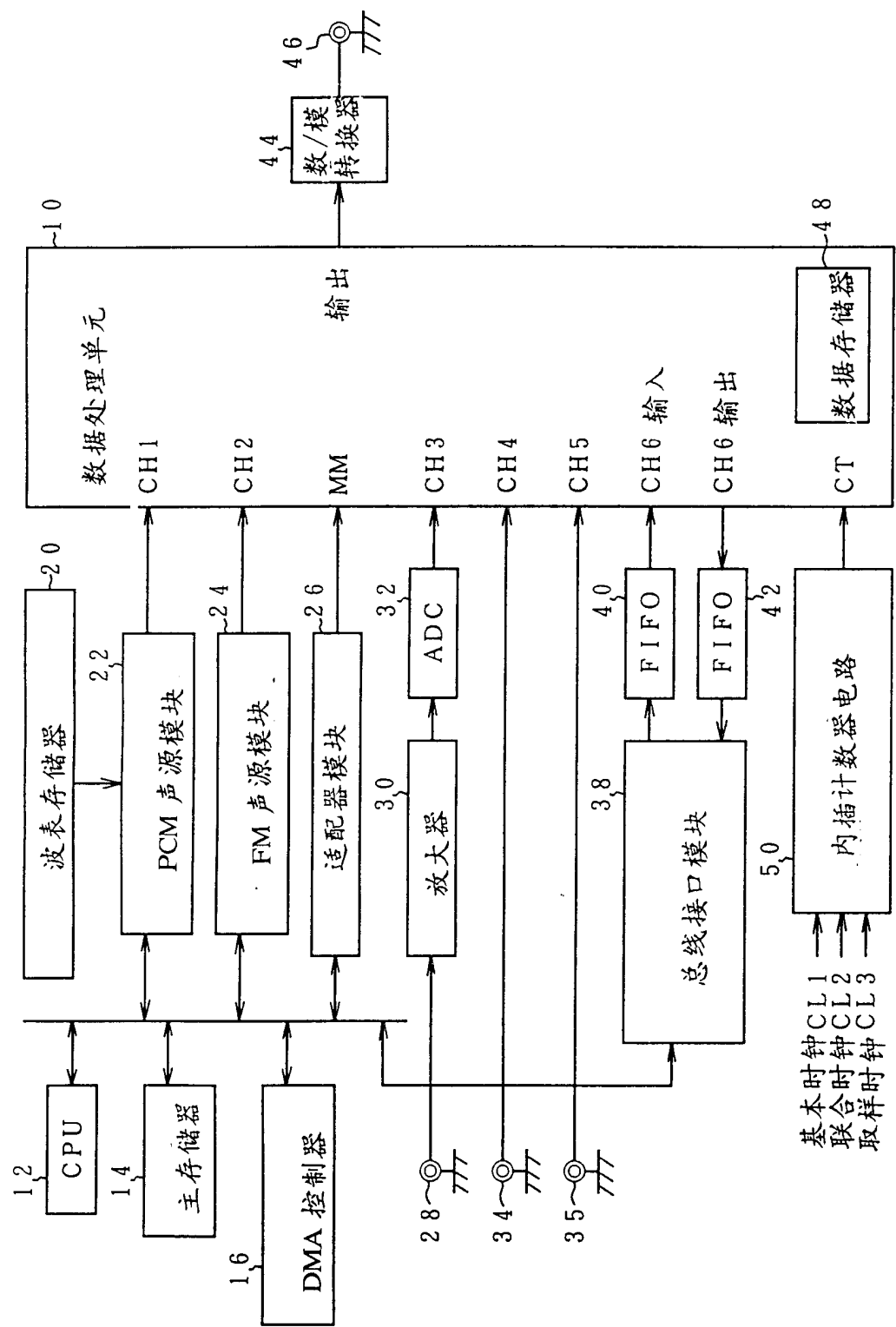


图. 3

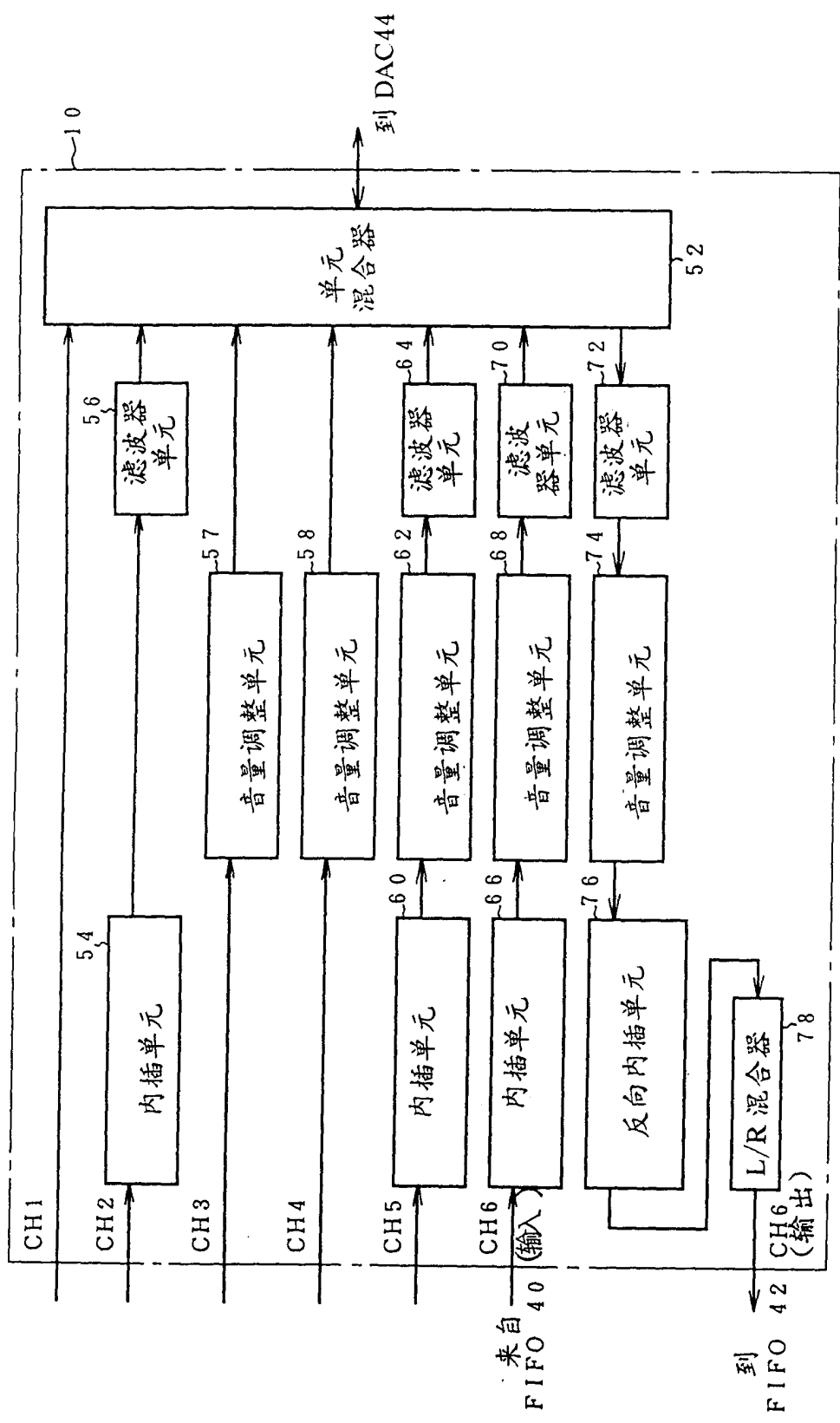
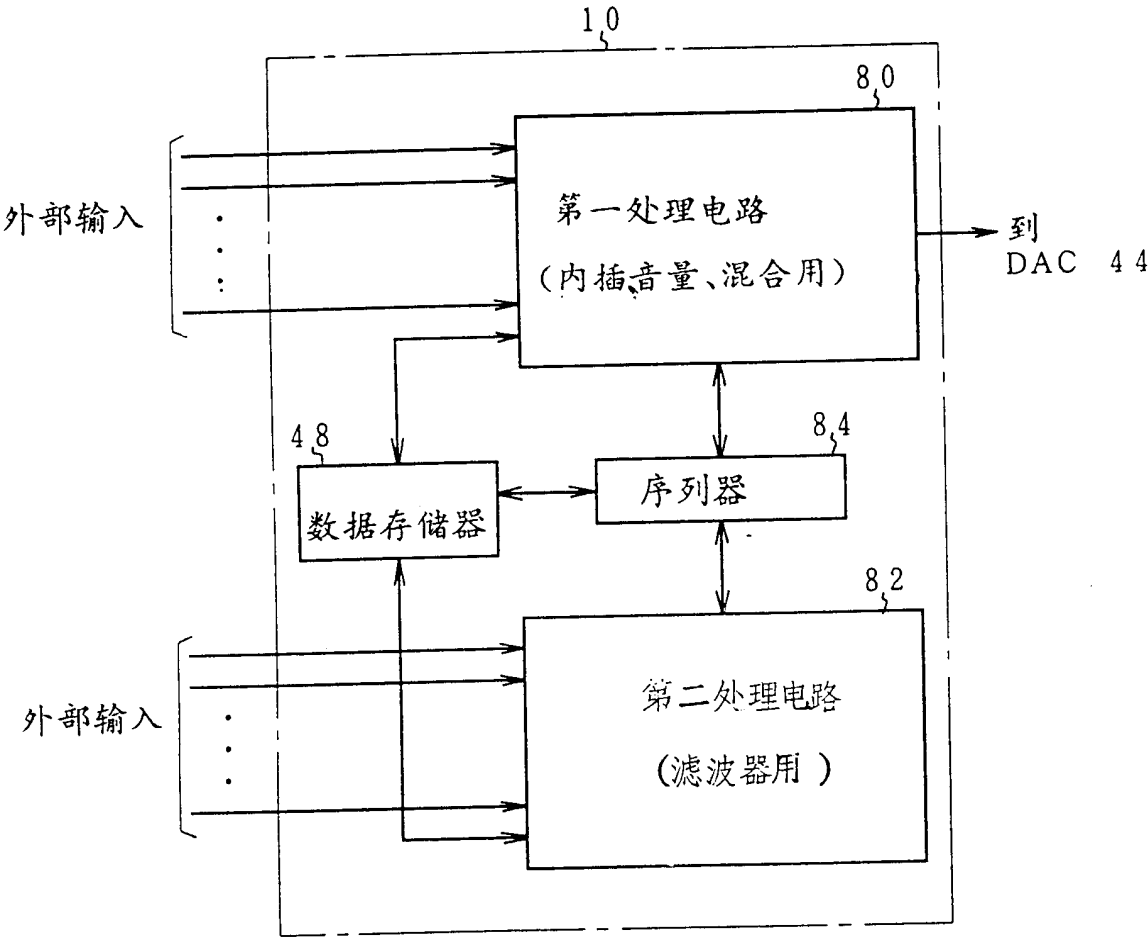


图. 4



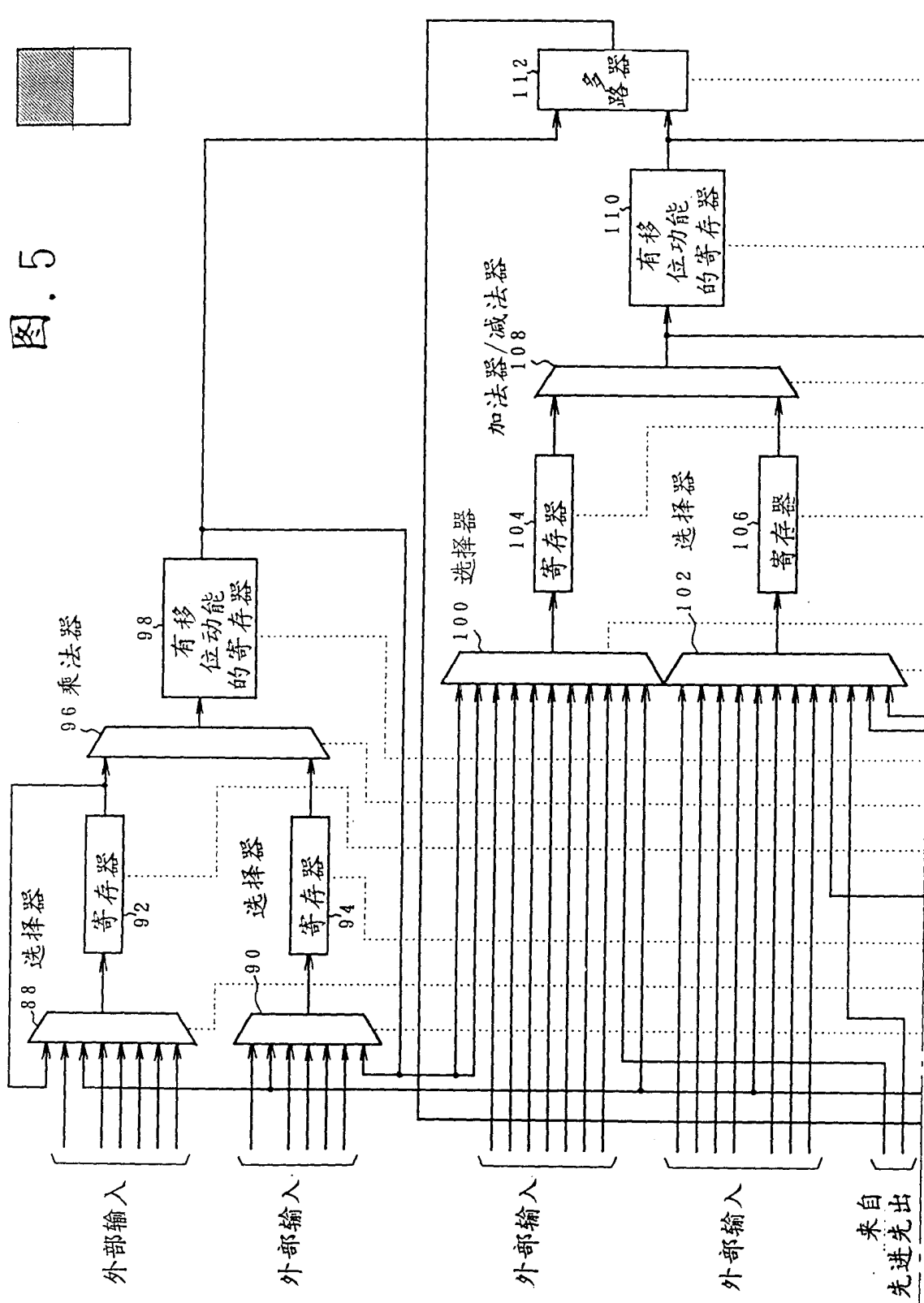


图. 5

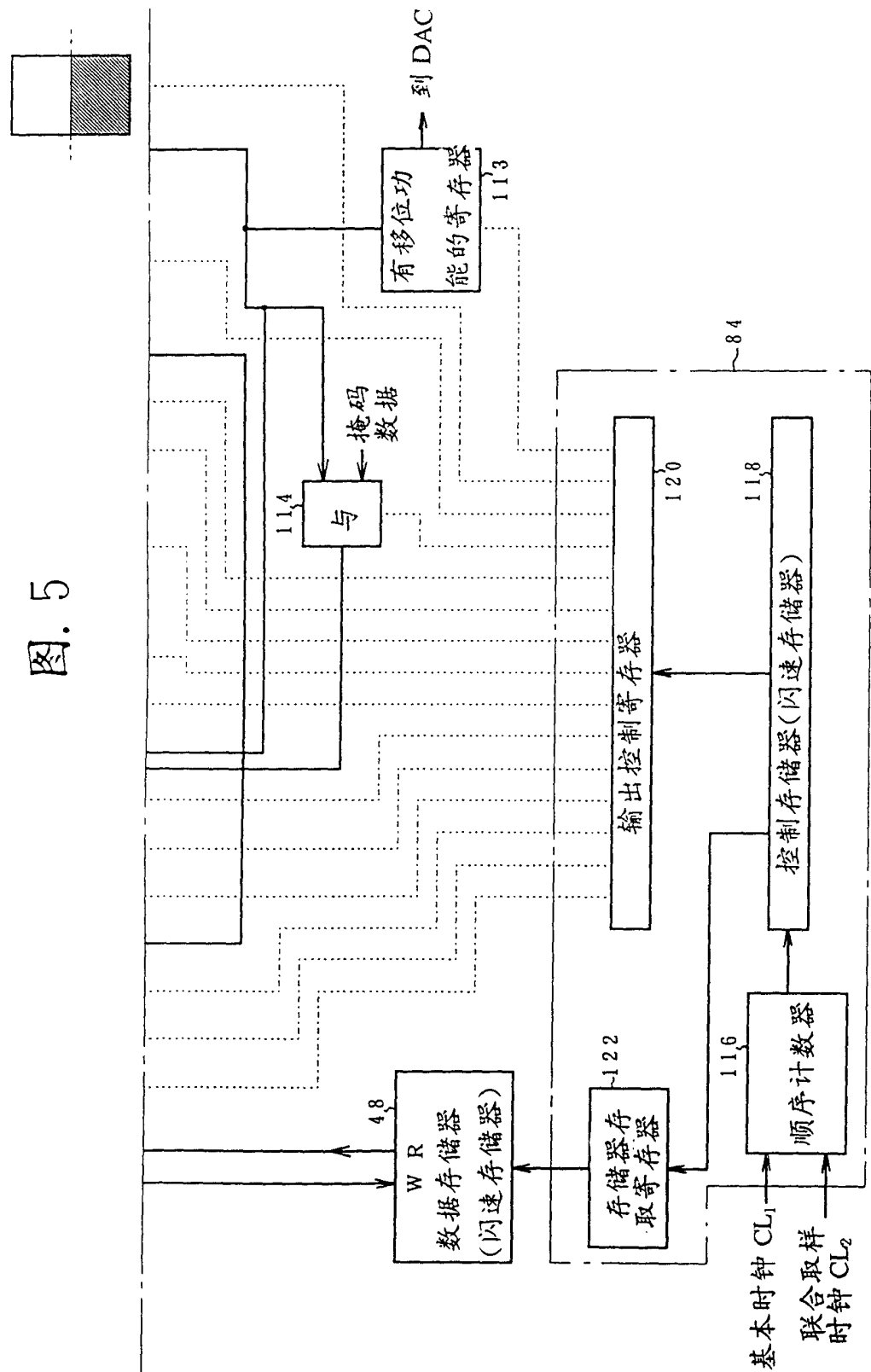


图. 6

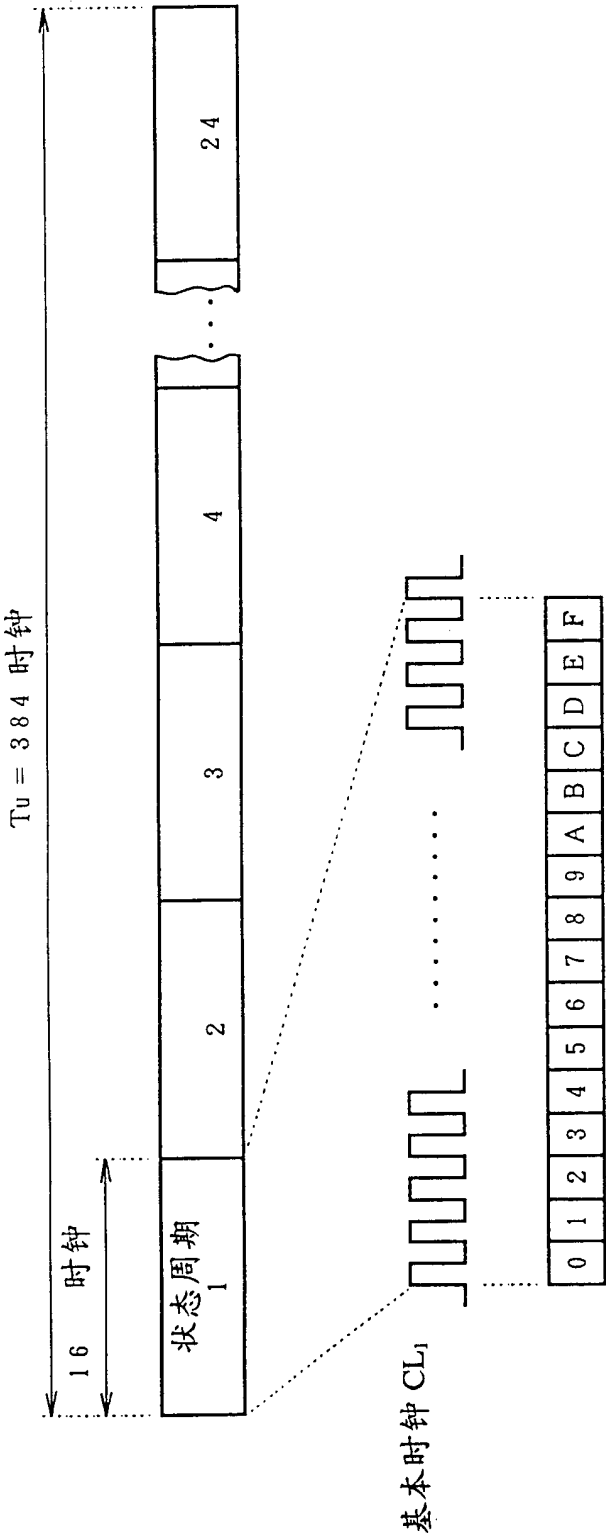
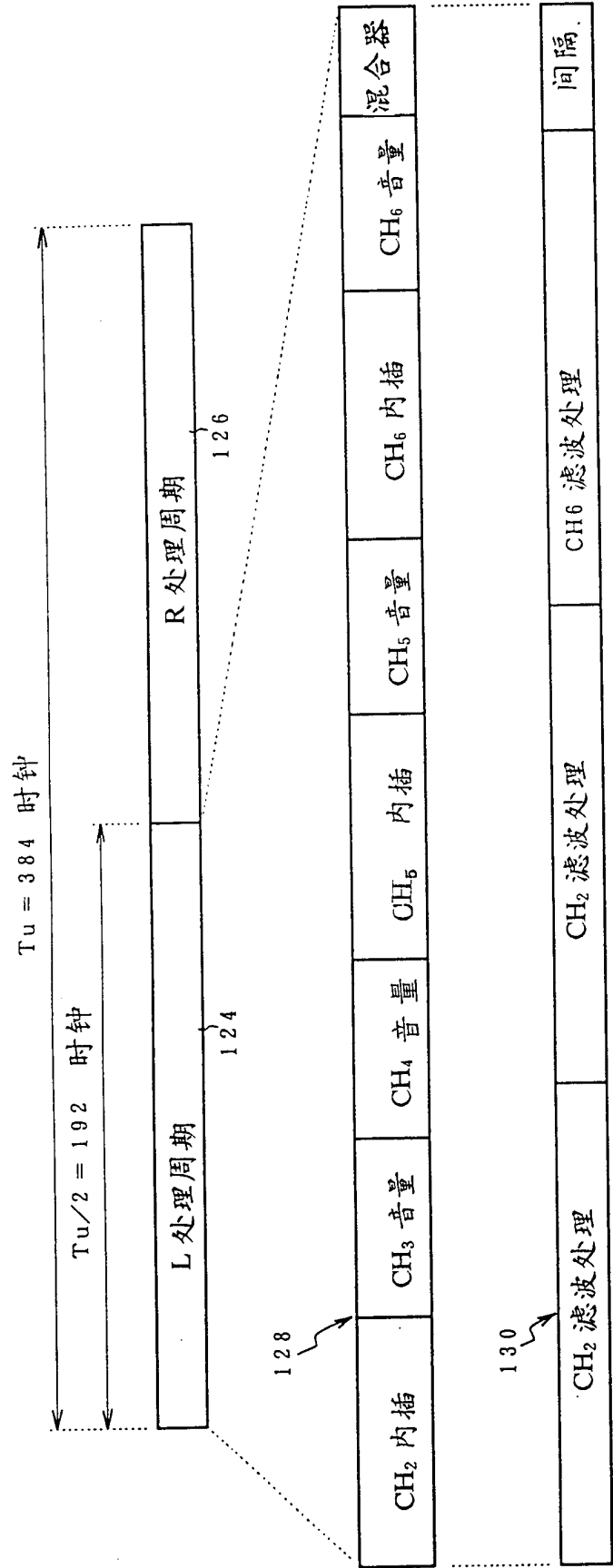


图. 7



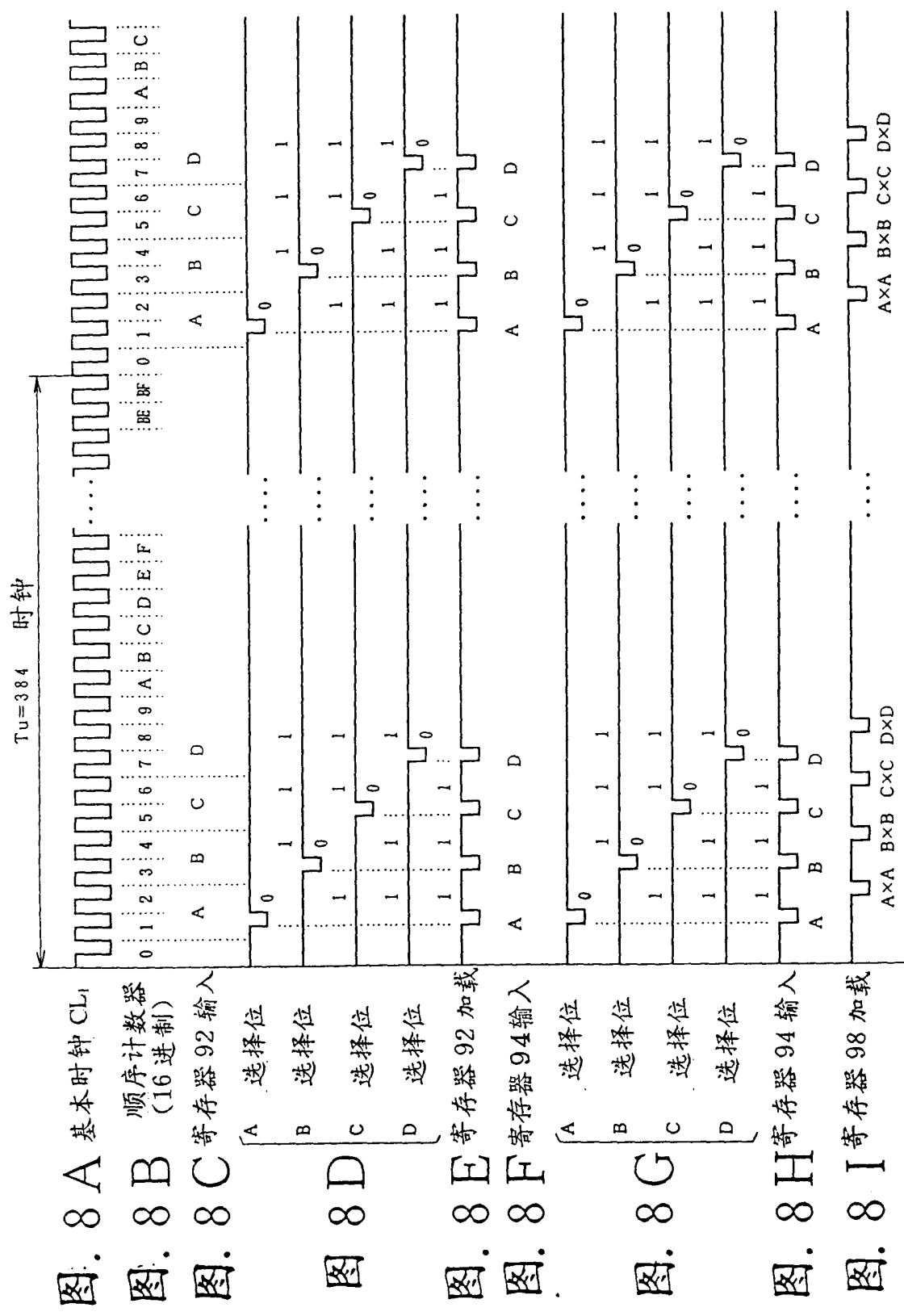


图. 9

控制内容	必须状态的数目
选择锁存	1
乘法锁存	1
加法/减法锁存	1
存储器读	1
存储器写	1
输出锁存	1
输出选择	1

图. 10

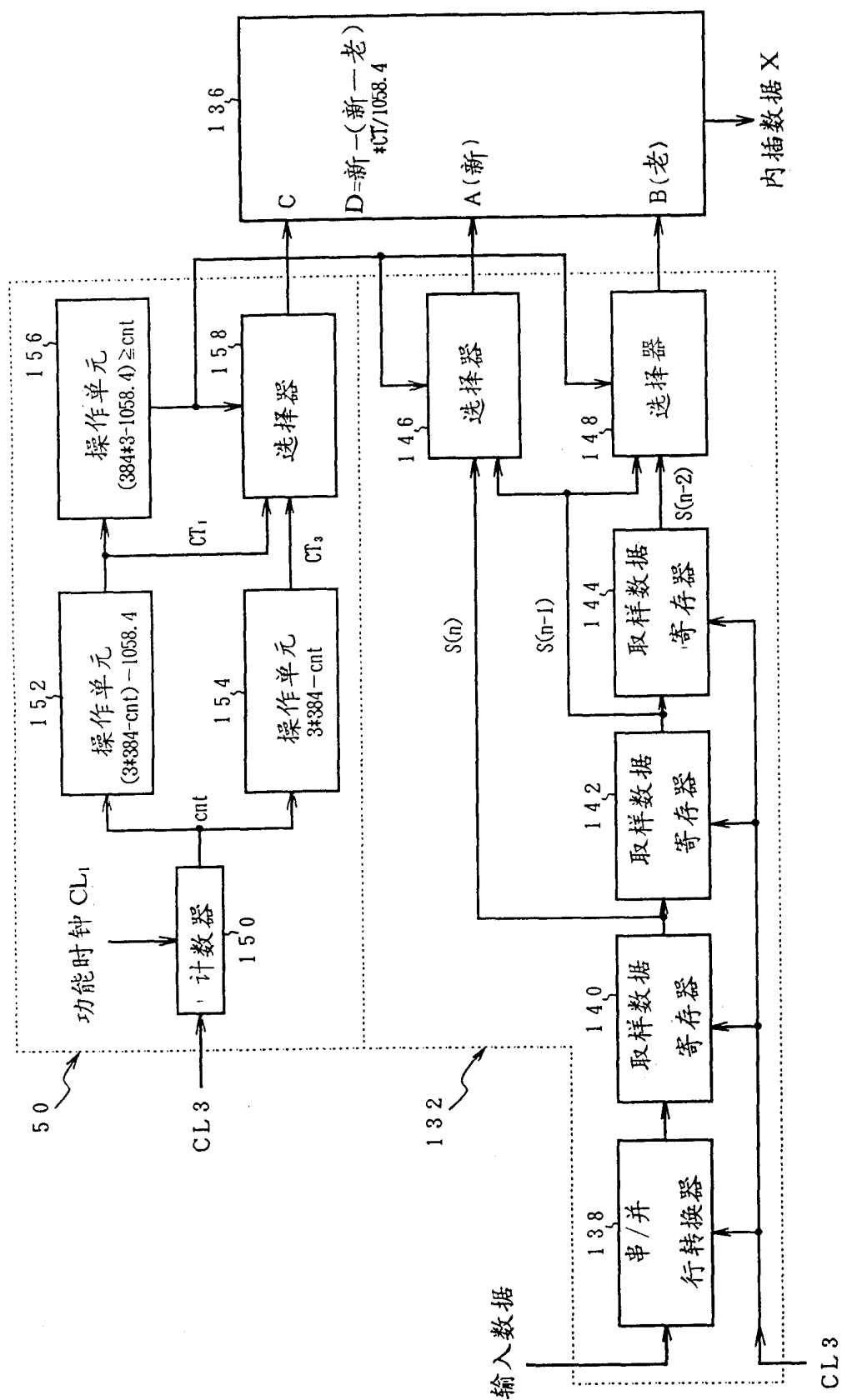
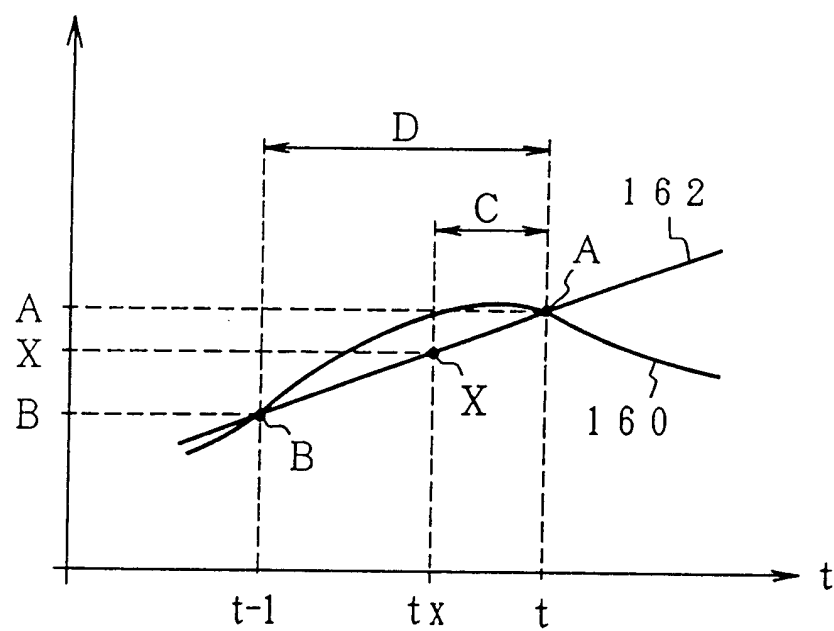


图. 1 1



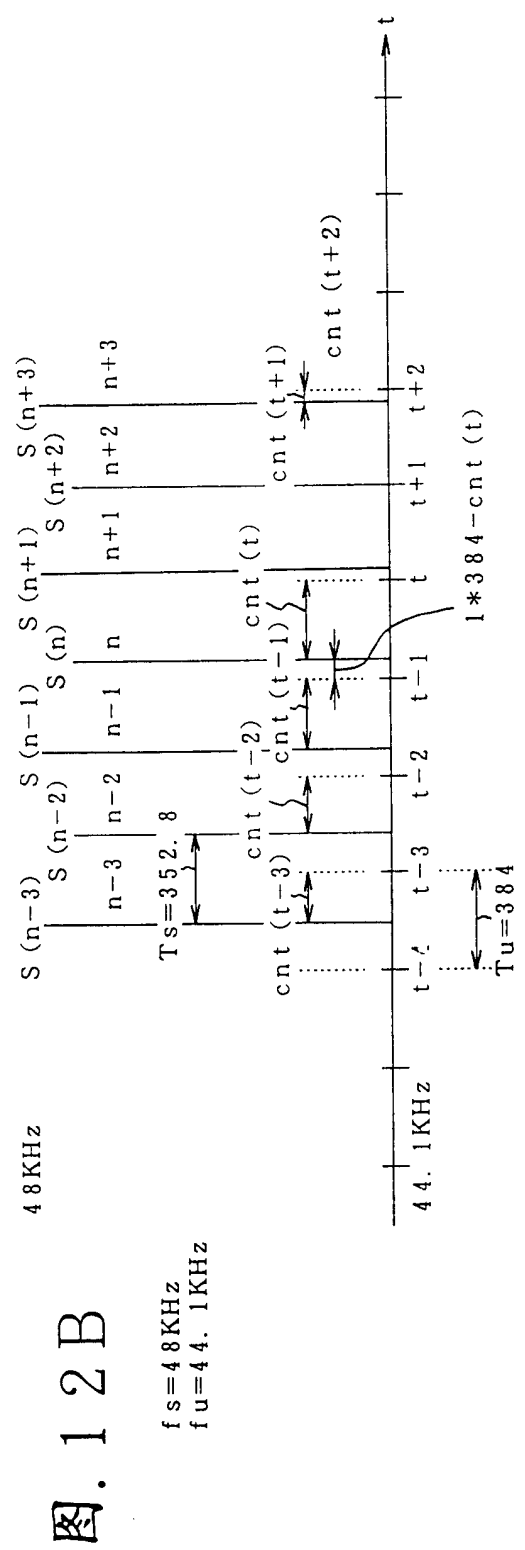
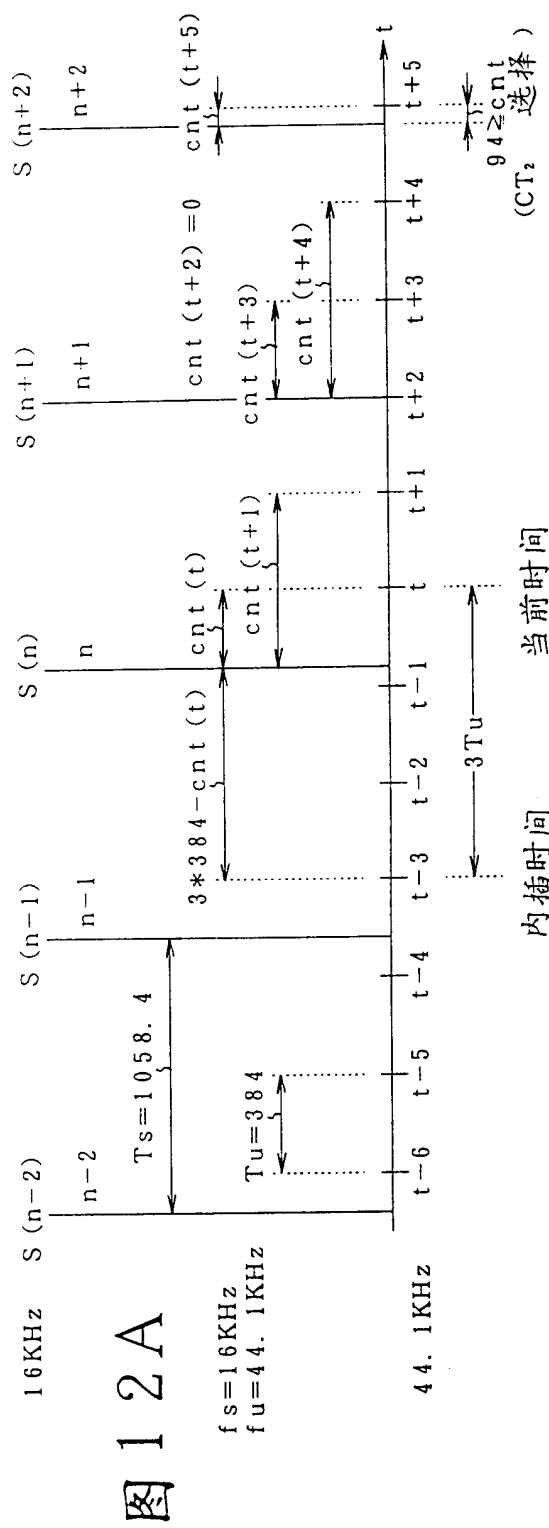


图. 1 3

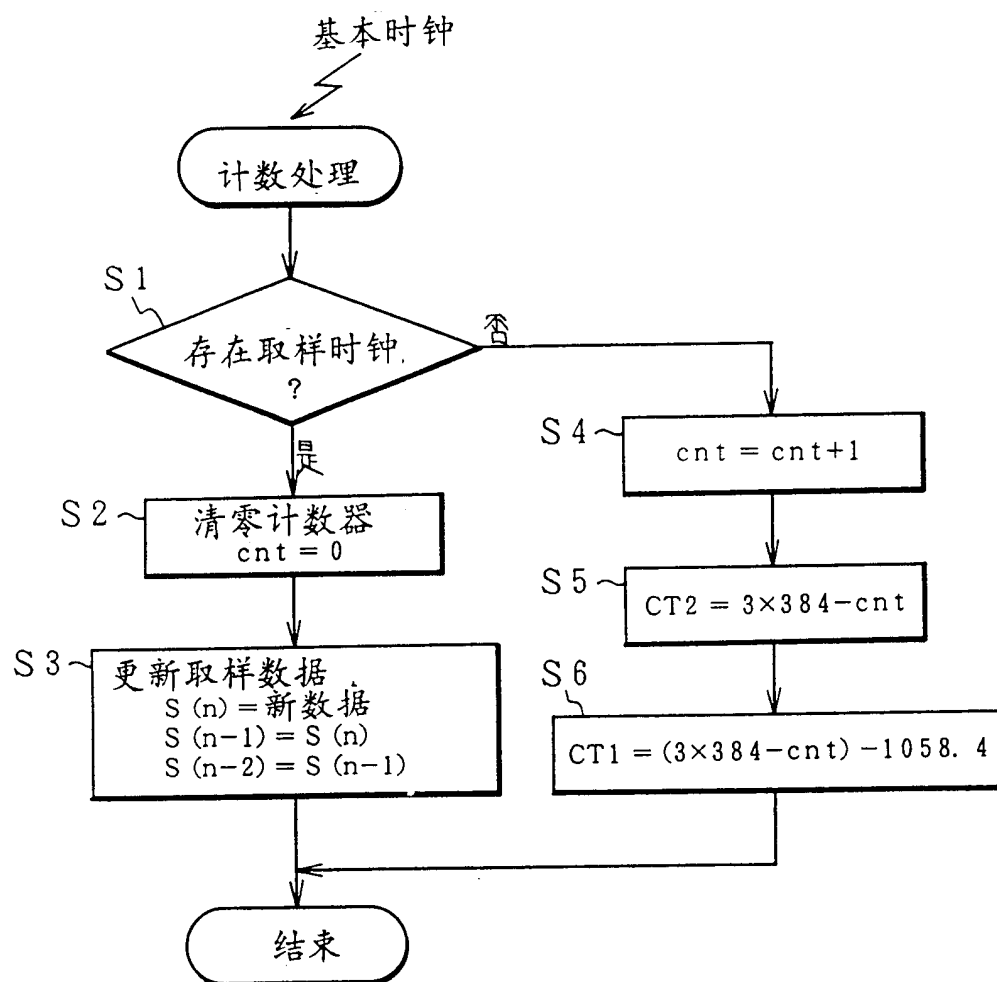
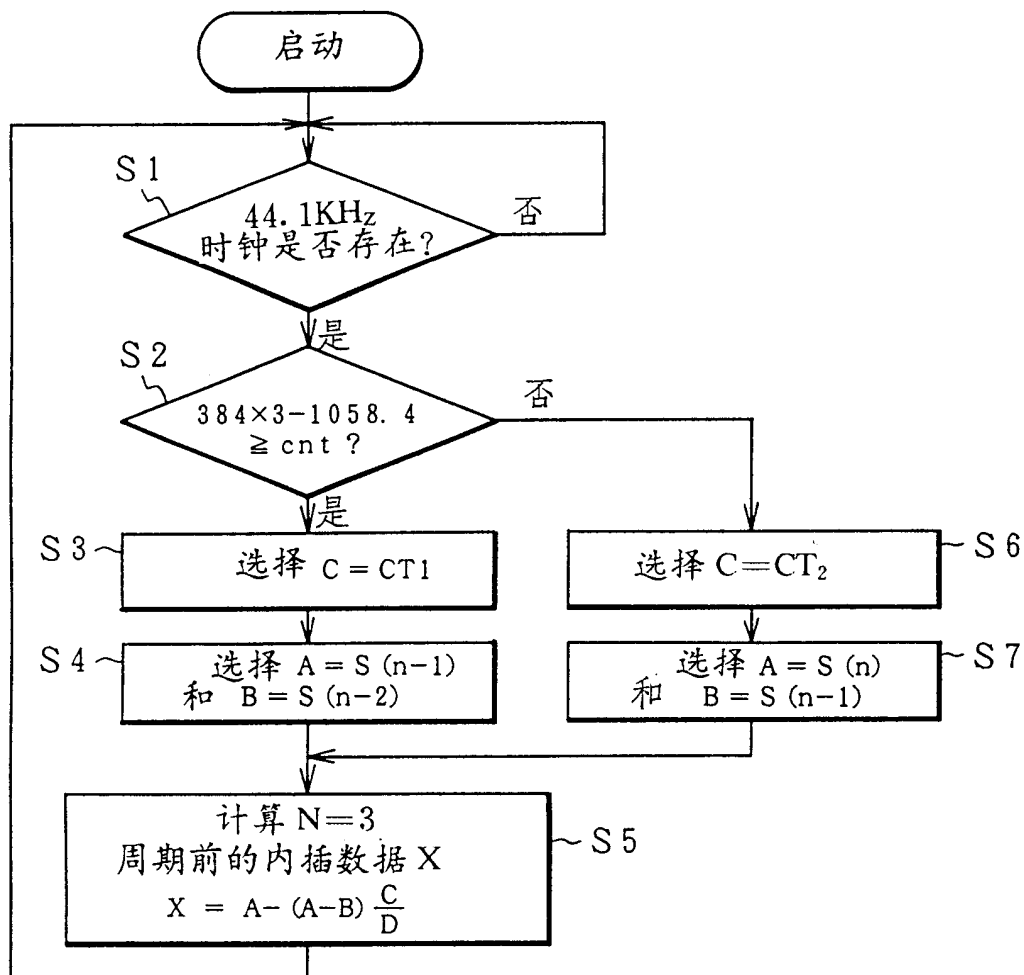


图. 1 4



$T_s \times N - T_u \geq cnt$
 $D = T_s$: 取样时钟周期
 T_u : 联合时钟周期
 N : $(T_s/T_u) + 1$ 的整数部分

图. 15

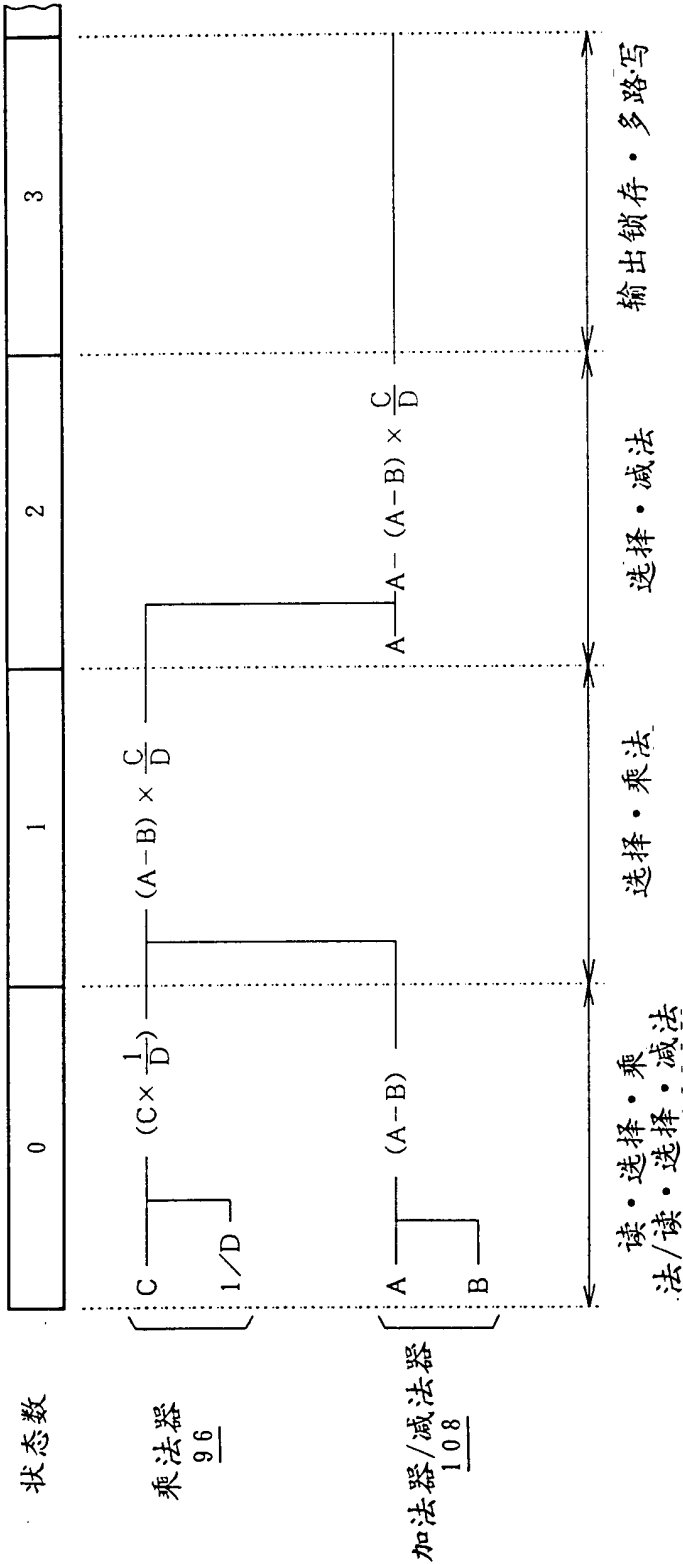


图. 16

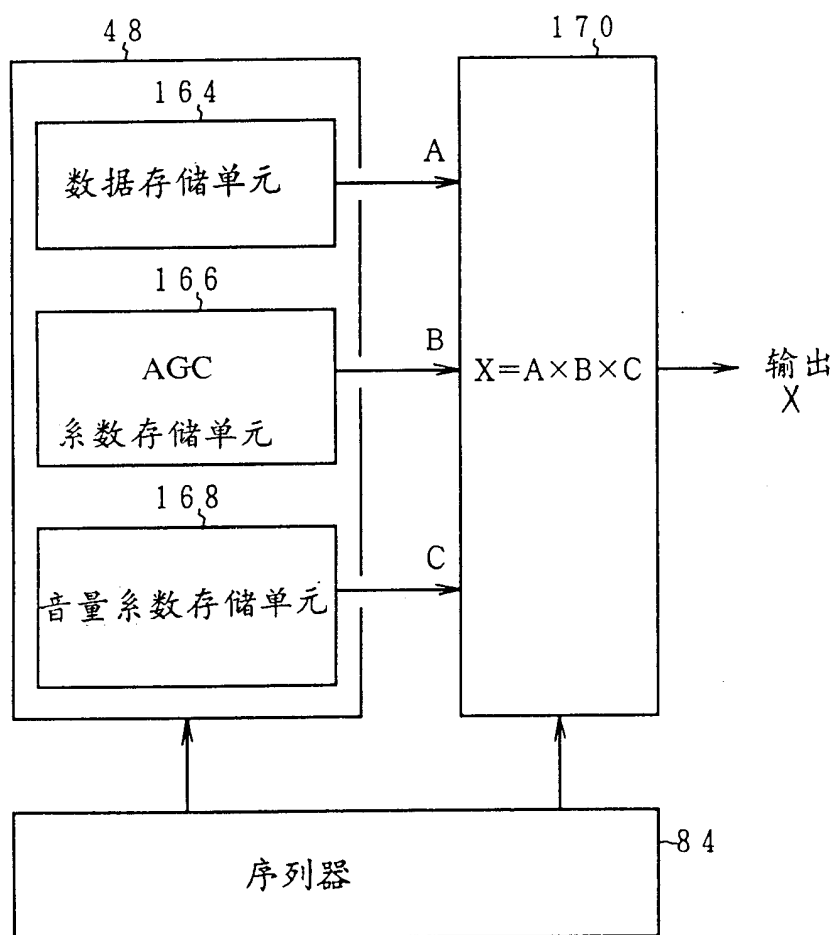


图. 17

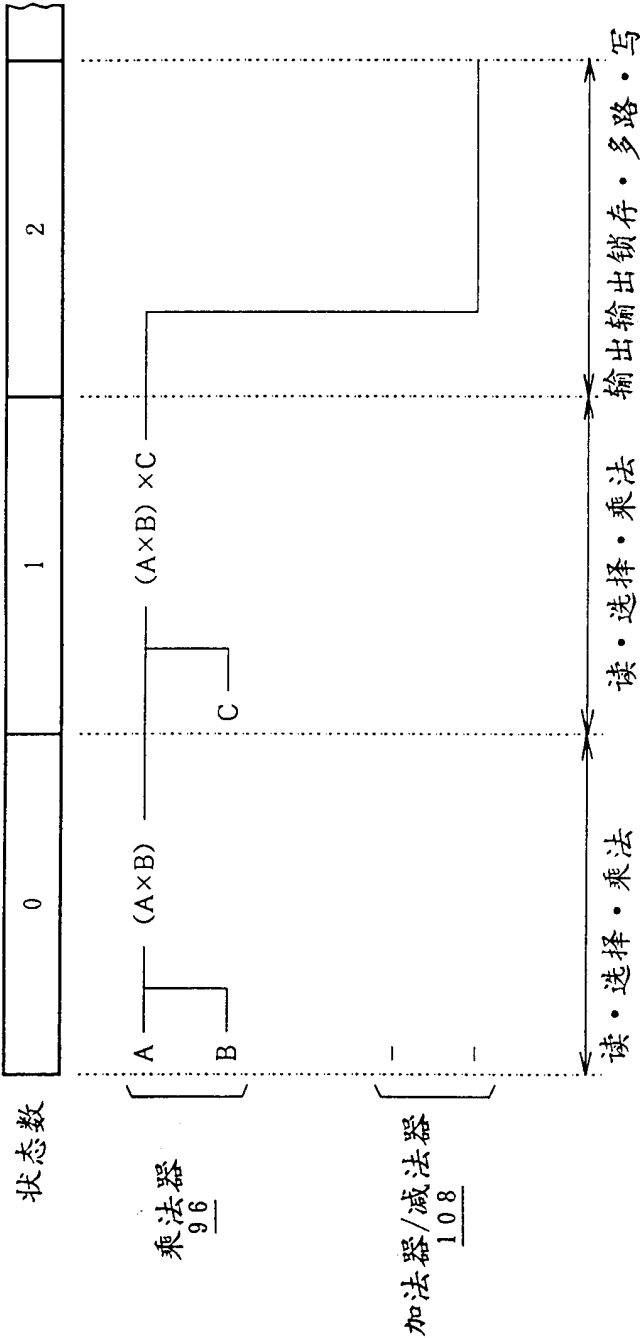


图. 1 8

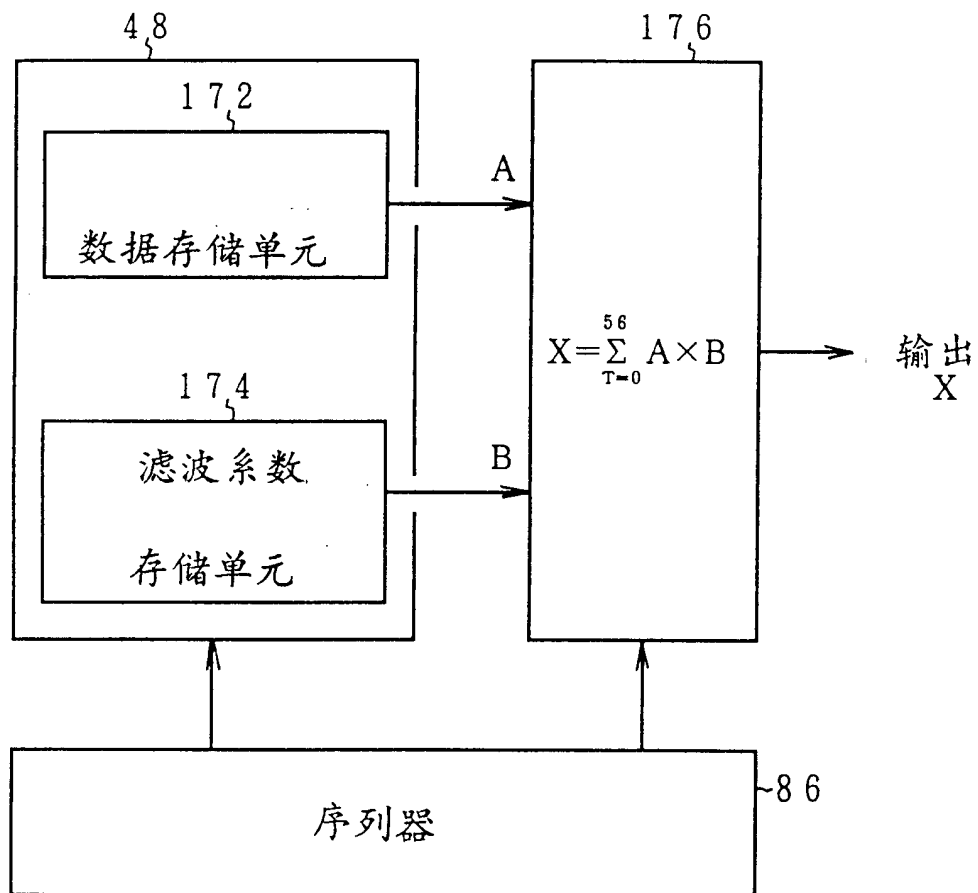


图. 19

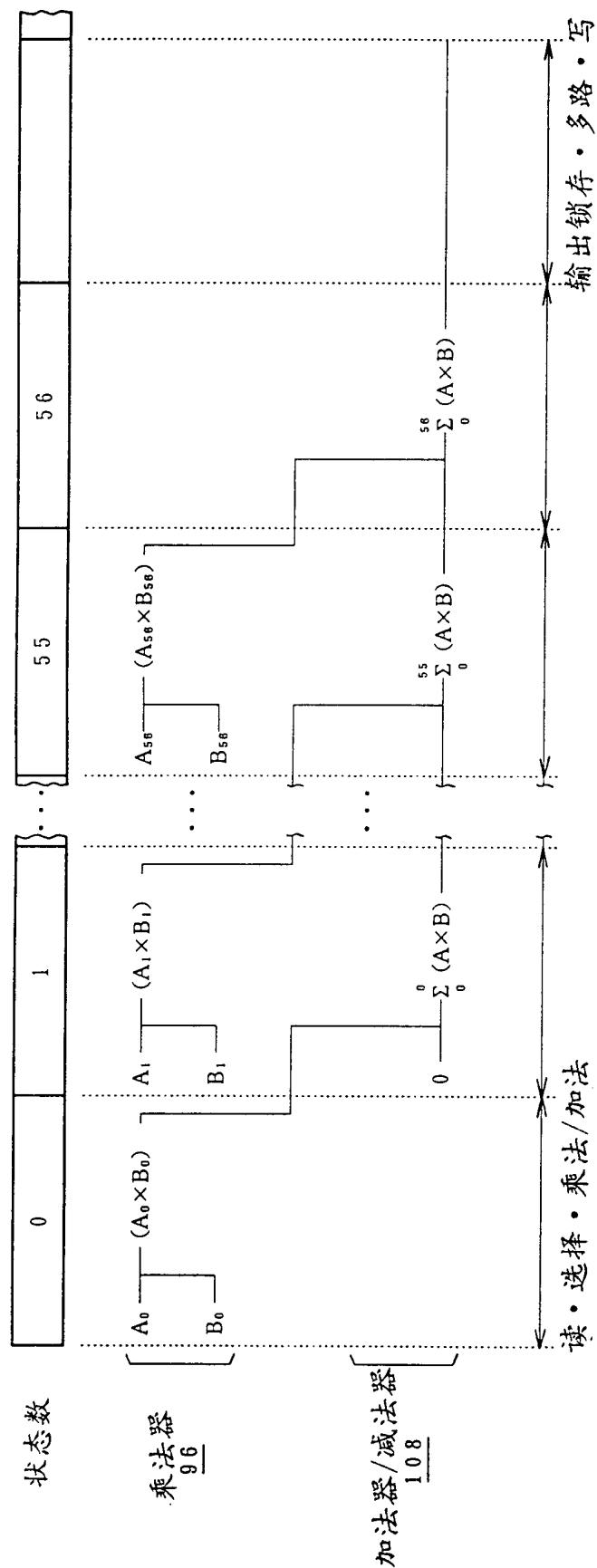


图. 20

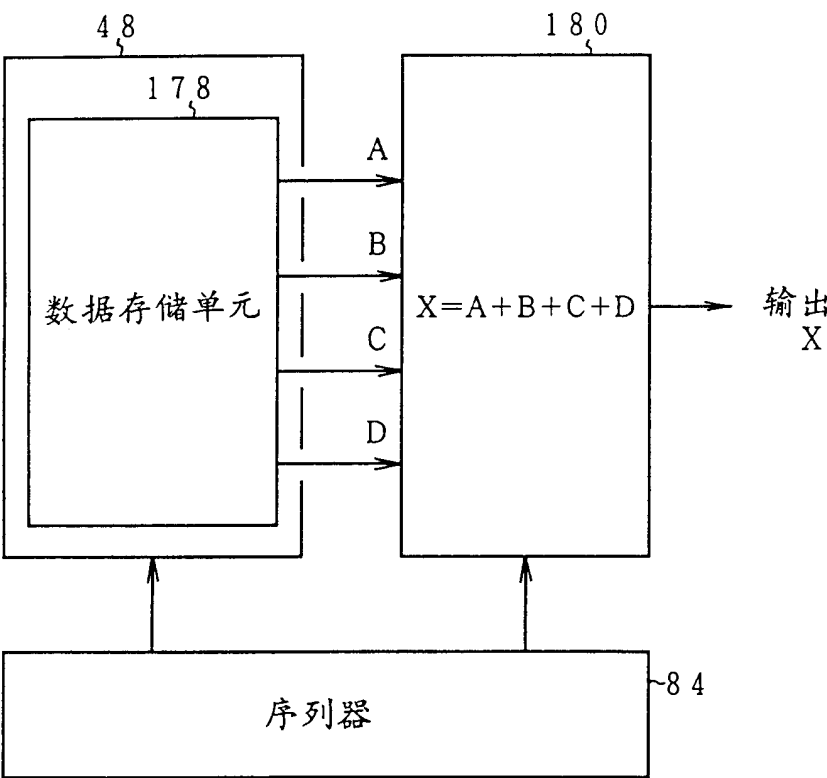


图. 21

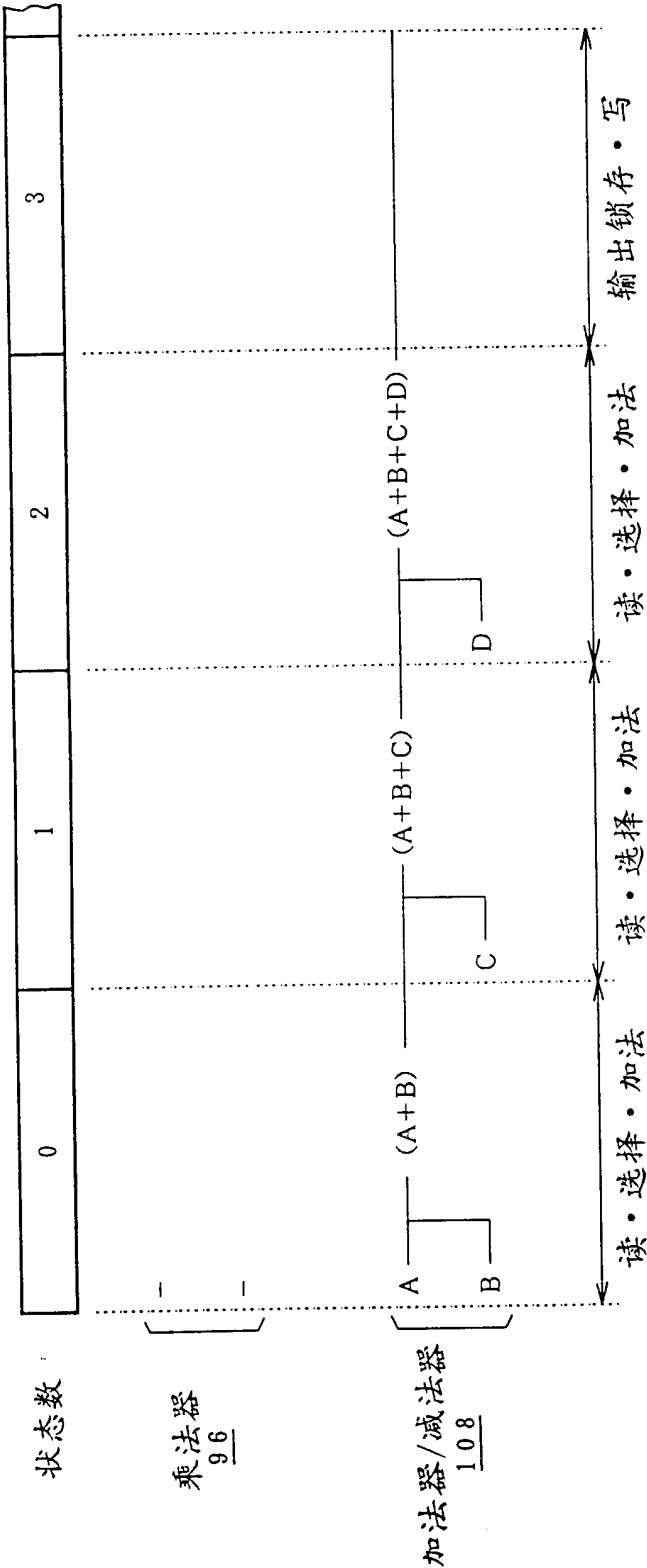


图. 22

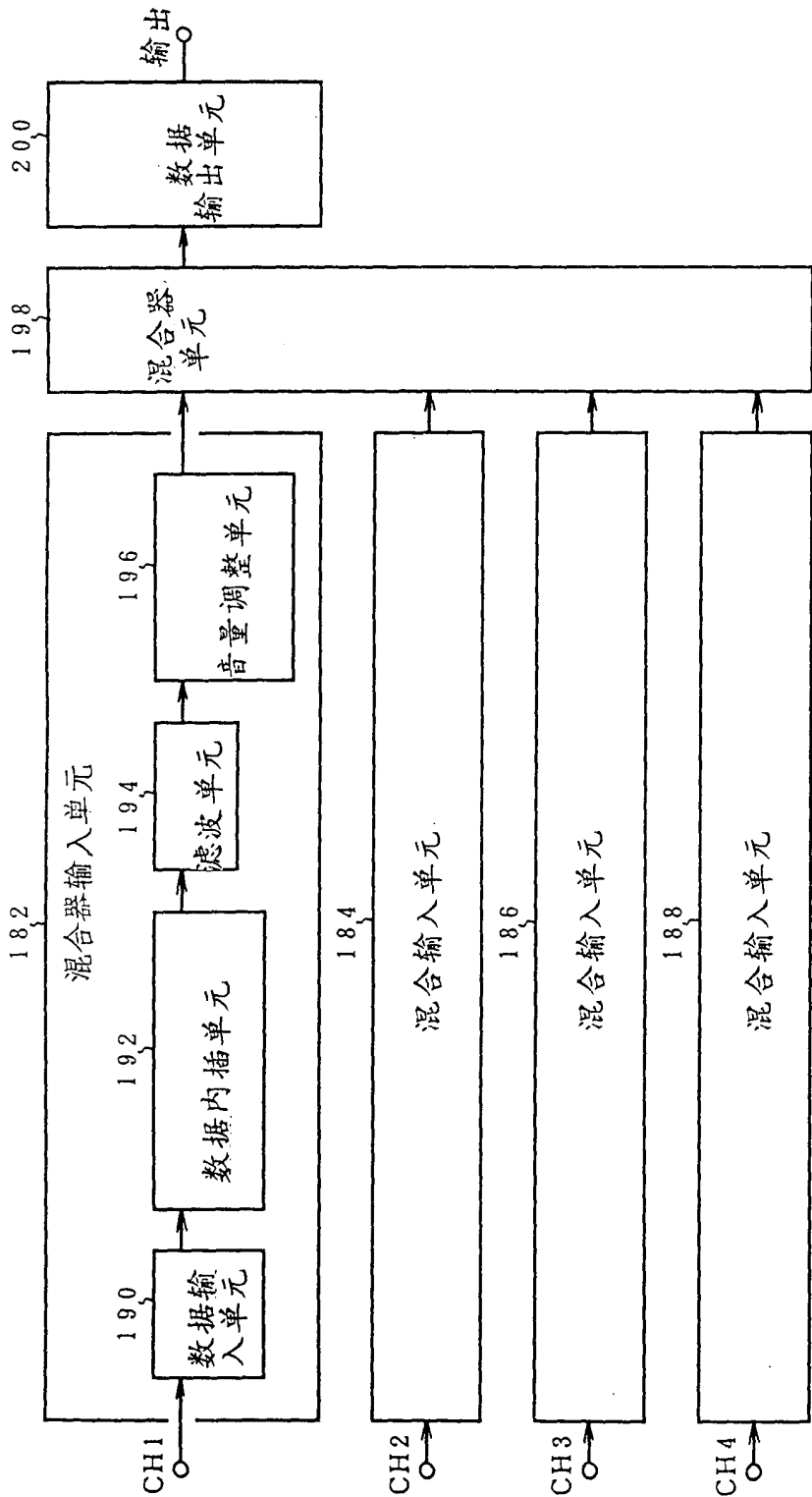


图. 23

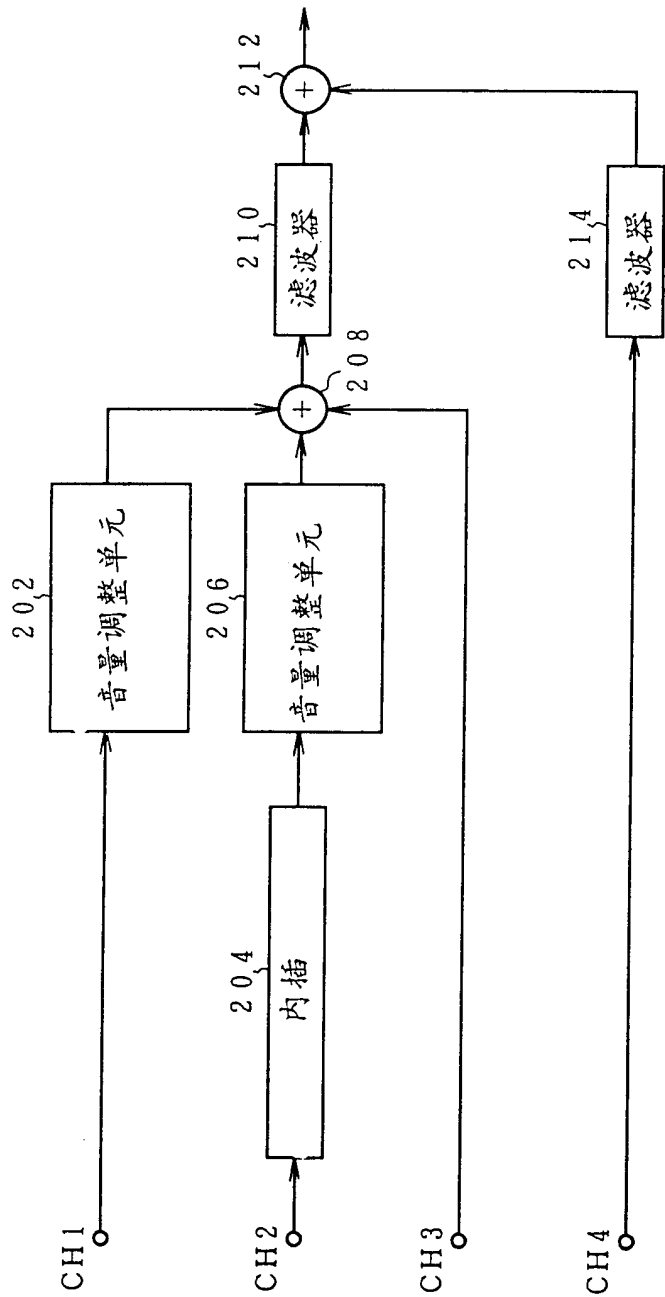


图. 24

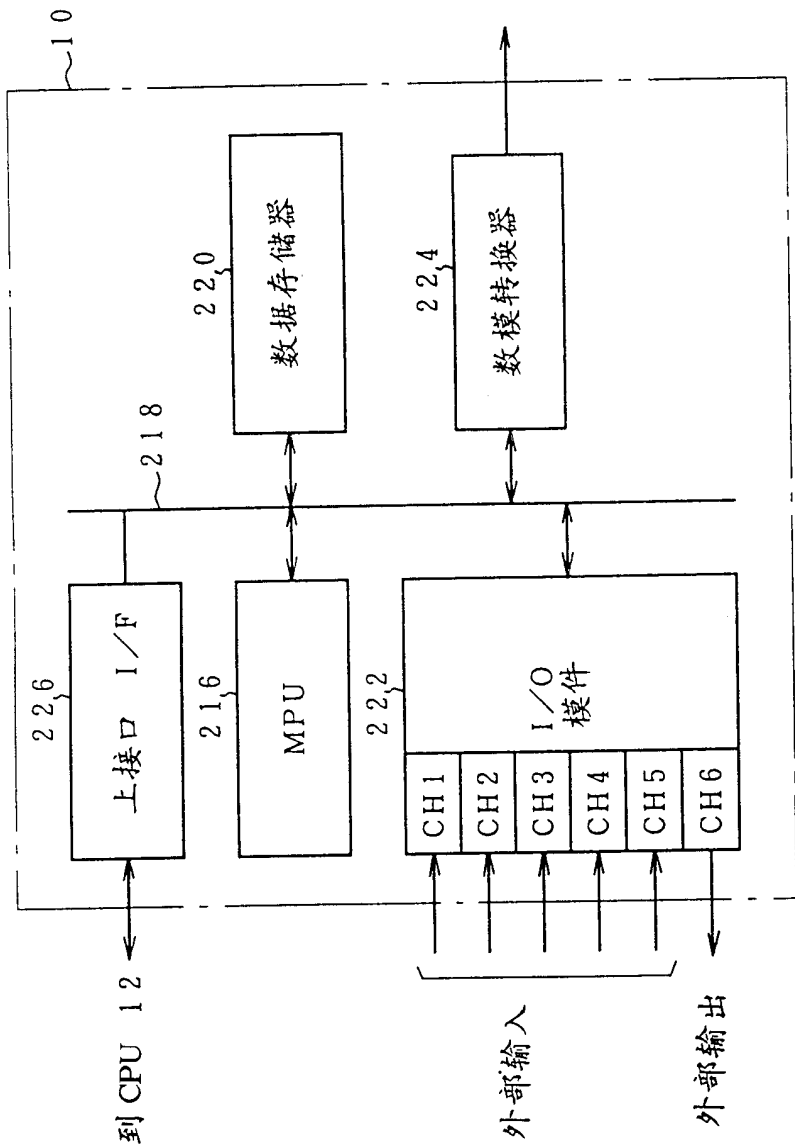


图. 25

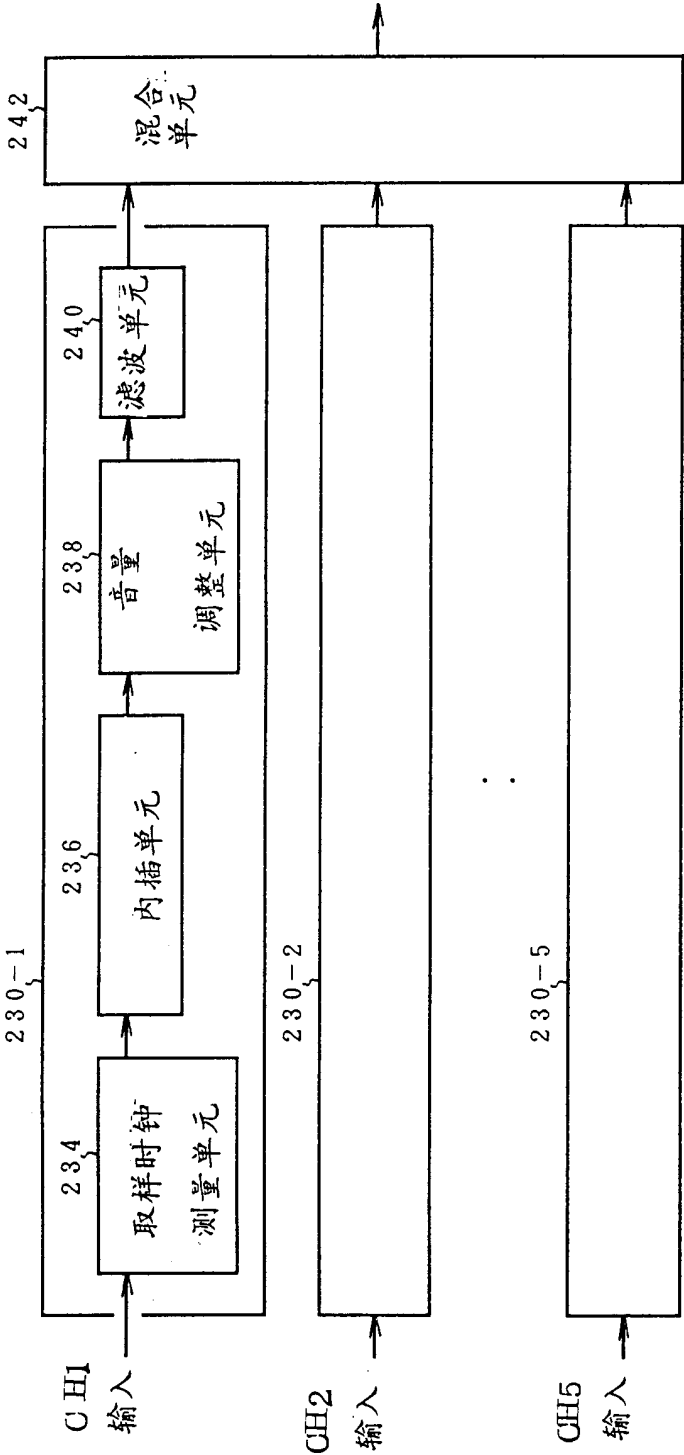


图. 26

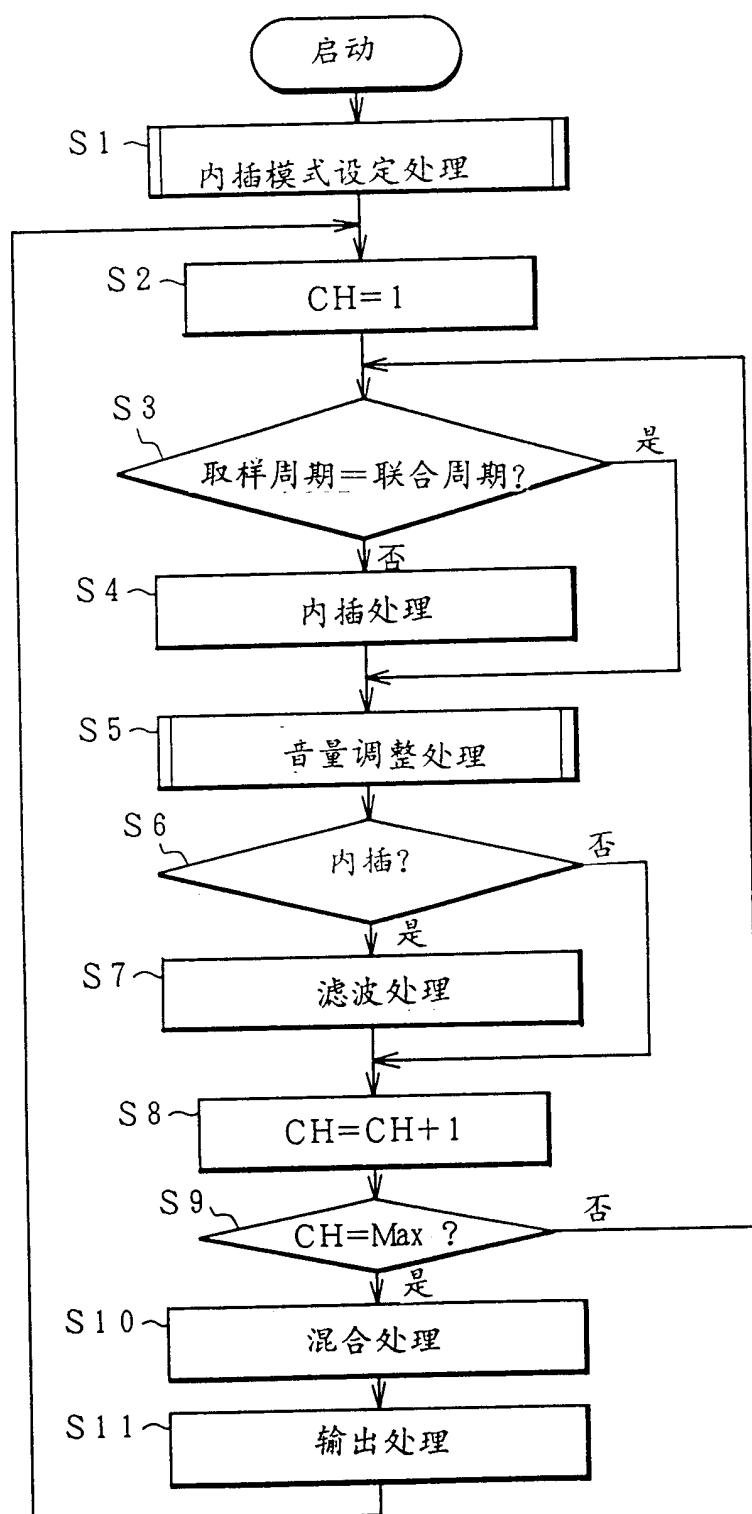


图. 27

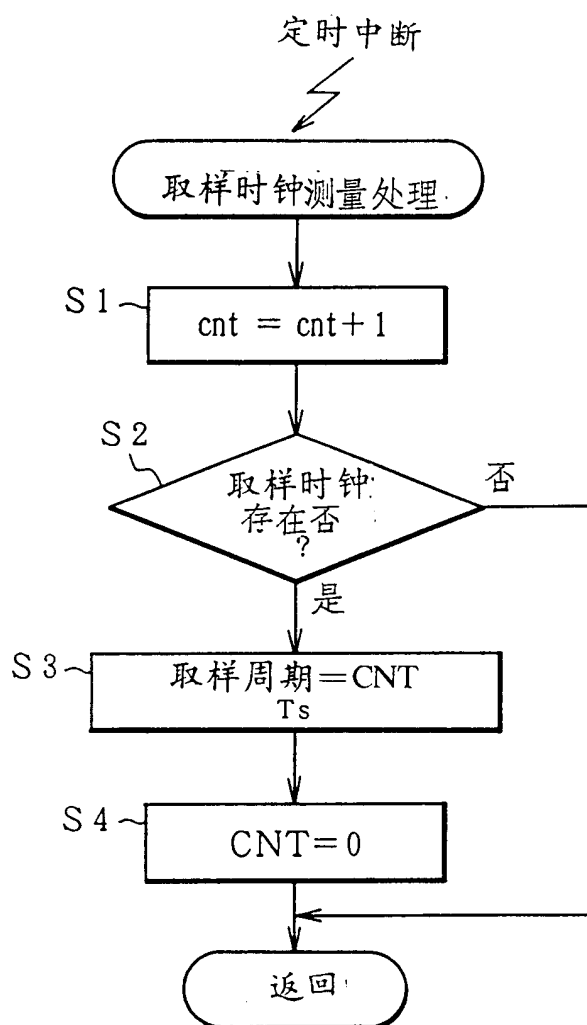


图. 28

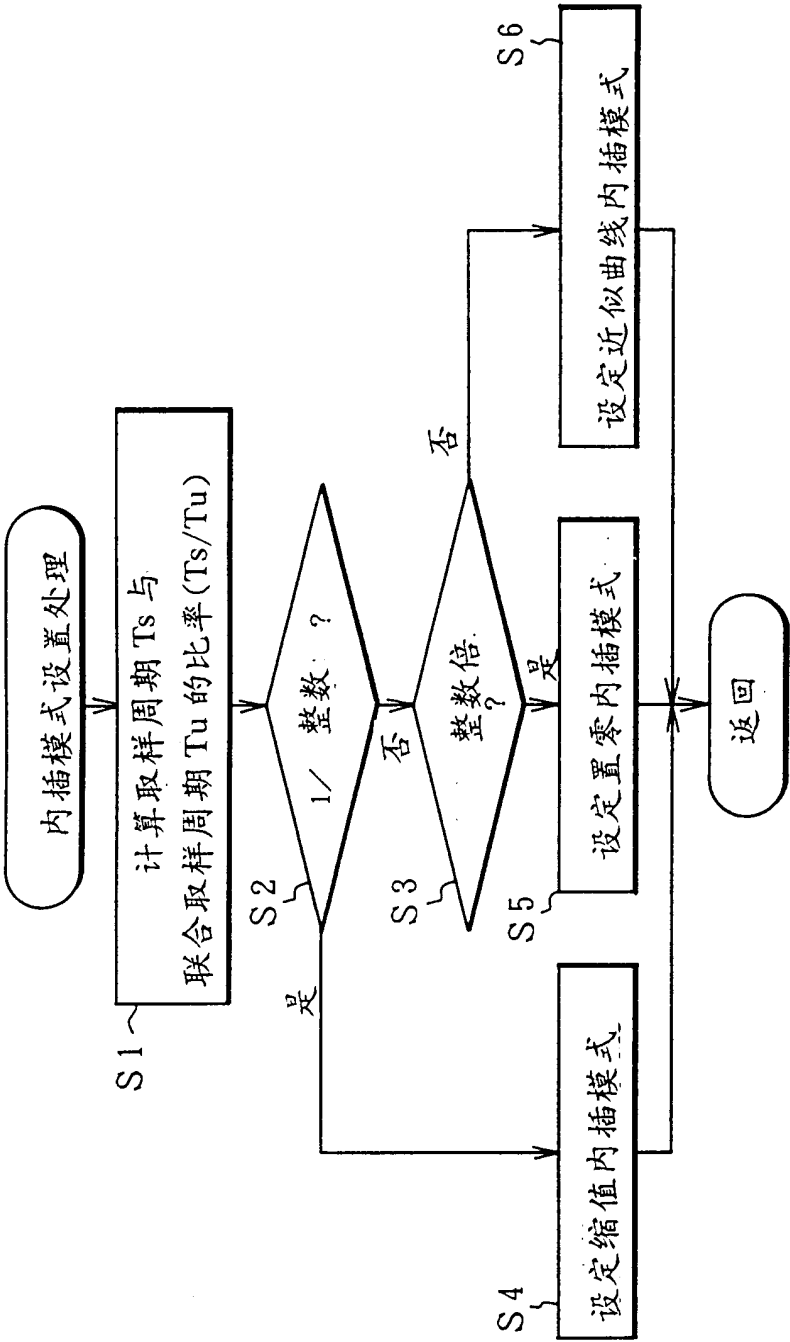


图. 2 9

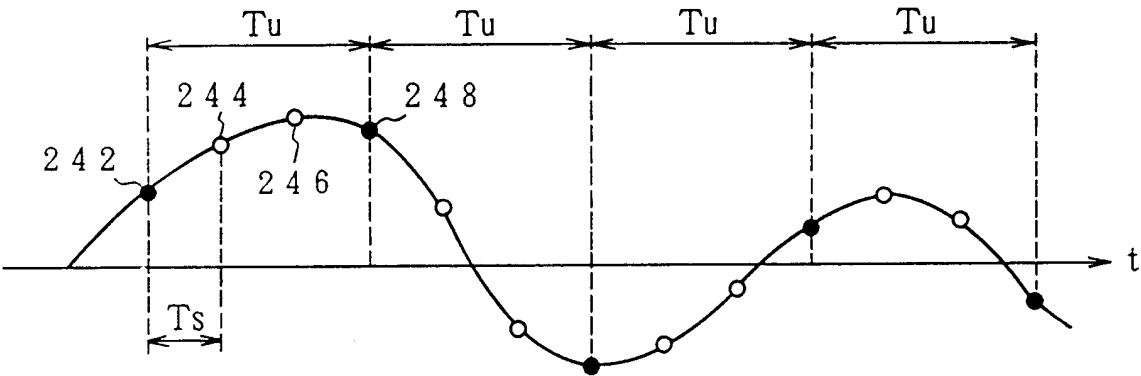


图. 3 0

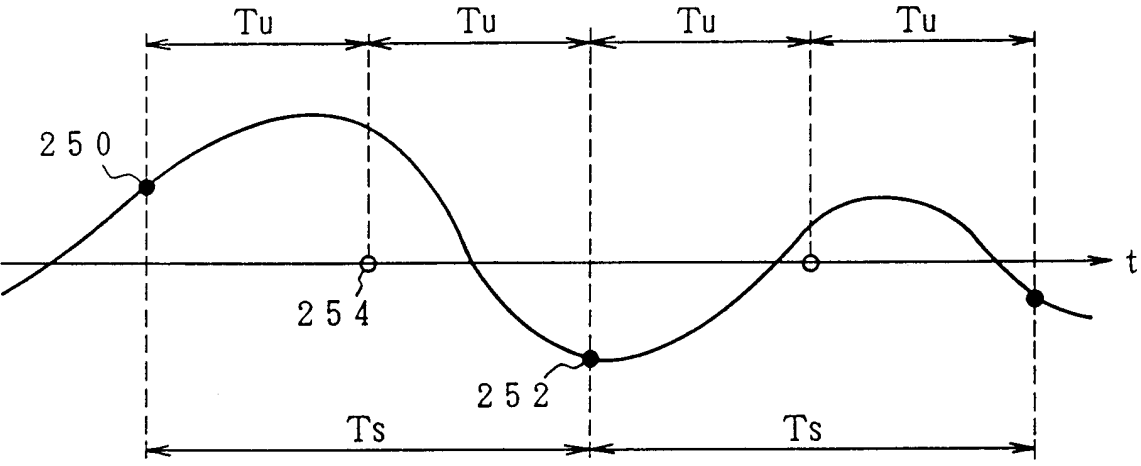


图. 3 1

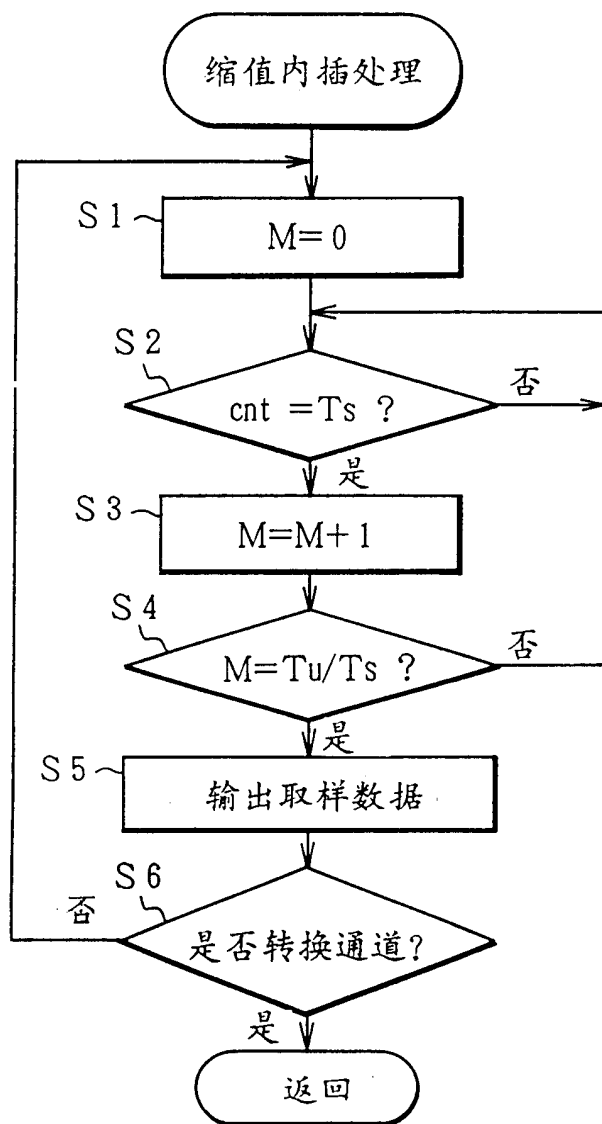


图. 3 2

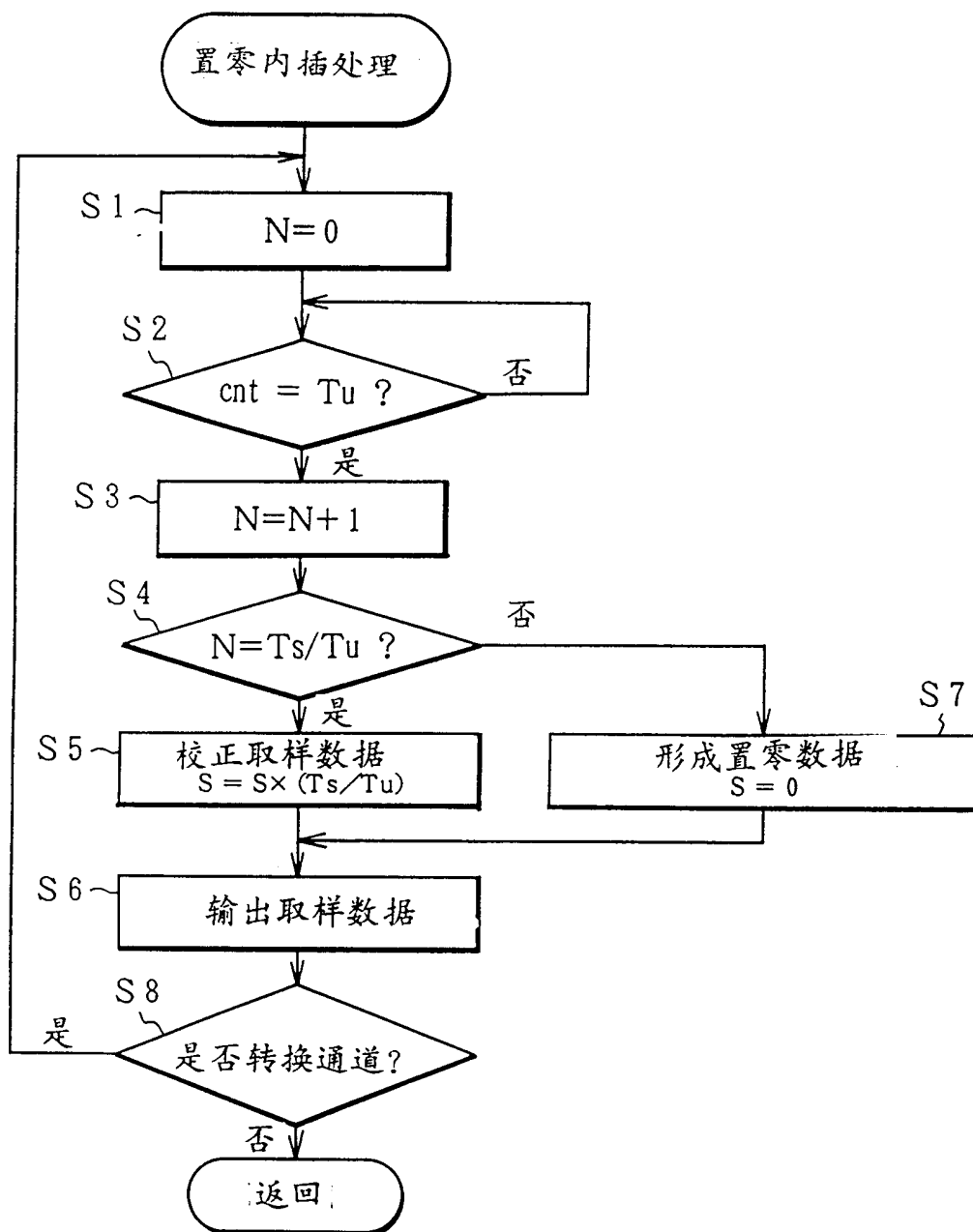


图. 3 3

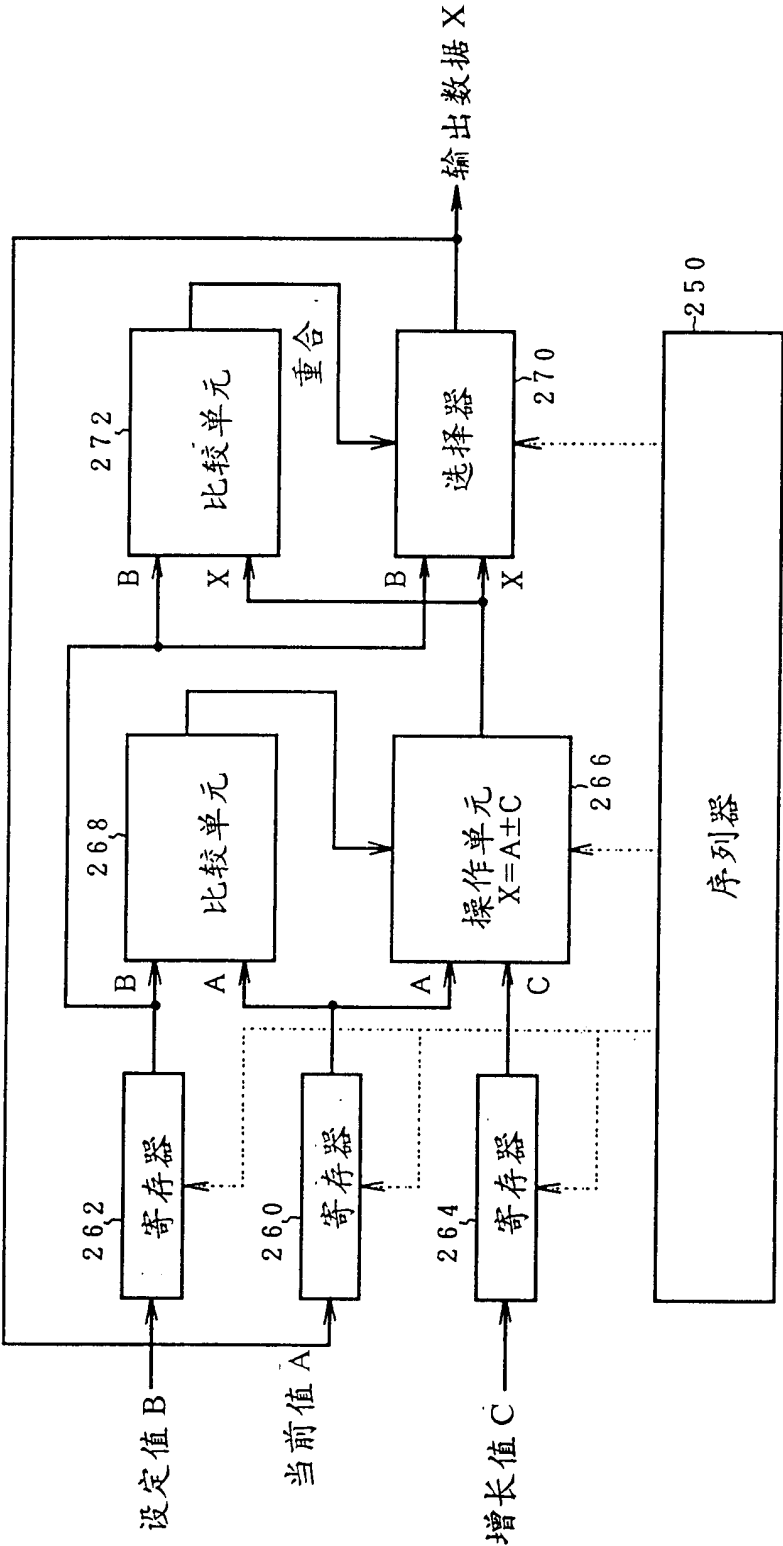


图. 3 4

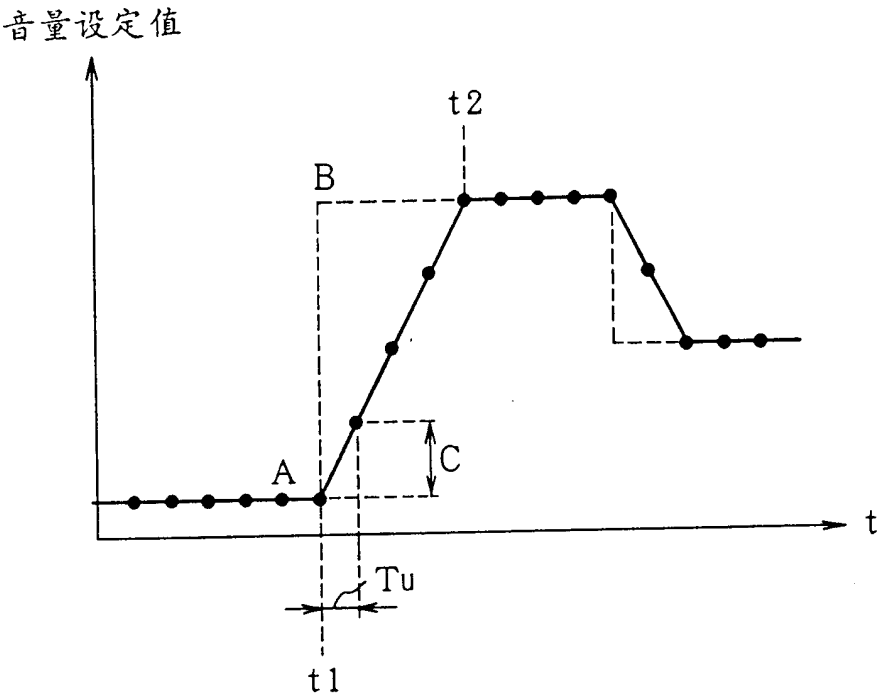


图. 3 5

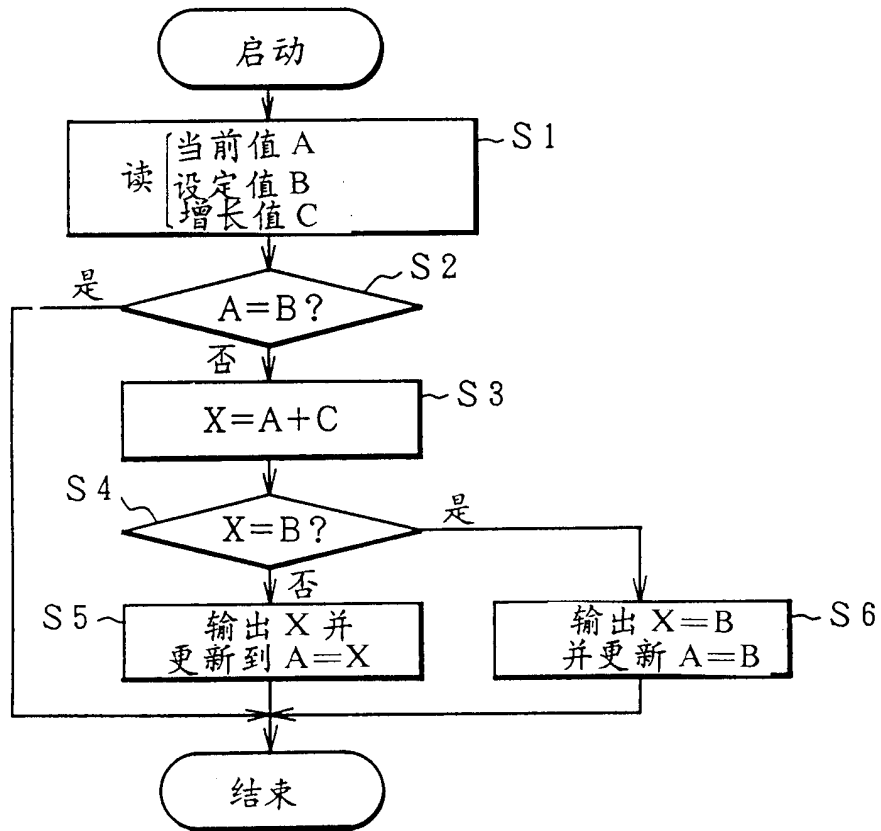
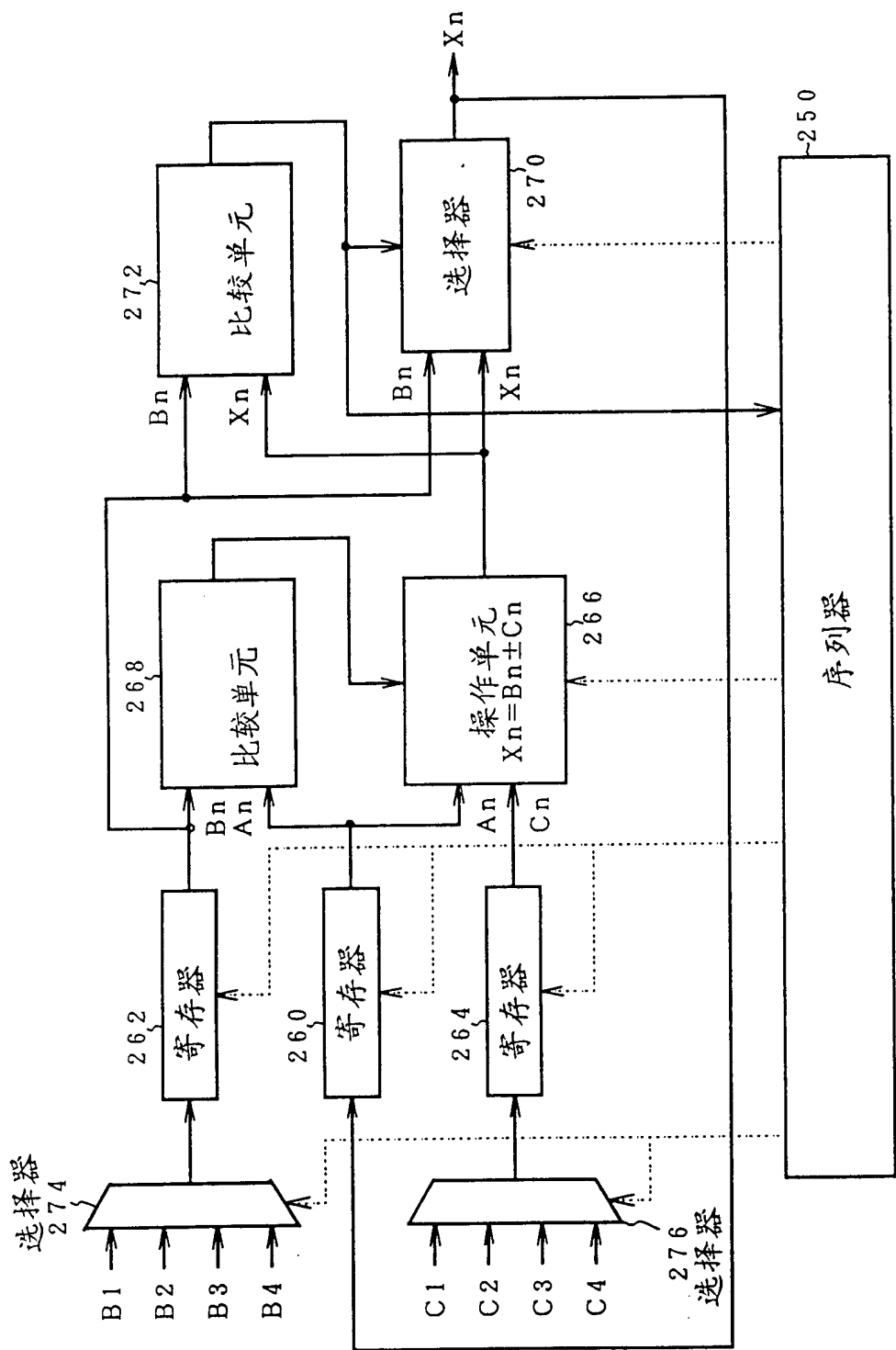


图. 36



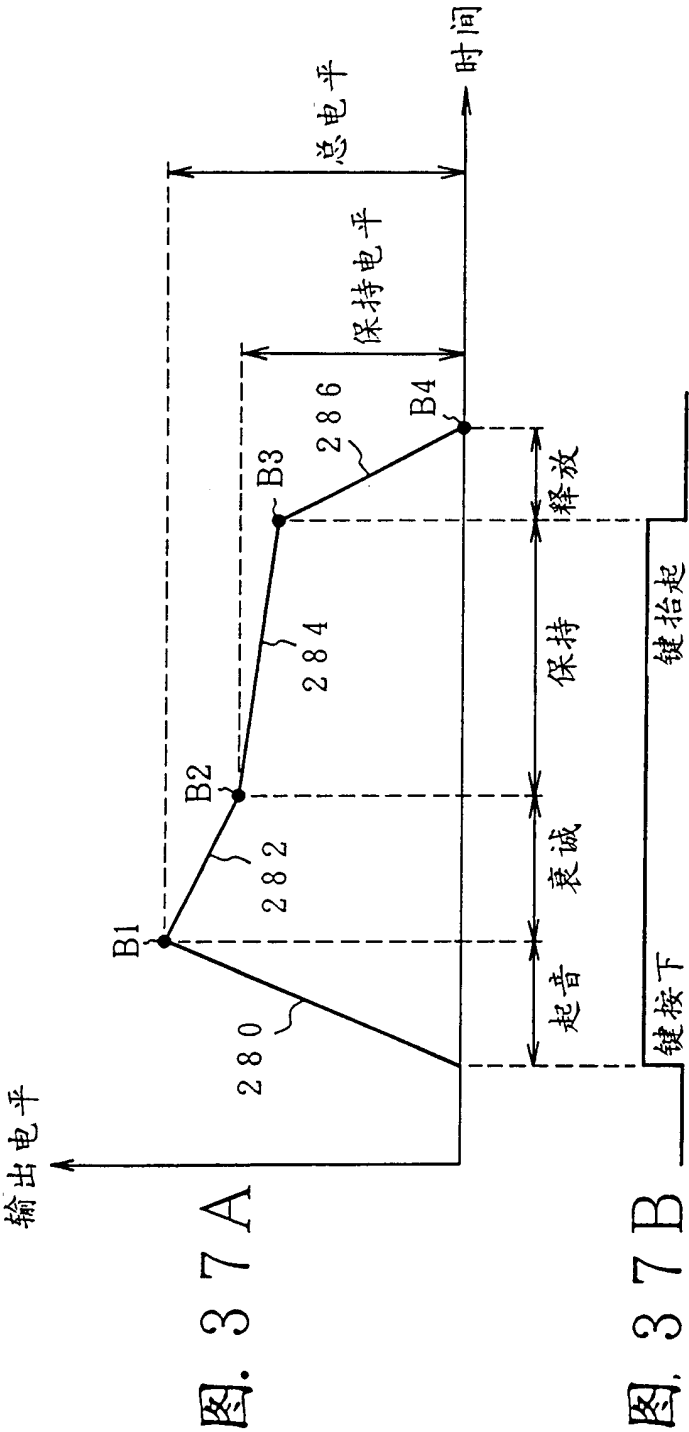


图. 3 8

