

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 10 月 11 日(11.10.2012)



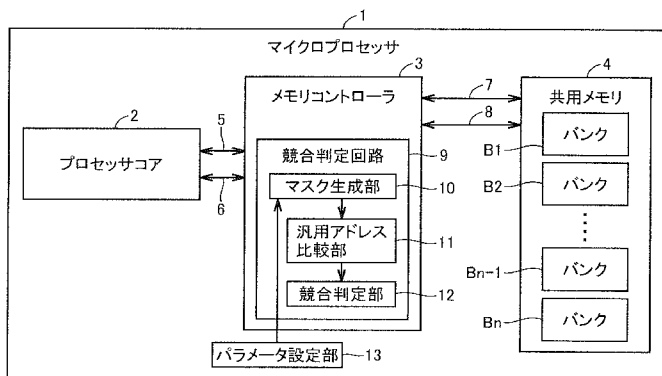
(10) 国際公開番号
WO 2012/137599 A1

- (51) 国際特許分類:
G06F 12/06 (2006.01)
- (21) 国際出願番号: PCT/JP2012/057097
- (22) 国際出願日: 2012 年 3 月 21 日(21.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-083564 2011 年 4 月 5 日(05.04.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ルネサスエレクトロニクス株式会社 (RENESAS ELECTRONICS CORPORATION) [JP/JP]; 〒2118668 神奈川県川崎市中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 関 誠司 (SEKI, Seiji) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

【図1】



- 1 MICROPROCESSOR
2 PROCESSOR CORE
3 MEMORY CONTROLLER
4 SHARED MEMORY
9 CONFLICT ASSESSMENT CIRCUIT
10 MASK GENERATION UNIT
11 UNIVERSAL ADDRESS COMPARISON UNIT
12 CONFLICT ASSESSMENT UNIT
13 PARAMETER SETTING UNIT
B1, B2, Bn-1, Bn BANK

(57) Abstract: In this microprocessor (1), Y-bit signals for address selection of each of an instruction address signal (CA) and a data address signal (DA) are masked, and X-bit signals for bank selection of the instruction address signal (CA) and the data address signal (DA) are compared. As a result, if the signals do not match, the two addresses selected by the address signals (CA and DA) are accessed in parallel, whereas if the signals match, the selected two addresses are accessed in order, one at a time. Therefore, even if the number of banks or the bank capacity of shared memory (4) is modified, it is not necessary to newly design a conflict assessment circuit (9).

(57) 要約: このマイクロプロセッサ (1) では、命令アドレス信号 (CA) およびデータアドレス信号 (DA) の各々のアドレス選択用の Y ビットの信号をマスクし、命令アドレス信号 (CA) およびデータアドレス信号 (DA) のバンク選択用の X ビットの信号を比較する。その結果、両者が一致しない場合は、アドレス信号 (CA, DA) によって選択された 2 つのアドレスに並列にアクセスし、両者が一致する場合は、選択された 2 つのアドレスに 1 つずつ順番にアクセスする。したがって、共用メモリ

(4) のバンク数やバンク容量が変更されても競合判定回路 (9) を新たに設計する必要が無い。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は半導体装置に関し、特に、命令アクセスとデータアクセスを並列に行なう半導体装置に関する。

背景技術

[0002] 従来より、複数のバンクに分割された共用メモリを備え、命令アドレス信号とデータアドレス信号によって選択された2つのバンクの2つのアドレスに並列にアクセスするマイクロプロセッサがある。このマイクロプロセッサでは、1つのバンクの2つのアドレスに並列にアクセスすることはできない。このため、同じバンクに対して命令アクセスとデータアクセスが競合しているか否かを判定する競合判定回路が設けられ、競合する場合はアクセス要求が調停される（たとえば、特開2001-43180号公報（特許文献1）参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2001-43180号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、従来のマイクロプロセッサでは、共用メモリのバンク数やバンク容量が変更される毎に競合判定回路を設計し直す必要があったので、設計コストが高くなるという問題があった。

[0005] それゆえに、この発明の主たる目的は、設計コストが低い半導体装置を提供することである。

課題を解決するための手段

[0006] この発明に係る半導体装置は、複数のバンクに分割され、各バンクが複数のアドレスを含む共用メモリと、命令アドレス信号に従って複数のバンクの

うちの選択されたバンクに属する複数のアドレスのうちの選択されたアドレスにアクセスするとともに、データアドレス信号に従って複数のバンクのうちの選択されたバンクに属する複数のアドレスのうちの選択されたアドレスにアクセスするメモリコントローラとを備えたものである。命令アドレス信号およびデータアドレス信号の各々は、各バンクに予め割り当てられた X ビット（ただし、 X は2以上の整数である）の第1の信号と、各バンクの各アドレスに予め割り当てられた Y ビット（ただし、 Y は2以上の整数である）の第2の信号とを含む。メモリコントローラは、 Y ビットの第2の信号をマスクするためのマスク情報に基き、命令アドレス信号およびデータアドレス信号の各々の Y ビットの第2の信号をマスクして、命令アドレス信号の X ビットの第1の信号とデータアドレス信号の X ビットの第1の信号とを比較し、両者が一致した場合に一致検出信号を出力するアドレス比較部と、アドレス比較部から一致検出信号が出力されていない場合は、命令アドレス信号によって選択されたアドレスとデータアドレス信号によって選択されたアドレスとに並列にアクセスし、アドレス比較部から一致検出信号が出力されている場合は、命令アドレス信号およびデータアドレス信号のうちのいずれか一方のアドレス信号によって選択されたアドレスにアクセスした後に他方のアドレス信号によって選択されたアドレスにアクセスするアクセス実行部とを含む。

発明の効果

[0007] この発明に係る半導体装置では、マスク情報に基いて命令アドレス信号およびデータアドレス信号のアドレス選択用の Y ビットの第2の信号をマスクし、命令アドレス信号およびデータアドレス信号のバンク選択用の X ビットの第1の信号を比較する。その結果、両者が一致しない場合は、命令アドレス信号およびデータアドレス信号によって選択された2つのアドレスに並列にアクセスし、両者が一致した場合は、選択された2つのアドレスに1つつ順番にアクセスする。したがって、共用メモリのバンク数やバンク容量が変更されても競合判定回路を新たに設計する必要が無いので、設計コストが

低くなる。

図面の簡単な説明

[0008] [図1]この発明の実施の形態1によるマイクロプロセッサの構成を示すブロック図である。

[図2]図1に示したメモリコントローラの構成をより詳細に示すブロック図である。

[図3]図1に示したマイクロプロセッサの動作を示す図である。

[図4]図1に示したマイクロプロセッサの動作を示す他の図である。

[図5]この発明の実施の形態2によるマイクロプロセッサの構成を示すブロック図である。

発明を実施するための形態

[0009] [実施の形態1]

本発明の実施の形態1によるマイクロプロセッサ1は、図1に示すように、プロセッサコア2、メモリコントローラ3、および共用メモリ4を備える。

[0010] 共用メモリ4は、命令とデータを格納するメモリであり、 n 個（ただし、 n は2以上の整数である）のバンク $B_1 \sim B_n$ に分割されている。共用メモリ4は、たとえばMRAM（Magnetoresistive Random Access Memory）である。この共用メモリ4では、バンク $B_1 \sim B_n$ のうちの所望の2つのバンク B に並列にアクセスして、命令とデータを並列に書込または読出することが可能となっている。同一バンク B 内に命令とデータの両方を格納することも可能である。ただし、同一バンク B へ命令とデータを同時に書込または読出することはできない。そのため命令アクセスとデータアクセスの競合判定をメモリコントローラ3で行ない、競合時は一方のアクセスを待たせて2つのアクセスを1つずつ順番に行なわせる。

[0011] プロセッサコア2とメモリコントローラ3の間には、命令バス5とデータバス6が並列接続されている。命令バス5は、プロセッサコア2が共用メモリ4に対して命令を書込または読出する際に使用される。データバス6は、

プロセッサコア 2 が共用メモリ 4 に対してデータを書込または読出する際に使用される。

[0012] また、メモリコントローラ 3 と共用メモリ 4 の間には、命令メモリバス 7 とデータメモリバス 8 が並列接続されている。命令メモリバス 7 は、プロセッサコア 2 の命令アクセスに応答して、メモリコントローラ 3 が共用メモリ 4 にアクセスする際に使用される。データメモリバス 8 は、プロセッサコア 2 のデータアクセスに応答して、メモリコントローラ 3 が共用メモリ 4 にアクセスする際に使用される。

[0013] メモリコントローラ 3 は競合判定回路 9 を含み、競合判定回路 9 はマスク生成部 10、汎用アドレス比較部 11、および競合判定部 12 を含む。また、マスク生成部 10 に対応してパラメータ設定部 13 が設けられている。

[0014] 競合判定回路 9 は、プロセッサコア 2 が共用メモリ 4 に対して、同一バンクに命令とデータのアクセスを同時に要求したか否かを判定する。パラメータ設定部 13 は、共用メモリ 4 の構成に従い、共用メモリ 4 の 1 バンク当たりのバンク容量を示す情報をマスク生成部 10 へ与える。パラメータ設定部 13 からマスク生成部 10 に情報を与える方法としては、パラメータ設定部 13 とマスク生成部 10 の間の複数本の信号線の各々の論理レベルを固定する方法や、レジスタ設定により与える方法がある。

[0015] マスク生成部 10 は、パラメータ設定部 13 からの情報に基づいて、競合判定を行なうアドレス比較部分のマスク情報 M を生成する。汎用アドレス比較部 11 は、命令バス 5 からの命令アドレス信号 C A、データバス 6 からのデータアドレス信号 D A、マスク生成部 10 からのマスク情報 M に基いて、同一バンク B のアドレスにアクセスしているか否かを判定する。

[0016] 競合判定部 12 は、命令バス 5 からの命令リクエスト、データバス 6 からのデータリクエスト、汎用アドレス比較部 11 のアドレス比較結果から、同一バンク B にアクセス要求があるか否かを判定する。

[0017] 図 2 は、競合判定回路 9 と、その周辺回路の接続関係をより詳細に示すブロック図である。図 2 において、メモリコントローラ 3 には、メモリ I/F

部 15 およびコア 1 / F 部 16 が設けられる。メモリ 1 / F 部 15 は、メモリコントローラ 3 と共用メモリ 4 の間の命令メモリバス 7 およびデータメモリバス 8 の制御を行なう I / F ブロックである。メモリ 1 / F 部 15 は、同一バンクに対して命令とデータのアクセス競合が発生した場合、一方のアクセスリクエストのアサートを抑止して待たせ、2つのアクセスを1つずつ順番に実行させる。

[0018] コア 1 / F 部 16 は、プロセッサコア 2 とメモリコントローラ 3 の間の命令バス 5、データバス 6 の制御を行なう I / F ブロックである。コア 1 / F 部 16 は、同一バンクに対して命令とデータのアクセス競合が発生した場合、一方のアクセスを待たせ、2つのアクセスを1つずつ順番に実行させる。

[0019] 次に、動作について説明する。共用メモリ 4 が 8 個（すなわち $n = 8$ ）のバンク B 1 ~ B 8 に分割されており、1バンク当たりのメモリ容量（バンク容量）が 1 K バイトである場合について説明する。この場合、各バンクは 2^{10} 個のアドレスを含む。各バンクには 3 ビットのアドレス信号が予め割り当てられ、各バンクの各アドレスには 10 ビットのアドレス信号が予め割り当てられている。13 ビットのアドレス信号のうちの上位 3 ビットのアドレス信号によって 8 個のバンク B 1 ~ B 8 のうちのいずれか 1 つのバンクが選択される。また、13 ビットのアドレス信号のうちの下位 10 ビットのアドレス信号によって、上位 3 ビットのアドレス信号によって選択されたバンクに属する 2^{10} 個のアドレスのうちの 1 つのアドレスが選択される。各アドレスには、1 バイト（8 ビット）のデータが格納される。

[0020] この場合、共用メモリ 4 のバンク容量を示す情報をパラメータ設定部 13 に設定する。ここでは、共用メモリ 4 のバンク容量は 1 K バイト（1024 バイト）であるため、「100 0000 0000b」をパラメータ設定部 13 に設定する。パラメータ設定部 13 に設定された情報は、メモリコントローラ 3 に与えられる。バンク容量を示す情報をパラメータ設定部 13 からメモリコントローラ 3 に与える方法としては、たとえば、バンク容量を示す 32 本の信号線 S L [31:0] に対して、1 K バイトの値を固定値で与える方法が採用

される。この場合、メモリ容量を示す情報は、32ビットの信号BC [31:0] からなるデータコードで表わされる。なお、パラメータ設定部13をレジスタで構成し、レジスタ設定によりバンク容量を与えてもよい。

[0021] バンク容量が1 Kバイトであることを示す信号BC [31:0] を受けたマスク生成部10では、図3 (a) に示すように32ビットの信号M [31:0] を含むマスク情報を生成する。たとえば、バンク容量情報BC [31:0] から1差し引いた値を求める回路を実装することにより、図3 (a) に示すようなマスク情報M [31:0] (0000 0000 0000 0000 0000 0011 11 11 1111b) を生成することができる。マスク情報M [31:0] において値が「1」のビットはマスクすることを示しており、値が「0」のビットはマスクしないことを示している。よって、バンク容量が1 Kバイトである場合は、マスク情報M [9:0] に対応する下位の10ビットがマスク対象となる。

[0022] プロセッサコア2において命令アドレス信号CA [12:0] (0 0000 111 0000b) を含む命令アクセスとデータアドレス信号DA [12:0] (0 0111 0000 1111b) を含むデータアクセスとが同時に発生した場合、汎用アドレス比較部11では、図3 (b) に示すようにマスク情報M [31:0] を用いてアドレス比較を行なう。マスク情報M [9:0] に対応する下位の10ビットがマスク対象となるため、アドレス比較対象は、命令アドレス信号CA [12:10] とデータアドレス信号DA [12:10] の3ビットになる。

[0023] 図3 (b) においては、命令アドレス信号CA [12:10] (000b) とデータアドレス信号DA [12:10] (001b) とが比較され、それらが不一致であるため、汎用アドレス比較部11が出力するアドレス比較結果は不一致(0b)となる。なお、命令アドレス信号CA [12:10] とデータアドレス信号DA [12:10] が一致するケースでは、汎用アドレス比較部11が出力するアドレス比較結果は一致(1b)となる。

[0024] プロセッサコア2によって命令アクセスとデータアクセスが同時に発生し

た場合、競合判定部 12 では、図 3 (c) に示すようにアドレス比較結果を用いて競合判定を行なう。命令アクセスとデータアクセスが同時に発生した場合は、命令リクエスト CR と、データリクエスト DR の値がともに「1 b」となり、アドレス比較結果の値が「1 b」であれば判定結果は一致 (1 b) となり、アドレス比較結果の値が「0 b」であれば判定結果は不一致 (0 b) となる。図 3 (c) においては、アドレス比較結果は不一致 (0 b) であるため、判定結果は不一致 (0 b) となる。

[0025] 以上のように、バンク容量が 1 K バイトのバンクを 8 個備えた共用メモリ 4 に対して、メモリコントローラ 3 は命令とデータのアクセス競合の有無を判定することができる。

[0026] 次に、共用メモリ 4 が 4 個 (すなわち $n = 4$) のバンク B 1 ~ B 4 に分割されており、1 バンク当たりのメモリ容量 (バンク容量) が 2 K バイトである場合について説明する。この場合、各バンクは 2^{11} 個のアドレスを含む。各バンクには 2 ビットのアドレス信号が予め割り当てられ、各バンクの各アドレスには予め 11 ビットのアドレス信号が予め割り当てられている。13 ビットのアドレス信号のうちの上位 2 ビットのアドレス信号によって 4 個のバンク B 1 ~ B 4 のうちのいずれか 1 つのバンクが選択される。また、13 ビットのアドレス信号のうちの下位 11 ビットのアドレス信号によって、上位 2 ビットのアドレス信号によって選択されたバンクに属する 2^{11} 個のアドレスのうちの 1 つのアドレスが選択される。各アドレスには、1 バイト (8 ビット) のデータが格納される。

[0027] この場合、共用メモリ 4 のバンク容量を示す情報をパラメータ設定部 13 に設定する。ここでは、共用メモリ 4 のバンク容量は 2 K バイト (2048 バイト) であるため、「1000 0000 0000b」をパラメータ設定部 13 に設定する。

[0028] バンク容量が 2 K バイトであることを示す信号 BC [31 : 0] を受けたマスク生成部 10 では、図 4 (a) に示すように、32 ビットの信号 M [31 : 0] を含むマスク情報を生成する。たとえば、バンク容量情報 BC [3

1 : 0] から 1 差し引いた値を求める回路を実装することにより、図 4 (a) に示すようなマスク情報 M [31 : 0] (0000 0000 0000 0000 0000 0111 1111 1111b) を生成することができる。マスク情報 M [31:0] において値が「1」のビットはマスクすることを示しており、値が「0」のビットはマスクしないことを示している。よって、バンク容量が 2 K バイトである場合は、マスク情報 M [10:0] に対応する下位の 11 ビットがマスク対象となる。

[0029] プロセッサコア 2 によって命令アドレス信号 CA [12:0] (0 0000 111 0000b) を含む命令アクセスと、データアドレス信号 DA [12:0] (0 0111 0000 1111b) を含むデータアクセスの両方が同時に発生した場合、汎用アドレス比較部 11 では、図 4 (b) に示すようにマスク情報 M [31:0] を用いてアドレス比較を行なう。マスク情報 M [10:0] がマスク対象となるため、アドレス比較対象は命令アドレス信号 CA [12:11] とデータアドレス信号 DA [12:11] の 2 ビットになる。

[0030] 図 4 (b) においては、命令アドレス信号 CA [12:11] (00b) とデータアドレス信号 DA [12:11] (00b) を比較した結果が一致であるため、汎用アドレス比較部 11 が出力するアドレス比較結果は一致 (1b) となる。なお、命令アドレス信号 CA [12:11] とデータアドレス信号 DA [12:11] の比較が不一致となるケースでは、汎用アドレス比較部 11 が出力するアドレス比較結果は不一致 (0b) となる。

[0031] プロセッサコア 2 によって命令アクセスとデータアクセスが同時に発生した場合、競合判定部 12 では、図 4 (c) に示すように、アドレス比較結果を用いて競合判定を行なう。命令アクセスとデータアクセスが同時に発生した場合は、命令リクエスト CR と、データリクエスト DR の値がともに「1b」となり、アドレス比較結果の値が「1b」であれば判定結果は一致 (1b) となり、アドレス比較結果の値が「0b」であれば判定結果は不一致 (0b) となる。図 4 (c) においては、アドレス比較結果は一致 (1b) であるため、判定結果は一致 (1b) となる。

[0032] 判定結果は、メモリ I/P/F 部 15 とコア I/F 部 16 に入力される。判定結果が一致（1b）となり競合が発生した場合、メモリ I/F 部 15 では命令メモリリクエストとデータメモリリクエストの一方のアクセスリクエストのアサートを抑止して待たせ、命令アクセスとデータアクセスを1つずつ順番に行なわせる。また、コア I/F 部 16 では、命令リクエストとデータリクエストの一方のアクセスを待たせる処理を実施し、命令アクセスとデータアクセスが1つずつ順番に行なわれるように制御する。

[0033] 共用メモリ 4 では、命令アドレス信号 CA によって選択されたバンクの選択されたアドレスに命令の書込が行なわれるか、そのアドレスから命令が読み出される。また、データアドレス信号 DA によって選択されたバンクの選択されたアドレスにデータの書込が行なわれるか、そのアドレスからデータが読み出される。

[0034] 以上のように、従来では、共用メモリ 4 のバンク容量やバンク数が変わる度に、アドレス比較を行なうビット位置やビット幅を変更して競合判定回路 9 を再設計および再検証していた。これに対して本実施の形態 1 では、パラメータ設定部 13 からメモリコントローラ 3 にバンク容量を示す情報を与えることによりスケラブルに競合判定を行なうので、共用メモリ 4 の構成が変更される毎に競合判定回路 9 を変更せずに済む。したがって、メモリコントローラ 3 を I/P コア（Intellectual Property Core）として利用することができ、設計検証コストを抑えることができる。

[0035] [実施の形態 2]

図 5 は、この発明の実施の形態 2 によるマイクロプロセッサの構成を示すブロック図であって、図 2 と対比される図である。図 5 において、このマイクロプロセッサが図 2 のマイクロプロセッサと異なる点は、競合判定回路 9 からマスク生成部 10 が除去され、パラメータ設定部 13 から汎用アドレス比較部 11 にマスク情報が直接与えられる点である。

[0036] 次に、動作について説明する。共用メモリ 4 が 4 個（すなわち $n=4$ ）のバンク B1～B4 に分割されており、1 バンク当たりのメモリ容量（バンク

容量) が2 Kバイトである場合について説明する。

[0037] 共用メモリ4のバンク容量の情報からマスク情報M [31 : 0] を予め求め、そのマスク情報M [31 : 0] をパラメータ設定部13に設定する。図4(a) ~ (c) で示したように、共用メモリ4のバンク容量が2 Kバイトであるため、マスク情報M [31 : 0] は「0000 0000 0000 0000 0000 0111 1111 1111b」となる。パラメータ設定部13に設定されたマスク情報M [31 : 0] は、汎用アドレス比較部11に与えられる。汎用アドレス比較部11では、マスク情報M [10 : 0] がマスク対象となり、アドレス比較対象は命令アドレス信号CA [12 : 11] とデータアドレス信号DA [12 : 11] の2ビットになる。他の構成および動作は実施の形態1と同じであるので、その説明は繰り返さない。

[0038] この実施の形態2では、実施の形態1と同じ効果が得られる他、パラメータ設定部13がマスク情報を与えるので、マスク生成部10のハードウェア回路を削減することができ、ハードウェア実装コストや設計検証コストを抑えることができる。

[0039] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0040] 1 マイクロプロセッサ、2 プロセッサコア、3 メモリコントローラ、4 共用メモリ、5 命令バス、6 データバス、7 命令メモリバス、8 データメモリバス、9 競合判定回路、10 マスク生成部、11 汎用アドレス比較部、12 競合判定部、13 パラメータ設定部、15 メモリI/F部、16 コアI/F部、B1 ~ Bn バンク。

請求の範囲

[請求項1]

複数のバンク（B 1～B n）に分割され、各バンクが複数のアドレスを含む共用メモリ（4）と、

命令アドレス信号に従って前記複数のバンク（B 1～B n）のうちの選択されたバンクに属する複数のアドレスのうちの選択されたアドレスにアクセスするとともに、データアドレス信号に従って前記複数のバンク（B 1～B n）のうちの選択されたバンクに属する複数のアドレスのうちの選択されたアドレスにアクセスするメモリコントローラ（3）とを備え、

前記命令アドレス信号および前記データアドレス信号の各々は、各バンクに予め割り当てられたXビット（ただし、Xは2以上の整数である）の第1の信号と、各バンクの各アドレスに予め割り当てられたYビット（ただし、Yは2以上の整数である）の第2の信号とを含み、

前記メモリコントローラ（3）は、

前記Yビットの第2の信号をマスクするためのマスク情報に基き、前記命令アドレス信号および前記データアドレス信号の各々の前記Yビットの第2の信号をマスクして、前記命令アドレス信号の前記Xビットの第1の信号と前記データアドレス信号の前記Xビットの第1の信号とを比較し、両者が一致した場合に一致検出信号を出力するアドレス比較部（11）と、

前記アドレス比較部（11）から前記一致検出信号が出力されていない場合は、前記命令アドレス信号によって選択されたアドレスと前記データアドレス信号によって選択されたアドレスとに並列にアクセスし、前記アドレス比較部（11）から前記一致検出信号が出力されている場合は、前記命令アドレス信号および前記データアドレス信号のうちのいずれか一方のアドレス信号によって選択されたアドレスにアクセスした後に他方のアドレス信号によって選択されたアドレスに

アクセスするアクセス実行部（１５）とを含む、半導体装置。

[請求項2] さらに、各バンクのメモリ容量を含むバンク情報を設定するための設定部（１３）と、

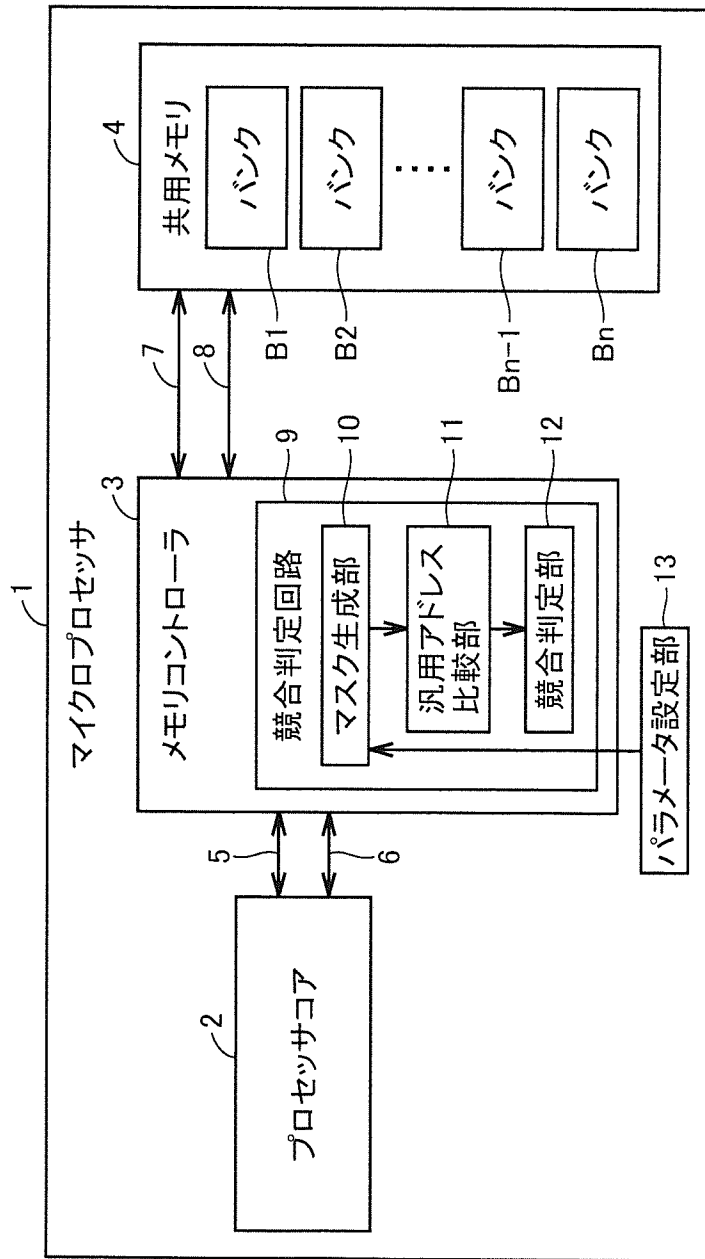
前記設定部（１３）で設定された前記バンク情報に基いて前記マスク情報を生成するマスク生成部（１０）とを備え、

前記アドレス比較部（１１）は、前記マスク生成部（１０）で生成された前記マスク情報に基いて、前記命令アドレス信号および前記データアドレス信号の各々の前記Ｙビットの第２の信号をマスクする、請求項１に記載の半導体装置。

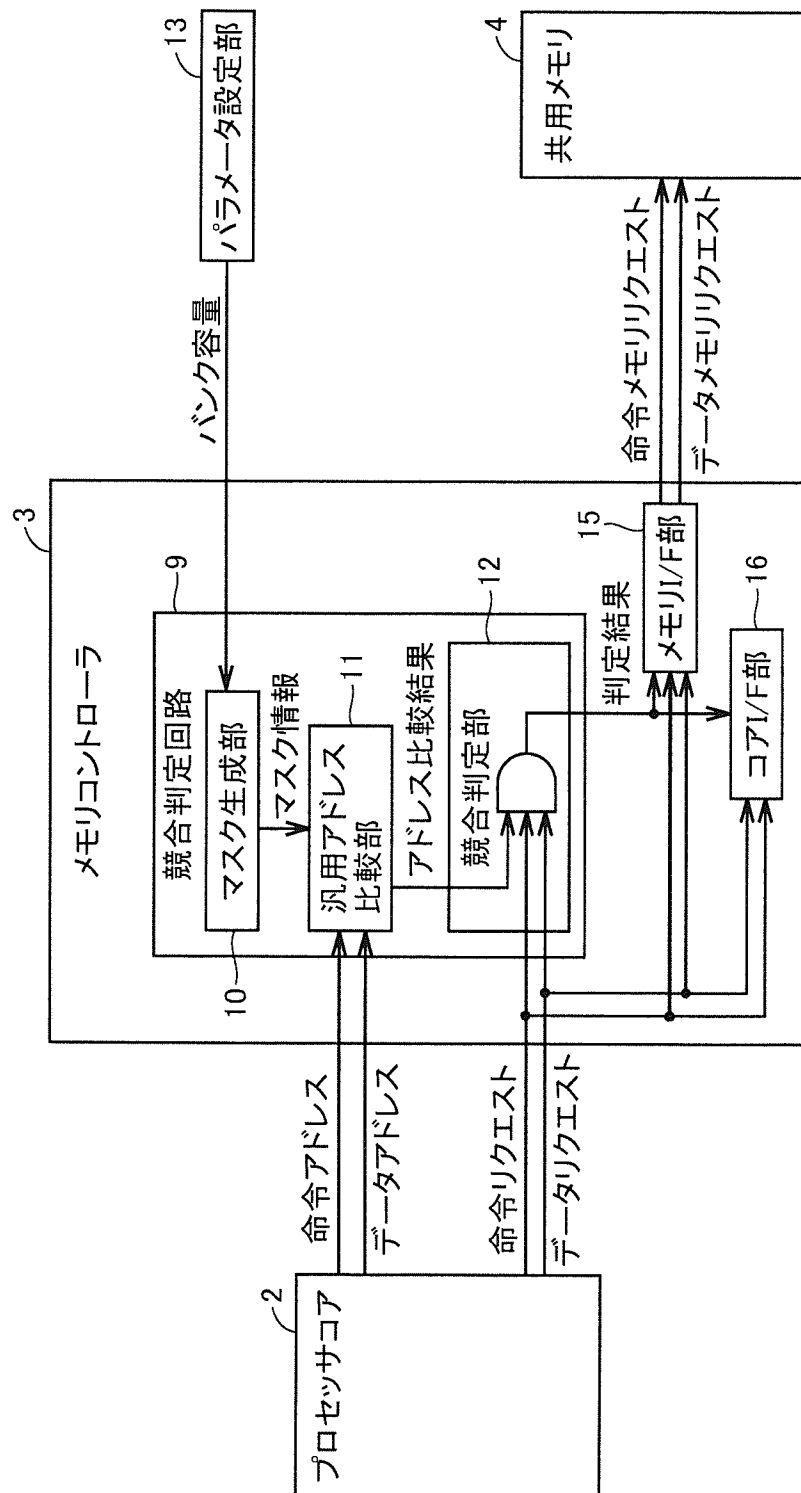
[請求項3] 前記マスク生成部（１０）は、前記設定部（１３）で設定された前記バンク情報に含まれる各バンクのメモリ容量から１だけ減算して前記マスク情報を生成する、請求項２に記載の半導体装置。

[請求項4] さらに、前記マスク情報を設定するための設定部（１３）を備え、
前記アドレス比較部（１１）は、前記設定部（１３）で設定された前記マスク情報に基いて、前記命令アドレス信号および前記データアドレス信号の各々の前記Ｙビットの第２の信号をマスクする、請求項１に記載の半導体装置。

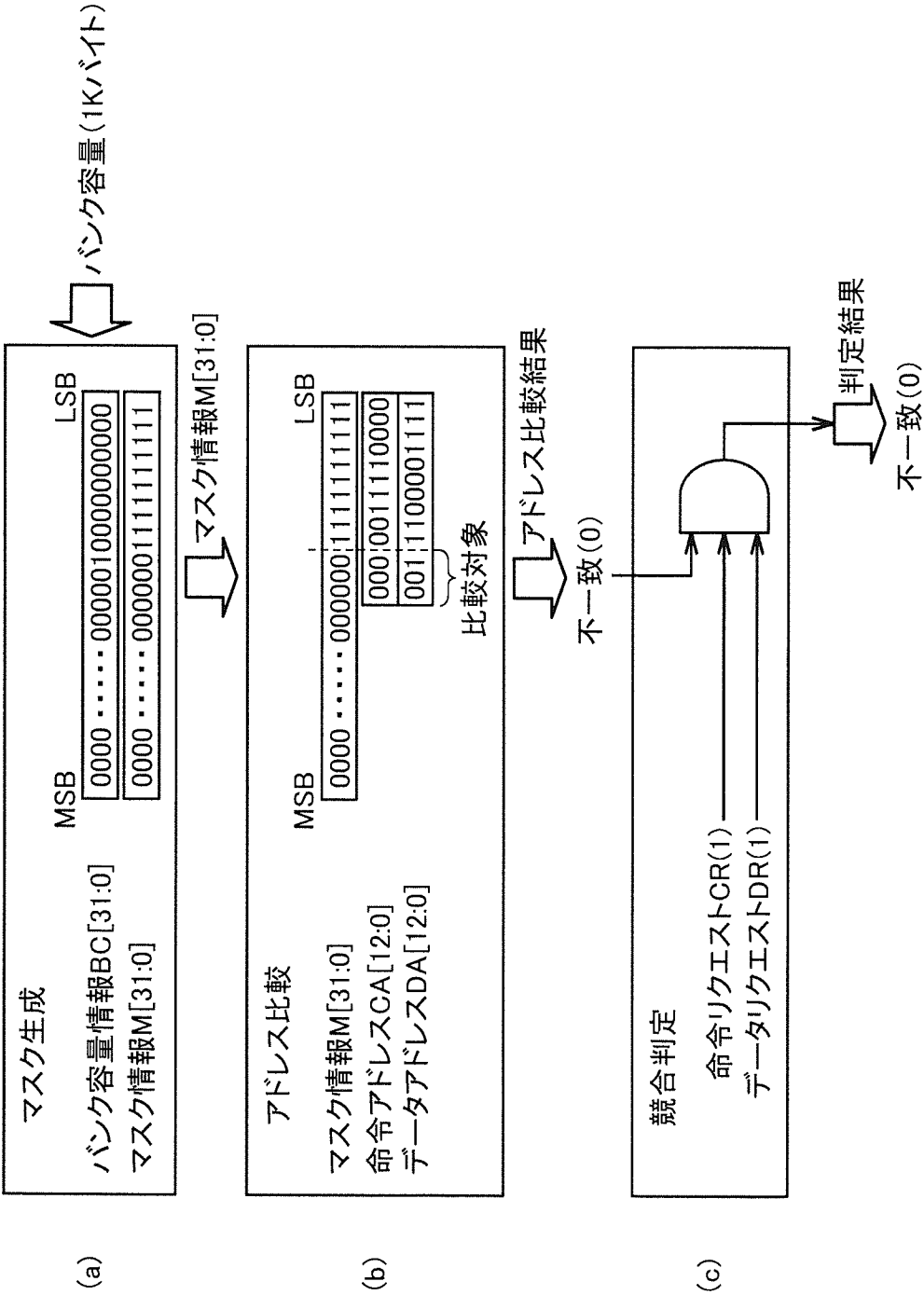
[図1]



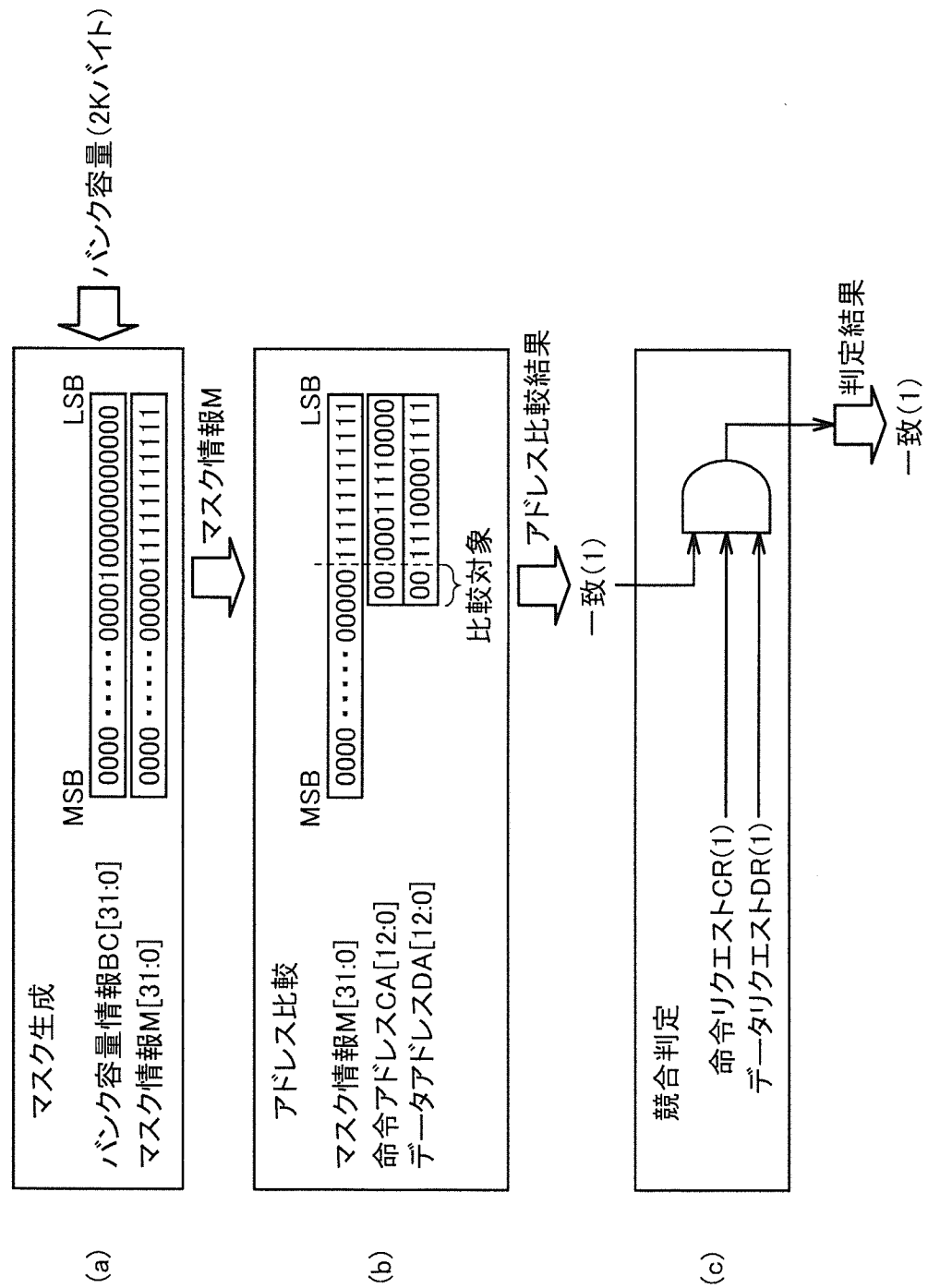
[図2]



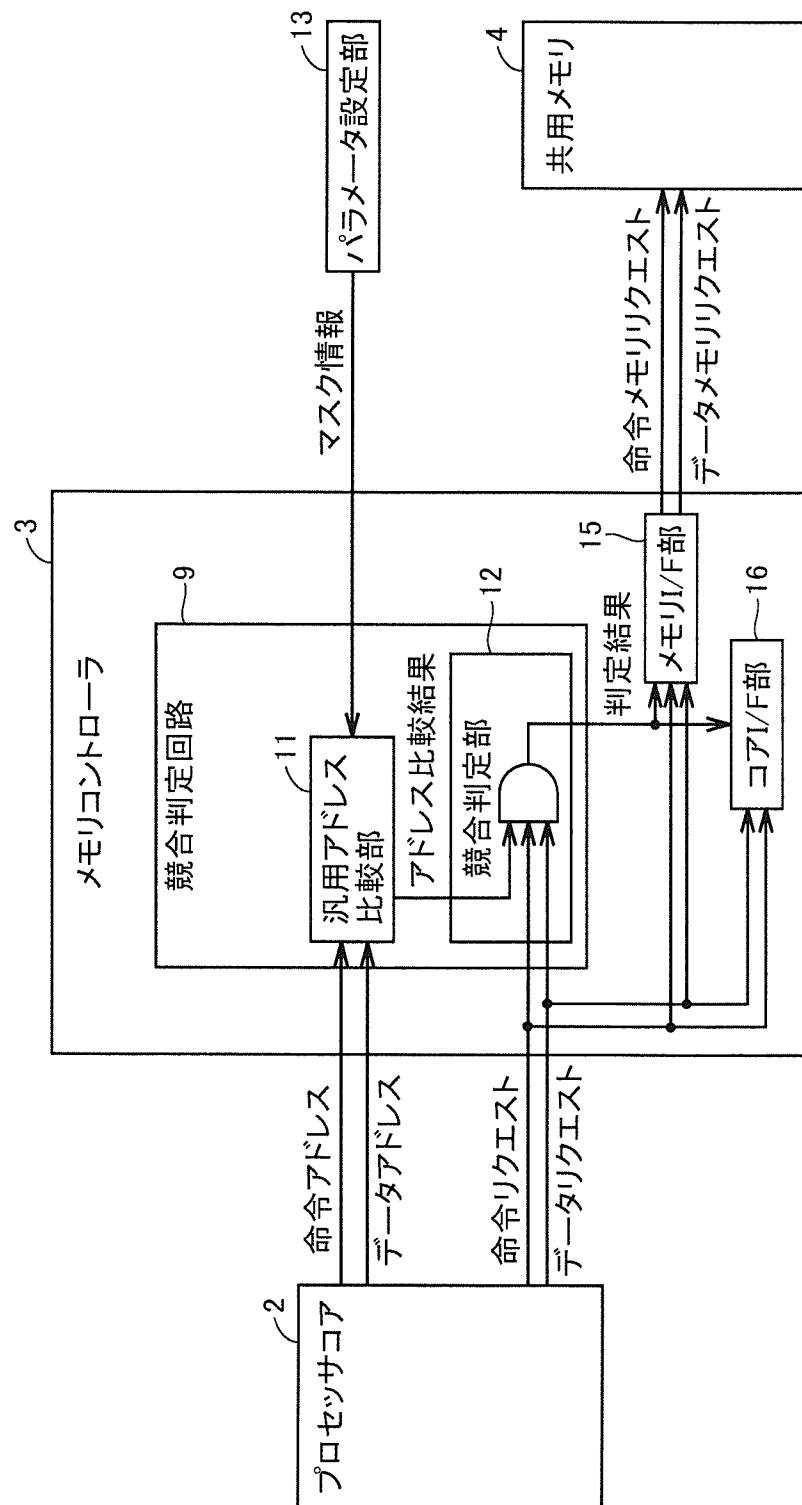
[図3]



[図4]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057097

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/06 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-131943 A (Hitachi, Ltd.), 09 May 2003 (09.05.2003), paragraphs [0026] to [0049]; fig. 3 to 5 (Family: none)	1-4
A	JP 2001-043180 A (Mitsubishi Electric Corp.), 16 February 2001 (16.02.2001), paragraphs [0040] to [0066]; fig. 1 & US 6584528 B1	1-4
A	JP 2001-256109 A (Hewlett-Packard Co.), 21 September 2001 (21.09.2001), paragraphs [0012] to [0019] & US 6704820 B1	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 May, 2012 (17.05.12)

Date of mailing of the international search report
29 May, 2012 (29.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/057097

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-194581 A (Fujitsu Ltd.), 14 July 2000 (14.07.2000), claims 1 to 2, 7 & US 6594782 B1	1-4
A	JP 6-236353 A (International Business Machines Corp.), 23 August 1994 (23.08.1994), abstract & US 5758120 A & EP 605871 A3 & DE 69322244 C & DE 69322244 D & CA 2107056 A & CA 2107056 A1	1-4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F12/06 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F12/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-131943 A (株式会社日立製作所) 2003.05.09, 段落 [0026]-[0049], 図 3-5 (ファミリーなし)	1-4
A	JP 2001-043180 A (三菱電機株式会社) 2001.02.16, 段落 [0040]-[0066], 図 1 & US 6584528 B1	1-4
A	JP 2001-256109 A (ヒューレット・パカード・カンパニー) 2001.09.21, 段落[0012]-[0019] & US 6704820 B1	1-4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 9 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

岩間 直純

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 6 5

5 U

9 2 8 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-194581 A (富士通株式会社) 2000.07.14, 請求項 1-2, 7 & US 6594782 B1	1-4
A	JP 6-236353 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 1994.08.23, 要約 & US 5758120 A & EP 605871 A3 & DE 69322244 C & DE 69322244 D & CA 2107056 A & CA 2107056 A1	1-4