

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4046801号
(P4046801)

(45) 発行日 平成20年2月13日 (2008. 2. 13)

(24) 登録日 平成19年11月30日 (2007. 11. 30)

(51) Int. Cl.

F I

H03G 3/02 (2006.01)

H03G 3/02 A

H03G 3/20 (2006.01)

H03G 3/20 A

請求項の数 8 (全 10 頁)

(21) 出願番号	特願平9-153335	(73) 特許権者	590000248
(22) 出願日	平成9年6月11日 (1997. 6. 11)		コーニンクレッカ フィリップス エレク
(65) 公開番号	特開平10-70424		トロニクス エヌ ヴィ
(43) 公開日	平成10年3月10日 (1998. 3. 10)		オランダ国 5 6 2 1 ベーアー アイン
審査請求日	平成16年6月9日 (2004. 6. 9)		ドーフエン フルーネヴァウツウェッハ
(31) 優先権主張番号	9607446		1
(32) 優先日	平成8年6月14日 (1996. 6. 14)	(74) 代理人	100147485
(33) 優先権主張国	フランス (FR)		弁理士 杉村 憲司
		(74) 代理人	100086645
			弁理士 岩佐 義幸
		(74) 代理人	100072051
			弁理士 杉村 興作
		(74) 代理人	100089576
			弁理士 富田 典

最終頁に続く

(54) 【発明の名称】 利得制御増幅器及び該増幅器を用いるカメラ

(57) 【特許請求の範囲】

【請求項 1】

アナログ入力電圧を受信するアナログ入力端子と、制御ワードという利得制御用のNビットのワードを受信するデジタル入力端子と、アナログ出力電圧を出力するアナログ出力端子とを有する利得制御増幅器において、当該増幅器は、

当該増幅器のアナログ入力端子を構成する電圧入力端子とN個の電流出力端子を有し、且つ該N個の出力端子の各々にアナログ入力電圧を表す可変成分を有する電流を発生する手段が設けられ、アナログ入力電圧の増幅を制御ワードの値と無関係に直接行うように構成された相互コンダクタンス段と、

N個の制御入力端子を有するとともにN個のスイッチを具え、各スイッチが該N個の制御入力端子の1つに受信される信号により制御され、前記相互コンダクタンス段のN個の電流出力端子の1つの活性化又は不活性化を制御し、該N個の制御入力端子が当該増幅器の制御ワードを受信するデジタル入力端子を構成するスイッチング段と、

N個の電流入力端子と1つの電圧出力端子を有し、該N個の電流入力端子が前記相互コンダクタンスのN個の電流出力端子に接続され、該電圧出力端子が当該増幅器のアナログ出力端子を構成し、そのN個の電流入力端子に受信された電流を表す電圧を供給する電流/電圧変換段と、

を具えたことを特徴とする利得制御増幅器。

【請求項 2】

アナログ入力電圧を受信するアナログ入力端子と、制御ワードという利得制御用のNビッ

10

20

トのワードを受信するデジタル入力端子と、アナログ出力電圧を出力するアナログ出力端子とを有する利得制御増幅器において、当該増幅器は、

N個の出力端子を有し、且つN個の電流源で構成されたバイアス段であって、各電流源の一端が負電源端子に接続され、他端が該N個の出力端子の一つを構成するバイアス段と、当該増幅器のアナログ入力端子を構成する電圧入力端子と、前記バイアス段のN個の出力端子に接続されたN個の電流入力端子と、N個の電流出力端子とを有し、且つN個の相互コンダクタンスモジュールで構成された相互コンダクタンス段であって、各モジュールが当該段の電圧入力端子に接続された電圧入力端子と、当該段の電流入力端子を構成する電流入力端子と、当該段のN個の電流出力端子の一つを構成し、アナログ入力電圧を表す可変成分を有する電流を出力する電流出力端子とを有している相互コンダクタンス段と、N個の制御入力端子と、N個の電流入力端子と、N個の電流出力端子とを有するとともに、N個のスイッチを具えるスイッチング段であって、各スイッチが該N個の制御入力端子の1つに受信された信号により制御され、各スイッチの一端が当該段のN個の電流入力端子の一つを構成し、各スイッチの他端が当該段のN個の電流出力端子の一つを構成し、当該段のN個の電流入力端子が前記相互コンダクタンス段のN個の出力端子に接続され、当該段のN個の制御入力端子が当該増幅器の制御ワードを受信するデジタル入力端子を構成するスイッチング段と、

N個の電流入力端子と一つの電圧出力端子を有し、該N個の電流入力端子が前記スイッチング段のN個の電流出力端子に接続され、該電圧出力端子が当該増幅器のアナログ出力端子を構成し、該N個の電流入力端子に受信された電流を表す電圧を出力する電流／電圧変換段と、

を具えたことを特徴とする利得制御増幅器。

【請求項3】

前記電流／電圧変換段は $R/2R$ 回路網を具え、該回路網内において2つの連続する電流入力端子がRに等しい公称値を有する抵抗を経て相互接続され、制御ワードの最上位ビットにより制御される相互コンダクタンス段の出力端子に接続された電流出力端子がRに等しい公称値を有する抵抗を経て当該増幅器のアナログ出力端子に接続され、制御ワードの最下位ビットにより制御される相互コンダクタンスの出力端子に接続された電流入力端子がRに等しい公称値を有する抵抗を経て負電源端子に接続され、他の電流入力端子の各々が $2R$ に等しい公称値を有する抵抗を経て負電源端子に接続されていることを特徴とする請求項1又は2記載の利得制御増幅器。

【請求項4】

前記バイアス段のすべての電流源が同一の構成を有し、各電流源に、該電流源により供給される電流値を制御ワードの値の関数として制御する制御入力端子が設けられていることを特徴とする請求項2又は3記載の利得制御増幅器。

【請求項5】

各相互コンダクタンスモジュールに、該モジュールに接続された電流源により供給される電流の値に無関係の可変成分を有する電流をその電流出力端子に発生する手段が設けられていることを特徴とする請求項4記載の利得制御増幅器。

【請求項6】

当該増幅器は、1つの出力端子と2つの入力端子を有する比較器を具え、該比較器の一方の入力端子が基準電圧を受信し、他方の入力端子が当該増幅器の出力電圧を受信し、該比較器の出力端子が前記バイアス段の各電流源の制御入力端子に接続されていることを特徴とする請求項5記載の利得制御増幅器。

【請求項7】

当該増幅器は、制御ワードの少なくとも一部分によりアドレスされ、制御ワードの前記部分の組合せに対応する予め計算されたデジタル値をその出力端子に供給する連想メモリを具え、当該増幅器は更に前記連想メモリの出力端子に接続されたデジタル入力端子と前記バイアス段の各電流源の制御入力端子に接続されたアナログ出力端子を有するD/A変換器を具えることを特徴とする請求項5記載の利得制御増幅器。

【請求項 8】

光を検出し、アナログ電子信号に変換する装置と、
前記アナログ電子信号を受信するアナログ信号入力端子と、制御ワードという利得制御用のデジタルワードを受信するデジタル入力端子と、アナログ信号出力端子とを有する増幅器と、
前記増幅器の出力端子に接続されたアナログ入力端子とデジタル出力端子とを有する A / D 変換器と、
前記 A / D 変換器の出力端子に接続された入力端子を有し、制御ワードを前記増幅器に供給するデジタル処理装置とを具えたカメラにおいて、
前記増幅器が請求項 1 ~ 7 の何れかに記載された増幅器であることを特徴とするカメラ。

10

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、アナログ入力電圧を受信するアナログ入力端子と、制御ワードという利得制御用の N ビットのワードを受信するデジタル入力端子と、アナログ出力電圧を出力するアナログ出力端子とを有する利得制御増幅器に関するものである。

【0002】**【従来の技術】**

デジタル制御ワードにより利得制御される増幅器の大部分は制御ワードをアナログ信号に変換する D / A 変換器を具えている。次いでこのアナログ信号を用いてアナログ入力電圧を実際に増幅する増幅段をバイアスする電流源の導通度を制御するか、或いはこのアナログ信号を乗算回路のアナログ入力信号の乗数として使用している。

20

【0003】

従って、これらの利得制御増幅器は 2 つの大きな欠点、即ちこれらの増幅器が具える D / A 変換器のために回路が大型化するとともに、制御ワードの変換において発生する誤りが増幅器の固有の利得倍に倍增される欠点を有する。

【0004】**【発明が解決しようとする課題】**

本発明の目的は、制御ワードがアナログ入力電圧の増幅結果に直接作用する増幅器を提供することによりこれらの欠点を除去することにある。

30

【0005】**【課題を解決するための手段】**

この目的のために、本発明の利得制御増幅器は、
当該増幅器のアナログ入力端子を構成する電圧入力端子と N 個の電流出力端子を有し、該 N 個の出力端子の各々にアナログ入力電圧を表す可変成分を有する電流を発生する手段が設けられた相互コンダクタンス段と、

N 個の制御入力端子を有するとともに N 個のスイッチを具え、各スイッチが該 N 個の制御入力端子の 1 つに受信される信号により制御され、前記相互コンダクタンス段の N 個の電流出力端子の 1 つの活性化又は不活性化を制御し、該 N 個の制御入力端子が当該増幅器の制御ワードを受信するデジタル入力端子を構成するスイッチング段と、

40

N 個の電流入力端子と 1 つの電圧出力端子を有し、該 N 個の電流入力端子が前記相互コンダクタンスの N 個の電流出力端子に接続され、該電圧出力端子が当該増幅器のアナログ出力端子を構成し、その N 個の電流入力端子に受信された電流を表す電圧を出力する電流 / 電圧変換段と、

を具えることを特徴とする。

【0006】

このような増幅器においては、実際の増幅が制御ワードの値と無関係に相互コンダクタンス段において直接行われる。スイッチング段が制御ワードに応答して活性化すべき相互コンダクタンス段の出力端子を直接選択する。アナログ出力電圧は相互コンダクタンス段の出力の線形結合の結果であり、この結合は電流 / 電圧変換段により実現される。この結合

50

の結果は相互コンダクタンス段の活性化された出力の数及び性質の関数、従って制御ワードのデジタル値の関数として変化する。

【 0 0 0 7 】

本発明の一実施例においては、頭書に記載した利得制御増幅器において、当該増幅器は、 N 個の出力端子を有し、且つ N 個の電流源で構成されたバイアス段であって、各電流源の一端が負電源端子に接続され、他端が該 N 個の出力端子の一つを構成するバイアス段と、当該増幅器のアナログ入力端子を構成する電圧入力端子と、前記バイアス段の N 個の出力端子に接続された N 個の電流入力端子と、 N 個の電流出力端子とを有し、且つ N 個の相互コンダクタンスモジュールで構成された相互コンダクタンス段であって、各モジュールが当該段の電圧入力端子に接続された電圧入力端子と、当該段の N 個の電流入力端子の1つを構成する電流入力端子と、当該段の N 個の電流出力端子の一つを構成し、アナログ入力電圧を表す可変成分を有する電流を出力する電流出力端子とを有している相互コンダクタンス段と、

N 個の制御入力端子と、 N 個の電流入力端子と、 N 個の電流出力端子とを有するとともに、 N 個のスイッチを具えるスイッチング段であって、各スイッチが該 N 個の制御入力端子の1つに受信された信号により制御され、各スイッチの一端が当該段の N 個の電流入力端子の一つを構成し、各スイッチの他端が当該段の N 個の電流出力端子の一つを構成し、当該段の N 個の電流入力端子が前記相互コンダクタンス段の N 個の出力端子に接続され、当該段の N 個の制御入力端子が当該増幅器の制御ワードを受信するデジタル入力端子を構成するスイッチング段と、

N 個の電流入力端子と一つの電圧出力端子とを有し、該 N 個の電流入力端子が前記スイッチング段の N 個の電流出力端子に接続され、該電圧出力端子が当該増幅器のアナログ出力端子を構成し、該 N 個の電流入力端子に受信された電流を表す電圧を出力する電流 / 電圧変換段と、

を具えることを特徴とする。

【 0 0 0 8 】

本発明の他の実施例においては、上述した利得制御増幅器において、前記電流 / 電圧変換段は $R / 2R$ 回路網を具え、該回路網内において2つの連続する電流入力端子が R に等しい公称値を有する抵抗を経て相互接続され、制御ワードの最上位ビットにより制御される相互コンダクタンス段の出力端子に接続された電流出力端子が R に等しい公称値を有する抵抗を経て当該増幅器のアナログ出力端子に接続され、制御ワードの最下位ビットにより制御される相互コンダクタンスの出力端子に接続された電流入力端子が R に等しい公称値を有する抵抗を経て負電源端子に接続され、他の電流入力端子の各々が $2R$ に等しい公称値を有する抵抗を経て負電源端子に接続されていることを特徴とする。

【 0 0 0 9 】

$R / 2R$ 回路網により実現された電流 / 電圧変換段によれば、各電流入力端子に受信される電流を各電流入力端子が占める位の関数として加重結合することができる。従って、このような構成は、出力の値が種々の重みのビットを有するデジタル制御ワードに依存する用途に良好に適合する。

【 0 0 1 0 】

これは本発明の変形例に特に有用であり、この変形例では、上述した利得制御増幅器において、前記バイアス段のすべての電流源を同一の構成にするとともに、各電流源に制御入力端子を設け、該電流源により供給される電流値を制御ワードの値の関数として制御するよう構成したことを特徴とする。

【 0 0 1 1 】

このような電流増幅器においては、 $R / 2R$ 回路網のみにより増幅器の利得を制御ワードの値の関数として制御するために必要な重み付けが達成される。

【 0 0 1 2 】

本発明の他の変形例では、上述した利得制御増幅器において、各相互コンダクタンスモジュールに、該モジュールに接続された電流源により供給される電流の値に無関係の可変成

10

20

30

40

50

分を有する電流をその電流出力端子に発生する手段を設けたことを特徴とする。

【0013】

本発明のこの変形例によれば、バイアス段の電流源により供給される電流の値を変更することにより、アナログ入力電流に与えられる利得の値を変更する必要なしに、アナログ出力電圧のDCレベルを調整することができる。

【0014】

アナログ出力電圧のDCレベルを調整しうる本発明の有利な実施例では、上述した利得制御増幅器において、当該増幅器は、1つの出力端子と2つの入力端子を有する比較器を具え、該比較器の一方の入力端子が基準電圧を受信し、他方の入力端子が当該増幅器の出力電圧を受信し、該比較器の出力端子が前記バイアス段の各電流源の制御入力端子に接続されていることを特徴とする。

10

【0015】

アナログ出力電圧のDCレベルを設定しうる本発明の他の有利な実施例では、上述した利得制御増幅器において、当該増幅器は、制御ワードの少なくとも一部分によりアドレスされ、制御ワードの前記部分の組合せに対応する予め計算されたデジタル値をその出力端子に供給する連想メモリを具え、当該増幅器は更に前記連想メモリの出力端子に接続されたデジタル入力端子と前記バイアス段の各電流源の制御入力端子に接続されたアナログ出力端子を有するD/A変換器を具えることを特徴とする。

【0016】

本発明はカメラにも関するものであり、本発明は、
光を検出し、アナログ電子信号に変換する装置と、
前記アナログ電子信号を受信するアナログ信号入力端子と、制御ワードという利得制御用のデジタルワードを受信するデジタル入力端子と、アナログ信号出力端子とを有する増幅器と、
前記増幅器の出力端子に接続されたアナログ入力端子とデジタル出力端子とを有するA/D変換器と、
前記A/D変換器の出力端子に接続された入力端子を有し、制御ワードを前記増幅器に供給するデジタル処理装置と、
を具えるカメラにおいて、
前記増幅器が上述した構成の増幅器であることを特徴とする。

20

30

【0017】

【発明の実施の形態】

本発明のこれらの特徴及び他の特徴は以下に記載する実施例の説明から明らかになる。

【0018】

図1に示すように、本発明の利得制御増幅器AGCは、
N個の出力端子を有し、N個の電流源IOからなるバイアス段であって、各電流源の一端が負電源端子GNDに接続され、他端が前記N個の出力端子の一つを構成するバイアス段10と、

当該増幅器のアナログ入力端子を構成する電圧入力端子と、バイアス段のN個の出力端子に接続されたN個の電流入力端子と、N個の電流出力端子とを有し、N個の相互コンダクタンスモジュールV/Iからなる相互コンダクタンス段であって、各モジュールが当該段の電圧入力端子に接続された電圧入力端子と、当該段のN個の電流入力端子の1つを構成する電流入力端子と、当該段のN個の電流出力端子の一つを構成し、アナログ入力電圧 V_{in} を表す可変成分を有する電流 I_{tr} を出力する電流出力端子とを有している相互コンダクタンス段20と、

40

N個の制御入力端子と、N個の電流入力端子と、N個の電流出力端子とを有するとともに、N個のスイッチを具えるスイッチング段であって、各スイッチがN個の制御入力端子の1つに受信された信号 $C(0), \dots, C(N-1)$ により制御され、各スイッチの一端が当該段のN個の電流入力端子の一つを構成し、各スイッチの他端が当該段のN個の電流出力端子の一つを構成し、当該段のN個の電流入力端子が相互コンダクタンス段のN個の出

50

力端子に接続され、当該段のN個の制御入力端子が当該増幅器の制御ワードC(0:N-1)受信用デジタル入力端子を構成するスイッチング段30と、

N個の電流入力端子と1つの電圧出力端子を有し、N個の電流入力端子がスイッチング段のN個の電流出力端子に接続され、電圧出力端子が当該増幅器のアナログ出力端子を構成し、そのN個の電流入力端子に受信された電流を表す電圧Voutを出力する電流/電圧変換段40とを具える。この電流/電圧変換段40は本例ではR/2R回路網である。

【0019】

このような利得制御増幅器においては、電流Itrは $I_O/2 + K \cdot V_{in} \cdot I_O/2$ 又は $(1 + K \cdot V_{in}) I_O/2$ と書き表すことができる。スイッチング段の性質及びR/2R回路網の特性のために、この増幅器の出力電圧Voutは $I_{tr} \cdot R \cdot CODE/2^N$ になり、
従って $(1 + K \cdot V_{in}) \cdot R \cdot I_O \cdot CODE/2^{N+1}$ と書き表せる。ここで、CODEは制御ワードの10進値である。この場合、出力電圧と入力電圧の可変成分の比として定義されるダイナミック利得Gdは $G_d = K \cdot I_O \cdot R \cdot CODE/2^{N+1}$ と書き表すことができ、制御ワードの値CODEにより有効に決まる。

【0020】

相互コンダクタンス段の出力は本例では非対称である。これらの出力を対称にする場合には、スイッチング段のスイッチを二重にするとともに、電流/電圧変換段を例えば2重R/2R回路網により構成すれば、この2重R/2R回路網が対称アナログ出力電圧を出力する。

【0021】

図2は本発明の変形例に従って利得制御増幅器AGC内に配置された相互コンダクタンスモジュールV/Iを図式的に示す。このモジュールは差動対として配置された2つのトランジスタT1、T2を具え、これらのトランジスタのエミッタは負帰還抵抗R1を経てバイアス段内の電流源IOに接続する。T1のコレクタは相互コンダクタンスモジュールV/Iの出力端子を構成し、T2のコレクタは抵抗R2を経て正電源端子VCに接続する。T1のベースはT1のエミッタに接続された反転入力端子を有する演算増幅器A1の出力端子に接続する。T2のベースはT2のエミッタに接続された反転入力端子を有する演算増幅器A2の出力端子に接続する。アナログ入力電圧Vinは2つの演算増幅器A1及びA2の2つの非反転入力端子間に供給する。この構成は相互コンダクタンスモジュールの一例であって、その出力電流Itrは電流源により供給される電流IOと無関係の可変成分を有する。確かに、IOの変化によるトランジスタのベース-エミッタ電圧の変調は演算増幅器の高利得成分の一に減少する。この利得は100以上であるので、この変調は無視しうる。itrを相互コンダクタンスモジュールの出力電流の可変成分とし、ic2をT2のコレクタを流れる電流の可変成分とすると、その差itr-ic2は $V_{in}/(2 \cdot R_2)$ になる。itr=-ic2であるので、 $itr = V_{in}/(4 \cdot R_2)$ である。従って、この相互コンダクタンスモジュールの出力電流は： $I_{tr} = I_O/2 + V_{in}/(4 \cdot R_2)$ 、又は $I_{tr} = I_O/2 + K' \cdot V_{in}$ と書き表すことができる。従って、図2に示す相互コンダクタンスモジュールV/Iを含む図1に示す利得制御増幅器の出力電圧Voutは $V_{out} = I_{tr} \cdot R \cdot CODE/2^N$ 、即ち

$$V_{out} = I_O \cdot R \cdot CODE/2^{N+1} + K' \cdot V_{in} \cdot CODE/2^N$$

になる。従って、このような相互コンダクタンスモジュールは増幅器のアナログ出力電圧のDC成分を、この増幅器のダイナミック利得を変更することなくセットすることができる。これはビデオ信号の処理に極めて有用であり、その信号をそのDCレベルを変更する必要なく可変式に増幅することができる(このDCレベルは基準レベルを構成し、増幅信号の次の処理のために使用される)。

【0022】

図3は増幅器のアナログ出力電圧のDCレベルを設定する装置を図式的に示す。この装置は、1つの入力端子と2つの出力端子を有し、一方の入力端子が基準電圧Vrefを受信し、他方の入力端子が増幅器の出力電圧Voutを受信する比較器AOを具える。図3はバイアス段の電流源の一つも示し、本例ではこの電流源はエミッタが抵抗R0を経て負電源端

子GNDに接続されたトランジスタT_Oからなる。トランジスタT_Oのベースがこの電流源により供給される電流値I_Oを制御する入力端子を構成する。比較器A_Oの出力端子をバイアス段の各電流源の制御入力端子に接続する。制御ワードの値CODEがV_{out}の高すぎる増大を導き、そのDCレベルの増大を導くとき、比較器A_Oの出力電圧が減少し、トランジスタT_Oの導通の低下を導く。このときI_Oが減少し、上記の式：

$$V_{out} = I_O \cdot R \cdot CODE / 2^{N+1} + K' \cdot V_{in} \cdot CODE / 2^N$$

で表されるアナログ出力電圧V_{out}のDC成分のCODEによる増大を補償する。ダイナミック利得は不変のままである。

【0023】

図4は増幅器のアナログ出力電圧のDCレベルを設定する他の装置を図式的に示す。この装置は、制御ワードの少なくとも一部分C(P:N-1)によりアドレスされ、制御ワードの前記部分の組合せに対応する予め計算されたデジタル値を出力端子に供給する連想メモリAMを具える。この設定装置は連想メモリAMの出力端子に接続された入力端子を有するD/A変換器DACも具える。図4はバイアス段の電流源の一つも示し、本例ではこの電流源はエミッタが抵抗R₀を経て負電源端子GNDに接続されたトランジスタT_Oからなる。トランジスタT_Oのベースがこの電流源により供給される電流値I_Oを制御する入力端子を構成する。D/A変換器DACの出力端子をバイアス段の各電流源の制御入力端子に接続する。連想メモリにより電流I_Oの値を急速に調整することができる。實際上、連想メモリAMをアドレスする制御ワードの部分C(P:N-1)の各別の組合せが、このメモリ内に記憶されている、アナログ出力電圧のDC成分の値を与える式に基づいて予め計算された値にそれぞれ対応する。この構成はバイアス電流I_Oに対する値をCODEの値に反比例して発生し、DCレベルの値を一定にする。従って、CODEのこの値と関連するデジタルワードは、アナログ形態に変換された後にトランジスタT_Oのベースをこのトランジスタが予め計算された電流I_Oを供給するように制御するワードである。連想メモリAMをアドレスする制御ワードの部分C(P:N-1)のビット数(N-P-1)を多くすればするほど、メモリは多数の予め計算された値を含み、I_Oの設定が一層精密になる。従って、アナログ出力電圧のDCレベルの設定が精密になる。

【0024】

図5は本発明の利得制御増幅器を具えるカメラを部分的に示す図である。このカメラは、光を検出し、アナログ電子信号ESに変換する装置LDと、前記アナログ電子信号ESを受信するアナログ信号入力端子と、制御ワードという利得制御用のデジタルワードC(0:N-1)を受信するデジタル入力端子と、アナログ信号出力端子とを有する上述の増幅器AGCと、増幅器AGCの出力端子に接続されたアナログ入力端子とデジタル出力端子とを有するA/D変換器ADCと、A/D変換器ADCの出力端子に接続された入力端子を有し、デジタル制御ワードC(0:N-1)を増幅器AGCに送出するデジタル処理ユニットDPUとを具える。

【図面の簡単な説明】

【図1】本発明の利得制御増幅器を部分的に示す構成図である。

【図2】本発明の利得制御増幅器の変形例内に配置された相互コンダクタンスモジュールを示す構成図である。

【図3】本発明の利得制御増幅器の有利な実施例内のDCレベル設定装置を示す構成図である。

【図4】本発明の利得制御増幅器の他の有利な実施例内のDCレベル設定装置を示す構成図である。

【図5】本発明の利得制御増幅器を使用するカメラを部分的に示す構成図である。

【符号の説明】

10 バイアス段

20 相互コンダクタンス段

30 スイッチング段

10

20

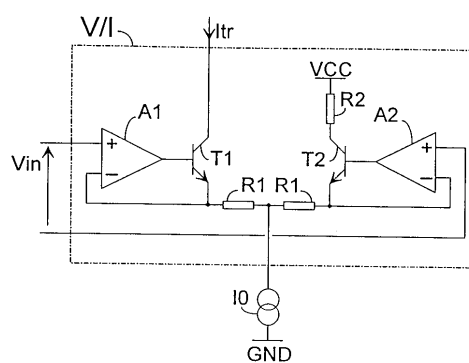
30

40

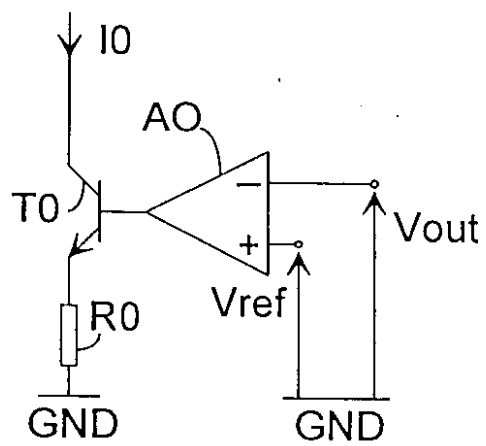
50

(8)

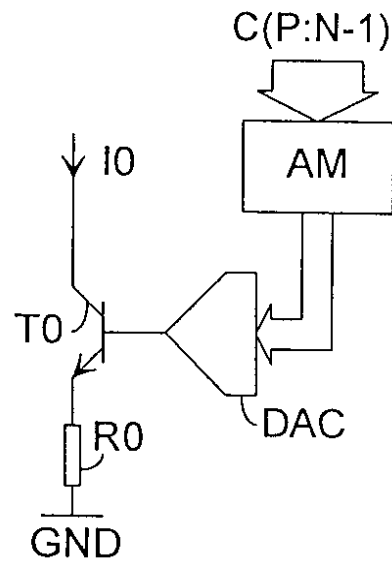
【圖 2】



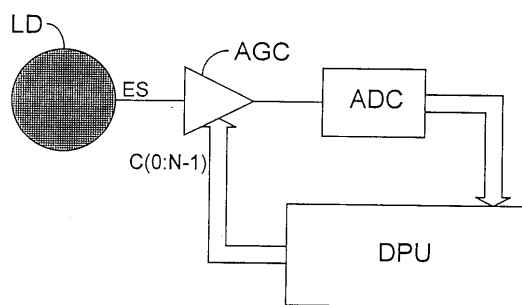
【図 3】



【図 4】



【図 5】



フロントページの続き

(74)代理人 100101096

弁理士 徳永 博

(74)代理人 100100125

弁理士 高見 和明

(74)代理人 100073313

弁理士 梅本 政夫

(72)発明者 フレデリク ダルトネー

フランス国 1 4 7 5 0 サントーバン / メール リュ アルベール カミュ 1 1

(72)発明者 リシャル モリソン

フランス国 1 4 0 0 0 カン ブールヴァール リシュモン 1 5

(72)発明者 ドゥニ ラウル

フランス国 7 5 0 1 1 パリ リュ デ プレ 1 8

審査官 吉村 博之

(56)参考文献 米国特許第 0 4 4 6 2 0 0 3 (U S , A)

特開平 0 3 - 2 7 0 3 0 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H03G 1/00-3/34

H03F 1/00-3/72