



(12) 发明专利申请

(10) 申请公布号 CN 102257571 A

(43) 申请公布日 2011. 11. 23

(21) 申请号 200980151566. 1

R · E · 帕尔默

(22) 申请日 2009. 07. 09

(74) 专利代理机构 北京市金杜律师事务所

11256

(30) 优先权数据

代理人 鄧迅

61/144, 135 2009. 01. 12 US

61/156, 872 2009. 03. 02 US

61/177, 467 2009. 05. 12 US

61/177, 478 2009. 05. 12 US

61/177, 596 2009. 05. 12 US

61/177, 606 2009. 05. 12 US

61/177, 599 2009. 05. 12 US

(51) Int. Cl.

G11C 11/407(2006. 01)

G11C 8/00(2006. 01)

H03L 7/081(2006. 01)

(85) PCT申请进入国家阶段日

2011. 06. 16

(86) PCT申请的申请数据

PCT/US2009/050044 2009. 07. 09

(87) PCT申请的公布数据

W02010/080176 EN 2010. 07. 15

(71) 申请人 拉姆伯斯公司

地址 美国加利福尼亚州

(72) 发明人 F · A · 韦尔 J · W · 鲍尔顿

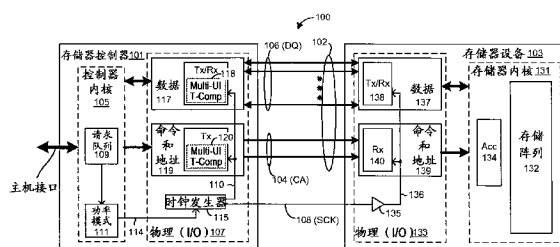
权利要求书 2 页 说明书 44 页 附图 44 页

(54) 发明名称

具有多个功率模式的均步信号传输系统

(57) 摘要

在低功率信号传输系统中, 集成电路设备包括开环时钟分发电路和发射电路, 它们协同操作以支持未伴随源同步定时参考的信息承载符号的高速发射。开环时钟分布电路响应于外部供应的时钟信号生成发射时钟信号, 并且发射电路响应于发射时钟信号的转变向外部信号线上输出符号序列。每个符号在符号时间内在发射电路的输出处有效, 并且允许发射时钟信号与外部供应的时钟信号之间的相位偏移漂移至少该符号时间。



1. 一种集成电路存储器设备,包括:

时钟输入,用于接收第一时钟信号;

时钟接收器,用于接收所述第一时钟信号;

信号传输电路,用于从所述时钟接收器接收所述第一时钟信号,以及用于响应于所述第一时钟信号的转变从所述集成电路存储器设备输出数据信号,所述第一时钟信号具有针对以所述数据信号传达的数据的每个位的相应转变;以及

控制电路,用于响应于来自存储器控制器的控制信号而禁用所述时钟接收器的操作。

2. 根据权利要求1所述的集成电路存储器设备,其中以所述数据信号传达的数据的每个位在相应的位时间内在所述集成电路存储器设备的输出处有效,并且所述数据信号与所述第一时钟信号之间的相位偏移被允许漂移至少所述位时间。

3. 根据权利要求1所述的集成电路存储器设备,其中所述第一时钟信号接收自所述存储器控制器。

4. 根据权利要求1所述的集成电路存储器设备,进一步包括:

命令接口,用于接收从所述存储器控制器向所述存储器设备传达存储器访问请求的一个或多个命令信号;以及

命令信号接收器,用于放大所述一个或多个命令信号,其中用于响应于来自所述存储器控制器的所述控制信号而禁用所述时钟接收器的操作的所述电路包括:用于响应于所述控制信号而禁用所述命令信号接收器的操作的电路。

5. 根据权利要求1所述的集成电路存储器设备,其中所述时钟接收器包括电流源,用于建立偏置电流,并且所述控制电路包括用于禁用所述偏置电流的流动的电路。

6. 根据权利要求1所述的集成电路存储器设备,进一步包括:

多个接收器,用于接收经由多个数据链路接收的相应数据信号;并且

其中所述控制电路包括用于在第一间隔期间使得所述接收器进入降低功率模式的电路,在所述第一间隔中没有数据信号要经由所述数据链路接收。

7. 根据权利要求6所述的集成电路存储器设备,进一步包括:

多个发射器,用于经由所述多个数据链路输出相应的数据信号,所述多个发射器包括所述信号传输电路,用于从所述时钟接收器接收所述第一时钟信号以及用于输出数据信号;并且

其中所述控制电路包括用于在第二间隔期间使得所述发射器进入降低功率模式的电路,在所述第二间隔中没有数据信号要经由所述数据链路输出。

8. 根据权利要求6所述的集成电路存储器设备,其中所述控制电路包括:用于禁用所述接收器内的偏置电流以在所述第一间隔期间使得所述接收器进入降低功率模式的电路。

9. 根据权利要求6所述的存储器设备,进一步包括命令接口,用于接收以下存储器访问命令,包括:(i) 存储器写入命令,所述命令指示在其中数据信号要经由所述数据链路在所述存储器设备内接收并且要在所述接收器内放大的对应间隔,以及(ii) 存储器读取命令,所述命令指示在其中数据信号要在所述发射器内放大并且要经由所述数据链路从所述存储器设备输出的对应间隔。

10. 根据权利要求9所述的存储器设备,其中用于在第一间隔期间使得所述接收器进入降低功率模式的所述控制电路包括:

用于在没有接收到与所述第一间隔对应的存储器写入命令时使得所述接收器进入降低功率模式的电路。

11. 根据权利要求 10 所述的存储器设备,其中用于在第二间隔期间使得所述发射器进入降低功率模式的所述控制电路包括:

用于在确定没有接收到与所述第一间隔对应的存储器读取命令时使得所述发射器进入降低功率模式的电路。

12. 一种存储器控制器,包括:

功率模式逻辑,用于选择时钟生成电路来向存储器设备输出第一时钟信号;

驱动器电路,用于向存储器设备输出第一定时信号,所述第一定时信号用于定时数据信号从所述存储器设备向所述存储器控制器的发射;

控制电路,用于在其中没有数据信号要经由所述数据链路接收的第一间隔期间使得所述接收器进入降低功率模式,以及在其中没有数据信号要经由所述数据链路输出的第二间隔期间使得所述发射器进入降低功率模式;并且

其中以所述输出数据信号传达的数据的每个位在相应的位时间内在所述集成电路存储器设备的输出处有效,并且所述输出数据信号与所述第一时钟信号之间的相位偏移被允许漂移至少所述位时间。

13. 根据权利要求 12 所述的存储器控制器,其中所述控制电路包括:用于在存储器访问操作之间的空闲期禁用所述第一定时信号的切换以降低所述存储器设备内的功耗的电路。

具有多个功率模式的均步信号传输系统

[0001] 优先权声明

[0002] 本申请要求以下美国专利申请的优先权：

[0003] (i) 2009 年 1 月 12 日提交的名为“4.3GB/S Mobile Memory Interface with Power-Efficient Bandwidth Scaling”的美国临时专利申请 No. 61/144, 135；以及

[0004] (ii) 2009 年 3 月 2 日提交的名为“Mesochronous Low-Power Signaling System”的美国临时专利申请 No. 61/156, 872。

[0005] 上述专利申请在此通过引用而全文并入。

技术领域

[0006] 本公开总体上涉及数据通信系统，并且更具体地涉及低功率应用中的高速信号传输。

背景技术

[0007] 均步时钟信号经常用于为同步存储器系统中的信号传输操作定时。通过使用相同的时钟源来提供存储器控制器和存储器设备两者中的发射 / 接收定时，避免了频率漂移，从而产生相对简单、鲁棒的定时布置。然而，由于时钟参考分发在控制器与存储器之间的空间中，因此两个芯片的时钟域彼此之间通常具有任意的相位偏移，必须对该相位偏移进行补偿以支持同步通信。复杂的问题是，在很大程度上归因于在每个芯片中所提供的用于向各种发射和接收电路扇出时钟的时钟缓冲电路，芯片间的相位偏移易于随温度和电压而大幅漂移。

[0008] 许多现代存储器系统通过发射选通脉冲或其他源同步定时信号来管理芯片间的相位漂移，以控制接收设备内的数据采样，从而有效地将发射设备的时钟域延伸至接收设备。遗憾地是，由于通常需要附加的信号驱动器、管脚和精确路由的信号线（用于匹配选通脉冲与数据线之间的传播时间），因此该方法遭受相当大的功率 / 成本惩罚。

[0009] 另一方法是通过在存储器控制器和每个存储器设备内提供锁相环（PLL）或延迟锁定环（DLL）来补偿漂移的相位偏移，以在参考时钟与分发时钟（即，分发于各种接收和发射电路的多个标称的同相位时钟）之间保持对齐。通过该布置，尽管在芯片的相应时钟缓冲器延迟之间有环境引起的漂移，但是可以在芯片之间保持基本上固定的相位关系。

[0010] 虽然 PLL/DLL 方法避免了源同步布置的许多惩罚（尤其是宝贵管脚的消耗），但是 PLL 和 DLL 电路常常是高耗电的，甚至在空闲期间也消耗功率（用于保持锁相），并且当从禁用、节电状态唤醒时需要相当多的时间和额外功率来恢复锁相。所有这些劣势在移动应用（例如，蜂窝电话、膝上型计算机等）中尤其棘手，其中性能需求和突发性事务属性使得难以禁用锁定环操作，并且锁定环电路的大量空闲功耗会耗尽宝贵的电池寿命。

附图说明

[0011] 在附图的各图中通过示例的方式而非限制的方式示出了本公开，其中相似的参考

标号指代相似的元件,并且其中:

[0012] 图 1A 和图 1B 图示了具有时钟停止低功率模式的存储器系统的一般化实施方式;

[0013] 图 1C 和图 1D 将图 1 的可暂停时钟存储器设备中的示例性功耗分布图与相同使用场景下的基于 PLL/DLL 的连续钟控存储器设备的示例性功耗分布图进行对比;

[0014] 图 2A 更详细地图示了存储器端和控制器端 I/O 电路和系统钟控架构的实施方式;

[0015] 图 2B 图示了关于图 2A 描述的存储器端定时布置,示出了出现在存储器设备的管脚(或其他互连结构)处的系统时钟信号和数据信号,以及应用到存储器端发射器的经缓冲时钟信号;

[0016] 图 3A 和图 3B 图示了可以用于实现图 2A 中的任何漂移补偿解串行化器的漂移补偿解串行化器的实施方式和时序图;

[0017] 图 3C 至图 3E 图示了可以在图 3A 的漂移补偿解串行化器内应用的分组对齐电路及其调节方式的实施方式;

[0018] 图 3F 和图 3G 图示了可以用于实现图 2A 中的任何漂移补偿串行化器的漂移补偿串行化器的实施方式和时序图;

[0019] 图 3H 图示了可以在图 3F 的漂移补偿串行化器内应用的分组对齐电路的实施方式;

[0020] 图 4A 和图 4B 分别图示了可以用于实现图 2A 的存储器设备内的解串行化器电路和串行化器电路的解串行化器电路和串行化器电路的实施方式;

[0021] 图 5A 图示了用于校准针对图 2A 的实施方式中数据链路 DQ0 和 DQ1 的漂移补偿解串行化器内的接收时钟相位的示例性方法;

[0022] 图 5B 图示了不具有关于各种数据选择路径的细节的图 5A 的位内时钟相位布置的特定实施方式;

[0023] 图 5C 展示了用于确定最终接收时钟相位的方法,其示出了由示例性相位选择器选择的多个时钟相位与关于数据眼 schmoos 的通过 - 失败边界之间的示例性关系;

[0024] 图 5D 图示了精细和粗略数据眼边界以及在可以用于在周期性定时校准操作期间跟踪漂移的精细数据眼中心与粗略数据眼失败边界之间的偏移;

[0025] 图 6A 和图 6B 图示了漂移补偿解串行化器校准的示例性位对齐(或分组成帧调节)阶段;

[0026] 图 6C 示出了被执行用以确定字延迟值的示例性分组对齐操作,当字延迟应用于图 2A 的各种信号传输链路内的分组对齐电路时,将构成从存储器内核获取的原始多分组值的部分的分组对齐,以用于向控制器内核时钟域的同时传递;

[0027] 图 7A、图 7B 和图 8A 至图 8C 图示了依靠存储器设备内相应的信号传输链路对之间的交叉耦合回环路径的示例性串行化器校准过程;

[0028] 图 9A 和图 9B 分别图示了用于漂移补偿串行化器和漂移补偿解串行化器的周期性校准的示例性操作序列;

[0029] 图 10A 描绘了与关于图 3A 和图 3C 描述的 6 位相位调节电路对应的对齐计数器的实施方式;

[0030] 图 10B 和图 10C 图示了周期性定时校准电路的实施方式和对应的状态图;

- [0031] 图 11A 图示了在图 2A 的实施方式中使用的示例性钟控布置,其明确地示出了用于控制器 I/O 时钟和用于转发至存储器设备的数据速率系统时钟的时钟停止逻辑;
- [0032] 图 11B 是图 11A 钟控架构的时钟停止(或时钟暂停)操作的示例性时序图;
- [0033] 图 11C 和图 11D 图示了时钟停止逻辑电路的更详细实施方式以及对应的时序图;
- [0034] 图 11E 至图 11G 图示了备选的时钟停止架构以及对应的电路和时序图;
- [0035] 图 12A 是在包括进入和退出时钟停止低功率模式的间隔期间位于存储器控制器处的时钟信号、时钟使能信号和命令/地址信号的示例性时序图;
- [0036] 图 12B 和图 12C 从存储器设备的角度图示了时钟停止模式的进入和退出;
- [0037] 图 13 图示了根据备选实施方式的时钟停止的进入和退出,该备选实施方式允许时钟停止间隔延伸跨过非整数数目的内核时钟周期;
- [0038] 图 14A 至图 14C 涉及相位对齐电路的实施方式,该相位对齐电路支持对存储器控制器与存储器设备内的内核时钟信号之间的相位偏移的调节;
- [0039] 图 15A 和图 15B 图示了示例性时钟停止操作,其用于在进入和退出周期性定时校准模式时避免时钟毛刺;
- [0040] 图 16A 至图 16F 涉及执行周期性定时校准的备选方式,其支持在无需时钟停止的情况下的无毛刺相位跃变;
- [0041] 图 17A 图示了具有单个控制器 IC 和多个存储器 IC 的可暂停时钟存储器系统的实施方式;
- [0042] 图 17B 图示了具有模块安装的缓冲器 IC 的可暂停时钟存储器系统的实施方式,该缓冲器 IC 实现与图 2A 中所示存储器端 I/O 接口相对应的接口;
- [0043] 图 18A 是图示了可以在图 1A 和图 2A 的存储器系统中采用的分层功率模式的示例性状态图;
- [0044] 图 18B 图示了与图 2A 的实施方式相对应的存储器系统架构,但是其示出了关于在逐渐降低功率模式中的电路关闭的附加细节;
- [0045] 图 18C 图示了具有偏置电路的差分放大器的实现方式,该偏置电路可以在降低功率模式中被禁用;
- [0046] 图 18D 是图示了分别响应于传入的存储器写请求和存储器读请求而对使能写入信号和使能读取信号(EnW 和 EnR)的基于命令的断言的时序图;以及
- [0047] 图 18E 是图示了功率降低模式的进入和退出的时序图,其中退出由存储器写入请求触发。

具体实施方式

[0048] 在若干实施方式中公开了一种无选通脉冲同步存储器系统,该系统允许在存储器访问事务之间的空闲时期期间停止和重启均步发射及接收时钟。通过该操作,在空闲时期期间的功耗相对于连续钟控设计可以显著降低。此外,由于通常空闲时间经常远超过活动存储器事务时间(活动时间),特别是在对功率敏感的设备中尤为如此,因此降低空闲时间功耗的能力可以带来明显更低的净功耗。

[0049] 尽管通过空闲时间时钟停止(或时钟暂停)实现了显著的节电,但是在均步信号传输系统中停止发射及接收时钟带来了一系列的连锁挑战。首先,存储器端 PLL 中的锁相

丢失呈现了一个迫切的性能问题,这是因为 PLL 一般需要难以忍受的长时间来重新建立锁相,甚至即使建立了锁相,一般也将重新锁定于未校准状态中,该未校准状态在可靠的数据速率信号传输可以开始之前需要完成相位校准。然而,移除存储器端 PLL 呈现了一组艰巨的问题,首先是存储器设备内大量因环境引起的相位漂移,以及存储器设备内针对发射和接收钟控所需的关键定时沿的丢失。即,存储器上的 PLL 通常通过倍增相对低频系统时钟的频率(或相位数目)来执行对温度/电压引起的相位漂移进行补偿以及提供数据速率信号传输所需的定时沿的双重功能。

[0050] 尽管存在这些挑战,但仍然能从本文所公开实施方式中的存储器设备钟控架构省略 PLL/DLL 电路,并且允许存储器设备定时域的相位相对于存储器控制器定时域自由漂移。此外,存储器控制器定时域与存储器设备定时域之间的漂移的相位偏移由存储器控制器内的电路来补偿,而不是用复杂的漂移补偿电路来拖累存储器设备。如以下所讨论的,在缺少存储器上 PLL 时,存储器设备相位漂移可以延伸至远超过一个单位间隔(即,分配给位或符号发射的时间间隔,以及数据信号传输速率的倒数或数据速率的的倒数;单位间隔在本文中还被称作位时间或符号时间),从而向定时补偿的努力和时钟开始/停止的协调添加了显著的复杂性。

[0051] 省略存储器端 PLL/DLL 以及与之伴随的常规存储器上 PLL 功能中的第二功能(从相对低频的系统时钟信号生成数据速率定时信号)的缺失通过系统钟控布置本身中的改变来抵消。更具体地,将数据速率时钟信号本身分发为系统时钟信号,而不是分发随后必须由存储器上 PLL/DLL 进行频率倍增(或相位分发)的低频系统时钟来提供数据速率定时沿,从而避免了对存储器设备内频率倍增(或相位分发)PLL/DLL 电路的需求。虽然该方法遭受较高频率时钟的发射和片上分发中涉及的潜在较高功耗之害,但是省略存储器端 PLL/DLL 排除了困扰常规设计的锁定丢失考虑,并且当例如而非限制地与本文中所描述的漂移补偿电路和时钟停止/开始管理电路相结合时,支持能够以微不足道的性能损失快速进入和退出的时钟停止低功率模式。最后,针对呈现突发存储器访问属性(例如,频繁的空闲时期散布于相对短暂的活动存储器访问时期之间)的应用,空闲时间的功率节省往往大大超过任何增加的活动时间功耗;节省由系统中存储器设备的数目所倍增。

[0052] 图 1A 和图 1B 图示了具有时钟停止低功率模式的存储器系统 100 的一般化实施方式。该存储器系统包括经由信号传输链路 102 和系统时钟链路 108 而相互耦合的存储器控制器 101 和存储器设备 103。存储器控制器本身包括控制器内核 105 和输入/输出(I/O)接口 107(或者 PHY;物理接口),并且存储器设备类似地包括存储器内核 131 和 I/O 接口 133。存储器设备和存储器控制器内的 I/O 接口(即,“存储器端”I/O 接口和“控制器端”I/O 接口)包括信号传输电路(117、119、137、139),以用于支持经由一个或多个数据链路 106 的双向数据传递以及经由一个或多个命令/地址(CA)链路 104 的单向命令(或者请求或指令)传递。控制器端 I/O 接口附加地包括时钟发生器 115,用于生成经由时钟链路 108 向存储器设备转发并且经由时钟缓冲器 135 和内部时钟路径 136 向存储器端信号传输电路 137 和 139 分发的系统时钟信号(系统时钟, SCK)。时钟发生器还生成经由内部时钟路径 110 向控制器端信号传输电路 117 和 119 分发的一组控制器端时钟。

[0053] 参照存储器设备 103,存储器内核 131 包括布置成一个或多个组的内核存储阵列 132,以及用于响应于来自存储器控制器的存储器访问命令和地址而管理对内核存储阵列

进行的读取和写入访问的访问电路 134。在下文所述的实施方式中,假定内核存储阵列是需要偶尔刷新以避免数据丢失的动态随机访问存储器 (DRAM),但在备选实施方式中几乎可以使用任何存储技术,包括但不限于:静态随机访问存储器 (SRAM) 和各种形式的非易失性存储器(例如,闪存、相变存储器等)。无论使用何种存储技术,经由命令链路 104(总称为“命令路径”)向存储器设备传达的命令值和地址值(命令/地址或 CA 值)均用于执行内核存储阵列 132 的指定地址区域内的数据检索(存储器读取)和数据存储(存储器写入,包括非易失性单元编程)操作。经检索的数据在本文中称作“读出数据”并且经由数据链路 106(总称为“数据路径”)返回给存储器控制器;相反,待存储或编程的数据(“写入数据”)经由数据路径从存储器控制器提供。在某些情况下,无数据的命令,诸如行激活命令(指令从内核存储阵列内的存储单元向锁存感测放大器组的数据传递)、刷新命令、擦除命令(例如,在闪存或其他电可擦除非易失性存储器的情况中)以及各种配置命令和/或操作模式命令可以经由命令路径发布。

[0054] 考虑图 1 的实施方式,存储器端钟控布置的若干特征值得重点强调。首先,从时钟缓冲器 135 输出的时钟信号(即,经缓冲的时钟信号)是系统时钟信号的相位延迟实例;在存储器设备内不发生任何频率倍增或多相时钟生成,使得系统时钟信号本身的频率建立存储器端 I/O 电路内的数据发射和采样速率,并且因而建立信号传输链路 102 上的信号传输速率。因此,与分发较低频率的系统时钟以及提供 PLL/DLL 电路以通过倍增时钟频率或通过生成附加时钟相位而生成数据速率时钟信号的常规方法相反,数据速率时钟信号本身(即,包括针对数据链路上发射的每个符号的相应定时沿的时钟信号)作为系统时钟信号供应给存储器设备。该方法的一个后果是在形成时钟缓冲器 135 的放大器链中可能需要附加的缓冲器放大器,以便获得期望的增益(即,增益趋于随频率而下降,所以在更高的时钟频率下可能需要附加的增益级),从而相对于低频、多相时钟信号的分发需要附加的功率来在整个存储器设备中分发数据速率时钟信号。如上文所讨论,尽管用可能消耗更多功率的布置来代替常规时钟分发布置存在推定的弊端,但是省略频率倍增 PLL/DLL 使得在低功率模式时钟停止状态与活动模式钟控状态之间快速转变而不招致与重新获取锁相关联的常见时间延迟惩罚成为可能。因此,即便在相对短暂的空闲时期(介于存储器访问活动的突发之间)期间也可以以微不足道的性能影响进入时钟停止低功率模式。由于在许多应用中合计空闲时间远超过合计活动存储器访问时间,因此以略微提高活动时间功率为代价在空闲时间期间大幅降低功率可以带来显著的净功耗降低。图 1C 和图 1D 用图表示出了该结果,它们将图 1 的可暂停时钟存储器设备中的示例性功耗概况与相同使用场景下的基于 PLL/DLL 的连续钟控存储器设备的示例性功耗概况进行了对比。如图所示,尽管可暂停时钟存储器中活动时间功率略高,但是大幅降低的空闲时间功耗产生了比连续钟控存储器中低得多的净功耗,该连续钟控存储器遭受用于将存储器端定时域锚定(anchor)到系统时钟信号相位的存储器上锁定环中的大量空闲功耗之害。

[0055] 存储器端钟控布置的另一特征在于时钟分发电路是存储器设备内的完全开放的环;如前所述,不存在锁定环电路来对系统时钟信号与分发到存储器端 I/O 单元的经缓冲时钟信号之间的时变(即,漂移)相位延迟进行补偿。此外,系统时钟对经缓冲时钟相位延迟的量级和环境敏感度二者都由时钟缓冲器内提供的、用于顾及较高频率的数据速率时钟信号的附加放大级来增加。即,时钟缓冲器内的每个放大器级往往呈现出依赖于环境(例

如,依赖于温度和/或依赖于电压)的传播延迟,使得添加放大器级不仅增加净系统时钟经缓冲时钟定时偏斜,还增加定时偏斜的变化速率(即,漂移速率)。由于在存储器端 I/O 单元内应用了经缓冲时钟信号来对采样和发射操作定时,因此经缓冲时钟信号的漂移相位表现为由存储器设备发射的读出数据信号的对应相位漂移(并且当要准确接收上述信号时所需的在传入的写入数据信号中相位的改变)。最后,由于时钟缓冲器延迟可以在若干位时间左右,并且时钟缓冲器延迟在温度与电压拐点之间(即,最小与最大可耐受电压及温度之间)的净变化可以很容易地超过一个符号时间(或位时间),因此发射或接收时钟相位可以跨越一个或多个位时间边界而漂移至相邻的位时间。这产生了附加的定时复杂度,因为数据采样时间可能恰当地居于位边界之间,但却偏离了一个或更多个完整的位时间。因此,本应被正确接收的数据可能由接收器端串行化电路不当地成帧为数据位的并行集(本文中被称为分组)。

[0056] 应当注意,虽然存储器设备内的时钟分发布置是开环,但是鉴于存储器控制器与存储器设备之间的发射,仍通过在校准操作期间实现的相对相位、位以及分组对齐信息的获取而实现了全系统范围的闭环定时补偿结构。因此,在系统时钟信号向存储器设备的转发中,以及在通过控制器管理的定时校准操作对指示经转发时钟信号(如应用到存储器端发射和接收电路的经转发时钟信号)的存储器端相位的信息的获取中实现了多组件(多 IC)闭环。

[0057] 时钟停止低功率模式

[0058] 仍然参照图 1A,控制器内核 105 包括用于将经由主机接口接收的(例如,来自处理器或其他存储器访问请求器的)存储器访问请求进行排队的事务队列 109(或请求队列),以及监控事务队列状态的功率模式控制器 111。当事务队列变空时,功率模式控制器准备进入低功率时钟停止模式,这取决于在最终(即,最后一个离队的)事务完成之前是否接收到了附加事务请求(并对其进行了排队)。如果在最终事务完成之前没有接收附加事务请求,则功率模式控制器解断言时钟使能信号 114(或者断言暂停信号)以挂起系统时钟的切换,并且优选地(但不是必须的)挂起控制器端信号传输时钟的切换。所得的时钟停止或时钟暂停产生存储器设备和存储器控制器内的即时功率节省,这是因为存储器端和控制器端 I/O 电路内的所有发射和接收时钟都停止切换,从而避免了通过双稳态逻辑状态之间的功耗范围来驱动钟控电路。

[0059] 图 1B 图示了时钟停止效果。假定最终存储器事务开始于时钟周期“0”,功率模式控制器注意到空事务队列并且开始计数时钟周期,直到存储器设备和控制器端 I/O 电路的内部操作完成的时刻。在该示例中,该时刻出现在所述事务开始之后的 24 个系统时钟周期之时,并且因此出现于系统时钟周期 24。此后不久——在该情况下,足够长以确保最终无操作(NOP)命令向存储器设备的发射——系统时钟和控制器 I/O 时钟利落地停止并保持在逻辑高状态或逻辑低状态。此时,存储器系统空闲并且处于时钟停止低功率状态。控制器内核之内的低频时钟继续振荡,并且因此允许接收以后提交的事务请求。在该示例中,事务在系统时钟周期 44 之前不久的某时刻被排队。因此,检测经排队事务的功率模式控制器在时钟周期 44 重新启动信号传输时钟(系统时钟和控制器端 I/O 时钟),从而使无操作命令能够发送至存储器设备,并于此后允许活动命令传递,在该示例中被示为指向内核存储阵列的选定组(B)的激活命令。因此,功率模式控制器在检测到空事务队列并为了最终事务

的完成而等待了足够长时间之后,通过停止均步信号传输时钟来降低存储器访问事务之间空闲时期中的功耗,并且继而在检测到新排队的事务时重新启动信号传输时钟。在该示例中,时钟停止间隔延伸跨越原本为系统时钟信号的 16 个周期的一段时间,从而显著降低了在该段时间期间的总系统功耗。在实际应用中,即便将信号传输时钟停止几毫秒的空闲时期,也能避免原本将被数百万时钟转变所需的功耗。对总计大大超过活动存储器事物时间的众多空闲时期中的节省的进行累积,则以微不足道的性能惩罚产生了显著的功率节省。

[0060] 钟控与漂移补偿

[0061] 图 2A 更详细地图示了存储器端和控制器端 I/O 电路以及系统钟控架构的实施方式。为了清楚而非限制性的目的,图 2A 及随后的相关附图中描绘了特定数量和类型的信号传输链路、时钟频率和频率比以及串行化深度。例如,提供差分信号传输链路来实现 8 个数据链路 (DQ[0-7])、2 个命令 / 地址链路 (CA[0,1])、一个数据屏蔽链路 (DM) 以及系统时钟链路 (SCK) 中的每一个,而单端链路则用于实现一对相对较低信号传输速率的边带链路 (SL[0,1])。每个差分链路备选地可以是单端链路 (而反之亦然),并且可以使用更多或更少的链路来实现命令路径和 / 或数据路径,而数据屏蔽链路 (可以被认为是单向命令路径的组成部分) 及相关联的电路可以一并省略。专用边带链路亦可省略,以利于数据链路或命令链路之一上的带外信号传输。

[0062] 关于时钟频率和比率而言,系统钟控架构由 400MHz 参考时钟信号 (REFCK1) 驱动,该参考时钟信号在 PLL 电路 161 内进行 8 倍的倍增以生成 3.2GHz 控制器端 I/O 时钟信号的相位分发集,本文中备选地将其称为 PCK8 或控制器端 I/O 时钟 (“PCK8”中的“8”指示参考时钟频率的 8x 倍增)。除了驱动控制器端 I/O 时钟之外,3.2GHz PLL 输出还在除法器 165 中被除以 2 来生成系统时钟,即 SCK (本文中亦称为 PCK4);并且在除法器 163 中被除以 8 来产生控制器端内核时钟信号 (PCK1),其相位与系统时钟和控制器端 I/O 时钟对齐,但是具有降低的频率用于对内核进行钟控,并且因此允许低功率逻辑操作。在所有这些情况中,可以在内核与 I/O 定时域之间使用不同的时钟频率以及不同频率比。此外,虽然针对每个信号传输链路采用了相同频率的钟控,但是可以备选地应用不同的 I/O 钟控频率来获得针对不同种类信号的不同信号传输速率 (例如,命令 / 地址信号的半数据速率钟控)。此外,在所示实现方式中,1.6GHz 系统时钟频率是数据和命令链路上 3.2Gb/s (千兆位每秒) 信号传输速率的一半。虽然在本文中偶尔被称作“半位速率”或“半符号速率”时钟信号,但是系统时钟被认为是“数据速率”时钟信号,这是因为每个周期内的上升沿和下降沿 (或者在差分系统时钟实现方式中互补信号的两个 180° 偏移的上升沿) 可以用于在相应的 (1/3.2GHz) 数据间隔中发射或采样数据。虽然在下文的许多示例性实施方式中仍采用半位速率 (半符号速率) 系统时钟,但是备选地可以向存储器设备转发全位速率时钟 (在该示例中为 3.2GHz) 作为系统时钟。

[0063] 继续地,应用 8 对 1 串行化来针对每个信号传输链路上的位串行发射而串行化由内核提供的 8 位宽信息分组,并且应用对应的 1 对 8 解串行化来将串行位序列恢复为 8 位宽数据以用于向相配的内核递送。例如,写入数据的 8 个 8 位分组 (Wdata[0][0-7]-Wdata[7][0-7]) 在 400MHz 控制器内核时钟 (PCK1) 的每个时期期间被串行化,并且在相应的 8 位序列中以 3.2Gb/s 数据速率在 8 个数据链路中的每个链路上发射,DQ[0-7] 因此提供 3.2GB/s (3.2 千兆位每秒) 的总计数据带宽。在存储器设备处,在 400MHz 存储器内核时钟 (MCK1)

的周期时间期间（逐位）对每个 8 位长写入数据分组进行采样并将其转换成并行分组，由此使存储器内核如控制器内核一样能够在较低频域中对字节大小的数据分组进行操作。存储器设备内的逆串行化和存储器控制器内的解串行化在从存储器设备向存储器控制器的读出数据发射中执行，由此支持在相对窄的 8 链路数据路径上从存储器内核向控制器内核的 3.2GB/s 数据传递，同时使全部这两个设备内核能够以相对低频的时钟域（在该示例中为 400MHz）进行操作。类似的串行化和解串行化操作针对命令 / 地址链路和数据屏蔽链路中的每个链路单向地执行。在所有上述情况中，不同的串行化深度（即，每分组更多或更少位）可以用于任何或所有链路（包括深度 = 1；事实上根本没有串行化或解串行化），通常伴随内核对 I/O 钟控比率中的对应变化。

[0064] 利用开环存储器端时钟分发的均步钟控

[0065] 由于所有系统定时沿均衍生自公共时钟信号（即，PLL 的输出，其本身衍生自参考时钟信号，REFCK1），因此系统内的各种时钟是均步的。即，在顾及任何乘 / 除操作之后，各种时钟具有相同的频率，但是由于时钟需要不同的传播时间来到达存储器控制器和存储器设备内的各种应用点而潜在地具有不同的相位。一般而言，这种经由管芯上导体或芯片间的导体的传播时间在操作系统温度和电压范围上保持相对恒定。然而，通过有源组件（诸如提供来用于驱动存储器控制器和存储器设备内的时钟线的缓冲放大器）的传播时间易于明显受环境变化（至少受温度和电压）的影响，因此产生环境引起的、在各种分发时钟之间的本应相对稳定的相位关系之间的漂移。

[0066] 具体参照存储器端钟控架构，系统时钟经由缓冲器 223 接收并由放大器 229 向上驱动到全局时钟线 230。由于驱动全局时钟线需要相对大的增益，因此放大器 229 往往包括多个级，其中每级呈现出明显的环境敏感性传播延迟。相对高的系统时钟频率（即，与存储器上 PLL 设计的较低系统时钟频率相反，该时钟具有与最差情况数据信号相同的上部频谱分量）通常增加了该环境敏感度，这是由于为了达到期望的信号增益可能需要附加的放大器级（即，增益通常随增加的频率而下降）。因此，所得的经缓冲时钟信号（本文中被称作存储器端 I/O 时钟或 MCK4）不仅呈现出相对于传入系统时钟信号的明显相位延迟，还呈现出可能导致漂移在存储器设备的温度和电压操作范围上超过一个或多个单位间隔（位时间）的环境敏感度。此外，与通过在存储器上 PLL/DLL 的反馈环中包括时钟缓冲器来对漂移放大器延迟进行补偿的常规设计相比，经放大的系统时钟信号（即，经缓冲时钟信号，MCK4）的开环分发意味着时钟放大器内的任何相位漂移直接转译成存储器端发射和接收时钟中的相位漂移，因此表现为由存储器设备发射的读出数据信号的对应相位漂移（并且当要准确接收上述信号时所需的在传入的写入数据信号中相位的改变）。最后，由于时钟缓冲器延迟（即，通过元件 223、229 的延迟）可以在若干位时间左右，并且时钟缓冲器延迟在温度与电压拐点之间（即，最小与最大可耐受电压和温度之间）的净变化可以很容易地超过一个位时间，因此发射或接收时钟相位可以跨越一个或多个位时间边界而漂移至相邻的位时间。这产生了附加的定时复杂度，因为数据采样时间可能恰当地居于位边界（数据眼的沿）之间，但却偏离了整数数目的位时间。因此，本应被正确接收的数据可能由存储器端或控制器端的解串行化电路不当地成帧为数据位的并行分组（例如，8 位分组、16 位分组等）。

[0067] 图 2B 图示了上文描述的存储器端定时布置，其示出了在图 2A 的存储器设备的管

脚（或其他互连结构）处出现的系统时钟信号和数据信号，以及应用于存储器端串行化器 235（或单个位发射器）的经缓冲存储器 I/O 时钟 MCK4。如图所示，存储器 I/O 时钟呈现出相对于系统时钟的时变延迟，使得存储器 I/O 时钟的相位以及由此向上驱动到数据链路（DQ）之一的读出数据信号的相位关于系统时钟信号自由漂移。更具体地，系统时钟与存储器 I/O 时钟之间的第一时间延迟（或相位偏移）发生在第一电压和温度点（ v_0, t_0 ），当温度和电压随时间漂移到新的点（ v_1, t_1 ）和（ v_2, t_2 ）时，系统时钟对存储器 I/O 时钟相位偏移向后（漂移-）和向前（漂移+）漂移多达一个位时间或不止一个位时间。此外，虽然示出了存储器 I/O 时钟的单个数据链路和实例上的相位漂移，但是量级和方向独立于所示的量级和方向的类似的相位漂移可以为其他数据链路中所固有。例如，关于系统时钟信号的相位漂移可以在数据链路之间变化，这例如是由于与每个信号传输链路相关联的环境敏感的本地时钟缓冲器以及它们可能引起的潜在不同的传播延迟。

[0068] 控制器端串行化器 / 解串行化器电路内的漂移补偿

[0069] 在图 2A 的实施方式中，结合控制器端串行化器 / 解串行化器电路提供了定时补偿电路，以用于对存储器端 I/O 电路内自由漂移的发射和接收时钟相位进行补偿。更具体地，定时补偿电路以逐个链路为基础将控制器端 I/O 定时域与漂移的存储器端 I/O 定时域对齐，从而不仅对位内采样相位误差进行补偿，还对当存储器端相位漂移跨过位边界时产生的位时间失齐进行补偿，以及对由各种链路中不同位时间失齐引起的链路间分组失齐进行补偿。事实上，定时补偿电路在每个控制器端 I/O 电路内建立漂移追踪发射和接收时钟相位，存储器端 I/O 电路用于对相配的存储器端 I/O 电路中发射和接收时钟的相位漂移进行补偿，所述相位漂移包括跨越位边界的漂移，该漂移否则可能导致数据串行化 / 解串行化错误（即，将位成帧为信号传输链路的相对端上的不同位边界处的分组）以及当分组在存储器控制器或存储器设备内的内核和 I/O 电路的时钟域之间传递时的域交叉错误。

[0070] 在图 2A 的实施方式中，每个漂移补偿解串行化器包括相位选择解串行化器 192 以用于对位内相位漂移进行补偿，以及分组 / 位对齐电路 194 在这里用于对跨越位边界的漂移（位对齐）进行补偿并且用于对齐经由用于向控制器内核同步传递的不同链路接收的分组（分组对齐）。漂移补偿串行化器包含类似的电路用于调节流向存储器设备的信息的定时，从而提供位内调节（相位选择串行化器 191），以及位 / 分组对齐（193）用于预偏斜针对存储器设备中的适当定时采样、位成帧和链路间分组对齐的传出数据流。

[0071] 图 3A 和图 3B 图示了可以用于实现图 2A 中所示的任何漂移补偿解串行化器的漂移补偿解串行化器 186 的实施方式和时序图。因此，图 3A、图 3B 中的索引“[i]”描绘了专用于图 2A 中引用的 8 个解串行化器中的给定一个解串行化器的每个输入信号和输出信号，用于指示相同信号的单独示例向其他 7 个解串行化器（即， $i = 0, 1, 2 \dots 7$ ）输入或从其输出。因此，解串行化器 186 耦合到数据链路 DQ[i]，以用于接收串行数据信号并且输出 8 位宽数据分组 Rdata[i][7:0]。解串行化器附加地接收 6 位的相位调节信号 PhAdj[i][5:0] 和 3 位的位调节信号 BitAdj[i][2:0]。解串行化器还随同所有其他解串行化器一起接收控制器内核时钟 PCK1 和多相控制器 I/O 时钟 PCK8。在所示实施方式中，控制器端 I/O 时钟由三级环形振荡器生成，并且因此输出一组相位分布在 PCK8 周期时间内的三个差分时钟信号。换言之，在图 3A 的实施方式中，控制器 I/O 时钟包括 0° 、 120° 和 240° 的时钟相位以及它们的互补 180° 、 300° 和 60° ，从而提供一组 6 个时钟相位，根据该组 6 个时钟相位可

以合成 PCK8 周期内具有任何相位偏移（即，时钟相位或相位角）的相移接收时钟 RCK8[i]。例如，在一个实现方式中，相位内插器 271 通过选择 6 个可能的相位毗邻时钟相位对（即， $0^\circ/60^\circ$ 、 $60^\circ/120^\circ$ 、 $120^\circ/180^\circ$ 、 $180^\circ/240^\circ$ 、 $240^\circ/300^\circ$ 或 $300^\circ/0^\circ$ ）之一并且通过响应于相位调节值的三个最低有效位而在选定的时钟相位对之间进行内插（或混合），来响应 6 位相位调节值的三个最高有效位（MSB），从而伴随相位调节值的每次递增或递减而提供 $60^\circ/8$ 或 7.5° 相位步长（或分辨率）。在备选的实施方式中可以提供更多或更少的时钟相位（伴随满足可选择时钟相位对的数目所必需的相位选择位的数目中的对应变化），以及 / 或者可以提供更精细或更粗略的相位内插。此外，相位内插器 271 本身可以由任何类型的相移电路实现，例如包括但不限于这样的放大器——该放大器具有相应耦合用于接收 MSB 选定的相位矢量的输入、共同绑定的输出以及由相位调节值的最低有效的三个位的互补实例控制的相应驱动强度。更普遍而言，可以在备选的实施方式中使用能够提供相对于控制器 I/O 时钟 PCK8 的可选择相位偏移的任何类型的电路。最后，无论何种内插器电路拓扑，图 1A 的拓扑内包括的内插器（或相移）电路均使得内插的时钟 RCK8[i] 在源控制器 I/O 时钟 PCK8 停止时无毛刺（即，没有缩短（矮）脉冲或无效逻辑电平）。举例而言，在某些实施方式中，通过向内插器电路分发 PCK8[0°] 和 PCK8[180°] 波形的额外一对延迟了一个周期的副本来支持经内插时钟的无毛刺启动和停止。类似的布置可以用于确保下文关于图 3F 所讨论的控制器端发射时钟相位的无毛刺启动和停止。

[0072] 如下文所讨论，接收时钟相位最初可以通过将相位调节值步进经过一系列值（或者经过二进制或其他搜索模式）来进行校准，以将产生无错误数据接收的所得时钟相位与产生位错误的所得时钟相位区分开来（即，将通过时钟相位与失效时钟相位区分开来）。例如在一个实施方式中，在数据眼的打开和闭合端上（或在一个数据眼的闭合端与随后数据眼的打开端上）标识位于通过 / 失效边界上的时钟相位（即，相应产生无错误接收和位错误的毗邻时钟相位），并且居中于上述边界之间的相位被选作经校准的接收时钟 RCK8[i]。此后，可以周期性（或偶尔）调节接收时钟相位以通过重新测试边界相位来顾及存储器端（或全系统）相位漂移，从而确认它们产生相同的通过（或失效）结果，并且针对最终接收时钟相位递增或递减相位调节值以抵消由通过 / 失效边界中的变化指示出的任何漂移。

[0073] 触发器级 (flop stage)（或锁存器）283 形成 8 位移位寄存器，该寄存器响应于接收时钟信号 RCK8[i] 的跳变而串行加载。成帧时钟信号 RCK1[i] 针对接收时钟信号的每 8 个周期循环一次，并且用于将移位寄存器的内容并行传递至并行输出寄存器 285，由此实现 1:8 串行至并行转换。位对齐电路——包括用于对接收时钟（RCK8[i]）的负向沿进行计数的模 -8 计数器（由 3 位宽寄存器 273 和增量逻辑 275 形成）以及向 3 位模 -8 计数器输出添加 3 位的位调节值 (RxBitAdj[2:0]) 的加法器电路 277——提供对接收时钟信号与成帧时钟信号之间的对齐的可选择控制。更具体地，如果位调节值为 0（即，RxBitAdj[i][2:0] = 000b，“b”指示二进制），则每次计数器值从 3 转变到 4(011b 到 100b) 时，加法器输出 (278) 的 MSB 变高并且在两个接收时钟周期（由于触发器级 279 和 281）之后触发成帧时钟 (RCK1[i]) 信号的对应上升沿，以加载并行输出寄存器的内容。位调节信号的每次递增使得加法器 MSB（并且因此 RCK1[i]）提早一个位时间上升，从而支持 RCK1[i]（或其中的上升转变）与每 8 个 RCK8[i] 周期中任何一个的下降沿对齐，并且从而允许将串行至并行成帧转移到传入串行位流内的 8 个可能的分组成帧边界中的任何一个。在所示的实施方式

中, RCK1[i] 的每个上升沿与 RCK8[i] 信号的下降沿对齐, 使得向并行寄存器的传递在移位寄存器已经由新的 8 位分组加载之后的半个 RCK8[i] 时钟 (以及在随后分组的第一位加载到移位寄存器中之前的半个 RCK8[i] 时钟) 发生。

[0074] 图 3B 示出了上文描述的定时布置, 开始于多相控制器 I/O 时钟 PCK8 (其中只示出了 0° 时钟相位) 和相移接收时钟 RCK8[i] 的一个实例, 该相移接收时钟具有关于 PCK8[0°] 的任意相位偏移 288 和示例性相位偏移 291 以实现与线 DQ[i] 上的传入数据波形正交 (即, 位时间居中的) 对齐。模 -8 计数器 (即, RCK1a[i]) 的最高有效位输出每 8 个接收时钟信号周期循环一次, 并且转变与接收时钟下降沿对齐。如本文所述, 成帧时钟 RCK1[i] 根据位调节值 RxBitAdj[i][2:0] 的值在计数器输出之后 (由于串行耦合触发器级 279、281) N+2 个接收时钟周期后转变, 其中 N 的范围从 0 至 7。因此, 如果位调节值为 0 (000b), 则成帧时钟信号在原始计数器输出之后转变两个周期, 并且如图所示, 数据位 12 (任意标号) 后的半个周期加载到移位寄存器的后端中。因此, 通过 RxBitAdj[i][2:0] = 000b, 8 个位, 标号为 5-12, 从移位寄存器触发器 283 向并行输出寄存器 285 并行传递, 分别在位 4 与 5 之间以及 12 与 13 之间的开始和结束位边界上将上述位成帧为分组。继续该示例, 如果 RxBitAdj = 1 (001b), 则位 6-13 被成帧为分组, 如果 RxBitAdj = 2 (010b), 则 7-14 被成帧为分组, 并且以此类推至 BitAdj = 7 (111b), 在该情况下位 12-19 被成帧为分组。

[0075] 仍参照图 3A 和图 3B, 可以看出由于接收时钟与控制器 I/O 时钟之间的位内相位偏移和通过向基本成帧时钟相位 (RCK1a[i]) 添加某一数目 (0 至 7) 的整个的接收时钟周期而实现的位级偏移, 内核时钟和成帧时钟相对于彼此具有任意相位。因此, 从漂移补偿解串行化器到控制器内核的数据传递涉及从成帧时钟域跨到控制器内核时钟域的时钟域。该传递进一步被可能存在于 8 个漂移补偿解串行化器中的每一个中的潜在在不同的成帧时钟域变得复杂。此外, 如果存储器控制器 (或共享相同时钟生成电路的多个相同裸片或单独裸片存储器控制器) 与两个或更多个存储器设备通信, 则数据定时变化性可能变得甚至比针对单个存储器设备的最差情况还要大。因此, 除了针对位内采样相位调节的相位调节电路和用于控制分组成帧边界的位对齐电路之外, 还提供了分组对齐电路来对齐经由相应的数据链路接收的共同分组集, 以用于同时向控制器内核域中传递。即, 即便 8 个分组从存储器内核向存储器端 I/O 电路对齐传递, 各种数据链路之间的相位差也可能导致分组在存储器控制器处的时间交错到达, 以及因此分组以彼此相对 (以及相对于控制器内核时钟, MCK1) 不同的位偏移的成帧。结果, 原始对齐的分组中的一个或更多个分组在其他的分组之前相对于内核时钟 (PCK1) 的锁存沿可用, 这意味着: 缺乏用于对较早到达的分组的传递进行延迟以与较晚到达 (更加迟缓) 的分组对齐的机制, 从存储器内核获得的原始多分组存储器字的组份分组在传递至控制器内核时可能时间上分散在两个或更多个存储器字之中 (即, 组份分组之间的存储器端定时关系可能丢失)。因此, 在一个实施方式中, 有电路用于确保在从控制器 I/O 电路到控制器内核的分组传递中保持 (或恢复) 存储器内核分组对齐。例如, 在图 3A 的实施方式中, 这样的分组对齐电路由分组宽的先进先出 (FIFO) 缓冲器 287 来实现, 该缓冲器由成帧时钟 (或者其前进一个位时间的版本, 被称作 FIFO 时钟, FCK1[i]) 加载, 由控制器内核时钟 PCK1 卸载, 并且深至足以保持数目与在最差定时条件下最长延迟分组成帧时间与最短延迟分组成帧时间之间的间隔所跨越的整数个内核时钟周期相等的分

组。

[0076] 图 3C 至图 3D 图示了可以用于实现图 3A 的分组对齐电路 287 的基于 FIFO 分组对齐电路 290 的实施方式和对应时序图。分组对齐电路 290 包括四分组深度缓冲器 299、加载电路 291 和卸载电路 301。加载电路 291 包括模 -4 加载计数器 292 (即, 计数序列 = 0、1、2、3、0、1..., 由增量逻辑 293 和 2 位寄存器 294 实现) 以用于输出 2 位加载计数; 2 位加法器 295, 其向加载计数添加分组调节值 $RxPktAdj[i][1:0]$, 从而使加载计数能够前进 0-3 个成帧时钟周期 (即, 事实上使得加载计数能够被调节至四个可能的初始计数值中的任何一个); 以及 2:4 解码器 297, 其对加法器调节的加载计数进行解码以响应于上升 FCK1 沿来选择 4- 深度缓冲器 299 内 4 个分组中要用传入分组 $P[i][7:0]$ 进行加载的一个。事实上, 加载电路 291 实现了向 4- 深度缓冲器轮换“加载指针”, 从而在序列中陆续选择一个分组寄存器 (随着加法器调节的计数从 3(11b) 向 0(00b) 滚动, 从最后一个分组寄存器向第一分组寄存器缠绕), 并且加法器 295 使得指针能够根据分组调节值 $RxPktAdj[i][1:0]$ 前进到任意起始分组寄存器位置。

[0077] 仍参照图 3C, 卸载电路 301 包括模 -4 卸载计数器 302 (由增量逻辑 303 和 2 位寄存器 304 形成), 用于响应于内核时钟信号 (PCK1) 的上升沿来生成 2 位计数序列或“卸载计数”; 以及 4:1 多路复用器 305, 用于响应于卸载计数而陆续选择 4- 深度缓冲器 (SEL0-SEL3) 的 4 个分组寄存器输出。因此, 加载电路 291 响应于 FCK1 以循环方式 (即, 按顺序轮换通过缓冲器 299 的 4 个分组寄存器) 加载分组寄存器, 并且卸载电路 301 遵循加载电路的轮换, 响应于 PCK1 而以循环方式卸载分组寄存器。传入的分组调节值使得由加载电路实现的轮换指针能够以期望数目的 PCK1 时钟周期领先于由卸载电路实现的轮换指针。如下文所述, 可以执行校准操作以确定针对每个链路的 FIFO 加载和卸载之间的最小延迟, 并且继而通过设置针对每个链路的加载到卸载延迟与最差情况的最小值匹配而对齐所有链路。

[0078] 图 3D 图示了对链路 DQ[0] 和 DQ[7] 上的示例性定时数据定时模式的分组调节值进行调节的效果。更具体地, 将控制器内核时钟 (PCK1) 用作参考, 假设针对链路 DQ[0] 的 FIFO 加载时钟比 PCK1 滞后 PCK1 周期的一部分, 并且假设针对链路 DQ[7] 的 FIFO 加载时钟领先 PCK1 大约相同部分。另外, 出于解释的目的, 假设分组调节值 00、01、10 和 11 分别导致对分组寄存器输出 SEL0、SEL1、SEL2 和 SEL3 的初始选择。在实际操作中, 没有电路用于将加载计数器 292 初始化到预定状态, 分组调节值可以产生由 4 个可能的初始加载计数器状态 (00、01、10、11) 中的任意一个偏移的初始分组寄存器输出选择。

[0079] 假设数据读取操作 (或校准数据发射) 在每个数据链路上产生包括分组“i” (“Pkt i”) 的传入分组序列, 然后 FCK1[0] 的滞后相位将导致该主题分组在 PCK1 的上升沿 N 之后不久被接收 (例如, 由于控制器内核发布产生分组“i”返回的请求或其他发射, 而标记第 N 个 PCK1 周期的开始), 并且根据分组调节值 $RxPktAdj[0][1:0]$ 被加载至 4 个分组寄存器中的一个 (触发器 0、触发器 1、触发器 2 或触发器 3) 之中。即, 如果分组调节值为 00, 则分组“i”加载至触发器 0 (具有输出 SEL0) 之中, 并且在此停留 4 个 FCK1 周期。类似地, 如果分组调节值为 01、10 或 11, 则如图所示, 分组“i”加载至触发器 1 (SEL1)、触发器 2 (SEL2) 或触发器 3 (SEL3) 之中。

[0080] 为了举例而假设卸载指针在 PCK1 的采样 (上升) 沿 N 处指向触发器 0 (即, 分组寄存器输出 SEL0 被多路复用器 305 选择) (然后在 PCK1 沿 N+1、N+2、N+3 处分别指向触发器

1、触发器 2、触发器 3), 并且进一步假设分组“i”被加载到触发器 0 中, 可以看出, 由于分组刚好在 FCK1 采样沿 N 之后 (因此刚好在触发器 0 被卸载到内核域之后) 加载, 在 FCK1[0] 的上升沿 0 向触发器 0 加载分组“i”与 PCK1 的上升沿 N+4 从触发器 0 卸载分组“i” (卸载被示为采样指示符 312) 之间必须发生几乎四个完整的 PCK1 周期。从内核逻辑的角度, 当分组调节值设置为“01”时从请求 / 命令输出 (从内核域) 到数据返回 (回到内核域) 所需的往返延迟比分组调节值设置为“00”时要少 3 个内核时钟周期 (即, $(N+4) - (N+1) = 3$)。事实上, 针对链路 [0] 的最小往返延迟 (这里被称作最小链路延迟) 是针对分组 - 调节 = 01 的 N+1 时钟周期, 并且随着分组调节值的递增逐渐变得更大 -N+2、N+3、N+4, 并且相应地将加载指针前进至进一步领先于卸载指针的分组寄存器触发器 2、触发器 3、触发器 0。

[0081] 仍参照图 3D, 由于 FCK1[7] 的加载沿就发生在 PCK1 的触发器 0 采样沿之前, 因此针对链路 DQ[7] 的最小链路延迟为“N 个”PCK1 周期, 并且在链路分组调节值 (RxPktAdj[7][1:0]) 为“00”时发生。当分组调节值递增到 01、10、11 时, 链路延迟增加对应数目的 PCK1 周期至 N+1、N+2、N+3。

[0082] 如图 3D 的示例性时序图所示, 不同的链路可以展现出不同的最小链路延迟。然而, 由于相应数据链路上的第 i 个分组是从存储器设备内核检索的 (或者在校准操作中从控制器内核发布的) 相同的多分组字的组成部分, 因此通过响应于内核时钟信号的不同采样沿将所有第 i 个分组都传递到控制器内核域中来保持这些分组之间的时间关系是很重要的。如可以通过图 3D 了解到, 该“分组对齐”操作事实上就是一种对所有信号传输链路的链路延迟均衡, 无论它们单独的最小延迟如何。

[0083] 图 3E 提供了跨所有数据链路建立统一链路延迟 (本文中称为最小系统延迟) 的示例。该操作一般可以扩展到所有信号传输链路, 尤其是当主要用于单向传达信息 (例如, 命令、数据屏蔽) 的某些信号传输链路偶尔用于向存储器控制器返回信息时尤为如此。

[0084] 最初, 针对分组调节值的每次设置来确定针对每个数据链路的链路延迟 (在该示例中为读出数据延迟)。这例如可以通过安排在每个链路上接收具有预定位模式的分组 (其之前和之后是不同模式的分组) 并且继而对在接收到该分组之前发生的 PCK1 周期的数目进行计数来实现。举例而言, 在一个实施方式中 (下文更详细地描述), 存储器设备被置于数据环回模式, 在存储器端内核接口环回数据使得由一个链路 (例如, 奇数链路) 发射的数据分组在另一链路 (例如, 相配的偶数链路) 上接收, 并且因此支持针对每个不同的分组调节值的往返延迟确定。在另一实施方式中, 向存储器设备发布请求返回确定性的 (例如, 先前写入的或者除此之外可预测的) 读取数据模式的读取命令, 从而支持针对每个链路和针对每个分组调节值的往返延迟确定 (从来自控制器内核的读取命令的输出到控制器内核中的期望数据的取得)。无论如何完成, 均获得一组链路延迟数据, 包括针对每个链路的每个分组调节值的相对链路延迟 (在该示例中为读出数据延迟) 值 (例如, 内核时钟周期的数目)。在图 3E 的 323 处所示的示例中, 链路延迟数据反映了针对链路 DQ[0] 和 DQ[7] 的、图 3D 中的示例性链路延迟, 连同针对链路 DQ[1] 的类似数据。如图所示, 针对 DQ[1] 的链路延迟与链路 DQ[0] 的链路延迟相匹配, 但却发生于不同的分组调节值 (轮转了两个 PCK1 周期), 这展示了在至少一个实施方式中, 加载计数器和卸载计数器的初始状态是完全任意的。

[0085] 继续图 3E, 控制器内核中的处理器 (或者备选地, 主处理器或其他上游控制器)

可以在 325 处确定针对每个链路的最小链路延迟（在该示例中，针对 DQ[0]、DQ[1] 链路为 N+1 个 PCK1 周期，而针对 DQ[7] 链路为 N 个 PCK1 周期），然后在 327 处基于最差情况（即，最大）链路延迟来确定最小系统延迟。举例而言，在所示的实施方式中，最小系统延迟被确定为单独链路延迟的最大值，在本情况中为 N+1 个 PCK1 周期。此后，在 329 处，用与该最小系统延迟对应的值对针对每个链路的分组调节值 (RxPktAdj[i][1:0]) 进行编程（例如，在下文所述的分组对齐计数器内）。因此，在所示的特定示例中，将针对链路 DQ[0]、DQ[1] 和 DQ[7] 的分组调节值分别编程为“01”、“11”和“01”，以使那些分组到内核传递与最小系统延迟对齐。尤其注意，尽管有机会为 DQ[7] 设置甚至更低的延迟 (RxPktAdj[7] = “00”)，但是事实上该链路的操作延迟了一个 PCK1 周期，以实现与较慢（更加延迟）的链路对齐。

[0086] 已经描述了可以在漂移补偿解串行化器和串行化器电路中使用的示例性相位对齐、位对齐和分组对齐电路，应当注意多种备选电路实现方式可以用于获得所描述的结果而不脱离本文所阐述的原理。例如，各种类型的延迟电路和其他类型的相移电路可以用于生成期望的接收和发射时钟相位。此外，关于位对齐，除了图 3A 和图 3F 中所示的加法器电路 (277 和 345)，还可以提供附加的移位寄存器级，其具有在移位流水线内的不同点处对输出的多路复用器选择（从而实现可选择的 $n \cdot t_{\text{位}}$ 延迟，其中“n”为遍历的附加移位寄存器级的可选择数目，并且 $t_{\text{位}}$ 为位时间间隔）。类似地，关于分组对齐，可以连同多路复用器一起提供附加的并行寄存器，以支持对不同的字对齐的选择。更一般而言，用对多个 PCK1 沿中的一个（例如，图 3D 中所示的 N、N+1、N+2、N+3、N+4）进行选择进行选择的周期跳转电路来代替 FIFO 缓冲器布置，以将数据从单个分组寄存器传递到内核域中。

[0087] 图 3F 和图 3G 示出了可以用于实现图 2A 中所示的任何漂移补偿串行化器的漂移补偿串行化器 185 的实施方式和时序图。与图 3A 的漂移补偿解串行化器类似，该漂移补偿串行化器包括用于执行分组对齐、位对齐和位内部定时相位调节的电路，所有都与解串行化器的顺序相反。事实上，漂移补偿串行化器预偏斜每个信号传输链路中彼此之间的分组（分组对齐）、每个分组的位（位对齐）和数据速率发射时钟信号的位内相位来对齐针对每个链路的数据发射，从而使得相配的存储器端接收电路能够在期望的位内瞬间采样每个位；根据存储器控制器所打算的分组成帧将每组位成帧为分组；以及向存储器内核域同步传递形成同一多分组数据字的组成部分的所有分组，所有这些都不需要任何相位存储器端定时补偿电路。因此，分组对齐 FIFO 371 响应于控制器内核时钟 (PCK1) 加载一系列发射数据分组 (Tdata[i][7:0])，并因此在该示例中为每个 8 位分组，并且响应于解成帧时钟信号 (TCK1[i]) 的经缓冲器延迟的实例 (FCK1[i]) 卸载（即，分组从 FIFO 或队列头部弹出）到并行寄存器 367 中，从而允许根据需要对在不同的时间将来自相同多分组字的分组从控制器内核加载到控制器 I/O 域，从而对不同链路上控制器内核到存储器内核传播时间差异进行补偿。响应于解成帧时钟信号 TCK1[i]，向串行输出移位寄存器 365 加载并行寄存器 367 的内容，该解成帧时钟信号 TCK1[i] 的生成方式与图 3A 的解串行化器内的成帧时钟信号 RCK1[i] 相同。即，解成帧时钟信号通过在模 -8 计数器（由寄存器 341 和增量逻辑 343 形成）中将位速率发射时钟信号 TCK8[i] 除以 8，并且在加法器 345 中向计数器输出添加 3 位位调节值来生成，从而使得模 -8 计数器的输出能够偏移范围从 0 到 7 的值，并因此使得解成帧能够发生在 8 个可能的位边界中的任何一个上。在与触发器级 351 中发射时钟 TCK8[i] 的负向沿同步之后，在 TCK8[i] 的每 8 个周期循环一次的加法器输出的 MSB 形成解

成帧时钟 TCK1[i]。解成帧时钟移位通过一系列三个负向 TCK8[i] 沿触发触发器 (353、355、357), 其中最后两个触发器级 (357、355) 的输出被提供到 AND 门 359 的反相和非反相输入用以生成单个 TCK8[i] 周期加载脉冲 LD[i]——每个解成帧时钟周期发生一次。向串行输出移位寄存器 365 内触发器级的加载使能输入提供加载脉冲, 使得当加载脉冲变高时, 并行寄存器 367 的内容被加载到串行输出移位寄存器 365 中, 并且在半个 TCK8[i] 周期之后 (由于负向沿触发的触发器级 361) 逐位移位至输出触发器 363 中并且被驱动到 DQ[i] 链路上。如在图 3A 的解串行化器中那样, 提供了内插器 364 (或其他时钟相位移位器) 来支持发射时钟信号 TCK8[i] 与控制器 I/O 时钟 PCK8 之间经校准的位内 (或周期内) 定时偏移。下文描述了为建立和调节该漂移追踪相位偏移而应用的校准操作。如关于图 3A 的漂移补偿解串行化器所讨论的, 在某些实施方式中可以通过向内插器电路 364 分发 PCK8[0°] 和 PCK8[180°] 波形的额外一对经一个周期延迟的副本来支持内插时钟 TCK8[i] 的无毛刺启动和停止, 但是还可以使用备选技术来确保无毛刺操作。

[0088] 图 3G 图示了上文所述各种时钟、控制和数据信号之间的时序关系。更具体的, 在 334 处示出了 PCK8 域与 TCK8[i] 域之间的任意相位关系 (注意, 只示出了多相位 PCK8 时钟信号的 0° 时钟相位), 连同加载脉冲的定时 LD[i] 及其对位调节信号 TxBitAdj[i][2:0] 的依赖性, 以解成帧给定的数据分组, 用于在串行输出流中的逐步位移位的位置处的发射。更具体地, 根据位调节值 TxBitAdj[i][2:0], 在不同的解成帧间隔向串行输出寄存器传递并行寄存器内的数据分组, 从而使得分组边界能够在传出串行位流中按位来移位。即, 如果位调节值为 0 (TxBitAdj[i] = 0, 或 000b), 则在位 19 (任意指派的标号) 发射结束时向串行输出移位寄存器 365 中加载并行寄存器 367 内的数据分组, 并且继而将其作为位 21-28 发射。如果 TxBitAdj[i] = 1, 则在位 20 传输结束时, 在一个位时间之后向串行输出移位寄存器加载分组, 并且继而将其作为位 22-29 发射。继续下去, 如果 TxBitAdj[i] = 2、3、4...7, 则在相比当 TxBitAdj[i] = 0 时晚对应数目的位时间之后 (即, 2、3、4...或 7 个位时间之后) 向串行输出移位寄存器中加载来自并行寄存器的分组, 并且继而在对应数目的位时间之后将其作为串行位流中的位 23-30、24-31、25-32...或 28-35 发射。

[0089] 图 3H 图示了可以用于实现图 3F 的分组对齐电路 371 的基于 FIFO 的分组对齐电路 380 的实施方式。该分组对齐电路总体上如关于图 3C- 图 3E 描述的那样进行操作, 但事实上以相反方向建立为确保向存储器端内核中的对齐传递所必需的、在相伴的分组 (即, 属于相同传出数据字或命令字的分组) 之间的错对齐。因此, 分组对齐电路 380 包括具有分组寄存器触发器 0 至触发器 3 (在图 3H 中由相应的输出 SEL0-SEL3 表示) 的 4- 深度 FIFO 缓冲器 351, 以及用于加载和卸载 FIFO 缓冲器的加载电路 381 (或加载指针) 和卸载电路 383 (或卸载指针)。在所示实施方式中, 加载电路 381 包括与图 3C 的加载指针 291 的对应元件大体相同起作用的模 -4 计数器 384 (由增量逻辑 385 和寄存器 386 形成) 和 2:4 解码器 (387), 但是由 PCK1 而不是由 FCK1[i] 钟控。卸载电路 383 包括与关于图 3C 的卸载指针 301 的对应组件所描述的大体相同起作用的模 -4 计数器 390 (由增量逻辑 391 和寄存器 392 形成) 和 4:1 多路复用器 395, 但是由 FCK1[i] 而不是由 PCK1 钟控并且包括 2 位加法器 393 来使得加载序列能够前进 0、1、2 或 3 (0 至 3) 个 FCK1 采样沿。通过该布置, FIFO 缓冲器 382 的分组寄存器响应于 PCK1 的连续沿而以轮转序列加载, 并且响应于 FCK1[i] 的连续沿而以轮转序列卸载, 其中加载到卸载的延迟经由向模 -4 卸载计数器 390 的输出添加的

TxPktAdj[i][1:0] 值来调节。因此,通过经由先前校准的漂移补偿解串行化器检索发射的数据(例如,经由环回或写回和读回),可以针对每个信号传输链路来确定与发射分组调节值的每个设置对应的延迟值;可以确知最小链路延迟并将其用于建立针对控制器到存储器信号传输的系统链路延迟。此后,该系统链路延迟值可以用于编程或者以其他方式建立针对每个信号传输链路的发射分组调节值,以确保在串行化时和在向存储器端内核时钟域传递时的一致对齐。

[0090] 图 4A 和图 4B 分别图示了可以用于实现图 2A 的存储器设备内的任何解串行化器电路和串行化器电路的解串行化器电路 400 和串行化器电路 415 的实施方式。如图所示,内核存储器时钟 MCK1 可以用作分组成帧和解成帧时钟而无需调节,并且不需要提供其他相位调节或位调节电路。此外,由于 MCK4 信号以半数据速率振荡,因此 MCK4 的上升沿和下降沿(或者 MCK4 的上升沿和互补时钟 /MCK4 的下降沿(反之亦然))二者可以用于对存储器端串行化器电路和解串行化器电路内的数据发射与接收定时,从而实现时间速率定时。

[0091] 在图 4A 的示例性解串行化器 400 的实施方式中,传入数据信号(可以承载写入数据、命令/地址信息、校准信息等)分别响应于存储器端 I/O 时钟 MCK4 的上升沿和下降沿交替钟控到偶数据触发器 401 和奇数据触发器 403。此后,偶数据触发器和奇数据触发器内捕获的数据被一起移位至偶数据移位寄存器 402 和奇数据移位寄存器 404,其中在该 8 位分组示例中,每个移位寄存器具有 4 个触发器级。在 MCK4 信号的每 4 个周期中,在偶移位寄存器和奇移位寄存器加载了完整数据分组之后,MCK1 的上升沿用于锁存并行输出分组寄存器 405 内的数据分组(在移位寄存器 402、404 的输出处并行可用),从而实现分组作为接收数据 Rdata[i][7:0](例如,写入数据、校准数据、配置数据、命令/地址信息、数据屏蔽信息等)向存储器内核域接口的传递。

[0092] 在图 4B 的示例性串行化器 415 中,响应于每个 MCK1 周期生成一次的加载脉冲 430 向 4 级、2 位宽移位寄存器 416(可以被视为一对分别针对分组的偶数位和奇数位的单个位移位寄存器)中并行加载 8 位发射数据分组 Tdata[i][7:0]。此后,位于移位寄存器头部(即,在触发器级 R01 中)的两个位在下一对位被向前移位用于在随后的 MCK4 周期发射之前,在给定 MCK4 周期的相应低相位和高相位中应用于输出驱动器(因此被驱动到链路 DQ[i] 上)。如图所示,提供触发器 421 用于确保为在 MCK4 周期的高相位期间的输出而提供的位的保持时间,并且如果有足够的保持时间可用则可以省略该触发器 421。

[0093] 加载脉冲 430 可以通过多种方式生成,但在所示实施方式中是由触发器 423 和 AND 门 425 生成的。更具体地,AND 门 425 在反相输入处接收触发器 423 的输出并且在非反相输入处接收 MCK1,由此生成在内核时钟 MCK1 的每个上升沿之后延伸持续 MCK4 的第一周期的脉冲。来自 AND 门 425 的脉冲被缓冲在触发器 427 中以确保在负向 MCK4 沿触发的触发器 429 中在半 MCK4 周期后被重新定时之前有足够的保持时间用于产生加载脉冲 430。加载脉冲本身向多路复用器级 M01、M23 和 M45 提供,从而使得移位寄存器的组件寄存器 R01、R23 和 R45 能够用待串行化的分组的组份位并行加载(即,位 0、1 到 R01;位 2、3 到 R23;以及位 4、5 到 R45),同时分组的位 6 和 7 同时加载到输入级寄存器 R67 中。

[0094] 在备选实施方式中,各种实现方式细节可以在图 4A 和图 4B 的串行化器和解串行化器中改变。例如,除了钟控具有数据速率时钟(所示示例中为半位速率时钟)的移位寄存器来实现 8:1 串行化,可以提供一系列 2:1 多路复用器和触发器级,在连续级中,响应于

MCK 1 的高和低相位选择 8 位分组中的交替的 4 位部分（级 1），响应于 MCK4 被 2 除之后的实例的高和低相位选择每个 4 位部分中交替的 2 位部分（级 2），以及响应于输出级中 MCK4 的高和低相位选择每个 2 位部分中交替的单个位。可以采用类似的布置来执行 1:8 解串行化，在输入级中将单独位组合成分组的 2 位部分，在第二级中将位对组合成分组的 4 位部分，然后在第三级中组合分组的 4 位部分。存储器控制器内的漂移补偿串行化器和解串行化器类似地可以通过连续 2:1 多路复用（或解多路复用）级而不是通过由数据速率时钟钟控的移位寄存器来实现。在该情况下，可以通过向频分本地时钟添加偏移值而实现位调节。

[0095] 校准

[0096] 在图 2A 的存储器系统中，基于通过正在校准的信号传输链路发射的数据来执行每个漂移补偿解串行化器和串行化器内的时钟相位、位对齐和分组对齐电路的校准。在一个实施方式中，执行初始校准操作以在漂移补偿解串行化器内并且继而在漂移补偿串行化器内建立可靠的操作，并且此后足够频繁地执行周期性（或偶尔的）定时校准操作来递增地调节校准设置，以追踪存储器端定时漂移（并且更一般而言，系统范围的定时漂移）。此外，在一个实施方式中，向本应为单向链路的其他链路（例如，控制 / 地址和数据屏蔽）中的每一个链路提供了例如图 3A 中所示的漂移补偿解串行化器电路（以及例如图 4B 中所示相配的存储器端串行化电路），从而允许针对每个信号传输链路执行一致的校准过程。在备选的实施方式中，从存储器设备到存储器控制器的另一返回路径（例如，边带链路）可以用于校准单向控制器到存储器链路。在该情况下，经由单向链路从控制器发射的数据可以被可交换地路由到备选返回路径用于向存储器控制器递送，从而使得存储器控制器能够确定原始发射的数据是否由存储器设备正确接收。

[0097] 关于每个漂移补偿解串行化器和串行化器的初始校准的一般方法为首先校准接收 / 发射时钟相位（调节 RxPhAdj[i] 和 TxPhAdj[i]）接着是位对齐（RxBitAdj[i] 和 TxBitAdj[i]）继而是分组对齐（RxPktAdj[i]、TxPktAdj[i]）。例如，图 5A 图示了针对数据链路 DQ0 和 DQ1 而校准漂移补偿解串行化器内的接收时钟相位的方法（由此确保可靠的存储器到控制器信号传输），但是应当理解，相同的过程也针对所有信号传输链路同时执行。作为校准支持电路，存储器控制器包括针对每个信号传输链路的数据选择（多路复用）电路和匹配电路，以及用于位内相位调节、位对齐和字对齐的校准数据模式的源。存储器设备也包括数据选择电路和校准数据源，以及成对链路之间的环回互连用于使得经由一个信号传输链路接收的数据能够经由配对的相配链路返回存储器控制器。

[0098] 继续图 5A，存储器控制器通过边带链路（例如，图 2A 中所示的边带链路 SL）向存储器设备发布校准命令，用于经由数据选择器（多路复用器）477e 和 477o 从校准数据源 471 选择模式集 A 作为待通过每个 DQ[0] 和 DQ[1] 信号传输链路向存储器控制器发射的校准数据源。针对偶数链路 DQ[0] 的整体校准数据路径由从内部数据校准数据路径 472 通过多路复用器 477e 和 473e 到存储器端串行化器 235e 的阴影数据流示出。响应于差分存储器 I/O 时钟（MCK4）的上升沿和下降沿发射所得的串行位流，该 MCK4 以两倍于 1.6GHz 存储器 I/O 时钟速率的速率发生，由此产生在每个差分链路上的 3.2Gb/s 的发射。在到达存储器控制器时，位序列被提供给相位选择解串行化器 192e 和位 / 分组对齐电路 194e，在此响应于接收时钟 RCK8[i] 和成帧时钟信号 RCK1[i] 的初始相位（例如，RxPhAdj[i] = 000000b 并且 RxBitAdj[i] = 000b）对其进行采样和解串行化（成帧为分组），并且根据初始分组调

节值 ($RxPktAdj[i] = 00b$) 对其进行分组对齐。在一个实施方式中, 形成模式集 A 的数据序列是预定的或者至少是可预测的 (例如, 确定性生成的), 使得可以向匹配电路 453e 提供接收的数据以确定接收的数据是否与预期的序列匹配。在一个实现方式中, 该评估只针对位序列执行, 从而使得匹配 / 失配确定只依赖于单独位是否被无误差地采样, 而不考虑任何位或分组失齐。校准数据在奇数信号传输链路和偶数信号传输链路内同时流过并行校准路径。因此, 针对示为 ($DQ[1]$) 的奇数链路的校准数据通过 I/O 电路和针对该奇数链路的校准支持电路 (477o、473o、235o、192o、194o) 推进到达匹配电路 453o。

[0099] 图 5B 图示了图 5A 的位内时钟相位布置的特定实施方式, 而没有关于各种数据选择路径的细节。如图所示, 伪随机位序列 (PRBS) 电路 501 生成确定性位模式作为模式集 A, 该模式被串行化 (235) 用于在信号传输链路 ($DQ[i]$) 上发射并且在漂移补偿解串行化器 186 内接收。匹配电路 453 内的状态机 505 (或者位定序器或其他控制逻辑) 最初向实现方式与存储器端 PRBS 电路 501 相同 (即, 计算相同的 PRBS 多项式) 的控制器端 PRBS 电路 503 断言支持种子 (seed) 的信号 (“种子”), 从而使得存储器端 PRBS 电路和控制器端 PRBS 电路能够同步。如果传入数据序列由初始接收时钟相位正确采样, 则控制器端 PRBS 电路的输出将在播种 (即, 移位至 PRBS 寄存器链) 之后与出现在控制器端 PRBS 输入处的存储器端 PRBS 的输出匹配。因此, 如果数据接收无误, 则状态机可以解断言种子信号, 并且当前经播种的控制器端 PRBS 输出将继续逐位匹配与模式集 A 对应的接收的数据序列。通过该布置, 状态机 505 可以根据控制器端 PRBS 输出是否与经发射的数据序列匹配来评定初始接收时钟相位 (例如, 通过 $RxPhAdj[i] = 000000b$ 选定的相位) 的通过 / 失效状态。此后, 接收时钟相位可以前进 (例如, 递增或遵循二进制或其他搜索模式) 并且适当的数据接收在新时钟相位被重新测试。通过在数据眼的任一端或者在一个数据眼的闭合处与随后数据眼的打开处确定通过 - 失效边界 (即, 产生通过和失效测试结果的毗邻时钟相位), 可以从一系列通过时钟相位之中选择最终时钟相位, 例如作为两个通过 - 失效边界之间的中值, 或者在来自潜在地根据眼宽度选择的多个边界之一中的特定偏移处。图 5C 展示该方法, 示出了由示例性相位选择器选择的 48 个时钟相位 (即, 3 个位用于选择 6 个时钟相位中的 2 个, 3 个位用于在选定的时钟相位对之间内插) 以及相对于数据眼 schmoos 的通过 - 失效边界之间的示例性关系 (即, 连续数据眼相互叠放的绘图)。在所示示例中, 针对相位调节设置的失效时钟相位为 0-10 和 38-47, 并且通过相位调节设置从 11 到 37。因此, 最终接收时钟相位可以被选作通过 / 失效边界的平均值或中值, 在该情况下为取值为 $24((10+38)/2$ 或 $(11+37)/2$) 的相位调节值。备选地, 通过 - 失效边界之间的差异可以用作单元间隔的测量 ($(37-11) \times 7.5^\circ = 202.5^\circ$) 并且因此用于在有限数目的沿到中心偏移之间选择, 本文中偶尔将该偏移称作半 UI 偏移 (虽然并不一定确切地为单元间隔的一半)。该方法支持在与通过 / 失效边界对齐的时钟相位与经校准的采样点 (标称的数据眼中点) 之间快速切换。这种“相位跳跃”在加速周期性定时校准操作方面尤其有用。例如, 在下文所述的一个实施方式中, 通过从接收时钟相位到通过 - 失效边界时钟相位 (“边界相位”) 的相位跳跃来执行周期性定时校准, 以确定自从上次定时校准操作之后通过 - 失效边界是否已有漂移。如果有漂移, 则在漂移的方向上递增或递减边界相位。在对边界相位进行更新之后, 相对于经更新的边界相位执行固定的相位跳跃, 以到达对应更新的 (经递增或经递减的) 接收时钟相位, 从而完成关于接收时钟相位的周期性定时校准。

[0100] 在一个实施方式中,周期性定时校准隐藏在存储器端维护操作(例如,DRAM刷新)下,或者在潜在短暂的空闲间隔中执行并且因此涉及相对短暂的测试模式发射,以支持对通过-失效边界的漂移的检测。因为短暂测试模式可以只包括出现在更为随机的数据序列中(如由更长的伪随机位序列所表示)的有限数目的频谱分量,因此在周期性定时校准(PTC)期间可以觉察到比在初始校准期间更开放(具有不同的通过/失效边界)的数据眼。在一个实施方式中,在接收时钟的初始校准之后确定PTC通过-失效边界,并且此后将其用于检测漂移(例如,通过重新测试边界相位)。由于PTC边界时钟相位响应于漂移而递增和递减,因此接收时钟相位对应地递增和递减,从而将接收时钟相位保持在相对于PTC失效边界的恒定偏移并且对系统漂移进行补偿。图5D概念性地图示了该操作,其示出了覆盖在由频谱更完整的初始校准测试模式造成的较小数据眼上的由频谱有限的PCT测试模式造成的较大数据眼,以及PTC边界相位与接收时钟相位之间的偏移。在发射相位校准(如下文所述)之后可以执行类似的操作,从而确定PTC边界相位连同经微调的发射时钟相位并且在周期性发射定时校准期间步调一致地递增和递减这些时钟相位。

[0101] 图6A和图6B图示了漂移补偿解串行化器校准的示例性位对齐(或分组-成帧)阶段。与接收时钟校准一样,位对齐操作开始于从存储器控制器到存储器设备的边带命令用于开始输出预定校准数据模式;在该情况下,为模式集B:由具有单独“1”位在预定的位位置中的8位分组形成的成帧模式。数据发射路径基本上与图5A中的相同(由穿过存储器端多路复用器级、串行化器、数据链路、控制器端解串行化器和位/分组对齐电路到达匹配电路453的灰色轮廓示出),但是针对每个链路的匹配电路的输出调节向位/分组对齐电路递送的位对齐值(RxBitAdj[i])而不是如图5A的接收时钟校准操作中的内插时钟相位。图6B图示了例如由匹配电路453内的状态机505执行的总体位对齐操作。如图所示,状态机评估处于初始成帧值(例如,BitAdj=000)的传入分组,以确定逻辑“1”位是否出现在分组内期望的位位置中。如果没有,则状态机确定实际逻辑“1”位位置与期望的“1”位位置之间的位偏移,并且相应地调节位调节值。在图6B所示两个位失齐(或分组成帧错误)示例中的第一示例中,逻辑“1”位被成帧在位位置7(0000 0001b)而不是如原始发射的位位置0(10000 000b)。在该情况下,有限状态机确定一个位的位位移并且将位调节值相应地设置成RxBitAdj[i]=001b,从而实现传入位序列内逻辑“1”的1位右移(或者在成帧边界中的1位左移)来将逻辑“1”位定位在正确的位位置(位位置0)并且由此建立预期的分组到分组成帧。在两个失齐示例的第二示例中,逻辑“1”出现在位位置2,使得应用位调节6(RxBitAdj[i]=110)来实现预期的分组成帧边界。

[0102] 仍参照图6B和图3A,可以看出位对齐是通过相对于内核时钟域延迟成帧时钟而实现的,从而使得根据所需的位移位(与用于建立接收时钟的期望相位的相位延迟结合),给定分组可以在不同时间(即,响应于内核时钟信号的不同沿)准备好向内核时钟域传递。因此,形成从存储器内核检索的同一多分组值的一部分的分组可以响应于不同的内核时钟周期在没有对齐的情况下向内核域中传递。为了避免这一后果,执行图6C中所示的分组对齐操作来确定分组延迟值,当将该值应用于针对各种链路的分组对齐电路时,将对齐形成从存储器内核检索的原始多分组值的一部分的分组以用于同时向控制器内核时钟域传递。与相位和位对齐一样,分组对齐校准开始于从存储器控制器到存储器设备的命令用于选择支持在每序列4个分组之间作出区分的校准数据源(模式集C)。例如,在一个实施方式中,

模式集 C 为 4 分组序列,该序列包括具有一个或多个“1”位的分组 (“P1”),并且有 3 个 0 值分组 (“P0”) 跟随其后。因此,状态机 505 可以例如通过向下述逻辑电路输出本地分组延迟来确定 P1 分组接收相对于其他链路的那些分组的延迟,上述逻辑电路接收针对其他链路的类似信号并且返回指示本地分组延迟相对于最延迟链路中延迟的“相对延迟”。状态机 505 通过根据该相对延迟指示来延迟 I/O 到内核分组传递时间而作出响应,并且从而匹配最延迟链路的 P1 传递时间,使得针对所有链路而言, P1 分组均同时向内核域传递 (即, 响应于相同的 PCK1 沿)。

[0103] 在校准漂移补偿解串行化器内的接收时钟相位、位对齐和分组对齐之后,执行类似的操作来校准漂移补偿串行化器内的发射时钟相位、位对齐和分组对齐。通常,这些操作通过经由正在校准的漂移补偿串行化器从存储器控制器向存储器设备发射校准数据,然后接收经由先前校准的漂移补偿解串行化器从存储器设备返回的经发射校准数据来执行。更具体地,在一个实施方式中,在存储器设备内提供数据环回路,以使得由存储器控制器发射的校准数据能够返回到存储器控制器而不需要加重存储器内核的负担。该布置加速了校准数据返回并且使得定时校准操作能够部分地或完全地隐藏在存储器刷新或存储器内核中其他开销操作下 (即,与它们并发地执行)。在备选的实施方式中,写入和读回操作可以用于建立数据链路的全环路测试 (从而避免了对环回路的需求),但是上述布置复杂化了整体的校准过程——因为在可以开始写入和读取操作之前通常需要使得命令路径可操作。虽然有可能在数据路径校准之前建立可靠的命令路径信号传输 (例如,通过在边带链路上协调的校准操作;经由命令路径发送命令并且评估命令是否被正确接收),但这种复杂性通过环回方法而得以避免。

[0104] 图 7A、图 7B 和图 8A 至图 8C 图示了依靠存储器设备内相应的信号传输链路对之间的交叉耦合回路路径的示例性串行化器校准过程。通常,串行化器校准过程与解串行化器校准遵循相同的顺序,即开始于时钟相位调节,随后是位对齐 (分组成帧),并且最后是链路间分组对齐。

[0105] 图 7A 示出了在漂移补偿解串行化器内的发射时钟相位的校准期间的校准数据流。最初,经由多路复用器 451e 选择校准数据源并且使用初始分组对齐值、位对齐值和发射相位值 (例如,所有值均为 0) 在漂移补偿串行化器 (191e、193e) 内将其串行化。数据经由偶数信号传输链路 (在该示例中为 DQ[0]) 传达,在相配的存储器端解串行化器 236e 内接收并分组化,然后经由环回路 240 和多路复用器 473o 路由至针对偶数 / 奇数链路对的相配链路 (即, DQ[1]) 的数据发射电路和串行化器。继续,在针对奇数链路的先前校准的漂移补偿解串行化器 (192o、194o) 内接收所述数据并将其提供用于匹配电路 453o,该匹配电路 453o 转而提供针对受测试发射时钟相位的通过 - 失效确定。图 7B 图示了校准数据从源到目的地的整个流程。更具体地,在所示示例中,校准数据序列起源于控制器端 PRBS 发生器 571,并且使用受测试的发射相位调节设置 (TxPhAdj[i]) 向存储器设备发射。当在存储器设备内被接收到时,该校准数据序列通过可切换形式的环回路 (572) 环回到存储器控制器,在存储器控制器内被接收并继而递送至控制器端 PRBS 检验器电路 503。在所示的特定实施方式中,在发射校准和接收校准期间采用相同的 PRBS 检验器电路 503,但是在备选实施方式中也可以使用单独 (或至少不同配置) 的检验器电路。因为先前已经校准了存储器到控制器传递,所以可以假设针对受测试的发射时钟相位的通过或失效结果产生自

控制器端发射时钟与未补偿的存储器端接收时钟信号之间不当的相位对齐。因此,通过将发射时钟相位递增通过线性(或者二进制搜索或其他搜索)序列,可以标识针对该发射时钟相位的通过-失效边界,并且对应的发射时钟相位被选作这些边界之间的中点或者相对于所述边界之一的预定偏移(例如,基于通过-失效边界之间时钟相位的范围)。在完成针对每个偶数信号传输链路的发射时钟相位之后,存储器控制器经由边带链路发布命令来切换多路复用布置以使得由奇数信号传输链路发射的数据能够经由偶数信号传输链路(即,包括环回路径 242 和多路复用器 473e) 环回,并且使得偶数信号传输链路内的匹配电路能够调节奇数链路发射时钟的相位。

[0106] 在已经校准了偶数和奇数发射时钟相位之后,存储器控制器发布另一边带链路命令用于重新建立偶数链路解串行化器 236e 与奇数链路串行化器 235o 之间的存储器端环回路径,为对应于针对漂移补偿解串行化器所执行的那些操作的位对齐和分组对齐操作做好准备。在图 8A、图 8B 和图 8C 中示出了该布置,示出了整体数据流路径(图 8A),以及向偶数环路信号传输路径内的位/分组对齐电路提供的位对齐信号(图 8B)和分组对齐信号(图 8C)。在完成偶数信号传输链路内的位/分组对齐之后,再次切换存储器设备数据多路复用器(例如,响应于来自存储器控制器的边带链路命令)以支持对奇数信号传输链路内的位/分组对齐进行校准。

[0107] 周期性定时校准

[0108] 在初始定时校准努力中针对漂移补偿串行化器/解串行化器电路完成相位、位和分组对齐操作之后,可以以存储器设备与存储器控制器之间的全数据速率数据传递来开始活动存储器操作。如上文所述,存储器设备内漂移补偿电路的缺乏意味着初始相位校准可能响应于温度和电压(或其他环境因素)中的变化而相对快速地漂移远离期望的对齐,因此需要相对频繁的纠正。执行周期性或偶尔的定时校准操作来提供这种校正。

[0109] 图 9A 和图 9B 分别图示了用于周期性校准漂移补偿串行化器和漂移补偿解串行化器的示例性操作序列。首先参照图 9A,在发射校准数据之前,存储器控制器经由当前校准的命令路径发布环回使能命令以建立从偶数信号传输链路到奇数信号传输链路的环回流,并且还响应于时钟选择信号(EdgeClkSel)而移位发射时钟的相位来匹配针对通过/失效边界记录的通过时钟相位。此时,存储器控制器响应于边界相位发射时钟信号发射从模式源 F 选择的数据——可以发射有限次数的可预测或预定序列的值(例如,一个分组)。模式源在存储器设备的相配解串行化器内被接收,被环回到针对受测试链路对的奇数链路的串行化器(在所有链路对中同时发生)并且继而被重新发射至存储器控制器,在此处其被接收于漂移补偿解串行化器内(使用先前校准的接收时钟相位)并且被供应给匹配电路 473o 以用于与期望值进行比较。如果在该点检测到模式失配,则存储器控制器可以推断出通过/失效边界已经在通过/失效边界的通过相位的方向上漂移,因此在追踪该相位漂移的方向上递增针对通过/失效边界值记录的时钟相位。此后,通过相对于当前移位的通过/失效边界以预定偏移的相位跳跃,实现递增的(调节的)发射时钟相位,从而对漂移进行补偿。如果针对先前确认的通过/失效边界的通过相位检测到模式匹配,则可以测试先前确定的失效相位(使用递减的边界相位重复数据模式 F 的发射)以确定控制器到存储器相位是否在相反方向上漂移。如果失效相位现在通过,则推断出漂移在失效边界方向上,并且递减针对通过/失效边界记录的时钟相位来追踪该相位漂移。此后,通过相位跳跃过预定偏移到

现在递减的通过 / 失效边界, 实现递减的 (调节的) 发射时钟相位, 从而对漂移进行补偿。如果在通过边界相位中检测到模式匹配而在失效边界相位中检测到模式失配, 则通过 / 失效边界被认为从上次校准操作起没有发生漂移, 因此不记录针对通过 / 失效边界或发射时钟相位的相位调节值的变化。

[0110] 虽然上述校准方法支持在每个校准更新期间的相位递增、递减或保持, 但是在备选实施方式中, 每个校准操作可以递减或递增 (没有保持状态) 正在校准的时钟相位, 因此潜在地遭受一些时钟抖动, 但是作为回报, 可以获益于更简单的控制电路 (例如, 状态机) 实现方式。在这样的实施方式中, 可以积累若干校准操作的结果然后按多数原则应用其来确定相位更新。无论在何种情况中, 在边界与采样时钟相位之间只需要进行单个相位跳跃。

[0111] 在针对偶数信号传输链路完成控制器端发射时钟相位的周期性定时校准之后, 存储器控制器经由 CA 链路发布校准命令来逆转数据多路复用方向并且关于奇数链路执行相同序列的校准操作。

[0112] 在完成针对偶数链路和奇数链路发射时钟相位的周期性定时校准操作之后, 如图 9B 中所示执行对应的周期性定时校准操作以调节偶数链路和奇数链路接收时钟相位。在一个实施方式中, 接收时钟校准紧跟在发射时钟相位调节后面, 使得已经建立了从奇数链路解串行化器到偶数链路串行化器的存储器端环回路径。除此之外, 存储器控制器可以经由命令路径发布命令来建立该环回路径。无论在何种情况中, 一旦建立了奇数到偶数环回路径, 存储器控制器便开始经由奇数信号传输链路 (即, 经由多路复用器 451o, 通过分组 / 位对齐电路 193o 和相移串行化器 191o) 发射模式 F 数据 (或其他周期性定时校准数据), 并且经由偶数链路解串行化器接收环回的数据。与发射时钟一样, 在周期性定时校准期间接收时钟相位偏移至先前记录的通过 / 失效边界, 以确定通过 / 失效边界是否已经移动, 并且如果已经移动, 则确定移动的方向。即, 如果通过边界相位仍产生通过结果, 但失效边界相位现在产生通过结果而不是失效结果, 则在失效边界相位的方向上移位针对通过 - 失效边界的位调节值来抵消相位漂移, 从而由于在当前移位的通过 / 失效边界与接收时钟之间保持的固定相位偏移而产生接收时钟相位中的对应移位。如果通过边界相位产生失效结果, 则在该通过边界相位的方向上移位针对通过 - 失效边界的位调节值, 从而在接收时钟相位中产生对应的移位来抵消相位漂移。如果通过 / 失效边界中没有移动, 则保持接收时钟相位不变。如关于发射时钟相位所讨论的, 在备选实施方式中, 接收时钟相位可以在每次更新中递增或递减 (即, 没有保持状态)。在针对偶数链路接收时钟完成周期性定时校准之后, 存储器控制器向存储器设备发布命令来逆转数据环回连接 (以使得由偶数信号传输链路传输发射的数据能够经由奇数信号传输链路环回), 因此支持针对奇数链路接收时钟执行相同的周期性定时校准序列。

[0113] 仍参照图 9A 和图 9B, 在备选实施方式中, 除了使用针对发射定时校准的环回布置, 还可以执行存储器写入和读回操作 (包括针对预定寄存器而不是内核存储阵列的操作) 来实现发射时钟相位的周期性校准 (调节)。类似地, 存储器读取操作和 / 或存储器到控制器模式发射 (即, 关于图 6A 所述) 可以用于周期性地校准 (调节) 接收时钟相位。在这样的实施方式中, 可以部分地或者完全地省略环回电路, 并且潜在地可以同时校准所有链路而不是按顺序校准各链路对的偶数链路和奇数链路。无论在何种情况中, 均可在上述控制器端校准电路内维持用于支持逐链路漂移补偿的相同相位值、位对齐值和分组对齐

值。

[0114] 在一个实施方式中,由控制器端校准电路维持的位调节值维持在上/下对齐计数器中以使得相位调节值中的上溢(或下溢)能够向位调节值进位(或借位),并且同样地,使得位调节值中的上溢/下溢能够向分组调节值进位/从分组调节值借位。在图 10A 中对齐计数器实施方式(551)中示出了该布置,该对齐计数器实施方式与关于图 3A 和图 3C 所述的 6 位相位调节电路对应。即,只使用了 64 个可能的相位调节值中的 48 个(即,上部的 3 个相位调节位用于选择 6 对可能的时钟相位之一从而使得两个相位选择值未使用并且因此总共 16 个相位调节值未使用),使得在相位计数器内提供用于实现针对相位调节域 553 的以 48 为模的计数(即,从 47 到 0 递增并且从 0 到 47 递减)的电路。因此,当相位调节值 47 递增时,所得的翻转产生向位调节域 555 的进位,事实上将时钟的相位从给定位时间内的最延迟沿前进至更延迟位时间内的最不延迟(最前面的)沿。类似地,在将相位前进到相位调节域已经达到最大计数(47)并且位调节域也已经达到最大计数(7)的点时,时钟沿中随后的增量跨过分组边界,使得相位调节值和位调节值有效地复位到 0 并且分组调节域 557 递增,从而在更延迟的分组间隔中选择第一位时间中最前面的时钟相位。发生类似的下溢,响应于下溢相位调节值从位调节值借位(递减)(从 0 到 47 递减),并且响应于下溢位调节值从分组调节值借位。

[0115] 仍参照图 10A,对齐计数器 551 包括:输入,用于接收递增/递减信号(“增/减”)、加载信号(“加载”)和更新信号(“更新”);以及并行端口,用于使得对齐计数值(即,所示实施方式中的 12 位计数值)能够加载到计数器。在一个实施方式中,在周期性定时校准期间并且响应于更新信号的触发沿应用递增/递减信号,以递增或递减对齐计数(计数器的内容)。在初始校准期间断言加载信号以使得在初始校准期间确定的校准值(例如,由处理器或存储器控制器内核中的其他电路确定的眼边沿之间的中值或其他统计中心点)能够被加载到对齐计数器中。

[0116] 图 10B 图示了可以在周期性定时校准期间采用的电路布置,用于更新针对奇数/偶数信号传输链路对(在该示例中为 DQ[0] 和 DQ[1])的每个发射和接收时钟相位的对齐计数器。如图所示,针对 4 个时钟相位中的每一个提供了两个对齐计数器;每个链路 4 个对齐计数器并且因此 8 个对齐计数器用于链路对(551_{Tx0}、551_{Tb0}、551_{Rx0}、551_{Rb0}、551_{Tx1}、551_{Tb1}、551_{Rx1}、551_{Rb1})。参照链路 DQ[0],例如(链路 DQ[1] 以相同方式实现),提供发射-时钟对齐计数器 551_{Tx0} 用于控制发射时钟相位(包括位对齐和分组对齐),同时提供发射-边界对齐计数器 551_{Tb0} 用于控制(并且记录)对应的 PTC 边界相位(即,当应用频谱有限的 PTC 测试模式时确定为位于通过/失效边界处的发射时钟相位)。类似地,提供接收-时钟对齐计数器 551_{Rx0} 用于控制接收时钟相位,并且提供接收-边界对齐计数器 551_{Rb0} 用于控制(并且记录)对应的 PTC 边界相位(即,当应用 PTC 测试模式时确定为位于通过/失效边界处的接收时钟相位)。

[0117] 在所示实施方式中,每个对齐计数器(统称为 551)在上述初始校准序列期间初始化。例如,在一个实现方式中,针对时钟相位的对齐计数器由控制器内核电路迭代地并行加载,直到针对每个链路确定最终校准的时钟相位。此后,针对 PTC 边界相位的对齐计数器可以类似地由控制器内核电路迭代地并行加载,直到针对每个链路确定与通过-失效边界(响应于频谱有限的 PTC 测试模式而确定的)对应的最终边界相位。

[0118] 继续图 10B, 结合对齐计数器的每个时钟相位 / 边界相位对提供了多路复用器 (如在 575 处所示) 以从时钟相位对齐计数器或边界相位对齐计数器选择要提供给对应的漂移补偿串行化器 185₀/185₁ 或漂移补偿解串行化器 186₀/186₁ 的对齐计数。提供上文描述的校准时钟选择信号 (CalClkSel) 来控制对齐计数选择。在所示特定示例中, 校准时钟选择信号是 4 位信号, 其中每个位被供应给 4 对对齐计数器的多路复用器 575 中相应的一个, 从而支持选择针对全部两个数据链路的解串行化器和串行化器的边界相位 (针对 PTC) 或时钟相位 (针对实时数据发射 / 接收)。如图所示, 状态机 571 (可以与上文结合周期性和 / 或初始定时校准而描述的有限状态机相同或者至少部分地相同) 也接收校准时钟选择信号, 以及比较电路 573 (例如, 上述匹配电路的一部分) 的输出。参照图 10C (针对状态机 571 的示例性状态图) 和图 10B, 只要所有校准时钟选择位保持解断言, 则状态机保持操作模式 581 中并且向多路复用器 576 输出一对数据选择信号 (例如, 通常与上文关于初始和周期性定时校准操作描述的数据选择多路复用器对应) 以选择内核数据道 Tdata[0][7:0] 和 Tdata[1][7:0], 以来发起分别向 DQ[0] 和 DQ[1] 串行化器 (185₀、185₁) 递送的发射数据 TxD[0] 和 TxD[1]。如果断言了校准时钟选择位中的任何一个 (即, CalClkSel > 0000b), 则状态机转变至周期性定时校准 (PTC) 模式 583, 在该模式中 PTC 测试模式被选作 (经由多路复用器 576) 向链路串行化器 185₀/185₁ 递送的发射数据源, 并且还向多路复用器 574 发布控制信号以根据受校准链路选择解串行化器 186₀ 或解串行化器 186₁ 的输出用于进行评估。即, 如果断言了与链路 DQ[1] 对应的两个 CalClkSel 位中任意一个, 则状态机从 DQ[1] 解串行化器选择要提供给比较电路 573 的数据 (即, RxD[1])。否则, 向比较电路提供来自 DQ[0] 解串行化器的数据 (RxD[0])。在 PTC 测试模式已由链路串行化器发射、由链路解串行化器接收并且与比较电路内的预期值进行了比较之后, 状态机根据比较结果指示通过条件还是失效条件而相应地转变至时钟相位递增状态 585 或时钟相位递减状态 587 (虽然递增 / 递减与通过 / 失效之间的对应可以视情况而反转)。在递增状态中, 状态机提升递增 / 递减输出 “增 / 减” 来指示递增操作, 并且断言更新信号 (在图 10A 中示出, 但从图 10B 省略用于避免混淆所示的电路元件) 以使对应的边界相位和时钟相位时钟计数器能够得以递增。类似地, 在递减状态中, 状态机降低递增 / 递减输出来指定递减操作并且断言更新信号以使对齐计数器的 CalClkSel 选定对能够得以递减。通过该操作, 使用由 PTC 边界相位的移动指示的定时漂移信息来一起递增和递减在初始校准时加载至对齐计数器中的时钟相位及其对应的 PTC 边界相位, 以针对每个信号传输链路调节采样和发射时钟。

[0119] 时钟停止低功率模式

[0120] 图 11A 图示了在图 2A 的实施方式内使用的示例性钟控布置, 其明确示出了针对控制器 I/O 时钟 (PCK8) 的时钟停止逻辑 601 和时钟缓冲器 603 以及针对向存储器设备转发的数据速率系统时钟 (PCK4) 的时钟停止逻辑 605 和时钟缓冲器 607。参考 PCK4 时钟停止逻辑 605 的详细视图 610, 时钟使能信号 (ENPCK4) 由控制器内核中的功率模式逻辑断言和解断言 (在该示例中分别为逻辑高和低), 以启用和禁用 (或者启动和停止) PCK4 时钟。在一个实施方式中, 功率模式逻辑由控制器内核时钟 PCK1 钟控, 使得当时钟使能信号被断言或解断言时在整数数目的 PCK1 周期中保持断言或解断言。该布置确保了当降低时钟使能信号以建立时钟停止低功率模式并且于稍后将其升高以重新启动时钟时, 控制器内核时钟 (PCK1) 与存储器内核时钟 (MCK1) 之间的相位关系得以维持, 从而保持初始校准期间建立

的位对齐和分组对齐——即使在时钟停止和重新启动中。注意在该特定示例中,控制器内核和存储器内核以相同的速率钟控。在备选实施方式中,控制器内核和存储器内核可以以不同速率钟控(因此驱动不同深度的串行化和解串行化流水线)。在该情况下,时钟停止间隔可以被限制为整数数目的具有最长周期的内核时钟信号。例如,如果控制器内核时钟速率增加到 800MHz,而存储器内核时钟速率仍在 400MHz,则可将时钟停止间隔约束为整数数目的存储器内核时钟周期(在该示例中为 2.5nS),从而确保控制器内核时钟与存储器内核时钟之间的相位得以维持。

[0121] 图 11B 是图 11A 钟控架构的时钟停止(或时钟暂停)操作的示例性时序图。所描绘的波形包括存储器控制器内核时钟 PCK1 和存储器设备内核时钟 MCK1,以及系统时钟 PCK4,以及系统时钟存在于时钟生成电路内部的版本 PCK4i。还描绘了时钟使能信号 ENPCK4 和时钟使能信号的重新定时版本 ENPCK4r。

[0122] 本质上讲,时钟使能信号用于门控内部 PCK4i 时钟,因此用于启用或禁用 PCK4 系统时钟的切换。由于允许控制器内核时钟域和系统时钟域彼此之间具有任意的相位偏移(并且时钟使能信号可以具有相对于 PCK1 沿的任意相位偏移),时钟使能信号可以在 PCK4i 时钟的任何状态期间上升或下降,因此如果直接用于门控系统时钟,则可能在 PCK4i 时钟的逻辑高状态期间将时钟门控关闭或开启,并且从而在系统时钟线上产生不期望的矮(即,缩短的)脉冲。在图 11A 的时钟停止逻辑内通过将内核域时钟使能信号(ENPCK4)进行重新定时的重新定时逻辑 611(详细视图 610 中所示)包括到 PCK4i 时钟域中并且与此同时维持经重新定时的时钟使能信号(ENPCK4r)和控制器内核时钟的上升沿和下降沿之间的固定相位偏移来避免上述结果(生成矮脉冲)。更具体地,在所示实施方式中,仅在 PCK4i 时钟的逻辑低相位期间门控开启或关闭系统时钟,从而不会生成矮脉冲,而经重新定时的时钟使能信号的解断言与断言之间的时间间隔维持为整数个内核时钟周期,由此保持了存储器内核时钟与控制器内核时钟之间经校准补偿的相位关系。

[0123] 继续参照图 11A 和图 11B,经重新定时的时钟使能信号在门 613 中与 PCK4i 进行 AND 操作,因此在解断言时,阻止与整数个控制器内核时钟(PCK1)周期对应的若干脉冲出现在 PCK4 波形中。通过该操作,PCK4 被门控关闭(被抑制;无法切换)并且由此利落地停止并且在与整数个 PCK1 周期(在该示例中为一个周期)对应的间隔中保持停止。由于 PCK4 在存储器设备内接收并且通过开环时钟驱动电路(例如,由缓冲器 223 和 229 形成)传播以产生(频率不改变)数据速率时钟信号 MCK4 以及最终的存储器端发射和接收时钟,PCK4 的利落停止(或暂停)也产生那些时钟的对应的利落停止,由此利落地挂起存储器端串行化器和解串行化器的操作。相配的控制端解串行化器和串行化器的操作也通过时钟停止逻辑 601 内控制端 I/O 时钟的停止而立即挂起。

[0124] 在一个实施方式中,存储器端除法器电路 225 由 4 态、模 -4 计数器(例如,包括在 614 处所示的增量逻辑 616 和状态寄存器 621)实现,其中最高有效位在 MCK4 时钟的每两个周期之后切换,因此输出为存储器端内核时钟 MCK1。注意,模 -4 计数器通常可以在计数器输出(标出了 MSB)处所示的 4 个状态中的任何一个中加电,MCK1 与控制器内核时钟 PCK1 之间的相位关系因此可以具有 4 个初始相位偏移中的任意一个,该 4 个初始相位偏移由 MCK4 信号的一个周期相位隔开因此为 2 位时间。在图 2A(和图 11A)的实施方式中,PCK1 和 MCK4 之间的这种初始相位关系(无论是什么)在漂移补偿串行化器和解串行化器内的

位调节值和相位调节值的初始校准中得到了考虑。由于在 PCK4/MCK4 信号的停止期间 PCK1 继续切换, PCK4/MCK4 的、不对数目等于 PCK4 对 PCK1 时钟比 (在该示例中为 4) 的 PCK4 脉冲加以抑制的任何停止都将在时钟重启时改变 PCK1 与 MCK1 之间的相位关系, 因此导致丢失相对于控制器内核时钟域的位和分组同步。另一方面, 通过将 PCK4 利落地停止整数个 PCK1 周期, 确保被抑制的 PCK4 (因此 MCK4) 脉冲的数目等于 PCK4 对 PCK1 时钟比, 并且因此将维持初始校准设置与之对齐的 PCK1 与 MCK1 相位关系, 从而使得正确地成帧并且分组对齐的数据能够在时钟重启时无错误地向控制器内核域传递。图 11B 中通过模 -2 计数器的状态 (00、01、10、11、00、...) 结合 MCK4 的沿图示了该结果, 并且示出了在时钟停止间隔期间对 $N \times (\text{PCK4 与 PCK1 比})$ 个 PCK4 时钟脉冲的抑制保持了在时钟重新启动时 PCK1 与 MCK1 的相位关系 (“*”表示乘法)。

[0125] 图 11C 和图 11D 图示了系统时钟停止逻辑 605 的更详细实施方式及对应的时序图。时钟停止逻辑包括与图 11A 的门 613 对应的逻辑 AND 门 613, 以及由触发器 631、633、635、637、639、641、645 和 647, 逻辑元件 632、634 和 636, 以及多路复用器 638 和 643 形成的重新定时逻辑。如上文所讨论, 重新定时电路用于将来自控制器内核的时钟使能信号 ENPCK4 重新定时到系统时钟 PCK4 的域中。该操作中的初始步骤是利用内核时钟信号来对时钟使能信号进行采样, 并且因此将 ENPCK4 内的任何转变与内核逻辑信号的转变对齐, 并且确保代表时钟使能信号使能信号的信号 (即, 时钟使能采样) 在至少一个内核时钟周期中保持稳定。此外, 在系统初始化时执行一次加载跳转操作 (响应于加载跳转信号 (LD-SKIP)) 来确定 PCK1 信号相对于在 PCK4 域中生成并被称作 PCK4c 的相同频率时钟信号的相位。更具体地, 当加载跳转上升时, 多路复用器 638 将 PCK4c 传递到触发器级 639 的输入, 从而使得 PCK4c 能够由随后的 PCK1 的上升沿采样。触发器级 639 的输出 (本文称作跳转信号) 通过加载跳转的解断言而锁存, 并且将依赖于 PCK4c 在 PCK1 上升沿处是高还是低而相应地为逻辑 “1” 或 “0”。因为在系统操作期间 PCK4c 与 PCK1 之间的相位关系保持不变, 因此加载跳转只需要在加电 (或者系统复位) 时断言一次以解析跳转信号的状态。

[0126] 继续, 响应于 PCK1 的上升沿而由触发器级 637 对时钟使能信号 ENPCK4 进行采样, 以生成上升 PCK1 沿对齐的时钟使能信号 ENPCK4a, 该信号被确保在针对整数个 PCK1 周期中保持在相同状态。ENPCK4a 本身响应于随后的下降 PCK1 沿在触发器 641 中被采样, 以生成负 PCK1 沿对齐时钟使能信号 ENPCK4b, 该信号同样被确保在整数个 PCK1 周期中保持在相同状态。如图 11D 中所示, 两个 PCK1 对齐的时钟使能信号 ENPCK4a 和 ENPCK4b 表示 PCK1 对齐的时钟使能信号的实例, 它们在相同时间间隔上但在交替的环境中有效; 在一种情况下当跳转信号为高时 (ENPCK4a) 并且在另一情况下当跳转信号为低时 (ENPCK4b)。因此, 根据跳转信号的状态在多路复用器 643 中的两个 PCK1 对齐的时钟使能信号之间进行选择, 选择出具有相同开始和停止时间的 PCK1 对齐的时钟使能信号并且在任何一种情况下向重新定时触发器级 645 输出。此外, 确保了选定的 PCK1 对齐的时钟使能信号跨过向重新定时触发器级 645 的触发输入提供的正交时钟信号 PCK4d (即, 与 PCK1 和 PCK4 具有相同频率但相对于 PCK4c 具有正交相位关系的时钟信号) 的上升沿。最后, 由于 PCK4d 的每个沿响应于数据速率时钟 PCK4i 的负向沿而生成 (凭借触发器 631), 所以用于触发重新定时触发器级 645 并且因此对 PCK1 对齐的时钟使能信号采样的 PCK4d 的上升沿在 PCK4i 变低之后立即出现。通过该设计, 在重新定时的时钟使能信号 ENPCK4c 由 PCK4i 的下一下降沿在另一

重新定时触发器级 647 中采样之前提供设置和保持时间的一个完整（或近似完整的）PCK4i 时钟周期，以产生最终重新定时的时钟使能信号 ENPCK4r 用于门控 PCK4 开启和关闭。如图 11D 中所示，最终结果是最终重新定时的时钟使能信号 ENPCK4r 仅响应于 PCK4i 的下降沿并且仅当从上次状态改变起发生了整数个 PCK1 时钟周期之后才改变状态。通过该操作，避免了 PCK4 输出上成问题的矮脉冲并且 PCK1 与 PCK4 之间的时钟相位关系在时钟停止和重启中得以维持，从而保持了存储器控制器内漂移补偿串行化器和解串行化器电路的经校准的状态。

[0127] 图 11C 和图 11D 中所示的技术和电路还可以应用到针对控制器端 I/O 时钟 PCK8 的时钟停止逻辑内，从而避免 PCK8 时钟线上的矮脉冲，并且确保在时钟停止期间禁用（或抑制）的 PCK8 脉冲的数目与禁用的 PCK4 脉冲的数目匹配（考虑到 2:1 时钟比）。

[0128] 图 11E 至图 11G 图示了备选的时钟停止架构 650 以及对应的电路和时序图。与图 11A 架构中的单独 PCK4 和 PCK8 时钟停止电路相反，时钟停止架构 650 包括单个时钟停止逻辑电路 651，其禁用产生最终 PCK8 时钟相位以及在分频之后产生系统时钟信号 PCK4 的内部 PCK8 时钟相位（PCK8i）的切换。除了缺少时钟停止电路 601 和 605 以及提供单独时钟使能信号（ENPCK8/4）而不是多个时钟使能信号以外，架构 650 的功能元件总体上如同关于它们在图 11A 中相似标号的对应元件所描述的那样进行操作。同样，如在图 11A 的实施方式中一样，控制器内核时钟 PCK1 可以在 PCK8i 时钟相位（因此 PCK8 和 PCK4 时钟）已经停止之后继续切换。

[0129] 图 11F 图示了可以用于实现图 11E 的时钟停止电路 651 的时钟停止电路 670 的实施方式。如图所示，响应于触发器 671 中的基线 PLL 输出相位 PLL[0°]（相对于内核时钟具有 8x 频率的时钟相位）对来自控制器内核域的时钟使能信号（ENPCK8/4）进行采样，从而将时钟使能信号重新定时至 PLL 输出时钟域作为经重新定时的使能信号 672。在备选的实施方式中可以使用其他的重新定时电路来重新定时时钟使能信号，包括在将时钟使能信号最终重新定时至 PLL 输出时钟域之前将该时钟使能信号传递通过一系列定时域的分级重新定时电路。响应于 PLL[0°] 的下降沿对重新定时的时钟使能信号 672 进行采样，以在 PLL[0°] 时钟信号的逻辑低半周期的开始时降低时钟 0- 使能信号（clk0-en）。多路复用器 674（或其他选择器电路）通过从 PLL[0°] 解耦合对应的 PCK8i 输出（PCK8i[0°]）并且将该 PCK8i 输出耦合接地来响应降低的时钟 0- 使能信号，以将输出保持为低并实现时钟停止。重新定时的时钟使能信号 672 由 PLL[60°] 的下降沿类似地采样，以在 PLL[60°] 时钟信号的逻辑低半周期的开始时降低时钟 1- 使能信号（clk1-en）。多路器 676 通过从 PLL[60°] 解耦合 PCK8i[60°] 输出并且将该输出耦合接地来响应降低的时钟 1- 使能信号。最后，响应于 PLL[120°] 的下降沿对重新定时的时钟使能信号 680 的更延迟实例（例如由时钟 0- 使能信号的缓冲器延迟实例生成）进行采样，以在 PLL[120°] 时钟信号的逻辑低半周期的开始时降低时钟 2- 使能信号（clk2-en）。多路复用器 678 通过从 PLL[120°] 解耦合 PCK8i[120°] 输出并且将该输出耦合接地来响应降低的时钟 2- 使能信号。如由图 11G 的阴影时钟停止区域所示（以虚线轮廓示出了被抑制的时钟脉冲），PCK8i 时钟相位响应于降低的时钟使能信号的利落停止对应地带来 PCK8[0°、60°、120°] 时钟相位、PCK4 时钟相位以及因此存储器端时钟 MCK4（和未示出的 MCK1）的利落停止。所有停止的（或暂停的或禁用的）时钟的利落重启通过提升时钟使能信号（ENPCK8/4）而类似地实现。

即,响应于待重新启用的 PLL 时钟相位的下降沿对时钟使能信号(必要时进一步重新定时,以满足针对每个 PLL 输出相位的设置和保持时间要求)的上升沿进行采样,从而在针对每个 PLL 时钟相位的逻辑低间隔的起始处切换多路复用器选择以使得 PLL 时钟相位能够无毛刺地重新耦合到对应的 PCK8i 时钟节点。虽然没有在图 11F 和图 11G 中具体示出,但 0° 、 60° 和 120° PLL 时钟的互补实例(180° 、 240° 和 300°)可以分别根据时钟 0- 使能、时钟 1- 使能和时钟 -2 使能信号的状态类似地禁用和启用。此外,如在上文所述的各种实施方式中那样,在备选的实施方式中可以生成更多或更少的 PLL 输出相位。

[0130] 进入和退出时钟停止模式 – 系统操作

[0131] 在一个实施方式中,每当存储器控制器已完成所有请求的存储器事务并且因此执行完工作时便进入时钟停止低功率模式。在一个实施方式中,空闲状态由存储器控制器内核中的功率模式逻辑确定,该功率模式逻辑监测一队列的挂起事务(“事务队列”)并且由此当该事务队列变空时被通知。功率模式逻辑至少等待长至足以让从队列拉出的最后一个事务(即,最终事务)得以完成的时间,至少从存储器设备和控制器 I/O 电路的角度是如此,并且继而解断言时钟使能信号 ENPCK4 和 ENPCK8 以利落地停止控制器 I/O 时钟信号和系统时钟信号(分别为 PCK8 和 PCK4),而不是在清空队列时立即停止控制器 I/O 时钟和系统时钟。

[0132] 图 12A 是在包括进入和退出时钟停止低功率模式的间隔期间在存储器控制器处的时钟信号、时钟使能信号和命令/地址信号的示例性时序图。时钟信号包括控制器内核时钟 PCK1、系统时钟信号 SCK(存储器控制器内的 PCK4)和控制器 I/O 时钟 PCK8。继续上述示例性实施方式,数据和命令以 3.2Gb/s 发射;每 0.625nS 系统时钟周期 2 位以及每 2.5nS(纳秒)内核时钟周期 8 位。通过该布置,建立了 8:1 串行化流水线,在内核时钟信号的给定周期期间以 8 位分组(即,字节)向每个漂移补偿串行化器呈现传出信息,同时在相同的内核时钟周期期间,先前呈现的分组的位以相应的位时间(位时间或 $t_{BIT} = t_{PCK8}$ (PCK8 周期))串行传输发射。因此,如图 12A 所示, $t_{PCK1} = t_{PKT} = 4 * t_{SCK} = 8 * t_{BIT}$,其中“*”表示相乘。在备选实施方式中,可以选择不同的传输发射频率、时钟比率、串行化比率和分组大小。

[0133] 在存储器控制器内,数据和命令/地址(CA)位的分组分别经由 8 位宽数据道和 CA 道向 I/O 电路提供。在一个实施方式中,每个存储器访问命令和对应地址被打包成两个 8 位分组,其因此可以在单个分组时间中通过两个 CA 链路(CA[0] 和 CA[1])进行传输。当没有仍待发送的分组时,经由命令路径(CA[0]、CA[1])向存储器设备发射被描绘为“NOP”命令分组(例如,以 0 填充的分组)的“无操作”命令,并且控制器内核开始对在完成命令路径上发射的最后一个存储器访问命令(“最终命令”)进行倒计时。在倒计时期间,时钟停止模式被称为是处在挂起中,并且控制器内核中的功率模式逻辑处于预时钟停止状态,其中所有时钟继续切换以在最终写入操作的情况下为将将要存储在存储器内核中的写入数据提供必要的定时沿,或者在最终存储器读取命令的情况下为将将从存储器内核返回、在控制器 I/O 到内核接口处解串行化和呈现的读出数据提供必要的定时沿。如果在与最终命令相关联的所有操作在存储器设备和控制器 I/O 电路内完成时没有新的事务在事务队列中排队,则功率模式逻辑解断言分别针对系统时钟 PCK4(SCK)和控制器 I/O 时钟 PCK8 的时钟使能信号 ENPCK4 和 ENPCK8。

[0134] 在图 12A 内,进入时钟停止模式开始于最终剩下的存储器访问请求经由 8 位宽命令道 Cadata[0][7:0] 和 Cadata[1][7:0] 从 16 位宽事务队列 (T-Queue[15:0]) 到控制器 I/O 电路的传递 (移除或离队)。命令数据道本身可以在分组对齐电路 (即,分组对齐 FIFO 或跳转电路) 中实现,该分组对齐电路支持针对给定信号传输链路从内核时钟域到成帧时钟域的跨越。因此,每个连续命令,无论是 NOP 还是存储器访问命令 (OP),均可以响应于内核时钟 (PCK1) 的下降沿在分组对齐电路内转发,在经校准的 (并且链路特定) 数目的位时间之后向成帧时钟域中传递,然后被串行化用于经由 CA[0] 和 CA[1] 链路传输。因此,标示为 “OP0” 的最终操作在时刻 702 从事务队列传递至命令道,在时刻 704 开始在分组对齐电路中转发 (响应于下降 PCK1 沿),然后在串行化延迟 t_{SERIAL} 之后从分组对齐电路向控制器端解串行化电路内的串行移位寄存器 (例如,由图 3D 所示的触发器级 315 形成) 传递,该串行化延迟 t_{SERIAL} 与 PCK1 周期加上解成帧时钟信号 (图 3D 中的 TCK[i]) 与 PCK1 之间的位级偏移对应。此后,数据逐位从串行移位寄存器移出,以实现 CA[0]/CA[1] 信号传输链路上的串行数据发射。

[0135] 不同信号传输链路之间的位可变性在图 12A 中由针对 CA[0] 和 CA[1] 信号传输链路的串行化延迟之间的 4 位时间差异所着重凸显。即,针对链路 CA[0] 的内核时钟与解成帧时钟之间 (即,PCK1 与 TCK1[i] 之间) 的位级偏移为 0,使得 OP0 的低阶分组在从事务队列传递到 CA[0] 分组对齐电路起一个 PCK1 循环 ($t_{\text{SERIAL}} = 8$ 位时间) 之后传递到针对 CA[0] 链路的串行移位寄存器,并且因此在时刻 706 开始在 CA[0] 信号传输链路上按位串行地发射。因此,串行化延迟 t_{SERIAL} 为一个 PCK1 周期或 8 位时间。相比之下,针对链路 CA[1] 的内核时钟与解成帧时钟 (即,PCK1 与 TCK1[i+1] 之间) 之间存在 4 位偏移,使得在 OP0 的高阶分组从事务队列向 CA[1] 分组对齐电路传递之后,在分组通过 CA[1] 信号传输链路传输之前 (开始于时刻 708) 经过 (或发生) 了 12 位时间串行化延迟。总之,8 位时间串行化延迟与 12 位时间串行化延迟之间的差异产生 OP0 的低阶分组与高阶分组的控制器端发射之间的 4 位时间偏移 (或位可变性)——不计入可能存在于针对 CA[0] 链路 CA[1] 链路的发射时钟之间的任何子位时间相位偏移 (即,TCK8[i] 与 TCK8[i+1] 之间的相位偏移)。总之,位可变性和子位相位偏移产生关联命令 / 地址分组与数据分组的时间交错发射,以支持存储器端数据采样、解串行化和 I/O 到内核传递,所有这些都无需存储器端时钟调节电路。虽然图 12A 中没有示出,但是在控制器端数据解串行化器内能够容忍类似的位可变性和子位相位偏移,以在无存储器端时钟调节电路的情况下支持存储器端内核到 I/O 传递、串行化和数据发射。

[0136] 继续图 12A 中的时钟停止示例,在将最终存储器访问操作 (即,OP0) 从事务队列传递至针对链路 CA[0] 和 CA[1] 的命令道时,功率模式逻辑确定事务队列为空,并且因此开始对针对系统时钟和控制器 I/O 时钟的时钟使能信号的解断言倒计时。在一个实施方式中,倒计时时间是操作特定的,并且因此指定为 $t_{\text{CA(OP)-EN}}$,其中 “OP” 指示存储器访问请求的性质 (例如,行操作——诸如激活或预充电,或者列操作——诸如存储器读取或存储器写入,尽管可能适用特定于其他非 DRAM 类型的存储器存储的操作时间,诸如编程时间和擦除时间)。备选地,可以应用固定的倒计时时间,而不考虑正在执行的操作类型。无论在哪种情况中,目标均在于确保向存储器设备和控制器 I/O 电路提供足够的钟控沿来完成最后的存储器访问操作。一般而言,在清空事务队列之间最差情况的延迟发生在存储器读取操作

中,该延迟包括:命令串行化时间(包括最差情况位可变性)、命令路径上的传播、存储器设备的数据检索和串行化延迟(这里统称为CAS延迟)、数据路径上的读出数据传播时间以及最终的控制端数据解串行化时间。在操作特定的实施方式中,功率模式逻辑可以基于该最终操作为寄存器组(或查找表)编制索引,并且由此检索倒计时值(例如,在解断言时钟使能信号之前发生的内核时钟周期的数目)。在固定计数的实施方式中,倒计时值可以在系统启动时基于用于完成存储器读取操作的最差情况时间的运行时间或者生产时间或设计时间测量来进行编程,或者通过在系统生产时间编程一次性寄存器,或者甚至实现硬连线、最差情况计数值。

[0137] 无论如何实现,如果在向时钟停止(即,当功率模式逻辑处于时钟停止挂起模式)倒计时期间有新的存储器访问请求插入事务队列中(或者以其他方式接收到),则中止挂起的时钟停止并且功率模式逻辑返回活动模式,继续针对空状态监测事务队列。但是如果在倒计时完成之前没有新的存储器访问请求在事务队列内排队,则功率模式逻辑解断言时钟使能信号 ENPCK4 和 ENPCK8,从而触发时钟停止操作。

[0138] 如上文所述,ENPCK4 和 ENPCK8 在内核时钟域内生成,并且因此在 PCK4 和 PCK8 域内重新定时以确保 PCK4 和 PCK8 时钟的利落停止(或者暂停或禁用)。此外,在其中 PCK4 和 PCK8 域(即,系统时钟和控制端 I/O 时钟域)被允许彼此具有相位偏移(例如,如图 2A 的实施方式中那样)的一个实施方式中,重新定时的时钟使能信号 ENPCK4r 和 ENPCK8r 的解断言时间可以不同,从而产生针对 PCK4 和 PCK8 时钟的不同时钟停止时间。在图 12A 的示例性时序图中,时钟停止时间中的这种变化由 PCK4 时钟停止时间与 PCK8 时钟停止时间之间的两个位时间(2 个 PCK8 周期,1 个 PCK4 周期)偏移示出。即,PCK8 时钟停止逻辑中的重新定时延迟 t_{CSDL} (或禁用延迟)比 PCK4 时钟停止逻辑中的重新定时延迟 t_{C4DL} 长 2 个位时间。由于两个时钟都停止整数个 PCK1 周期,因此在时钟重启时适用相同的 2 位时间偏移,使得在考虑到任何时钟比(在该示例中为 2:1)之后,在 PCK8 和 PCK4 时钟域中生成相同数目的时钟脉冲。

[0139] 在停止控制端 I/O 时钟方面的一个重大挑战由各种控制端串行化器/解串行化器电路中所允许的位可变性展现出来。即,由于在针对不同信号传输链路的控制端定时域之间允许位可变性(事实上在必要时错开那些域来实现与相配的未补偿存储器端定时域的对齐),所以针对不同链路的分组边界本身是偏移的。从时钟停止的角度,无论控制端 I/O 时钟停止于何处,一个或多个 CA 分组可能仅部分地被串行化,事实上将分组分裂成了出现在时钟停止间隔的任一端上的部分(例如,711 和 712)。然而,由于 PCK8 利落停止整数个 PCK1 周期,因此分组(712)的剩余部分在时钟重启时被正确地串行化,并且在分组边界解成帧并传输新的分组,该分组边界反映了控制端解成帧时钟与内核时钟 PCK1 之间的预先建立的关系。即,控制端内核时钟(PCK1)与解成帧时钟(例如,TCK8[i])之间的位级(以及位内相位)偏移得以维持,使得任意时钟停止分裂分组的剩余位被发送并且新的分组被解成帧——就像没有发生时钟停止一样。在视觉上,这可以通过沿开始时钟边界对图 12A 的示意图进行切片并且把在时钟重启之后出现的示意图部分左移以与时钟停止边界一致来想象。如图可以看出,分组成帧边界得以维持,使得在时钟重启时所有时钟停止分裂分组都被形成整体。

[0140] 回顾到此描述的时钟转发架构,由于任何数目的系统时钟脉冲可以飞往(即,在

时钟链路上传播)存储器设备,因此用于支持给定信号传输链路上位的接收或发射的特定系统时钟沿将通常在时间上相对于控制器 I/O 时钟的标称对齐的沿偏移。即,假设控制器 I/O 时钟沿与系统时钟沿从控制器端时钟生成器同时输出,则 I/O 时钟沿将通常用于对控制器端 I/O 电路内的数据接收事件定时,而系统时钟沿则仍路由到存储器设备或存储器设备 I/O 电路。从时钟停止的角度,这意味着即便系统时钟和控制器 I/O 时钟在存储器控制器处同时停止,存储器设备将仍然经历比控制器 I/O 电路更多的时钟沿(考虑到时钟比),因为更长的系统时钟流水线需要更长时间才能排空。并且类似地,从时钟启动的角度,如果系统时钟和控制器 I/O 时钟同时启动,则控制器 I/O 电路将在存储器端 I/O 电路之前开始接收时钟脉冲,这是由于存储器端时钟流水线更长。这对于管理分裂分组提出了重大挑战,因为可以由控制器 I/O 电路发射的分组的任何剩余部分可能在系统时钟沿到达以对传入数据进行采样之前(或之后)到达存储器设备。更普遍而言,如果在时钟重启时发射的任何命令或数据分组的位如果在时钟沿可用于对它们的接收进行定时之前到达存储器设备,则它们可能被丢弃掉。在一个实施方式中,通过如下所列来管理这种复杂性:(i) 针对在时钟停止前间隔以及针对时钟重启后间隔的无操作(NOP 或 no-op)命令的发射,以及(ii) 确保控制器端内核时钟(PCK1)与存储器端内核时钟(MCK1)之间的相位关系在时钟停止间隔中得以维持。首先,在时钟停止间隔前后即刻进行的 no-op 发射确保了在转发的时钟流水线填满时不会丢弃掉有意义的命令或数据。即,由于没有数据结合 no-op 命令一起传输,并且没有指定任何存储器访问命令,因此在时钟重启时初始传输的位的丢失不会产生什么后果。其次,通过维持 PCK1 对 MCK1 的相位关系,控制器端成帧/解成帧时钟信号与存储器端成帧/解成帧时钟信号之间在初始校准中建立的关系在时钟重启时得以维持。即,当有意义的(即,非 no-op)命令(CA)和数据最终通过命令和数据路径发送时,命令和数据将由接收设备正确地成帧,从而使得系统操作能够继续而不需要重新对齐计数器部分成帧/解成帧时钟。此外,由于存储器设备内的开环时钟分发架构,存储器端发射和接收时钟的相位在时钟停止期间基本保持不变,使得在时钟停止之前处于控制器端串行化器/解串行化器电路内就位的相位调节在时钟重启之后仍然有效,由此支持在时钟重启时立即且可靠的数据和命令发射。

[0141] 继续图 12A,在时钟停止之后,内核时钟继续运行(即,振荡、切换)使得控制器内核可以继续接收主机请求的存储器事务并对其排队,并且功率模式逻辑可以继续监测事务队列以确定是否以及何时挂起新的事务请求。在检测到排队了新事务请求排队时,功率模式逻辑转变到时钟开始挂起状态并且在随后的上升 PCK1 沿提升(断言)时钟使能信号 ENPCK4 和 ENPCK8。针对 PCK4 和 PCK8 的时钟停止逻辑通过在相应重新定时延迟(或使能延迟) t_{C4EL} 和 t_{C8EL} 之后提升重新定时的时钟使能信号 ENPCK4r 和 ENPCK8r 来响应对内核域时钟使能信号的断言。在所示特定示例中,解断言与重新断言重新定时延迟匹配(即, $t_{C4DL} = t_{C4EL}$ 并且 $t_{C8DL} = t_{C8EL}$)。只要 ENPCK4 和 ENPCK8 信号的解断言时间如在该示例中那样是整数个 PCK1 时钟周期——则情况就会是这样。如果 ENPCK4 或 ENPCK8 解断言时间不是整数个 PCK1 周期,则时钟停止逻辑将重新定时对应的时钟使能信号来强制执行整数个 PCK1 时钟停止间隔,尽管时钟停止重新定时延迟与时钟启动定时延迟将不匹配。

[0142] 在重新定时延迟发生之后,PCK4 和 PCK8 时钟停止电路分别提升重新定时的时钟使能信号 ENPCK4r 和 ENPCK8r,从而使得系统时钟(SCK、PCK4)和控制器内核时钟能够开始

切换。如上文所述,控制器内核利用一定数目的 no-op 命令来填补重启间隔以确保在发射与新排队的存储器事务请求对应的存储器命令之前,系统时钟脉冲已经抵达了控制器 I/O 电路。因此,新的事物请求(图中示为“OP1”)直到从被排队起的一定数目的内核时钟周期之后(在该示例中,在两个周期延迟之后)才向命令道传递,使得 no-op 命令在时钟重启时发射。功率模式逻辑在检测到新排队的事务请求 OP1 时开始重启倒计时,从而使得 OP1 能够在倒计时结束之前一个 PCK1 周期离队(从而提供用于填补 no-op 的时间),从而及时将 OP1 加载到命令道中以在重启倒计时结束时向串行化器传递。此后(在间隔 $t_{EN-CA(OP)}$ 之后),OP1 命令被串行化并且经由 CA[0] 和 CA[1] 链路发射,从而在时钟重启之后维持解成帧时钟沿与内核时钟沿之间的校准对齐(因此链路到链路的位可变性)。

[0143] 图 12B 和图 12C 从存储器设备的角度图示了时钟停止模式的进入和退出。首先参考图 12B,其图示了跟随于时钟重启之后的存储器写入操作,在时刻 720 接收并处理最终操作,之后在时刻 722 对时钟停止倒计时。注意,所示的倒计时间隔由上文所述控制器内的功率模式逻辑强制执行,并且覆盖在图 12B 的存储器端时序图上,以简单地用于示出在最终命令 OP0 到达之后时钟停止事件被挂起。如图所示,一系列 no-op 命令跟随 OP0,从而使得存储器端数据串行化/解串行化电路和内核逻辑能够在时钟停止发生之前完成由 OP0 指定的操作。在倒计时间隔发生之后,时钟如图所示地停止,从而实现存储器设备的时钟停止低功率操作。注意,虽然时钟停止被示为与 CA 链路上的成帧边界重合,但是系统操作没有对此进行要求。相反,任何数目的系统时钟脉冲可以在去往存储器设备的途中(依赖于时钟链路上波流水线的深度,以及开环时钟分发架构的存储器上时钟延迟),并且因此在成帧边界之间的实现方式特定的(以及/或者在有多个存储器设备存在并布置在距存储器控制器不同的位置处时设备位置特定的)时间产生时钟停止。如上文所述,在一个实施方式中通过 no-op 的发射,以确保在时钟停止时没有数据分组或有意义的命令分组前进通过存储器端解串行化器/串行化器电路(即,不被分裂)来考虑这种后果。当时钟重启时(在该示例中在系统时钟周期 52),接收一个或更多个 no-op 命令,从而填补启动队列使得时钟沿在存储器访问命令和/或数据到达之前到达存储器端 I/O 电路内。在所示示例中,在接收写入命令(WR)及伴随组地址(Ba,用于选择存储器内核中多个存储器组中的一个)和列地址(Ca,用于选择驻留在选定组的感测放大器内数据页内多个列中的一个)之前接收至少一个完整 no-op 命令。在注册写入命令之后一段时间 t_{WRD} (写入命令到数据),写入数据分组和对应的数据屏蔽分组在间隔 t_{BL} (突发长度或突发时间)上接收。总之,总共 32 个字节和 32 个对应屏蔽位被接收并传递到存储器内核,以写入到关于写入命令而指定的组(并且开始于列偏移)中。

[0144] 图 12C 图示了与图 12B 基本相同的时钟停止模式的进入/退出,但却是在存储器读取操作的上下文之中。在该情况中,时间 t_{CL} (列地址选通脉冲(CAS)延迟)在存储器读取(即,用于根据组地址 Ba 和列地址 Ca 从存储器内核读取数据的命令)的注册与 32 字节读取数据的输出(在间隔 t_{BL} 中在每个数据链路上传输的 4 个串行化分组)之间流逝。

[0145] 图 13 图示了根据一种备选实施方式的时钟停止的进入和退出,该备选实施方式允许时钟停止间隔延伸跨过分数个或非整数个内核时钟周期。如上文所述,将时钟停止间隔约束到整数个内核时钟周期确保了当存储器端内核时钟在时钟停止之后重启时,存储器端内核时钟(MCK1)与控制器内核时钟(PCK1)之间的相位关系得以维持。回想至少在图 2A

的实施方式中,根据用于从 MCK4 生成 MCK1 的以 4 相除电路的 4 个可能的状态, MCK1 可以具有关于 PCK1 的 4 个相位关系中的一个,因此,如果释放了整数内核时钟约束,则存储器内核时钟在时钟重启时可以具有针对控制器内核时钟的 4 个可能的相位关系中的一个。从存储器端串行化器 / 解串行化器电路的角度,这意味着,缺乏时钟停止间隔的知识,可以应用 4 个分组成帧 / 解成帧时钟中的任意一个,其中每个都与相对于 MCK1 的 4 个不同 $n \times 2$ 位时间偏移 (即,相对于 MCK1 偏移 0、2、4 或 6 个位时间) 中的一个对齐。因此,在一个实施方式中,存储器设备包括 4:1 多路复用器以允许在时钟重启时从 4 个分组成帧 / 解成帧时钟中选择一个。此外,存储器控制器发射在图 13 中示为“NCK”命令的组合 no-op、时钟对齐命令,而不是在时钟重启时发射 0 值无操作命令。例如,每个 NCK 命令可以包括 NCK 分组内预定位位置中的单对“1”(例如,“11000000”)。通过在时钟启动时利用 4 个可能的成帧 / 解成帧时钟中的每一个将传入命令成帧,并且将 4 个不同成帧的分组与预期的 NCK 分组值进行比较,可以将产生了预期 NCK 的成帧时钟选作向前进的存储器端成帧 / 解成帧时钟。

[0146] 调节芯片间内核时钟相位偏移

[0147] 如关于图 11A 讨论的,缺乏用于强制预定加电 / 复位状态的电路,提供用于生成存储器端内核时钟 MCK1 (即,通过将存储器端 I/O 时钟 (MCK4) 除以 4) 的示例性模 -4 计数器 (225、616) 可以在 4 个可能状态 (00、01、10、11) 中的任何一个中加电,并且因此任意地建立 MCK1 与控制器端内核时钟 (PCK1) 之间 4 个可能相位关系中的一个。由于每个 MCK4 周期跨越 2 个位时间,因此 4 个可能的相位 MCK1 对 PCK1 相位关系彼此之间相等地相隔 2 位时间相位偏移 (不计由于系统时钟链路上的传播或时钟缓冲延迟造成的任何相位偏移)。在一个实施方式中,MCK1 对 PCK1 相位关系在加电 (或复位) 时设置,并且此后在不修改的情况下通过存储器控制器的漂移补偿串行化器 / 解串行化器电路内的位对齐和分组对齐电路的校准而被纳入考虑。由于在某些情况下这可能导致增加的延迟,延迟优势可以在备选的实施方式中获取,在该备选的实施方式中在初始校准期间将 MCK4 除法器 225 调节到以下状态——其中最延迟数据链路相对于控制器端内核时钟域而言在相位上被提前 (想象将图 3D 中 FCK1[0] 的时序提前 2 个位时间) 并且因此减少最差链路定时进而减少最小读取延迟。

[0148] 图 14A 图示了时钟除法器的一种实施方式,该时钟除法器包括:连同关于图 11A 所述的模 -4 计数器 614 (即,由增量逻辑 616 和 2 位寄存器 621 形成),模 -4 加法器 751 用于向计数输出添加 2 位内核时钟调节值 (CoreCkAdj[1:0]) 来产生时钟除法器输出。通过该布置,时钟除法器输出可以从任意初始值 (在模 -4 计数器 614 的加电 / 复位时确定) 移位到 4 个可能的输出状态 (00、01、10、11) 中的任何一个,由此使得 MCK1 的相位 (即,除法器输出的 MSB) 能够相对于 PCK1 被调节 2 位时间增量 (或 PCK1 的正交步长)。图 14B 图示了该结果,示出了针对内核时钟调节值的 4 个设置中的每一个的、MCK1 相对于 PCK1 的 4 个示例性相位 (示为 MCK1 的下标)。为了便于理解,假设模 -4 计数器 614 最初在状态“00b”加电,使得在 MCK4 的初始上升沿 (如 655 所示,发生在相对于 PCK4 初始上升沿的一定延迟时段之后) 处,除法器输出从“00”转变到“01”,或者从“01”到“10”或从“10”到“11”或从“11”到“00”,这取决于生成相位可调节 MCK1 的内核时钟调节值的状态。如图所示,内核时钟调节值中的每次递增的净效应是相对于 PCK1 将 MCK1 提前 2 个位时间。

[0149] 图 14C 图示了针对内核时钟调节值 CoreCkAdj[1:0] 的 4 个设置的每一个、相对

于 PCK1 沿的控制器端分组成帧边界的示例性对齐。在所示示例中,假设读出数据通过链路 DQ[7] 上的最少延迟以及链路 DQ[0] 上的最大延迟返回,并且进一步假设经由 DQ[0] 到达的分组在 PCK1 采样沿之后即刻成帧,而经由 DQ[7] 到达的分组在 PCK1 采样沿之前即刻成帧。在采用了上文关于图 3C-图 3E 描述的分组对齐技术的实施方式中,系统读取延迟被设置成最差情况最小值,并且因此被设置成如针对 MCK1₀₀ 情况(即,CoreCkAdj[1:0] = “00”)所示的链路 DQ[0] 的 N+1 延迟(N+1 个 PCK1 周期)。然而,通过将存储器端内核时钟的相位提前 2 个位时间(即,如在 MCK₀₁ 所示),所有传入分组均相对于 PCK1 采样沿早两个位时间到达,并且因此可以响应于 PCK1 的第 N 个采样沿而不是沿 N+1 被采样,从而将系统读取延迟减少一个 PCK1 时钟周期(即,实现 N 个 PCK1 周期的系统读取延迟)。当 MCK1 提前另外 2 位时间间隔(MCK₁₀)时可以实现类似的结果,从而提供甚至更多的控制器端余量(并且因此潜在地提供更多的漂移容忍度)。然而当 MCK1 再提前另外 2 位时间间隔时(MCK₁₁ 所示),将会错过一个 PCK1 串行化边界(即,来自内核的数据在这样的提前的时间没有准备好串行化),从而导致关于延迟了一个周期的 MCK1 沿的数据串行化,并因此导致在存储器控制器处的甚至比在 MCK1₀₀ 情况下更为延迟的到达。

[0150] 如图 14C 所展示,可以通过某些而非所有内核时钟调节设置来实现减少的系统延迟。因此,在一个实施方式中,例如通过执行上文所述的位对齐和分组对齐操作来轮流测试每个内核时钟调节设置,以确定通过每个设置可获得的最小系统延迟。如果有不止一个设置产生相同的最小系统延迟,则可以选择这些产生相同最小延迟的设置中的中间设置或其他统计中心,用于提供在任一方向上的最大漂移容忍度。在图 14C 的示例中,由于存在两个产生相同最小值的内核时钟调节设置,因此可以收集附加信息来确定这两个设置中的哪一个提供最大的漂移容忍度(将该设置选择为校准结果)或者可以做出预定的选择(例如,始终选择最高值的内核时钟调节或者最后测试的调节来产生最小延迟)。

[0151] 再次参照图 14A,在一个实施方式中,经由边带链路向存储器设备传达内核时钟调节设置(CoreCkAdj[1:0]),从而使该设置能够在控制器端解串行化器校准结束时并且在控制器端串行化器校准之前得以修订。备选地,可以执行完整的校准(解串行化器和串行化器)且在其后跟随内核时钟调节——必要时迭代进行。

[0152] 考虑到存储器端内核时钟调节将存储器端内核时钟的相位和控制器端内核时钟的相位相对彼此移位,因此可以备选地通过移位控制器端内核时钟的相位而不是存储器端内核时钟的相位来实现相同的相对相移。例如在一个实施方式中,图 2A 的以 8 相除电路 163 被修改成使得 PCK1 的相位能够被提前到 8 个除法器状态中的任何一个,并且从而使得 PCK1 能够相对于 MCK1 移位。在另一实施方式中,图 2A 的以 2 相除电路 165 被修改成使得 PCK4 的相位能够被提前半个周期(事实上被反相)。此外,用抑制控制器端 PCK4 时钟停止逻辑内的某些数目(1 个、2 个或 3 个)的 PCK4 脉冲的调节机制来替代时钟相移,以设置 MCK1 与 PCK1 之间的初始相位关系来实现前面提到的延迟优势。在又一实施方式中,可以在 PPL 的输出处提供相移电路(例如,内插器),用以使得前向时钟能够以期望的(并且可实践的)分辨率进行相位步进,以建立具有完全校准的漂移容忍度的减少的系统延迟(例如,在相位设置中步进或搜索来寻找最小延迟窗口的边界并建立居于边界之间的最终相位)。

[0153] 无毛刺相位跃变

[0154] 在一个实施方式中,上述时钟停止逻辑在周期性定时校准操作的开始和结束时采用,以用于抑制(或屏蔽)否则可能会在相位跃变期间在控制器端接收和发射时钟中出现的毛刺。即,如图 15A 所示,当针对给定链路的数据采样时钟的相位 $RCK8[i]$ 突然地从用于接收实时数据的以眼为中心的相位 ($RCK8[i]_{LIVE}$) 转变为用于检测定时漂移的边界相位 ($RCK8[i]_{PTC}$) 时(即,响应于 $Ca1ClkSel$ 断言的相位跳跃),在时钟线上可能出现短至足以对解串行化器成帧逻辑产生毛刺的矮时钟脉冲 775,如由净时钟波形 $RCK8[i]_{NET}$ 所示。更具体地,矮脉冲 775 的持续时间可能如此之短,以至于在分组成帧电路内导致不确定的动作(即,可能会被用于生成成帧时钟的计数器电路计数到,也可能不会),并且因此在返回实时数据传递(即,退出周期性定时校准)时产生分组成帧错误。一般而言,这种时钟毛刺和由此产生的逻辑毛刺可以通过在 PTC 相位跃变操作期间抑制控制器端时钟来避免。

[0155] 图 15B 是图示了预 PTC 时钟停止操作和由此产生的无毛刺时钟波形(其产生 $RCK8[i]_{NET}$)的时序图。一般而言,单个内核时钟周期时钟停止间隔插入在实时操作(即,运行时读取和写入数据传递)与 PTC 操作之间的每次转变中。时钟停止间隔使得实时模式时钟相位选择与 PTC 模式时钟相位选择之间的转变能够在接收时钟被禁用时实现,从而在时钟停止间隔期间抑制任何潜在矮脉冲以及所有其他接收时钟脉冲,并且因此使得相位跳跃对于解串行化器成帧逻辑而言透明。在时钟重启时,接收时钟脉冲由成帧逻辑无误地计数,尽管有新的(PTC)时钟相位。该操作由按顺序标号的脉冲在图 15B 中示出,其中脉冲 0、1 和 2 响应于实时模式接收时钟相位 ($RCK8[i]_{LIVE}$) 而被计数并且脉冲 3、4、5、6、7 等响应于 PTC 模式接收时钟相位 ($RCK8[i]_{PTC}$) 而被计数。实时模式时钟和 PTC 模式时钟中的被抑制脉冲以灰色阴影 778 示出。注意,PTC 模式时钟被示为与实时模式时钟并发地切换,用于展示两个时钟相位之间的偏移。事实上,只有净时钟结果 $RCK8[i]_{NET}$ 出现在 $RCK8[i]$ 时钟线上。包括被抑制矮脉冲 780 在内的净被抑制脉冲还在 781 以灰色示出。最后,为了避免在从 PTC 模式到实时模式的返回相位跳跃中的矮脉冲,如在 782 所示执行另一单个 PCK1 周期时钟停止操作。

[0156] 图 16A 至图 16F 涉及用于执行周期性定时校准的备选方式,该周期性定时校准支持无时钟停止过程的无毛刺相位跃变。一般而言,备选方法涉及排除任意相位跃变的完全不同的时钟漂移检测,其有利于在进入或退出 PTC 模式的任何转变中的一个或更多半个单位时间(或半单元间隔(UI))相位跳跃。如下文所述,通过将每个半 UI 相位跳跃限制为向领先于原先时钟相位半个 UI 的新时钟相位的转变,确保了所有时钟脉冲持续至少半个 UI,因此不短于 $RCK8[i]$ 时钟脉冲的脉冲宽度。最后,在一个实施方式中,从 PTC 模式的退出涉及在连续内核时钟周期中执行的一系列 3 个半 UI 相位跳跃,并且从而在进入或者退出 PTC 模式的转变中实现两个单元间隔 ($4 \times 0.5UI = 2UI$) 的总控制器端相位提前。因此,为了维持相对于存储器端成帧和解成帧逻辑的分组成帧同步,存储器控制器在从 PTC 模式退出时将成帧时钟延迟两个单元间隔(两个位时间)。

[0157] 图 16A 图示了基于在数据眼之间的转变处而不是在眼打开其自身期间捕获的信号传输波形的采样进行的周期性定时校准。一般而言,传入的一系列数据值可以响应于在数据眼中点处的接收时钟信号(RCK)进行采样,以产生一系列对应于传达的数据值(d_i 、 d_{i+1} 、 d_{i+2} 、 d_{i+3} ...)的数据采样(s_i 、 s_{i+1} 、 s_{i+2} 、 s_{i+3} ...)。此外,通过对信号传输波形进行过采样,附加地捕获在数据眼之间的转换(沿)处的采样(或“沿采样”)(e_i 、 e_{i+1} 、 e_{i+2} 、 e_{i+3} ...),

相位信息可以在每当沿采样并不与之前或后续的数据采样匹配时获得。更具体地,由于单位间隔根据定义为信号传输波形中连续沿之间的时间,因此如果每单元间隔对波形采样两次——响应于采样时钟信号采样一次以生成数据采样并且响应于采样时钟(或沿时钟)的半 UI 移位版本再采样一次以生成沿采样——则在事实上沿采样与其之前或随后数据采样之间的不一致是如下指示:即,在信号传输波形中发生了转变(从“1”到“0”或相反的转变),以及相对于理想的沿采样点分别过晚地或过早地捕获了沿采样。该结果在图 16A 中由两个早/晚不等式给出:如果 e_i 不等于 s_i ,则采样是在从 s_i 到 s_{i+1} 的转变之后被捕获的并且因此过晚;如果 e_i 不等于 s_{i+1} ,则采样是在从 s_i 到 s_{i+1} 的转变之前被捕获的并且因此过早。因此,可以通过确定在给定时间间隔中(或者预定数目的沿采样中)获得的过早/过晚指示中的大多数指示出沿时钟(因此采样时钟)相对于理想采样点(此处过早/过晚指示处于平衡)是过早还是过晚,并且相应地调节沿相位及采样时钟来生成相位错误信息。

[0158] 在一个实施方式中,上述过早/过晚确定在周期性定时校准(PTC)操作期间实现,其无需过采样,并且通过发射已知数据模式并且通过使用半 UI 移位的接收时钟(即,沿时钟)生成对应沿采样来替代。图 16B 图示了相位错误检测器 801 的实施方式,该相位误差检测器 801 在异 NOR(XNOR)门 803 中对一组沿采样($e_0, e_1 \dots e_{n-1}$)与已知数据采样($d_0, d_1 \dots d_{n-1}, d_n$)进行比较,并且将所得的采样过早/采样过晚(sE/sL)供应给表决逻辑 804。在一个实施方式中,表决逻辑是组合逻辑电路,该组合逻辑电路根据过早指示还是过晚指示占优(构成大多数表决)来生成相位递增/递减信号(“增/减”),并且输出该递增/递减信号来更新接收时钟信号的对齐计数。

[0159] 图 16C 图示了执行用于在控制器端漂移补偿解串行化器的周期性定时校准期间实现相位更新的示例性操作序列。起始于 821,接收时钟被相位提前半个 UI (0.5UI)。此后,开始预定(或可预测)测试数据模式的存储器端发射。例如在一个实现方式中,向存储器设备发布侧链路命令用以开始测试模式发射。备选地,可将存储器设备置于上文所述的环回模式,并且将测试模式从存储器控制器发射至存储器设备继而在环回操作中将其从存储器设备重新发射至存储器控制器。无论在何种情况中,在 823 处,存储器控制器利用半 UI 移位的接收时钟对传入的测试模式进行采样,以在 825 处生成沿采样序列。在决策框 827 处对沿采样进行评估,以确定是时钟过早指示($e_i < d_i$)还是时钟过晚指示($e_i < d_{i+1}$)占优。如果时钟过早指示构成大多数,则接收时钟被认为相对于期望的采样点过晚,并且对应的对齐计数在 828 处被递减以提前时钟相位。相反地,如果时钟过晚指示构成大多数,则接收时钟被认为相对于期望的采样点过早,并且对应的对齐计数在 829 处被递增以推迟时钟相位。此后,接收时钟在 831 处被提前 1.5UI 来恢复预校准相位。在一个实施方式中,该相位提前由 3 个 0.5UI 相位提前操作的序列实现,以用于恢复如下文关于图 16D 和图 16E 所述的预校准相位。最终,在 833 处,在成帧时钟发生器中引入 2 位时间延迟来对由于接收时钟的净 2UI 相位提前而产生的附加脉冲进行补偿。关于图 16F 对该操作进行进一步详细描述。

[0160] 图 16D 图示了时钟相移电路的实施方式,该时钟相移电路响应于相位提前信号(“Adv0.5UI”)提供了无毛刺 0.5UI 相位提前。如图所示,该电路包括差分沿触发的触发器 841、843 的环耦合对,该差分沿触发的触发器 841、843 分别由位速率接收时钟(RCK8[i])的上升沿和下降(正向和负向)沿来钟控。正向沿触发的触发器 841 的反相输出和非反相

输出耦合到负向沿触发的触发器 843 的对应的反相输入和非反相输入,同时负向沿触发的触发器 843 的反相输出和非反相输出交叉耦合到正向沿触发的触发器 841 的非反相输入和反相输入。通过该布置,正向沿触发的触发器 841 的正向(非反相)输出和负向(反相)输出响应于位速率时钟(RCK8[i])的每个上升沿转变,每两个位时间循环一次,同时负向沿触发的触发器 843 的正向输出和负向输出响应于位速率时钟的每个下降沿转变,每两个位时间循环一次,但是相对于正向沿触发的触发器 841 的输出而言处于正交关系(半 UI 偏移)。因此,如图 16E 中所示,生成 4 个半位速率时钟信号:iCK_P 和 iCK_N(正向和负向“同相”时钟)和 qCK_P 和 qCK_N(正向和负向“正交”时钟),由 2UI 间隔(即,半位速率时钟周期的一个周期)中的半 UI 相位偏移进行相位分发。如图 16D 所示,该 4 个时钟信号被供应到多路复用器 847 的输入端口并且响应于 2 位(模-4)计数器 845 的输出而被选择用于输出。在一个实施方式中,计数器 845 实现为格雷码计数器(例如,计数序列=00、01、11、10、00...)来避免输出毛刺并且响应于相位提前信号(Adv0.5UI)被提前以选择序列中的不同时钟信号,以用于实现从一个半位速率时钟到下一个半位速率时钟的相位跳跃。通过该操作,并且通过将每个相位跳跃限制为从一个半位速率时钟到该半位速率时钟的提前了半个 UI 的实例的跳跃(即,从 iCK_P 到 qCK_N、从 qCK_N 到 iCK_N、从 iCK_N 到 qCK_P 并且最终从 qCK_P 回到 iCK_P,如箭头 850 所示),确保了最差情况(最短持续时间)矮脉冲的持续时间至少为 0.5UI,如在 851 处和 853 处所示,而无论提前信号何时递增。因此,通过确保所有逻辑电路都能够确定性地响应间隔 0.5UI 的时钟沿(即,能够由数据速率频率时钟进行钟控),确保了决定性、无毛刺电路操作。

[0161] 仍参考图 16D,可以看出从给定的半位速率时钟到半 UI 延迟时钟的返回 0.5UI 相位跳跃(即,如通常期望用以在周期性定时校准完成之后恢复实时操作那样)不产生相同的无毛刺时钟结果。即,取决于相位跳跃何时开始,可能产生不确定持续时间的矮脉冲。在一个实施方式中,通过以在连续内核时钟周期中执行的 3 个附加的半 UI 相位跳跃序列(总长 1.5UI)实现到原始(预 PTC)时钟的返回来避免这样的矮脉冲。最终,由于 4 个 0.5UI 相位提前(一个用于在 PTC 期间提供沿时钟,3 个用于恢复数据采样时钟相位)的净效应是用于将由此产生的时钟的相位提前 2 个单位间隔,用于生成位成帧时钟的计数器电路被延迟 2 个单位间隔来保持相对于存储器端分组成帧的同步。该效应在图 16F 中概念性地示出,该图示出了 4 个半 UI 相位跳跃的序列产生相对于相配存储器端时钟(MCK4)的控制器端时钟(RCK4)中的两个附加位定时沿。在一个实施方式中,在图 3A 的解串行化器中提供成帧时钟延迟电路,以在从 PTC 模式退出时从用于生成成帧时钟信号 RCK1 和 FCK1 的模-8 计数器中减 2,从而恢复正确的分组成帧边界。

[0162] 返回图 16D,可以看出相位跃变电路的一个结果是产生半位速率接收时钟 RCK4[i]。在一个实施方式中,通过修正控制器端串行化器/解串行化器电路,以响应于半位速率时钟的上升沿和下降沿两者钟控输入/钟控输出数据来适应该结果。例如在一个实施方式中,图 4A 和图 4B 的半位速率串行化器/解串行化器电路在存储器控制器内实现,从而应用对齐计数控制的分组成帧时钟来替代 MCK1。

[0163] 虽然图 16A 至图 16F 已关于控制器端接收时钟定时进行了描述,但是也可以执行相配的 0.5UI 相位跳跃操作(和发射时钟生成电路)来实现发射时钟相位的周期性定时校准。例如,通过相位提前发射时钟相位 0.5UI,并且随后接收所产生的存储器端捕获的沿采

样（例如，经由环回），可以做出相同的递增 / 递减决策，在该情况中，如果沿采样指示过早存储器端采样实例，则提前发射时钟相位（即，提前数据相位并有效地推迟存储器端采样实例）；以及如果沿采样指示过晚存储器端采样实例，则递减发射时钟相位。类似地，在从 PTC 退出时，发射时钟的相位可以在一系列 0.5UI 相位跳跃中被提前 1.5UI，以恢复（现在根据沿漂移而调节的）预校准发射相位。最终，控制器端解成帧时钟可以被延迟 2 个计数，以对由于 4 个 0.5UI 相位跳跃而产生的（相对于存储器端定时的）两个附加定时沿进行校正。

[0164] 具有低功率时钟停止模式的存储器系统的系统应用

[0165] 具有低功率时钟停止模式的存储器系统到此已经在存储器控制器和单个存储器设备的上下文中进行了描述。虽然此类紧密耦合控制器 / 存储器系统可以用于多种移动应用，但是单个存储器控制器集成电路（控制器 IC）可以备选地对布置在各种架构中的多个存储器设备（存储器 IC）进行控制。此外，可以在单个 IC 中实现多个存储器控制器信道，每个存储器控制器信道控制单独一组一个或多个存储器 IC，并且从而允许单个时钟电路生成针对多个控制器端 I/O 电路和开环存储器端时钟分发电路的时钟信号。

[0166] 图 17A 图示了具有单个控制器 IC 751 和多个存储器 IC_{755₀-755_{n-1}} 的可暂停时钟存储器系统 750 的实施方式。在所示实施方式中，存储器设备（统称为 755）布置在存储器模块 753 上（该存储器模块通常为如下电路板：其具有用于到底板或母板的可移除连接的沿连接器，并且因此允许存储器容量在插入附加的存储器模块时扩展），并且个别地包括如图 2A 所示的 I/O 接口和开环时钟分发布置。在该情况中，所示出的每个信号传输链路群组（752）可以包括存储器控制器与存储器设备中的相应一个存储器设备之间的点到点连接，并且可以包括专用时钟、CA 和数据链路（以及数据屏蔽——如果需要的话）。备选地，可以向存储器模块的所有存储器设备分发某些或所有信号传输链路（例如，以多点下传形式耦合到所有存储器设备的时钟链路，和 / 或以多点下传形式耦合到所有存储器设备的一个或多个命令链路）。另外，每个信号传输链路可以耦合到多个存储器设备（例如，数据链路耦合到多个存储器模块上的一部分存储器设备，如数据链路 [0 到 N-1] 耦合到多个存储器模块 753 中的每个存储器模块上的第一存储器 IC，数据链路 [N+1 到 2N] 耦合到多个存储器模块中的每个存储器模块上的第二存储器 IC，等等），从而建立多点下传数据和 / 或命令路径。在后一种情况下，根据针对给定的存储器访问事务而选定的存储器模块（或者从相同模块上的两个或更多个这样的群组中选择的存储器设备群组），可能适用附加的定时补偿值。在该情况中，分组调节值、位调节值和相位调节值可以动态地切换——这取决于给定存储器访问事务所针对存储器设备群组，其中针对每个群组保持单独的对齐寄存器集。

[0167] 图 17B 图示了另一存储器系统实施方式，在该情况中，具有实现与图 2A 中所示存储器端 I/O 接口对应的接口 777 的模块安装的缓冲器 IC 775。通过该布置，可以在存储器控制器 771 与缓冲器 IC 775 之间实现具有时钟停止低功率模式的高速信号传输系统，其中更常规的接口 729 实现在缓冲器 IC 与布置在存储器模块 773 上的缓冲器 IC 775 旁边的存储器设备 781₀-781_{N-1}、781₀-781_{N-1} 之间。例如，在一个实施方式中，命令 / 地址值不仅包括组地址、行地址和列地址，还包括缓冲器 IC 775 向其转发命令的个别存储器设备 781、782（或存储器设备群组）的地址。缓冲器 IC 可以附加地包括数据输入 / 输出缓冲器，用于对用以最终向选定地址的存储器设备（或存储器设备群组）分发的传入的写入数据，以及将要向

存储器控制器转发的读出数据进行排队。作为示例,在一个实施方式中,缓冲器 IC 到存储器设备接口是不需要存储器上 PLL/DLL 用来维持链路完整性的相对慢的信号传输接口,或者可以使用标准的基于选通脉冲的信号传输来实现。

[0168] 分级功率模式

[0169] 在一个实施方式中,除上文描述的活动操作模式(活动模式)和时钟停止低功率模式以外,上文所述的均步低功率信号传输系统支持两个其他功率模式:功率降低模式,其中信号发射器和接收器电路中的偏置电流源被关闭;以及深度功率降低模式,其中控制器端 PLL(图 2A 的元件 161)可以随同控制器内核中的逻辑电路一起被禁用。在所有功率模式之间的转变可以由上文所述的功率模式逻辑响应于来自控制器内核的命令流量进行管理。功率模式(此处还被称作功率状态)可以用于以增加的退出延迟来换取降低的功耗。以下表格(表 1)总结了在一个实现方式中的存储器控制器功率状态的性能,其示出了活动模式(P4)以及 3 个低功率模式:

[0170]

功率模式	退出延迟 (PCK1 周期)	控制器接口功率对峰值接口 DQ 带宽		
		2.7GB/s	3.2GB/s	4.3GB/s
P4 (活动)	--	80.8	91.6	114.7
P3 (时钟停止; 空闲)	0	15.0	15.7	17.4
P2 (功率降低)	10	4.6	5.2	6.5
P1 (深度功率降低)	130	0.4	0.4	0.4

[0171]

[0172] 表 1

[0173] 如上表所示,在 P4(活动)模式中,以 114.7mW(3.3mW/Gb/s)提供 4.3GB/s(吉字节每秒)的 DQ 带宽。在 P3 模式中,时钟分发如上文所述被暂停并且 DQ 输出驱动器、输入放大器和数据采样器可以附加地被禁用。在 P2 模式中,所有收发器都被禁用(包括时钟发射器和接收器电路)并且仅时钟倍增器是活动的。在 P1 模式中,仅消耗泄漏功率。每个功率状态的进入延迟可以是可编程的(最小为 0 个并行(PCK1)时钟周期),从而提供状态转变的增强流水控制。当不需要峰值带宽时,快速功率状态转变时间允许对突发传递的高效使用。存储器访问策略和流量属性的细节可以确定功率状态利用和最终效率。如上文所述,当控制器到存储器信号传输接口空闲时,通过在根源处同步地暂停时钟分发,利落地暂停存储器控制器和存储器设备两者中的下游电路以及支持上表中所示的快速功率状态转变时间来节省功率。

[0174] 不同功率模式之间的转变可以由图 1A 的功率模式逻辑 111 例如基于事务队列 109 的状态(空或经加载)和/或来自主机处理器或主机控制器的明确功率相关的控制信号来

进行管理。在一个实施方式中,例如在图 18A 中所示,功率模式逻辑 111 包括以下状态机,该状态机随着无存储器访问请求的时间的增加,逐渐地向更低功率模式转变——从活动 (P4) 到时钟停止 (P3) 到功率降低 (P2) 到深度功率降低 (P1)。因此,当事务队列首先被清空并且完成离队的事务最后时(即,关于该事务的所有 I/O 操作都已完成),功率模式逻辑从活动状态转变至空闲状态,从而解断言一个或多个时钟使能信号以暂停系统时钟信号和控制器 I/O 时钟信号。此后,如果事务队列在预定数目或者编程的数目的存储器访问周期中继续保持为空,则功率模式逻辑可以从空闲状态转变至功率降低状态,从而发布信号来禁用存储器设备和存储器控制器内的发射器和接收器。如果在进入功率降低模式 P2 之后事务队列在一段延长的时间间隔(例如,另一可编程时间间隔)中保持为空,或者如果接收到要进入进一步降低的功率模式的明确的主机命令,则功率模式逻辑可以通过禁用控制器端 PLL 连同控制器端内核中的电路(例如,用于与主机端数据路径对接的电路)的操作来进入深度功率降低状态。注意,在其中由 PLL 来生成控制器内核时钟的实施方式中,可以向需要对来自主机处理器或主机控制器的任何存储器访问请求或唤醒/加电命令作出响应的电路可切换地提供(例如,经由多路复用器)交替时钟源。此外,可以使用参考时钟信号或其恢复的版本作为控制器内核时钟,而不是通过频分图 2A 所示的 PCK8 信号来生成控制器内核时钟,从而确保即便在 PLL 关闭之后内核时钟仍然时钟可用。

[0175] 仍然参照图 18A,当从主机控制器/主机存储器接收到存储器访问请求或者明确的唤醒/加电命令时,功率模式逻辑通过将存储器系统从深度功率降低状态 (P1) 转变到功率降低状态 P2 而做出响应,该转变是通过开启控制端 PLL 和其他被禁用的控制器内核电路来实现的。此后,功率模式逻辑通过启用控制器和存储器端时钟以及命令/地址发射器和相配的存储器端接收器来将系统从功率降低状态 P2 转变到时钟停止状态 P3。最终,功率模式逻辑通过使系统时钟信号和控制器 I/O 时钟信号能够切换来将系统从时钟停止(空闲)状态 P3 转变到活动状态 P4。

[0176] 图 18B 示出了与图 2A 的实施方式对应的存储器系统架构 790,但却示出了关于 P4、P3 和 P2 功率模式中电路关闭的附加细节。首先参考存储器端 I/O 电路 793,从存储器内核提供使能读取信号和使能写入信号 (EnR 和 EnW),用于根据正在执行的列操作来选择性地启用和禁用针对数据链路 231 和屏蔽链路 241 的信号接收器 (234) 以及针对数据链路 231 的信号发射器 233。即,在其中没有写入数据或写入屏蔽要接收的活动模式 (P4) 存储器读取操作期间,存储器内核逻辑内的请求解码逻辑降低使能写入信号 (EnW) 来关闭写入数据和写入屏蔽接收器内的功耗电路,从而减少功耗。类似地,在其中没有读出数据要发射的活动模式存储器写入操作期间,存储器内核逻辑降低使能读取信号 (EnR) 来关闭读出数据发射器内的功耗电路。

[0177] 在一个实施方式中,通过禁用被提供用于接收/发射数据信号的差分或单端接收器/发射器内的一个或更多个偏置电流源来实现 I/O 放大器关闭。图 18C 示出了可形成此类接收器或发射器的组成部分的差分放大器 810 的示例性实施方式。如图所示,放大器 810 包括无源或有源上拉负载 811、差分地耦合的输入晶体管 813a/813b、偏置电流源 815 以及关闭晶体管 817。当使能写入或使能读取信号(统称“En”)被提高时,关闭晶体管 817 切换到传导状态以启用偏置电流源 815 内的 DC 偏置电流的流动,从而使得差分放大器的输出节点 (outP、outN) 能够根据施加在放大器输入节点 inP 和 inN 处的差分信号而被差分地提

高和降低。当使能信号被降低时,关闭晶体管 817 切换到基本上非传导状态以禁用 DC 偏置电流的流动,从而使得放大器进入降低的功率状态。在备选的实施方式中,可以通过将关闭晶体管或其他切换元件包括在放大器 810 内其他位置处,例如但不限于包括在偏置电流源 815 内来实现所述关闭。

[0178] 应当注意,图 18B 中所示的信号接收器 234 和信号发射器 233 可以不止对传入和传出信号进行放大,并且因此可以包括除了图 18C 的示例性放大器之外的(或者替代其的)电路。例如,接收器和/或发射器电路(“接收器/发射器”)可以附加地执行电平移位操作(例如,在信号传输链路上传达的小幅度摆动信号与提供给解串行化电路或从串行化电路中接收的逻辑级信号之间移位)。接收器/发射器可以执行定时的采样/输出操作,增加具有或不具有电压放大/衰减的电流驱动;提供摆率控制、供应电压调整等等。任何或所有这些操作可以使用稳态(“DC”)电流源或者可以响应于使能信号而快速被禁用和启用(即,关闭和开启)的其他功耗电路。

[0179] 图 18D 是图示了相应地响应于传入的存储器写入请求和存储器读取请求,对使能写入信号和使能读取信号(EnW 和 EnR)的基于命令的断言的时序图。存储器端 I/O 时钟信号(MCK4)、命令/地址信号、数据屏蔽和读/写数据信号全都具有如关于图 12A 至图 12C 所述的一般时序关系。在所示的特定命令序列中,在时刻 821 在存储器设备内接收到包括组地址(Ba)的列写入命令(WR)和列地址(Ca),对应的写入数据在稍后的预定时间 t_{WRD} 到达。请求解码逻辑通过在写入使能间隔(t_{WR-ENW})逝去之后提高写入使能信号(EnW)来响应写入命令,由此使得数据输入接收器(即,写入数据接收器和数据屏蔽接收器)的操作能够提前于传入的写入数据,从而提供时间 t_{ENW-D} 让接收器稳定下来。在已接收到写入数据之后,如果没有收到随后的写入请求并且因此没有计划紧随其后的(即,紧接的)写入数据接收,则请求解码逻辑可以在时间间隔 t_{D-ENW} 之后解断言使能写入信号来将数据输入接收器返回到降低功率状态。注意,所示出的特定时间间隔只是为了示例的目的;在备选实施方式中可以实现不同的 t_{WRD} 、 t_{WR-ENW} 、 t_{ENW-D} 和 t_{D-ENW} 间隔。

[0180] 仍参考图 18D,在时间 823 在存储器设备内接收包括组地址(Ba)的列读取命令(RD)和列地址(Ca),对应的读出数据在稍后的预定时间 t_{CL} 输出。请求解码逻辑通过在读取使能间隔(t_{RD-ENR})逝去之后提高读取使能信号(EnR)来响应读取命令,由此在读出数据发射之前启用数据输出发射器(即,读出数据发射器)的操作,从而提供时间 t_{ENR-Q} 让发射器稳定下来。在已经输出读出数据之后,如果没有收到随后的读取操作并且因此没有计划紧随其后的(即,紧接的)读出数据发射,则请求解码逻辑可以在时间间隔 t_{Q-ENR} 之后解断言使能读取信号来将数据输出发射器返回到降低功率状态。注意,所示出的特定时间间隔只是为了示例的目的;在备选实施方式中可以实现不同的 t_{CL} 、 t_{RD-ENR} 、 t_{ENR-D} 和 t_{Q-ENR} 间隔。

[0181] 返回图 18B,在确定事务队列在转变到时钟停止低功率模式 P3(即,空闲模式)之后继续保持为空时,由控制器内核中的功率模式逻辑来断言功率降低信号或命令(PD)。功率降低信号经由功率模式驱动器 795、链路(PM[1])和接收器 797 向存储器设备转发,在接收器 797 处该功率降低信号被接收在使能逻辑电路 799 内,该使能逻辑电路 799 响应地降低命令使能信号 EnCK/CA。该命令使能信号被供应到输入接收器 223a/223b 以及系统时钟接口 221 和命令/地址接口 243 内,并且因此,当命令使能信号被降低时,其禁用针对对应时钟和命令/地址链路的输入接收器来建立进一步降低的功率状态——本文中称其为功率

降低模式 P2。

[0182] 图 18E 是图示功率降低模式的进入和退出的时序图,其中退出由存储器写入请求触发。如图所示,在时刻 833 开始接收最终命令存储器访问请求 (OP) 并且在间隔 $t_{CA(OP)-CK}$ 期间对其进行处理,该间隔在进入时钟停止低功率模式之前 (即,在时钟周期 32)。如上文所述,针对不同命令 $t_{CA(OP)-CK}$ 间隔可以不同并且该间隔代表用于完成 (即,为其完成提供时钟沿) 从事务队列离队的最后存储器访问请求所需的时间。例如,存储器读取操作可能需要相比行预充电命令更多的时钟沿来完成。

[0183] 如果事务队列在时钟停止之后的预定的或编程的时间间隔 (t_{CK-PM}) 中继续保持为空,则控制器端功率模式逻辑断言功率降低信号 (PD),这导致在一小段时间后 (即,在延迟 t_{PM-EN} 后) 对命令使能信号 $EnCk/CA$ 的解断言,从而禁用针对系统时钟和命令 / 地址链路的输入接收器并且建立功率降低模式。

[0184] 应当注意,功率降低模式 (P2) 可以备选地或附加地响应于经由命令 / 地址路径发射的命令来进入。在处于 P4 或 P3 模式中时,这种布置将允许功率降低控制被一个或多个指示其他操作的命令包括 (例如,作为一个或多个内嵌位)。在经由接收于命令路径上的命令进入到功率降低模式之后,功率降低信号可以用于触发对命令路径和时钟信号接收器的重新启用,因此实现回到时钟停止模式 (P3) 的转变。

[0185] 当新的存储器访问请求被排队在控制器端事务队列内时,功率模式逻辑降低功率降低信号来启用从功率降低模式到时钟停止模式 (即,从 P2 到 P3) 的转变。存储器端使能逻辑 (图 18B 的 799) 通过在一小段时间之后 (即,在延迟 t_{PM-EN} 后) 提高命令使能信号来响应对功率降低信号的解断言,从而启用针对时钟和命令 / 地址链路的接收器,并且因此使存储器设备准备好返回活动模式。因此,提高命令使能信号之后的时间间隔 (t_{EN-CK}),系统时钟被重启来将存储器设备从时钟停止模式转变回到活动模式 (P3 到 P4)。此后不久,经由命令路径在存储器设备内接收触发到活动模式的返回的存储器访问请求,然后是在预定时间后的对应数据。在所示特定实施方式中,存储器访问请求是列写入请求,使得使能写入信号被断言以启用写入数据接收器的输入放大器以在所示时间接收写入数据。存储器访问请求可以备选地为如图 18D 所示的列读取请求 (在这种情况下使能读取信号将在时间 t_{RD-ENR} 之后被提高以用于启用读出数据放大器的操作),或者为行访问请求。

[0186] 回顾关于图 18A 至图 18E 描述的功率模式转变和支持电路,应当注意,可以在功率模式控制中提供附加的精细化。例如,虽然针对系统时钟的输入接收器和命令 / 地址链路被示为由单个控制信号启用,但是在备选实施方式中可以提供针对这些链路的独立信号,从而支持一个链路在其他链路之前或之后被禁用 / 启用或者支持彼此独立地启用链路。此外,施加用于启用针对时钟链路的输入接收器的信号 (或者一个或多个附加使能信号) 可以附加地供应到时钟缓冲器 229 和 227,尤其是当所述缓冲器是由汲取不可忽视电流的电路 (例如,电流模式逻辑) 实现时。另外,虽然功率模式信号被绘制为经由专用链路供应,但是功率降低信号可以备选地经由共享链路 (例如,时间多路复用到图 2 中所示的边带链路上) 发射以减少管脚数。还可以在控制器端电路内提供逻辑电路,用于将功率降低信号与控制器内核时钟信号或另一控制器端定时信号同步。另外,虽然在图 18B 中没有具体示出,但是可以提供附加的使能信号来根据正在执行的操作和功率模式来选择性地启用控制器端发射器和接收器电路。例如,可以将与使能读取和使能写入信号 (EnR 、 EnW) 对应的

信号从控制器内核逻辑提供给数据接收器和数据 / 屏蔽发射器电路 (例如, 图 18B 的元件 188、187), 以在存储器读取操作期间禁用数据 / 屏蔽发射器 (并且启用数据接收器), 以及在存储器写入操作期间禁用数据接收器 (并且启用数据 / 屏蔽发射器)。此外, 功率降低信号可以用于选择性地启用命令 / 地址串行化器 207 内的命令 / 地址发射器和任何时钟发射器 175 和片上时钟分发电路 173, 从而在存储器控制器内启用功率降低模式 (P2) 并且提供在时钟停止操作本身之外的功率节省。控制器端使能读取 / 使能写入和功率降低信号的时序通常与图 18D 和图 18E 中针对相配的存储器端信号所示的时序对应。

[0187] 除了上述操作和备选, 可以根据系统操作策略或应用需求可编程地选择 (例如, 编程至控制器端功率模式逻辑内的寄存器中) 在从时钟停止模式转变到功率降低模式之前发生的 t_{CK-PM} 时间间隔。更一般地, 图 18D 和图 18E 中所示的所有定时间隔仅以示例的目的提供, 并不一定按比例绘制, 并且可以按需改变以满足操作要求。

[0188] 物理实施方式的电子表现形式

[0189] 应当注意, 本文所公开的各种集成电路、芯片和封装体可以使用计算机辅助设计工具来加以描述, 并且在它们的性能、寄存器传输、逻辑组件、晶体管几何布局以及 / 或者其他特性而方面表达 (或表示) 为体现在各种计算机可读介质中的数据和 / 或指令。

[0190] 当经由一个或者多个计算机可读介质在计算机系统内接收时, 上述电路的这种基于数据和 / 或指令的表达可以与一个或者多个其它计算机程序的执行相结合地由计算机系统内的处理实体 (例如一个或者多个处理器) 进行处理以便生成这种电路的物理表现的表示或者图像, 其中其它计算机程序包括但不限于网表生成程序、地点和路由程序等。这样的表示或者图像例如可以通过支持生成用于在器件制造工艺中形成电路的各种组件的一个或者多个掩模, 而在此后用于器件制造。

[0191] 在以上说明和附图中, 使用了特定术语和绘图符号来提供对本发明的全面理解。在某些实例中, 术语和符号可能暗示并非为对本发明的实践所需的特定细节。例如, 在备选实施方式中, 位、信号路径宽度、信号传输或操作频率、组件电路或者设备的任何具体数目可以不同于以上所述情况中的数目。在其他实例中, 以框图形式示出了公知的电路和设备, 以避免不必要地含混本发明。此外, 电路元件或块之间的互联可以示为总线或者示为单信号线。每个总线可以备选地为单信号线, 并且每个单信号线可以备选地为总线。被示出或描述为单端的信号和信号传输路径也可以是差分的, 并且反之亦然。当某一信号驱动电路在耦合于信号驱动电路与信号接收电路之间的信号线上断言 (或者解断言——如果在上下文中明确有述或指明) 信号时, 该信号驱动电路被称为是: 向信号接收电路“输出”信号。在本文中使用“定时信号”这一表述来指代对集成电路设备内的一个或更多个动作的定时进行控制的信号, 并且包括时钟信号、选通脉冲信号等等。在本文中使用“时钟信号”来指代用于对一个或更多个集成电路设备上的电路之间的动作进行协调的周期性定时信号, 并且包括自由振荡信号和门控 (即, 可暂停或可停止) 振荡信号。在本文中使用“选通脉冲信号”来指代这样的定时信号——其产生转变以标记数据在连向正被选通的设备或电路的输入处的存在, 并且因此可以在突发数据发射期间呈现出周期性, 但除此之外在无数据发射的情况下保持稳定状态 (除了远离驻泊条件的转变或者其他受限前导或后导转变)。本文中使用术语“耦合”来表达直接连接以及通过一个或更多个中介电路或结构的连接。集成电路设备“编程”可以例如并且非限制性地包括: 响应于主机指令而向设备内的寄存器或

者其他存储电路加载控制值,并且从而控制该设备的操作方面,从而通过一次性编程操作(例如,在设备生产期间熔断配置电路内的熔丝)来建立设备配置或者控制设备的操作方面,以及/或者将设备的一个或多个选定管脚或其他接触结构连接至参考电压线(亦称为跨接(strapping))以建立该设备的特定设备配置或操作方面。术语“示例性”和“实施方式”用于表达某示例,而非优选或要求。

[0192] 虽然已关于本发明的特定实施方式对本发明作出了描述,但是很显然,可以对本发明作出多种修改和改变不背离广义上的精髓及范围。例如,可以将任何实施方式的特征或方面与任何其他实施方式相结合地应用或者作为任何其他实施方式的相配的特征或方面的替代来应用。因此,应当将本说明书和附图视为是示例性而非限制性的。

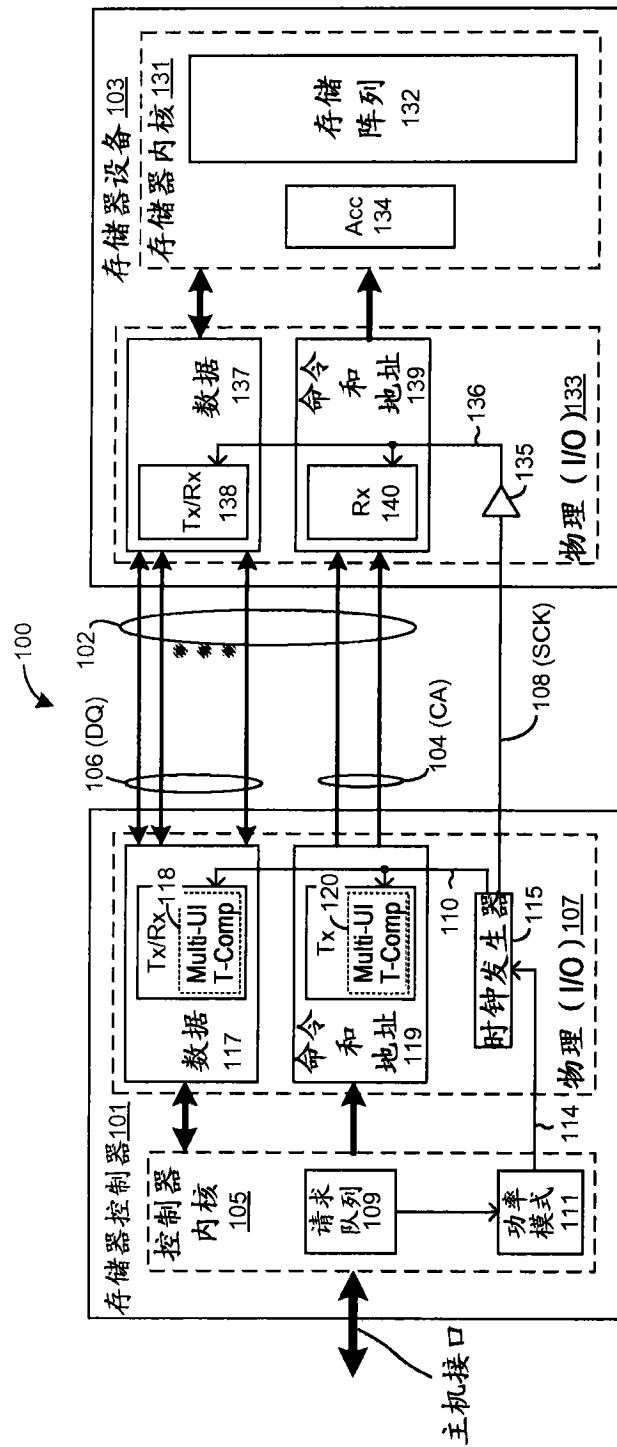


图 1A

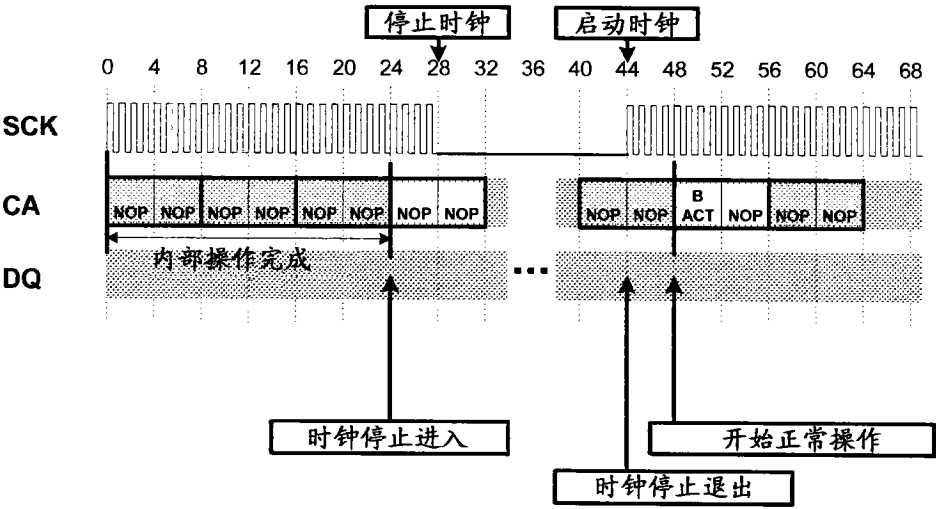


图 1B

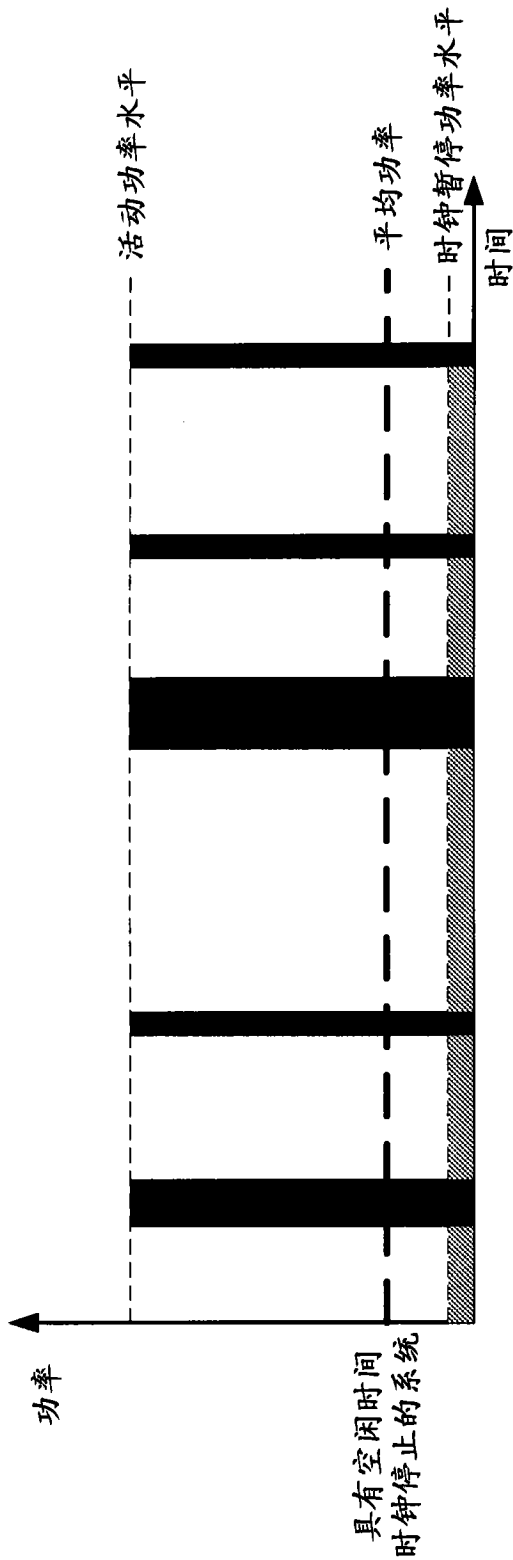


图 1C

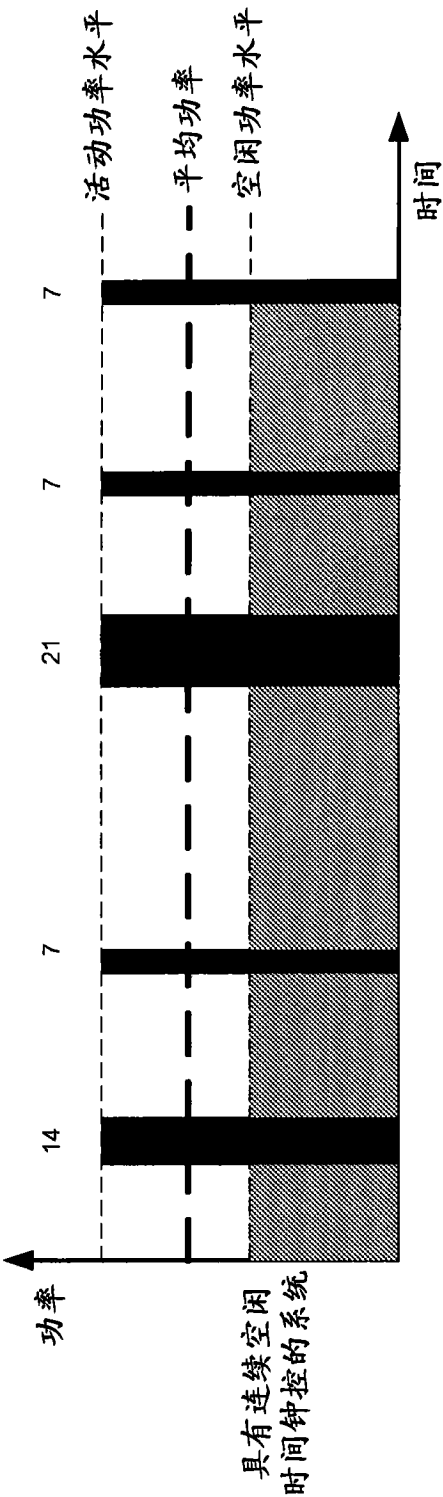


图 1D

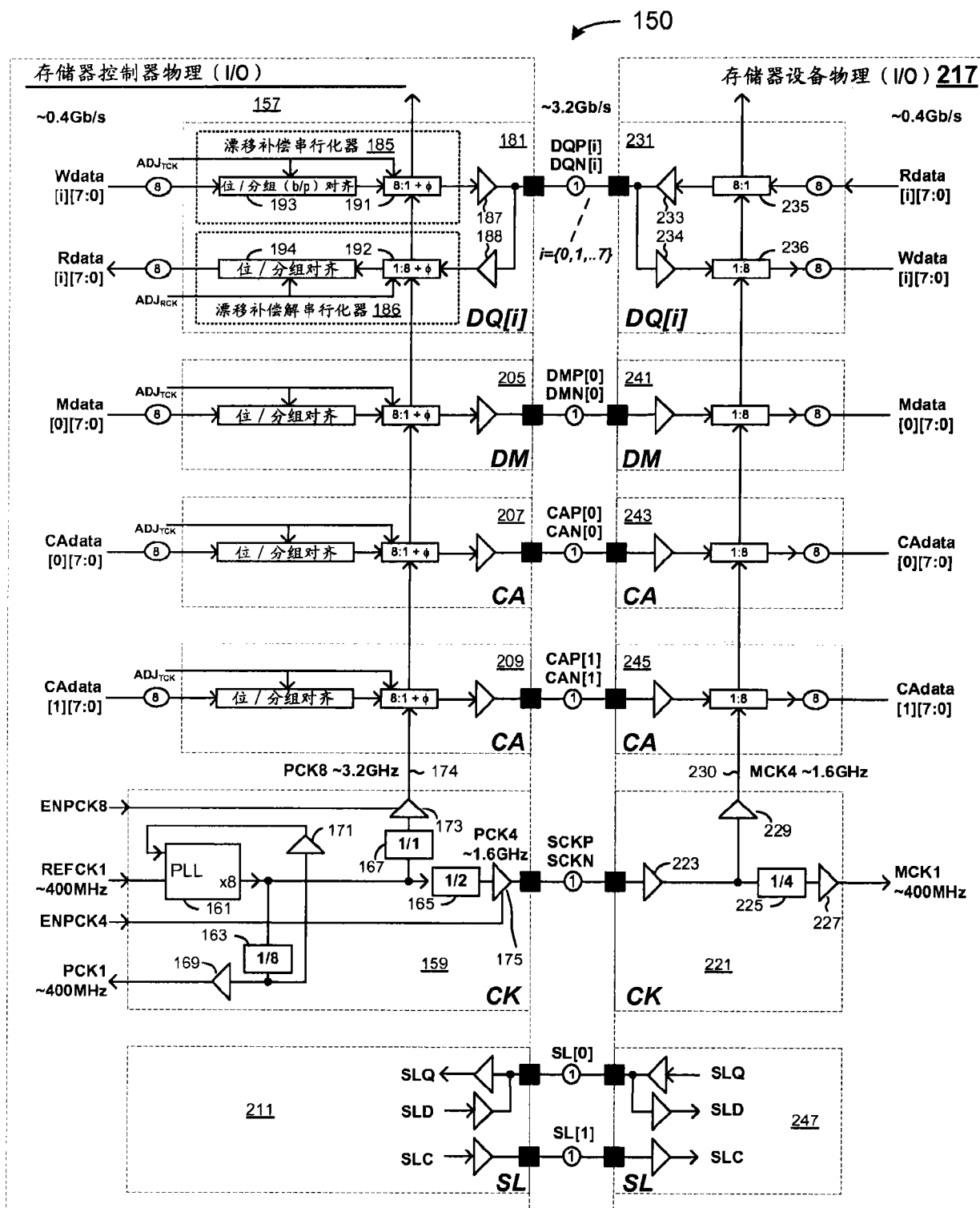


图 2A

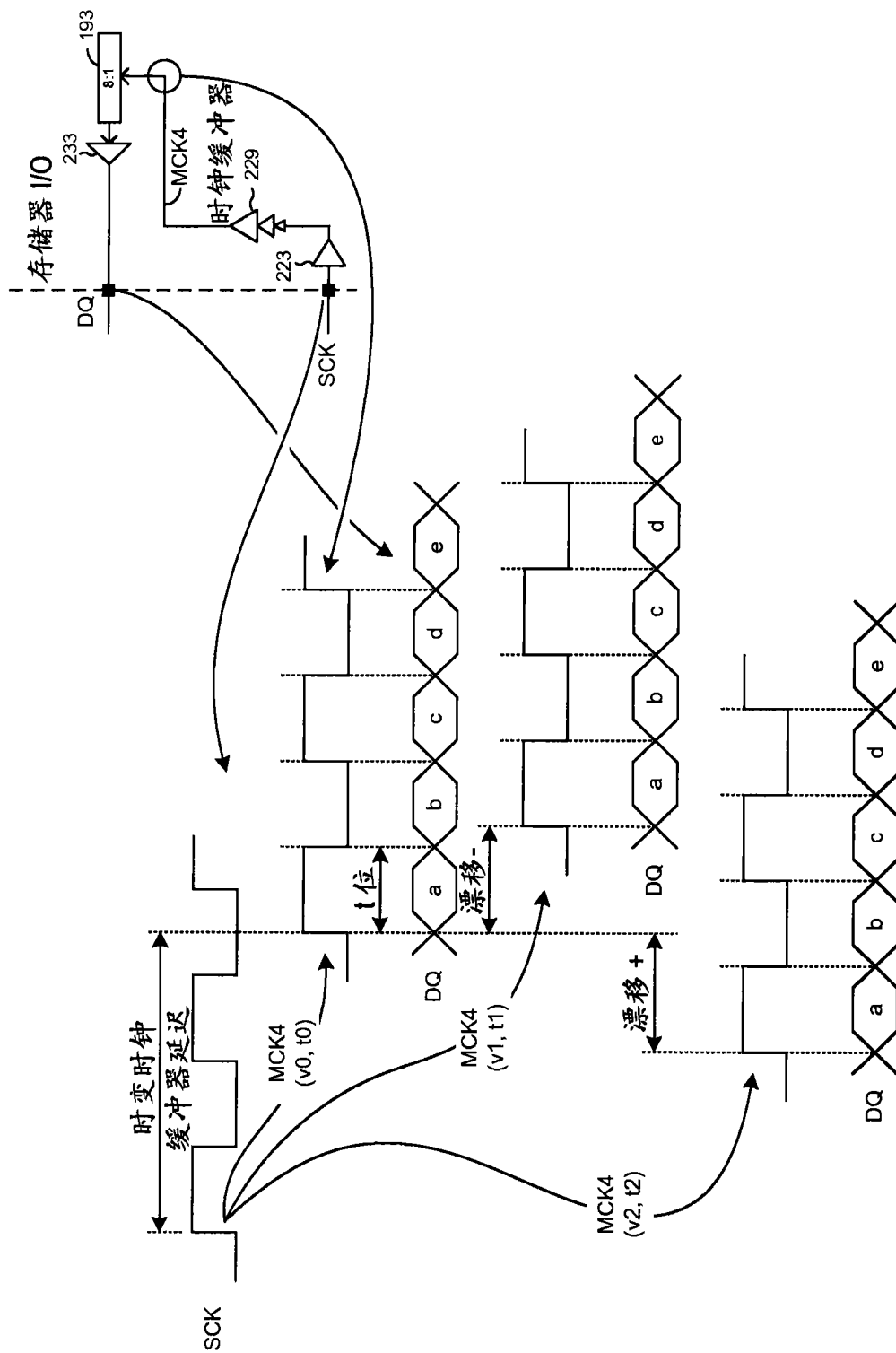


图 2B

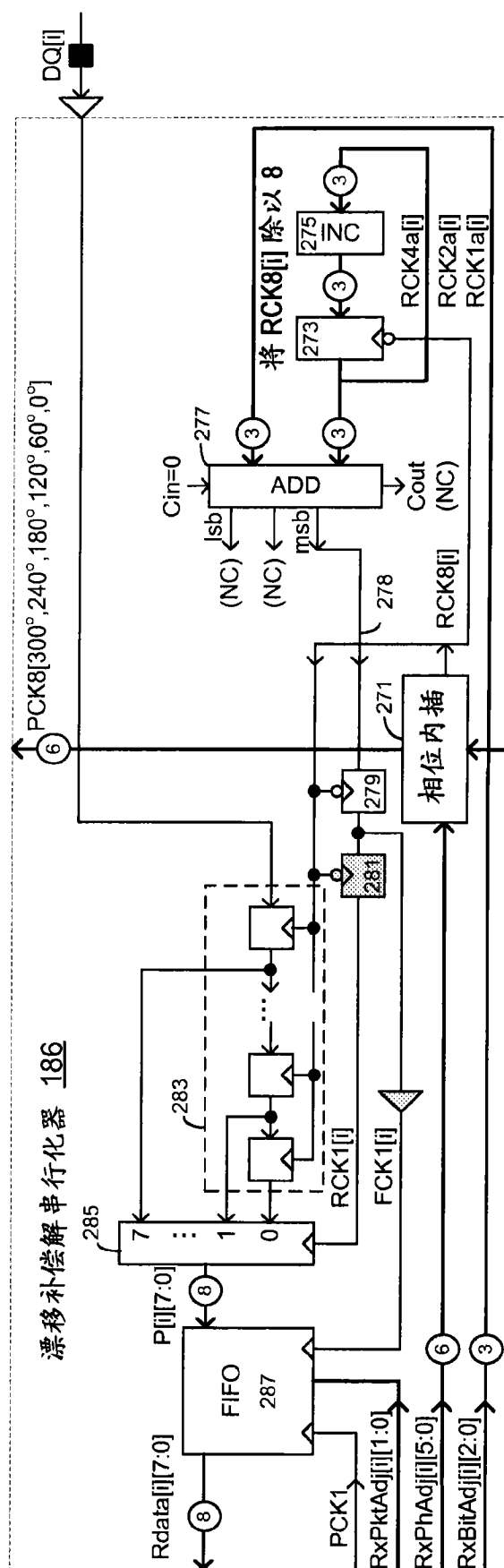


图 3A

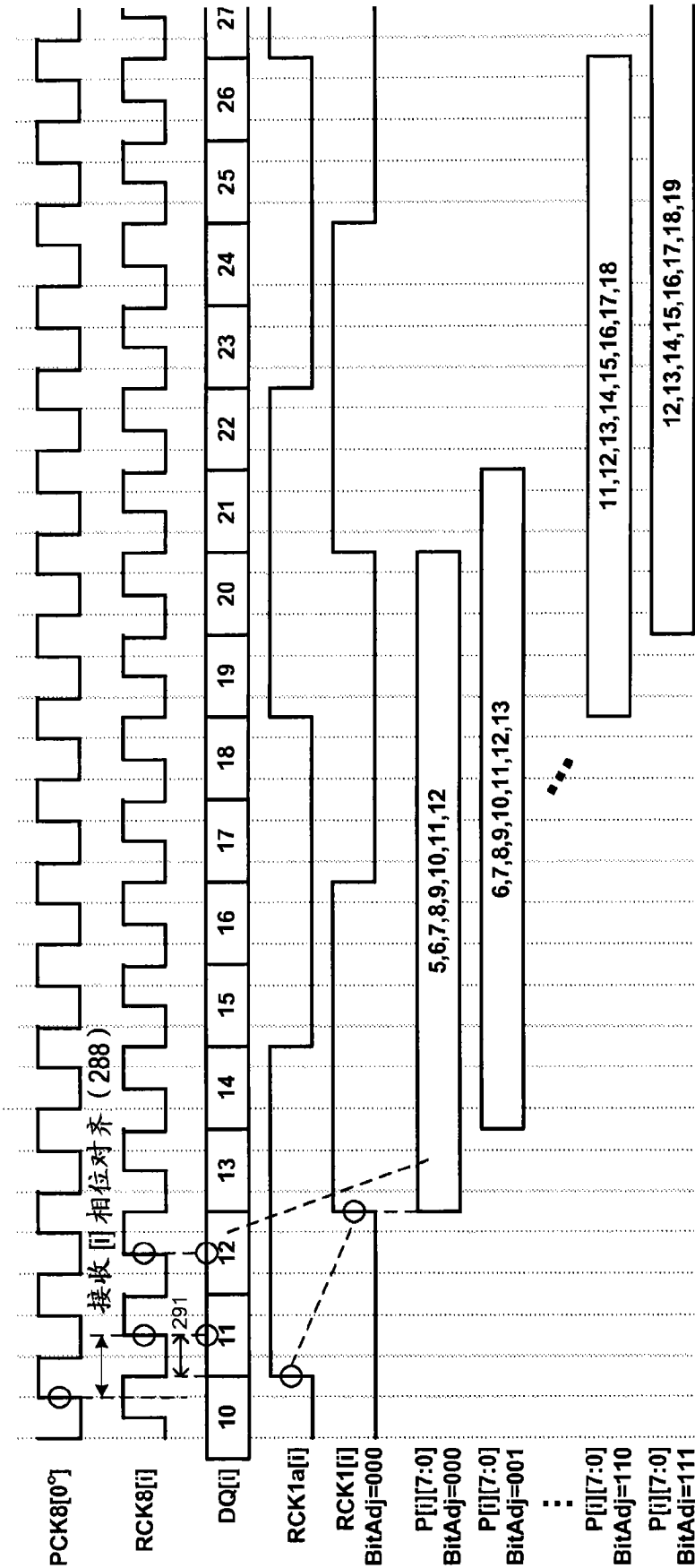


图 3B

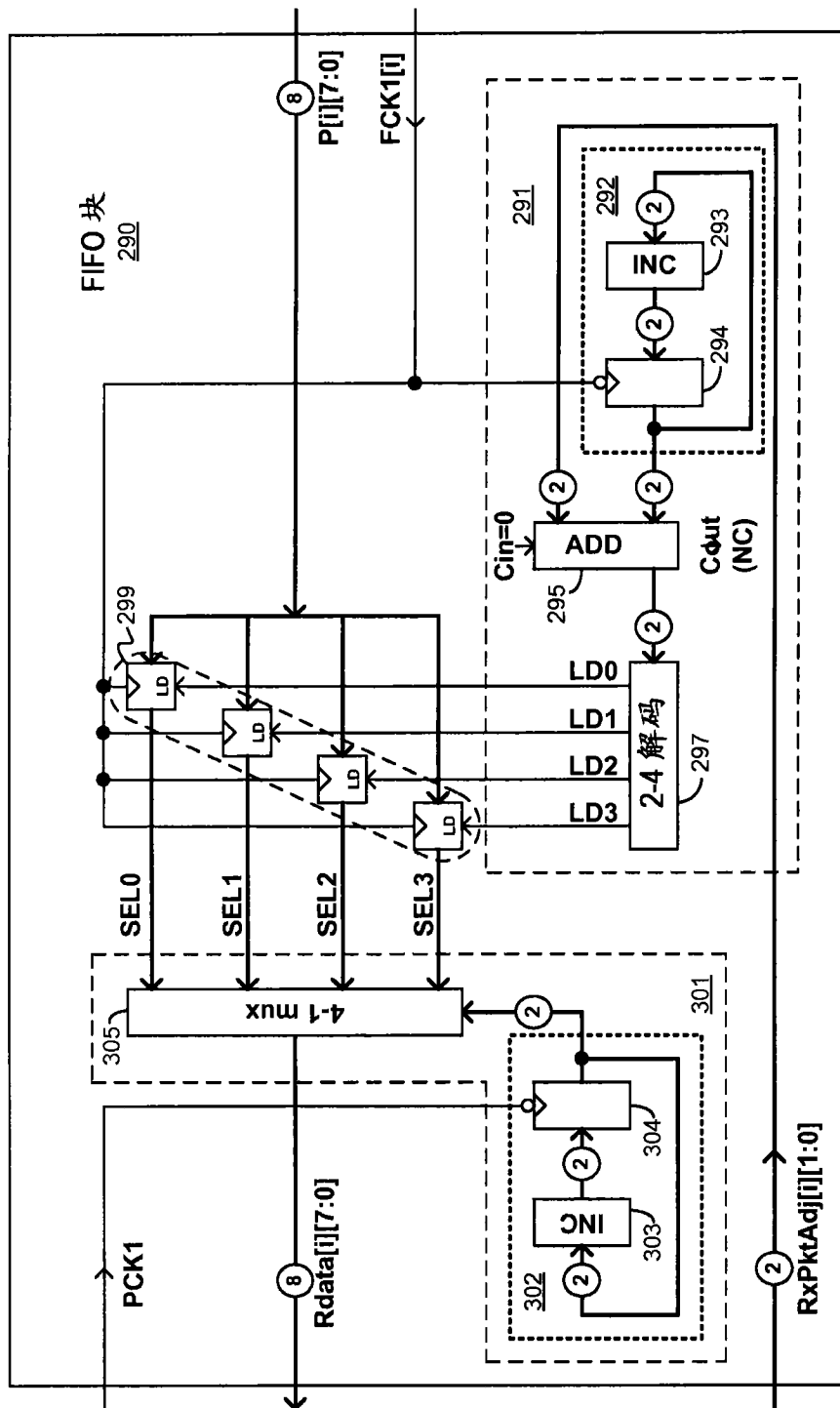


图 3C

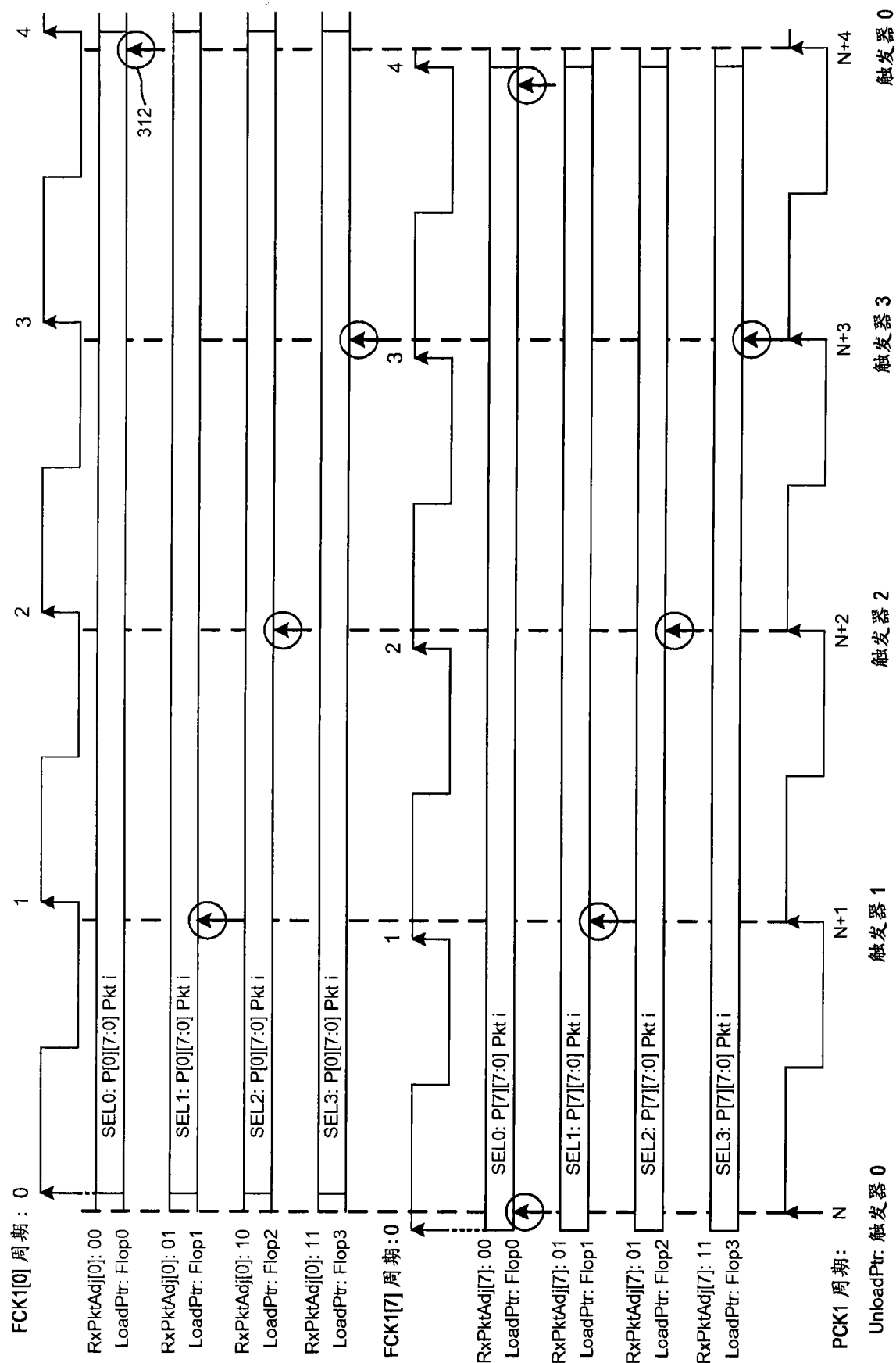


图 3D

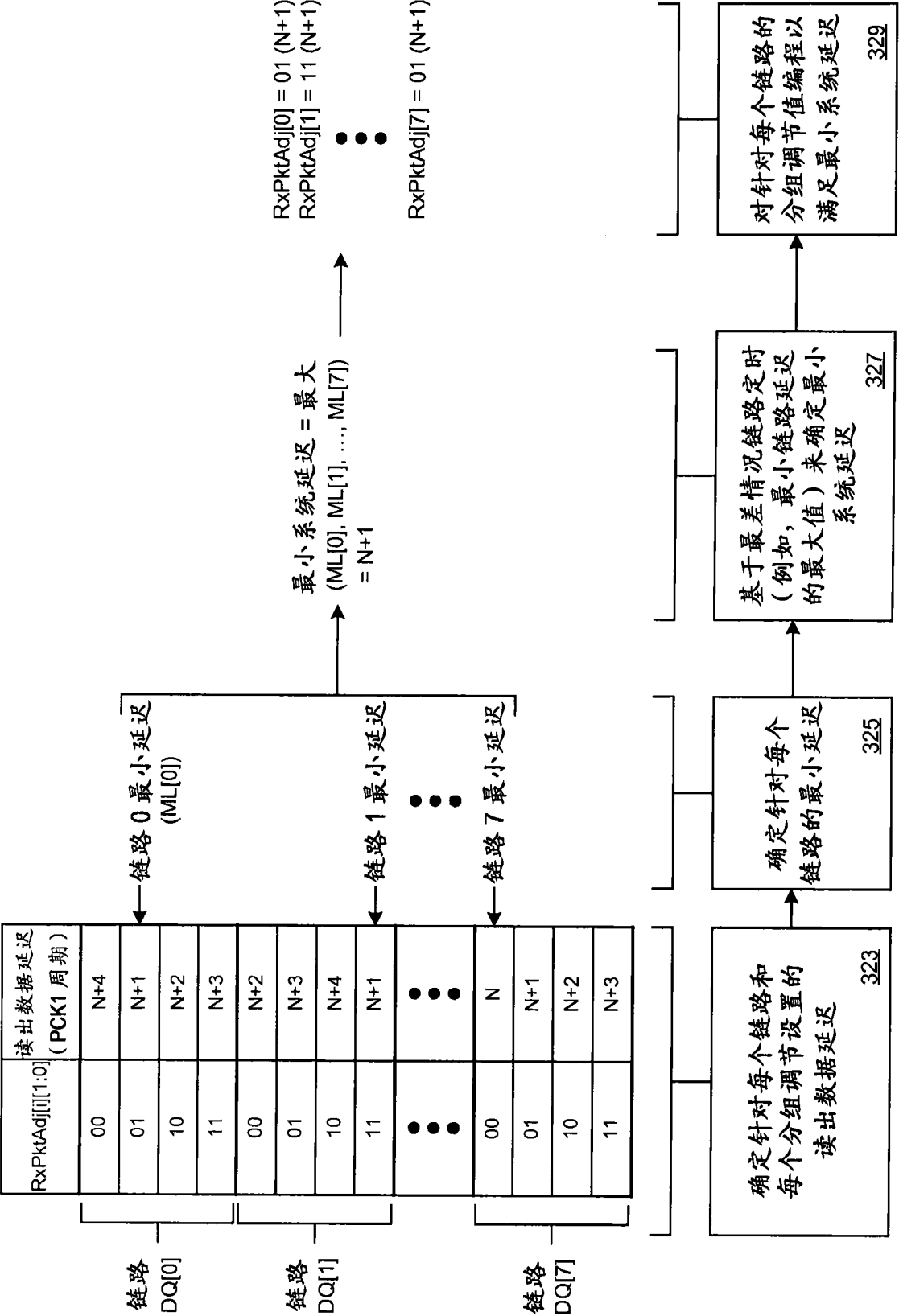


图 3E

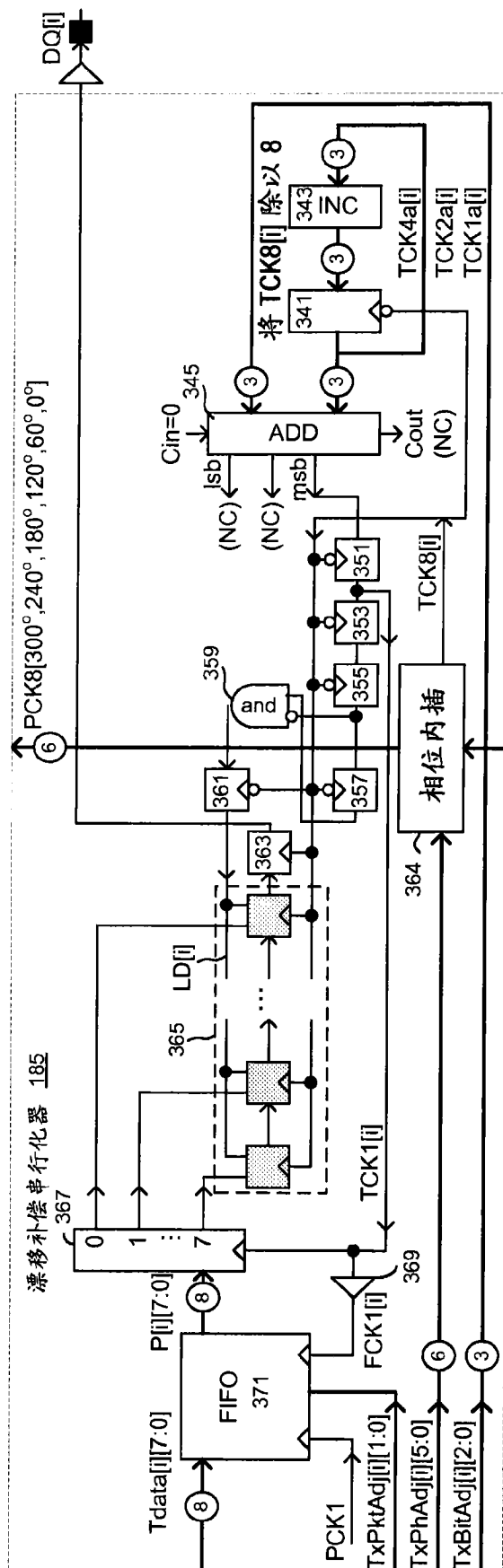


图 3F

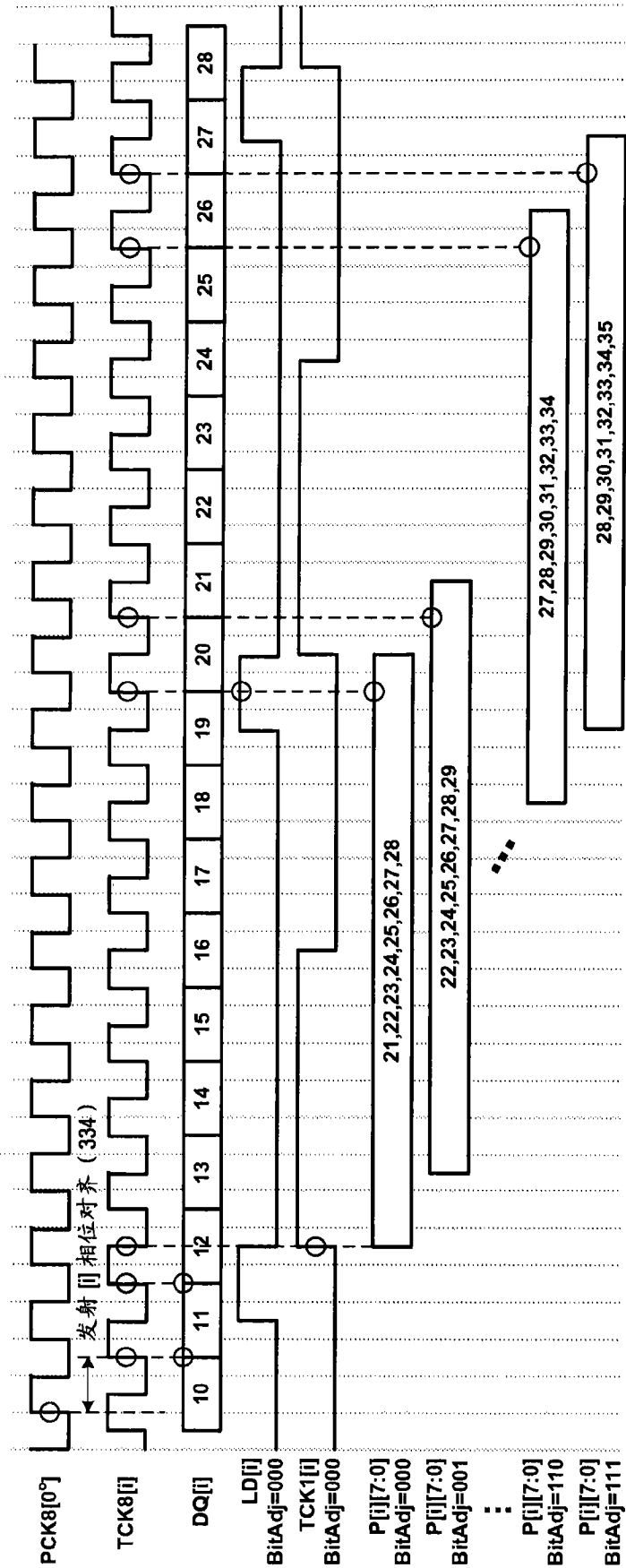


图 3G

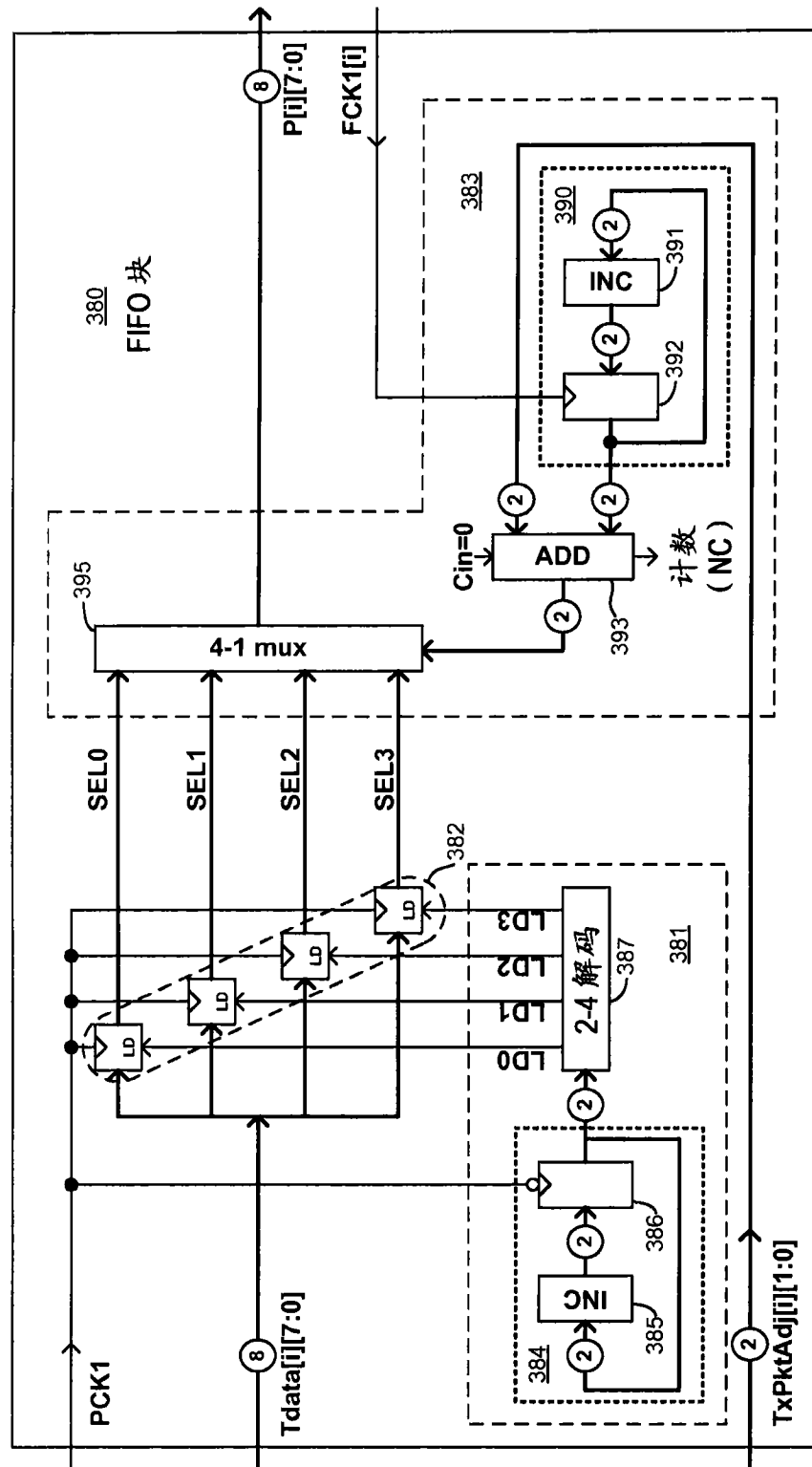


图 3H

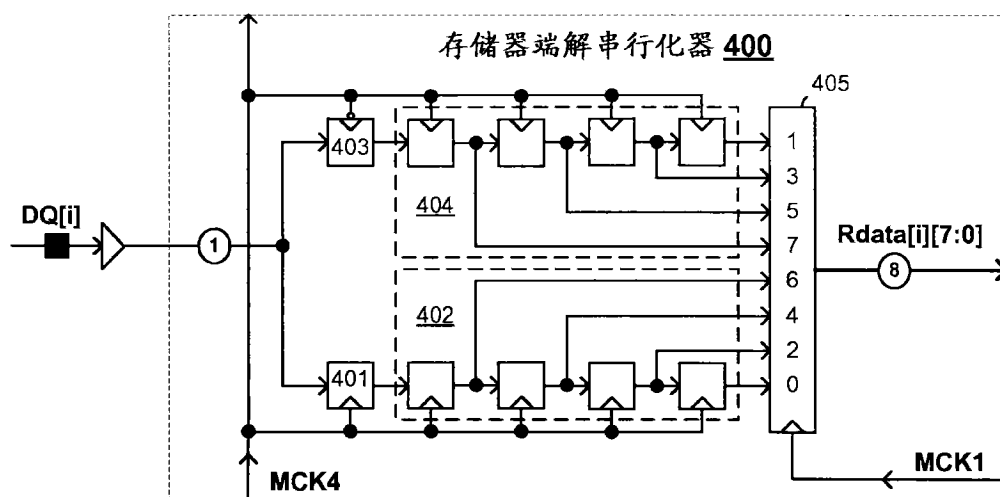
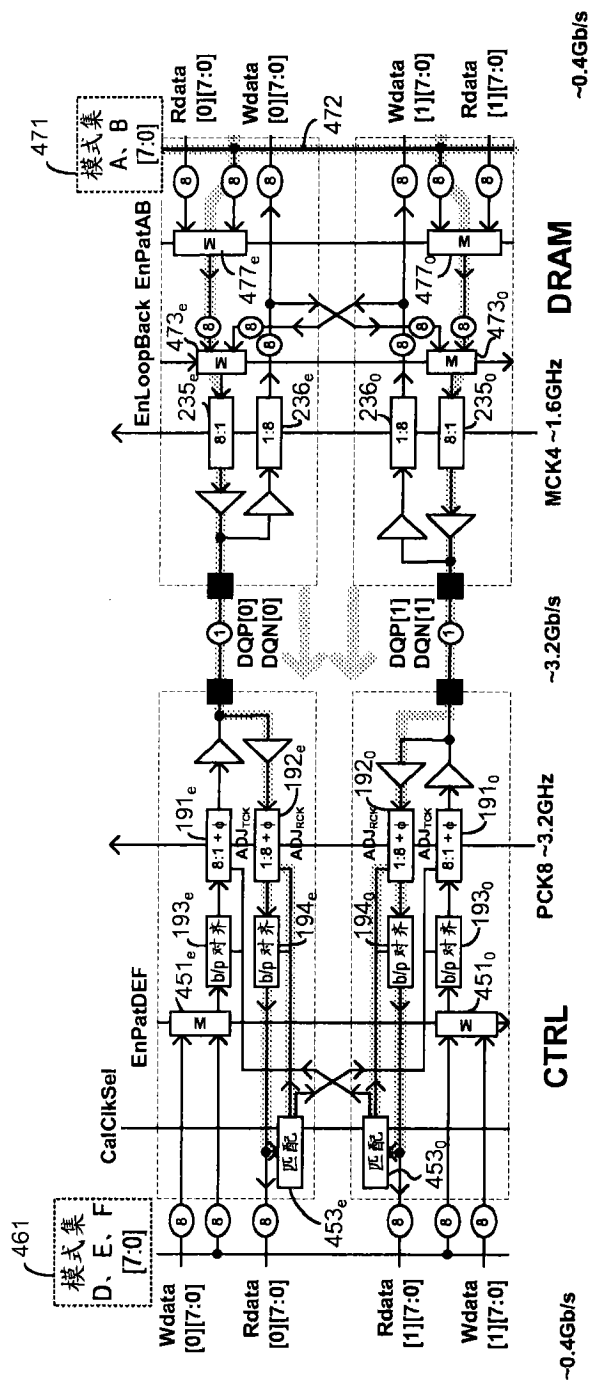
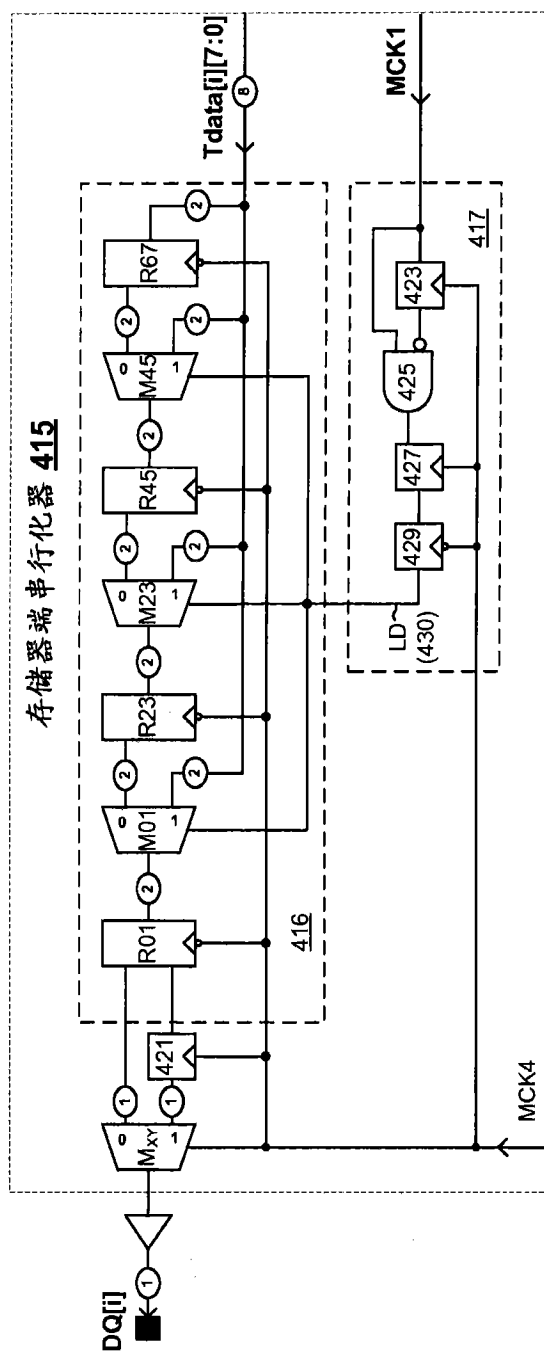


图 4A



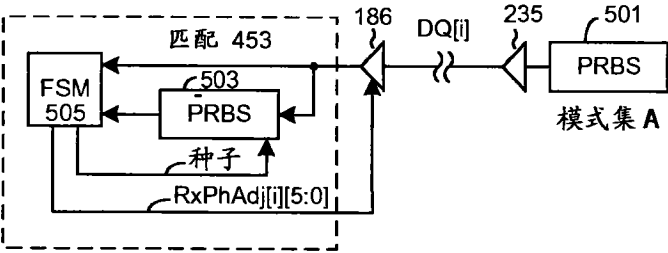


图 5B

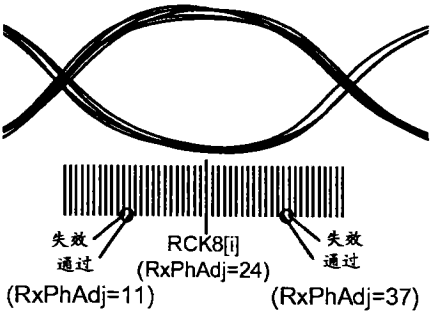


图 5C

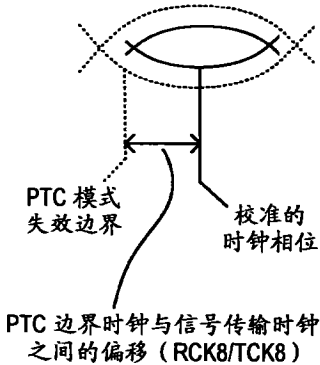


图 5D

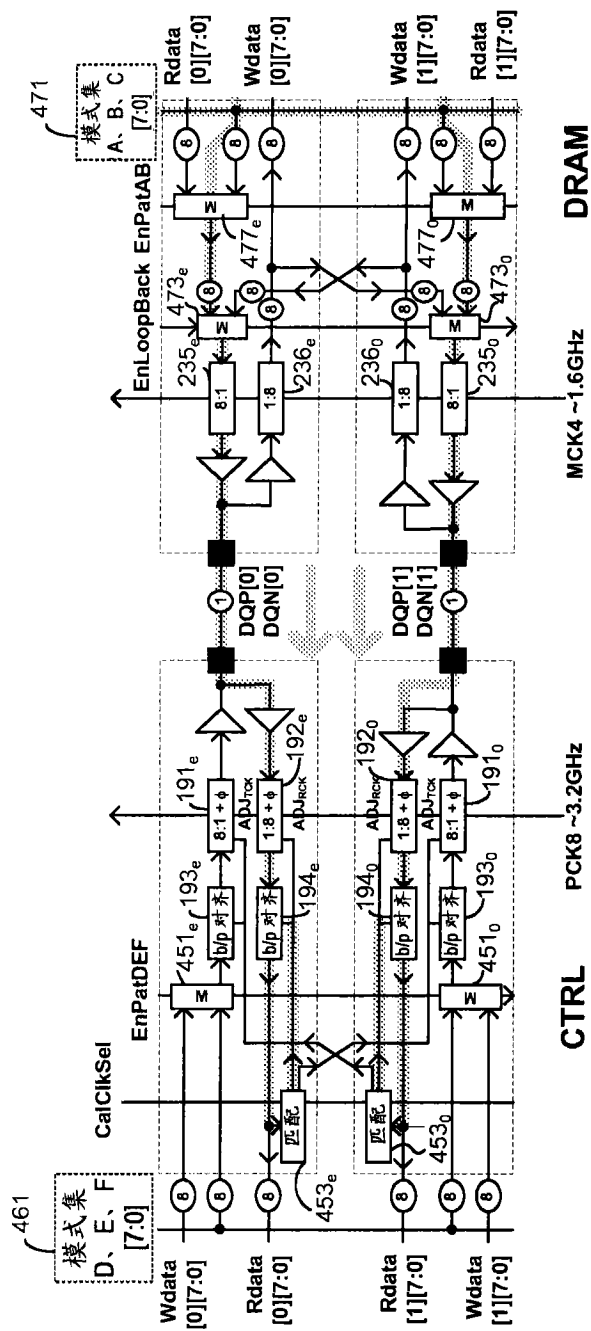


图 6A

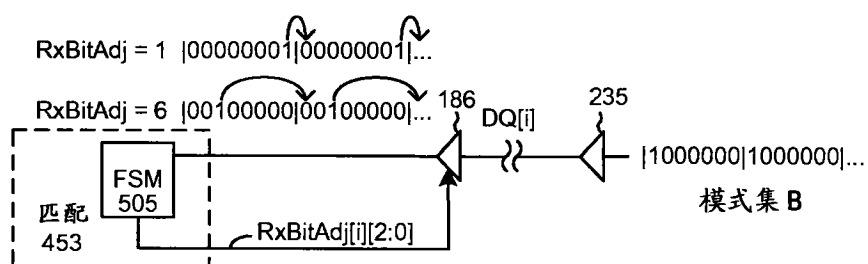


图 6B

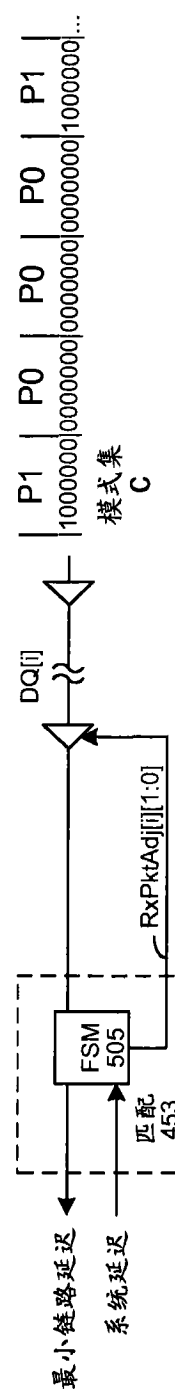


图 6C

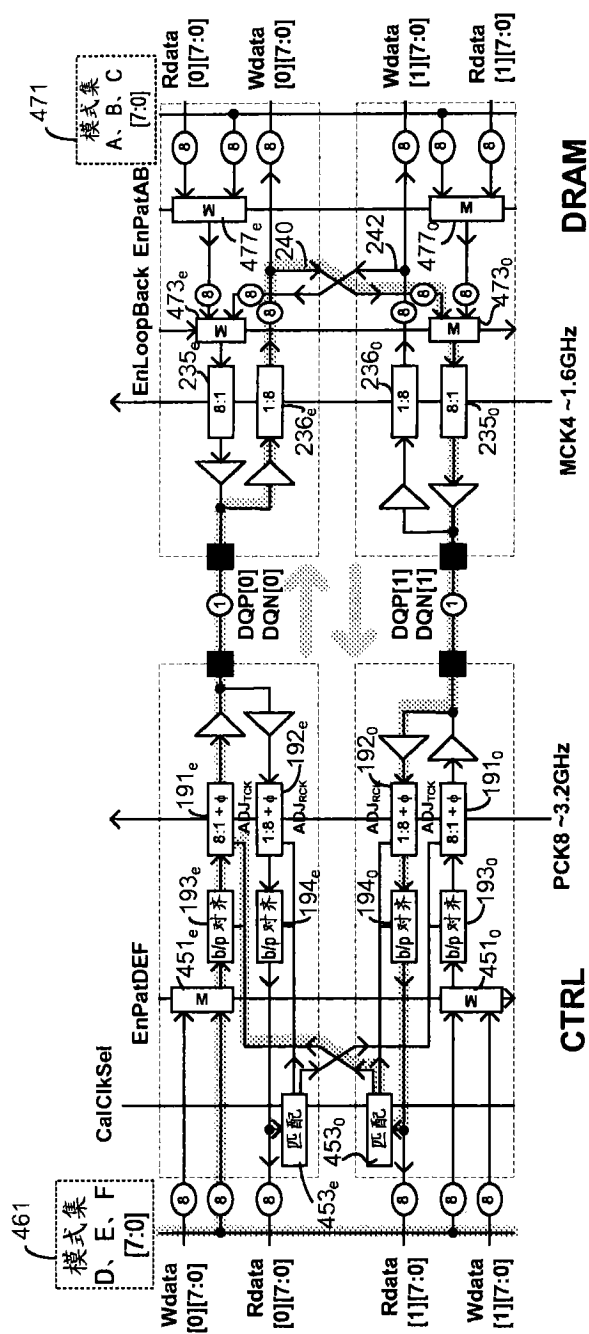


图 7A

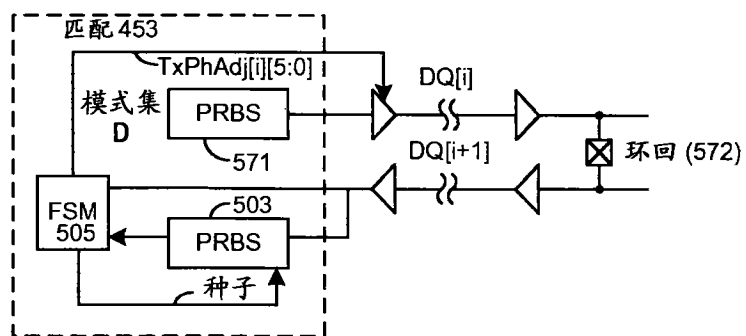


图 7B

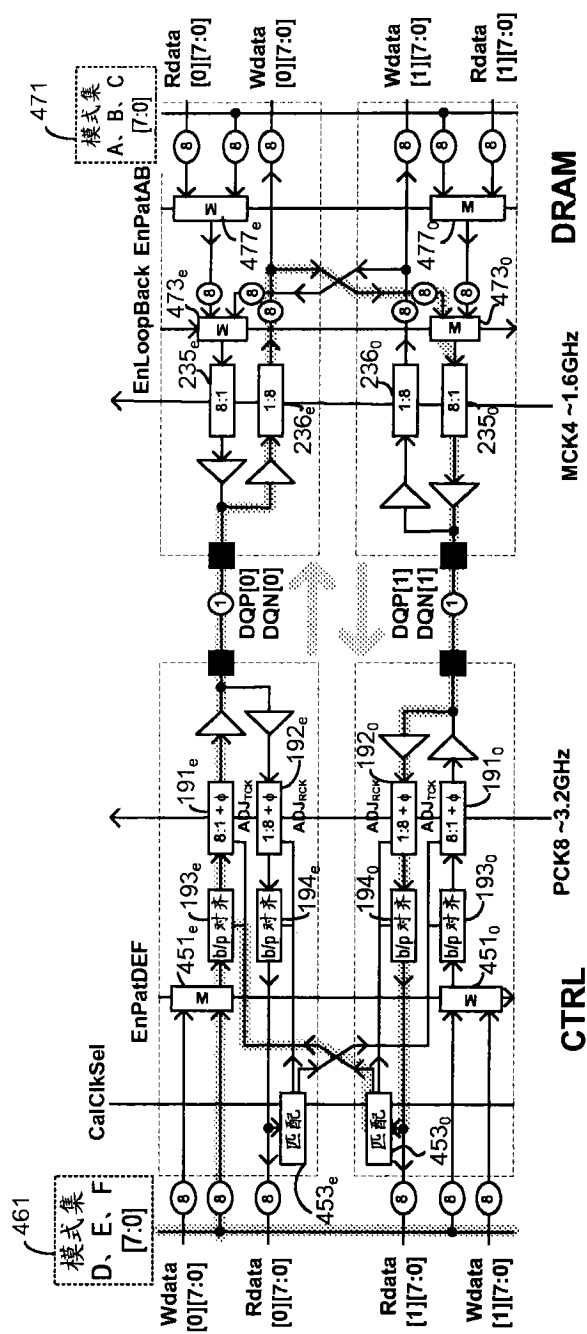


图 8A

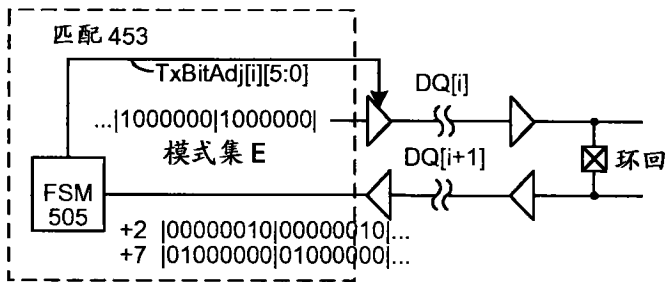


图 8B

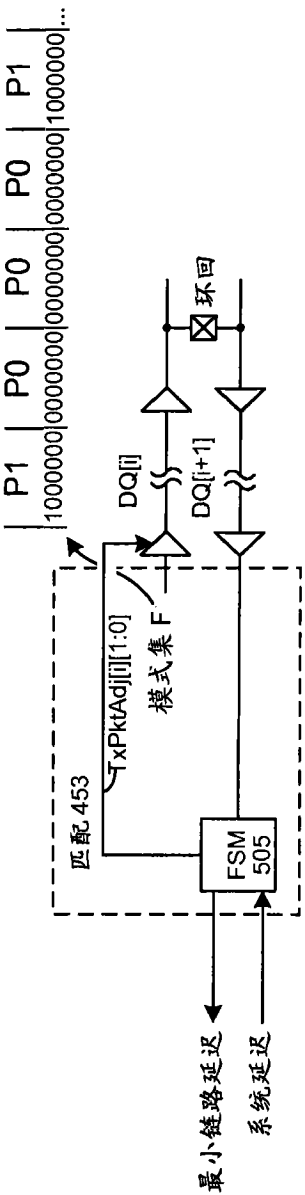


图 8C

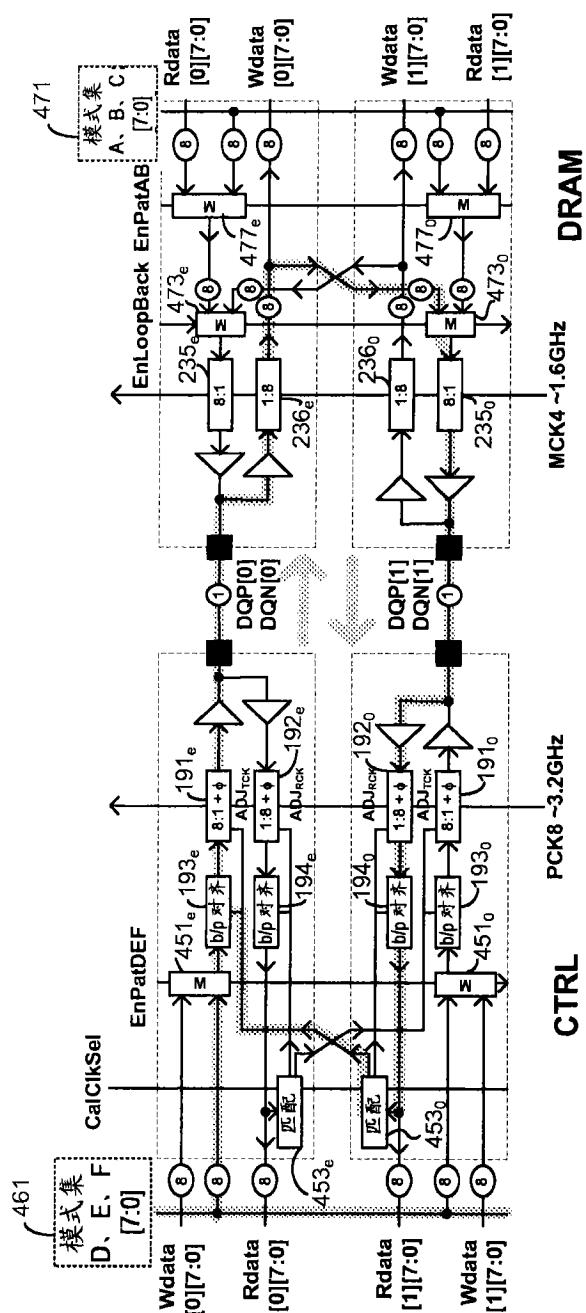


图 9A

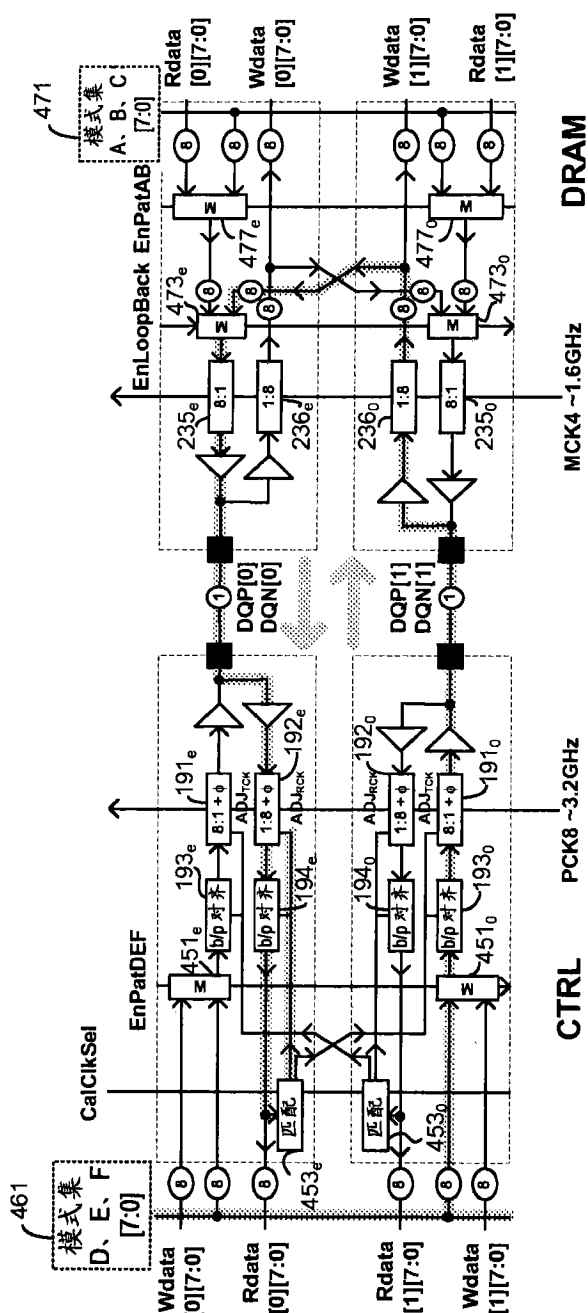


图 9B

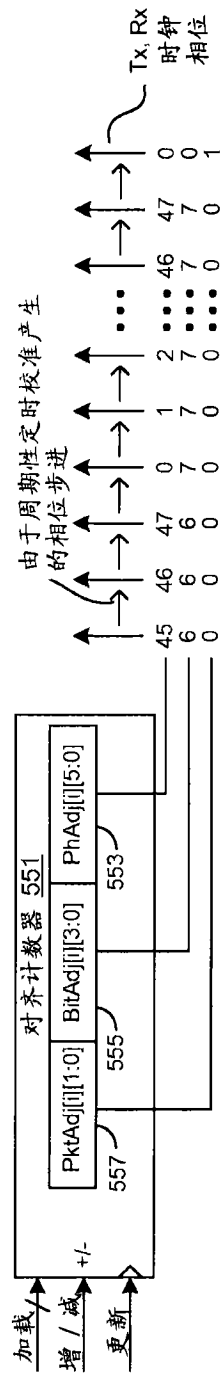


图 10A

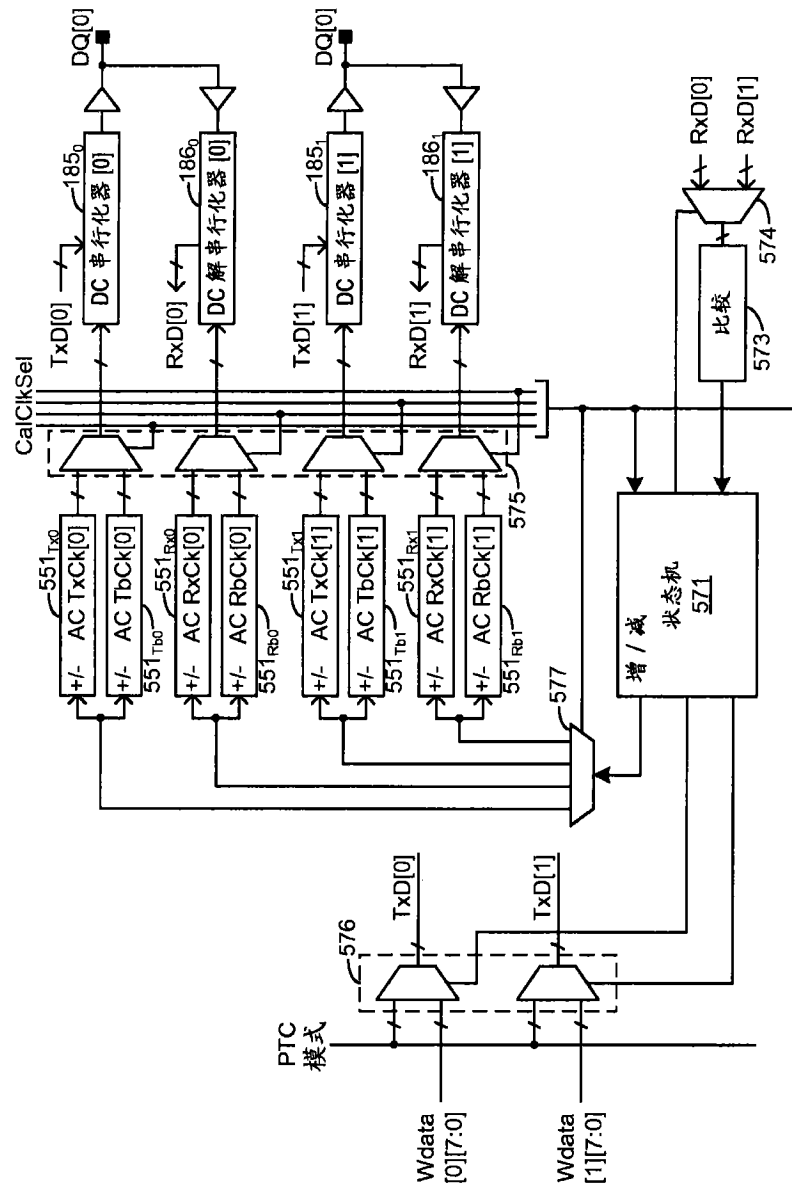


图 10B

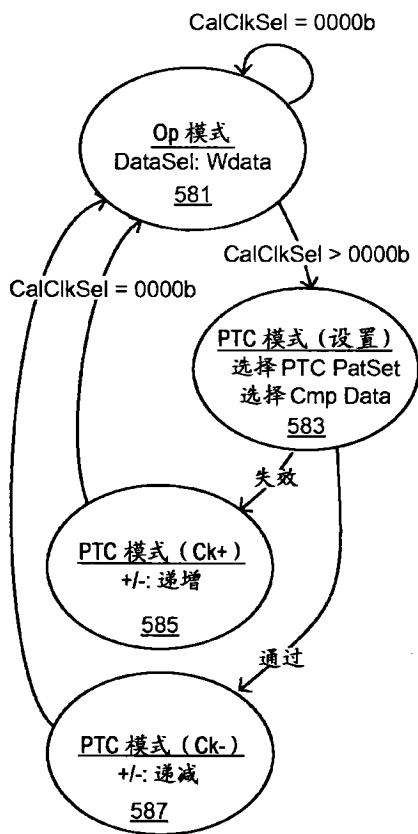


图 10C

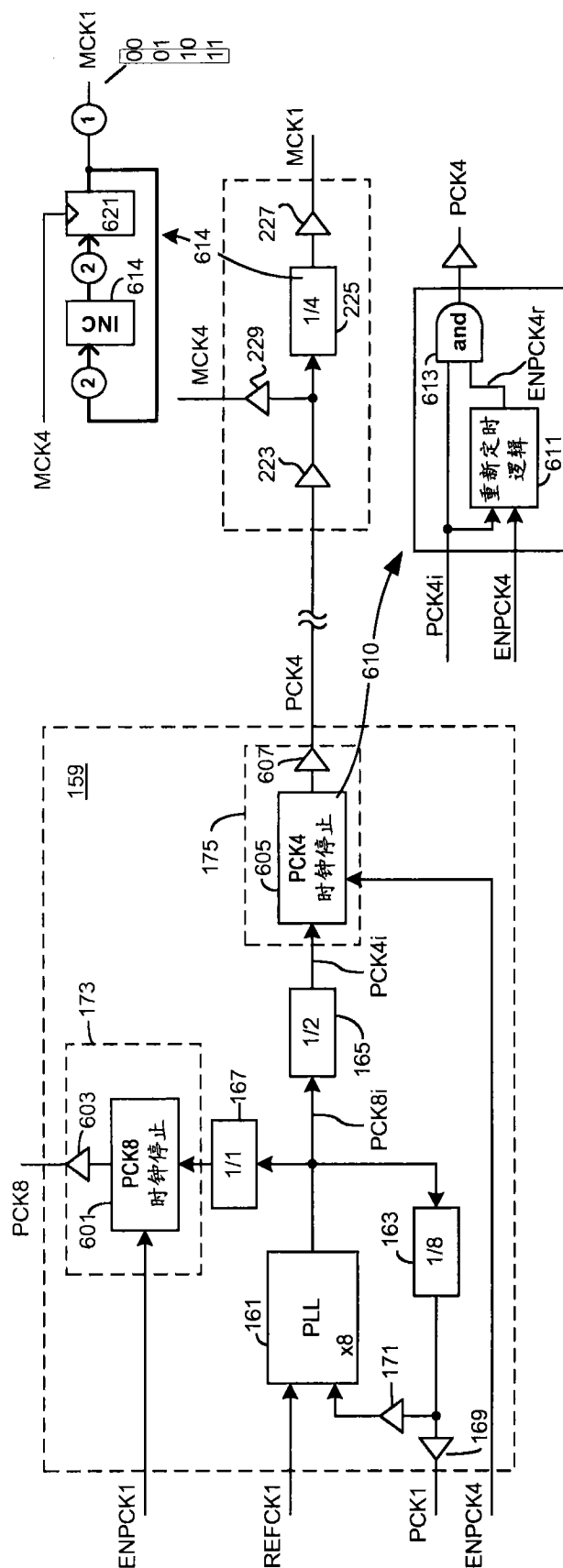


图 11A

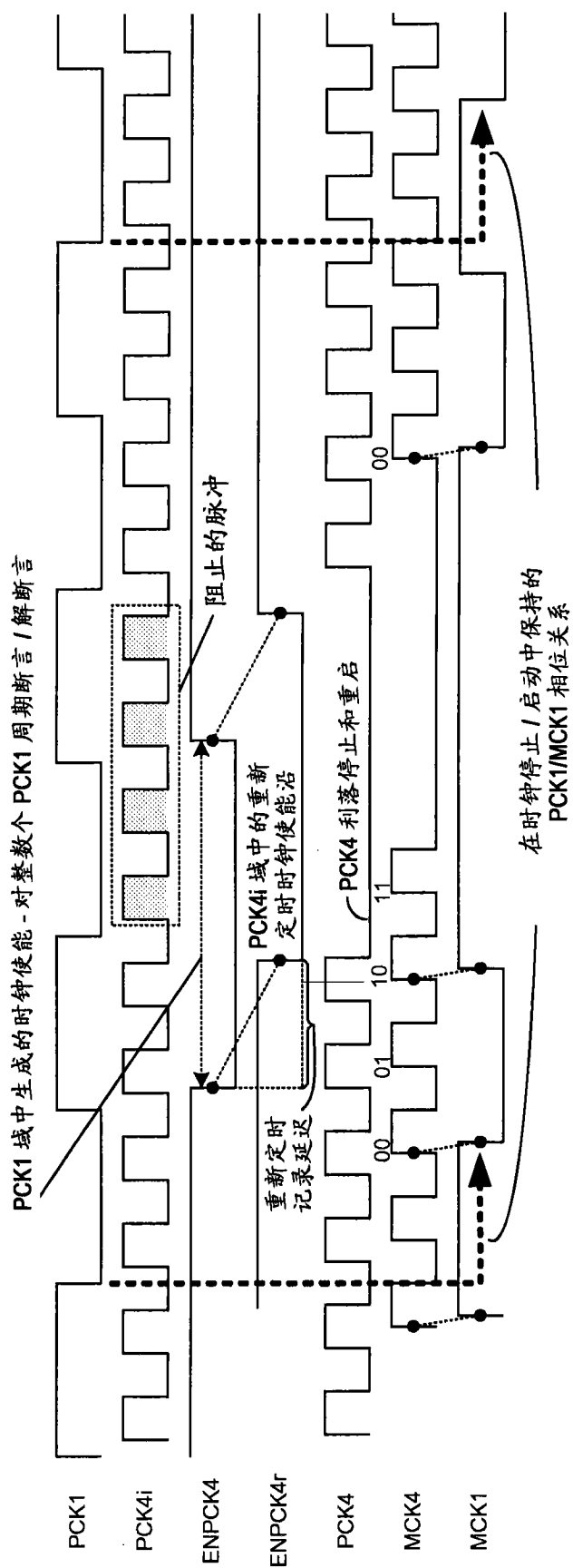


图 11B

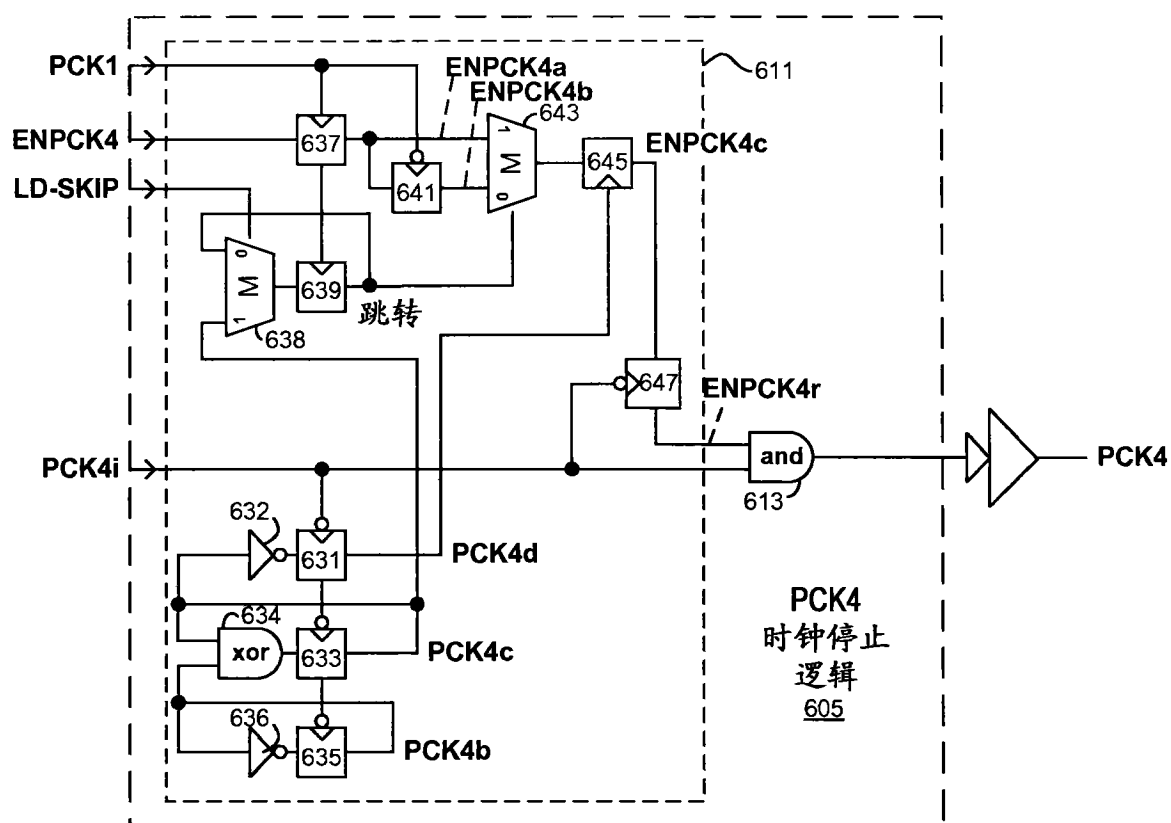


图 11C

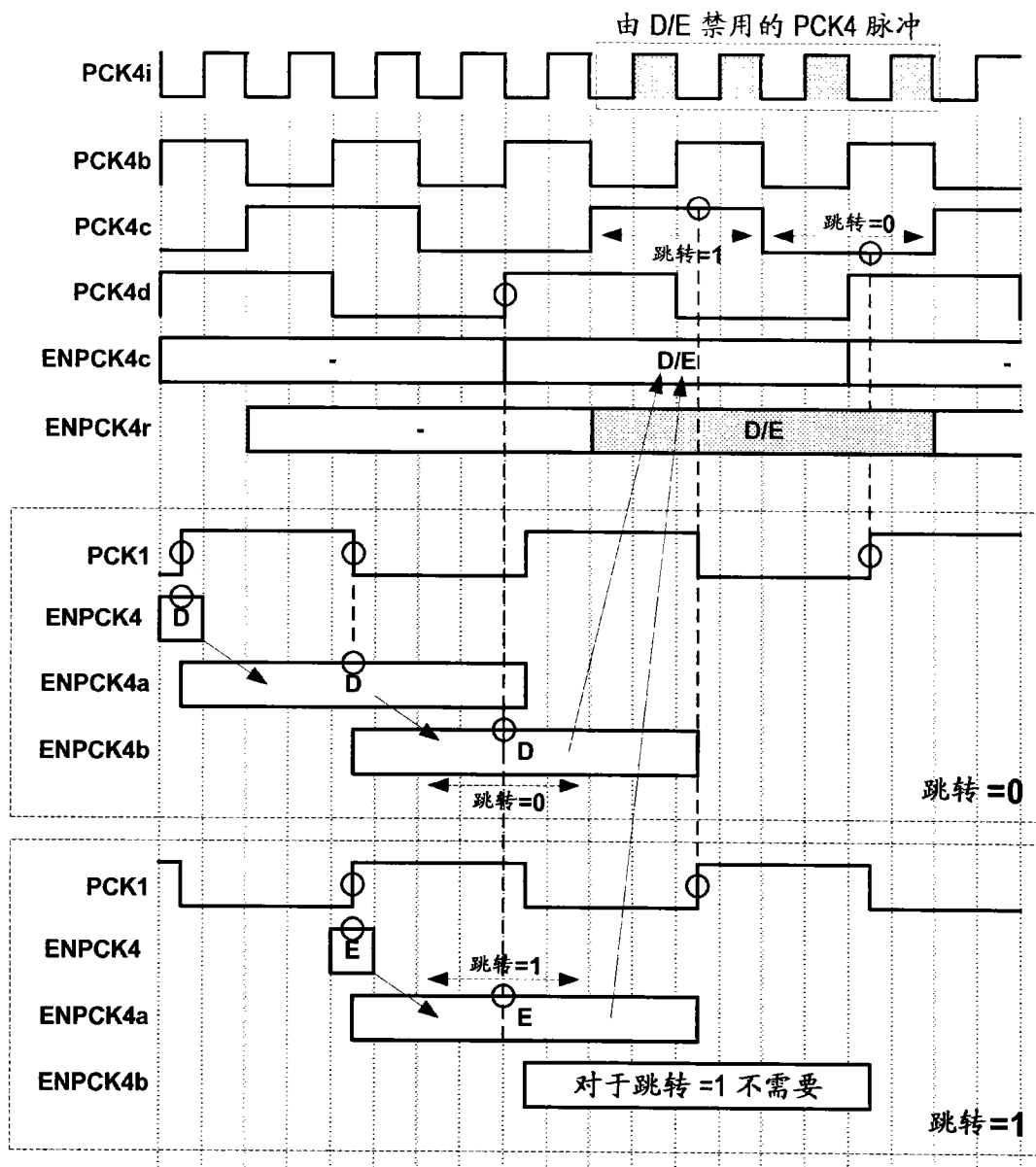


图 11D

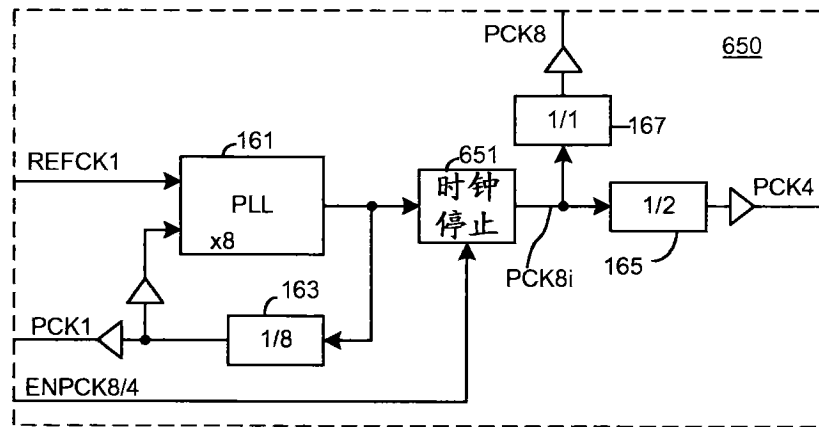


图 11E

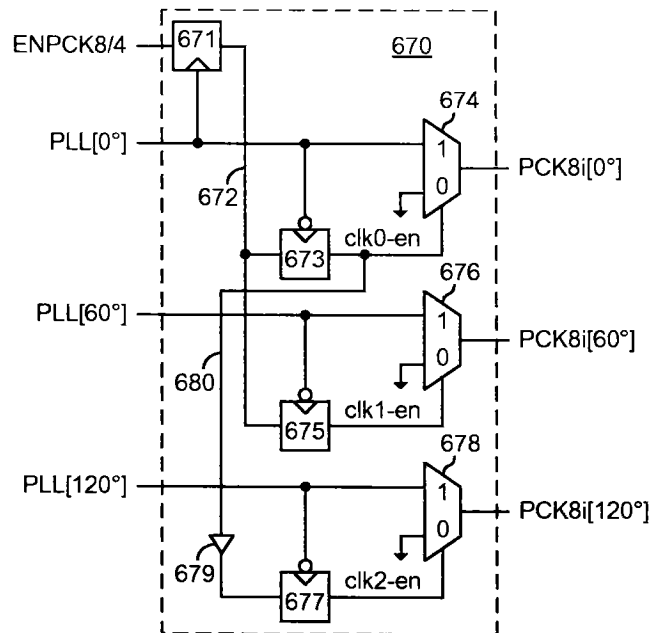


图 11F

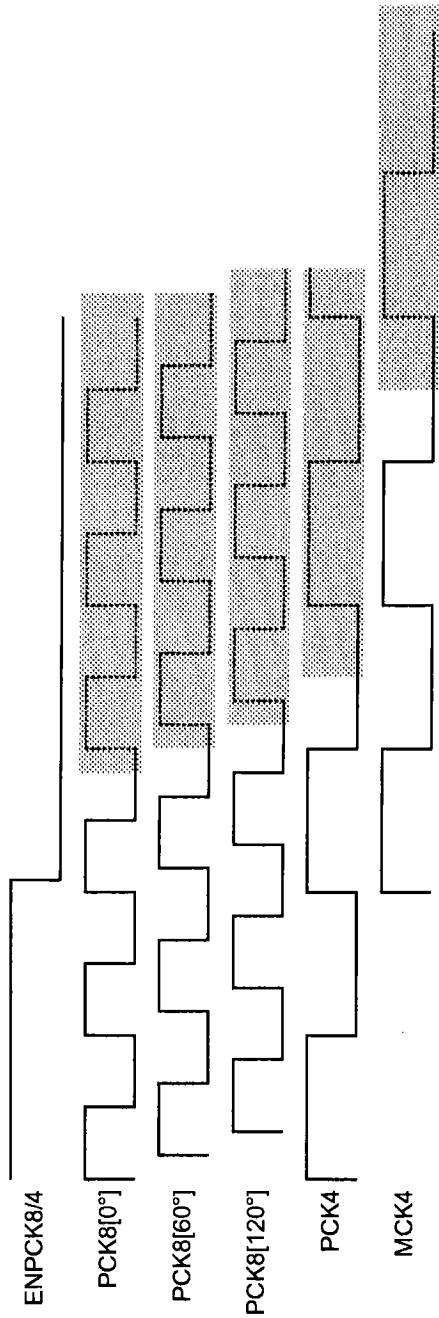


图 11G

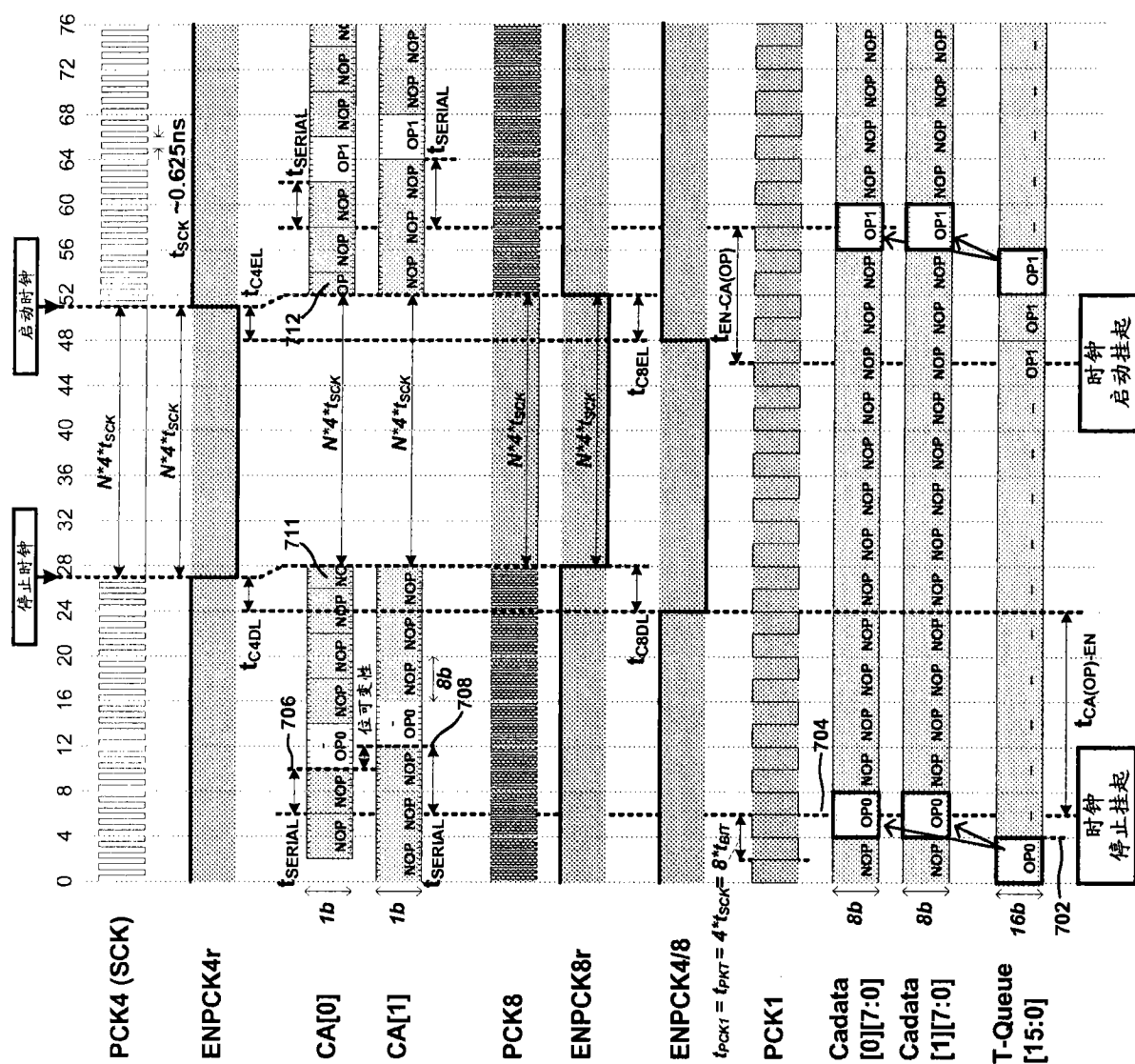


图 12A

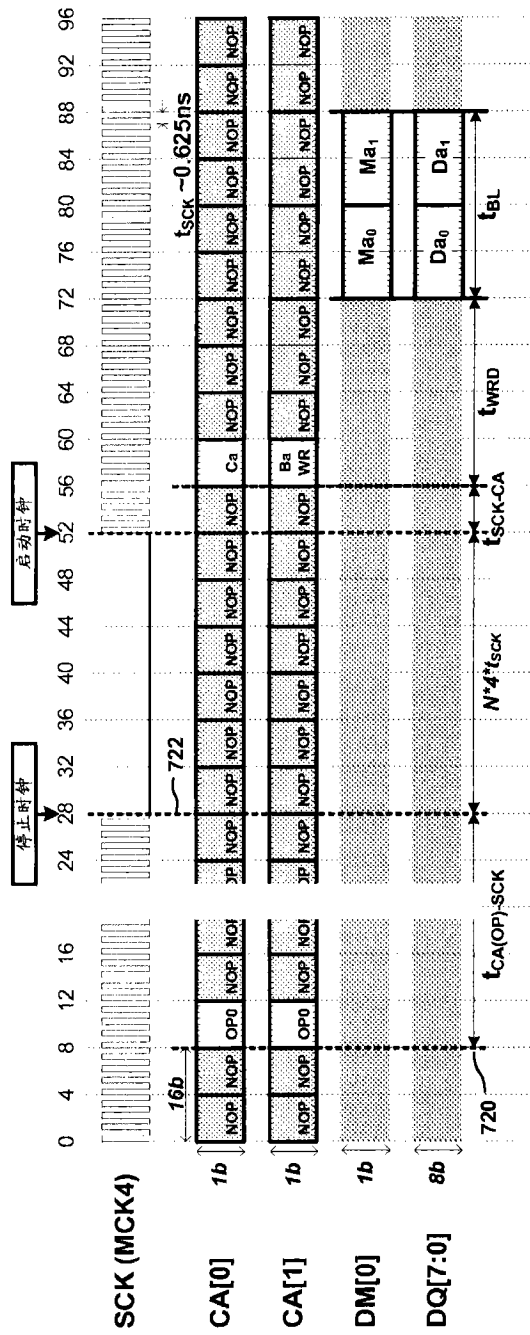


图 12B

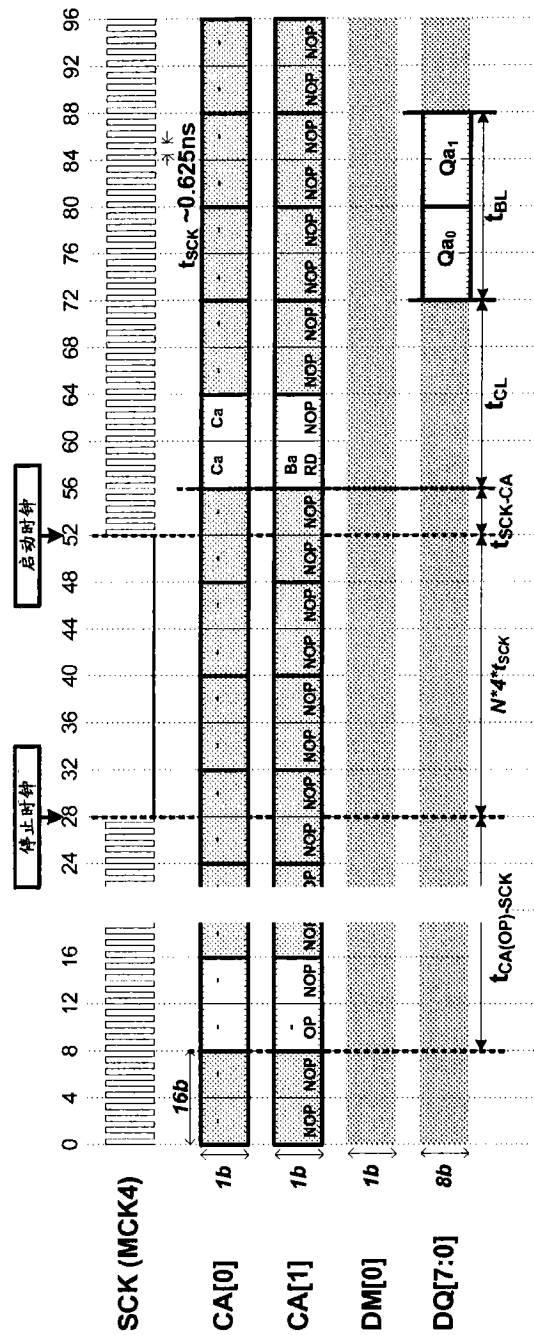


图 12C

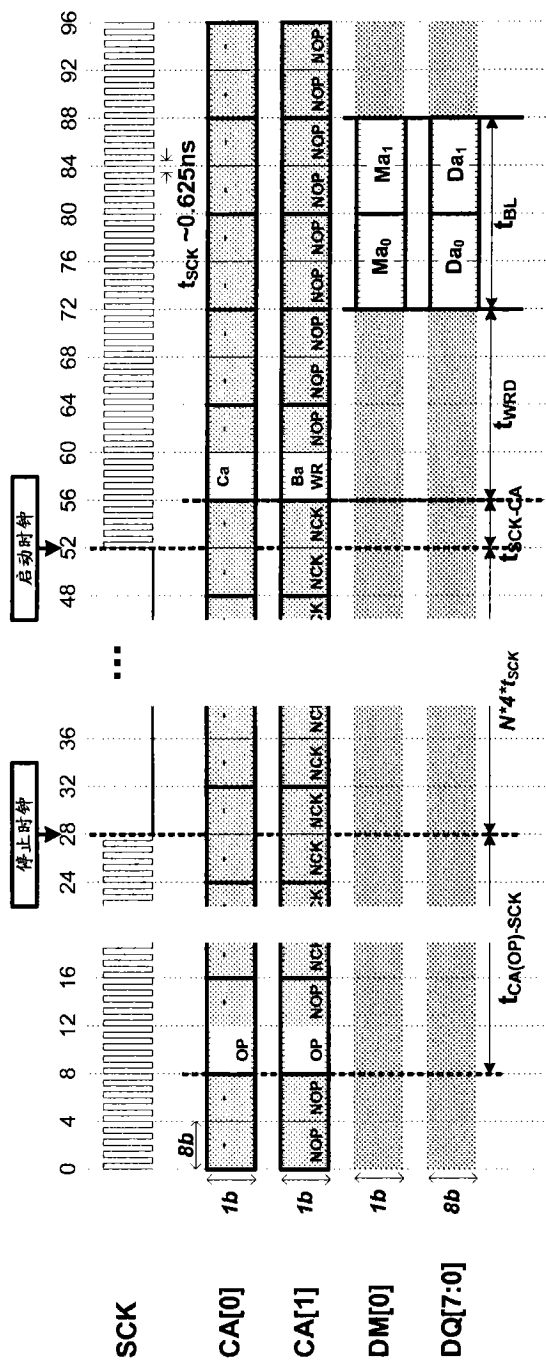


图 13

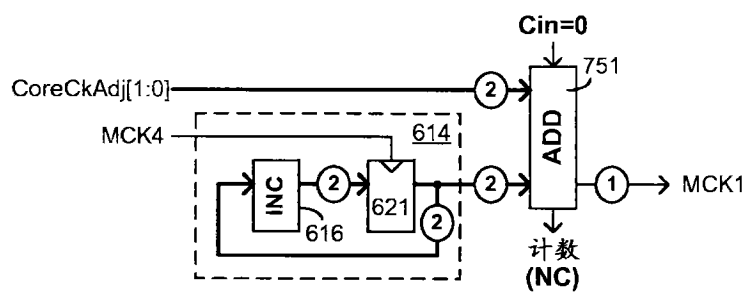


图 14A

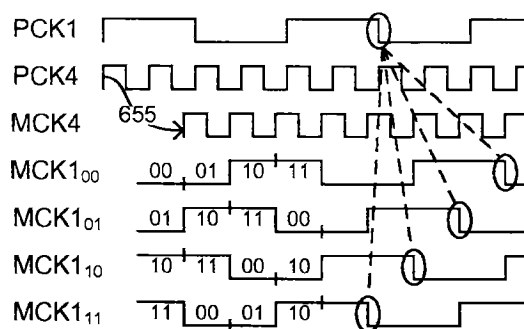


图 14B

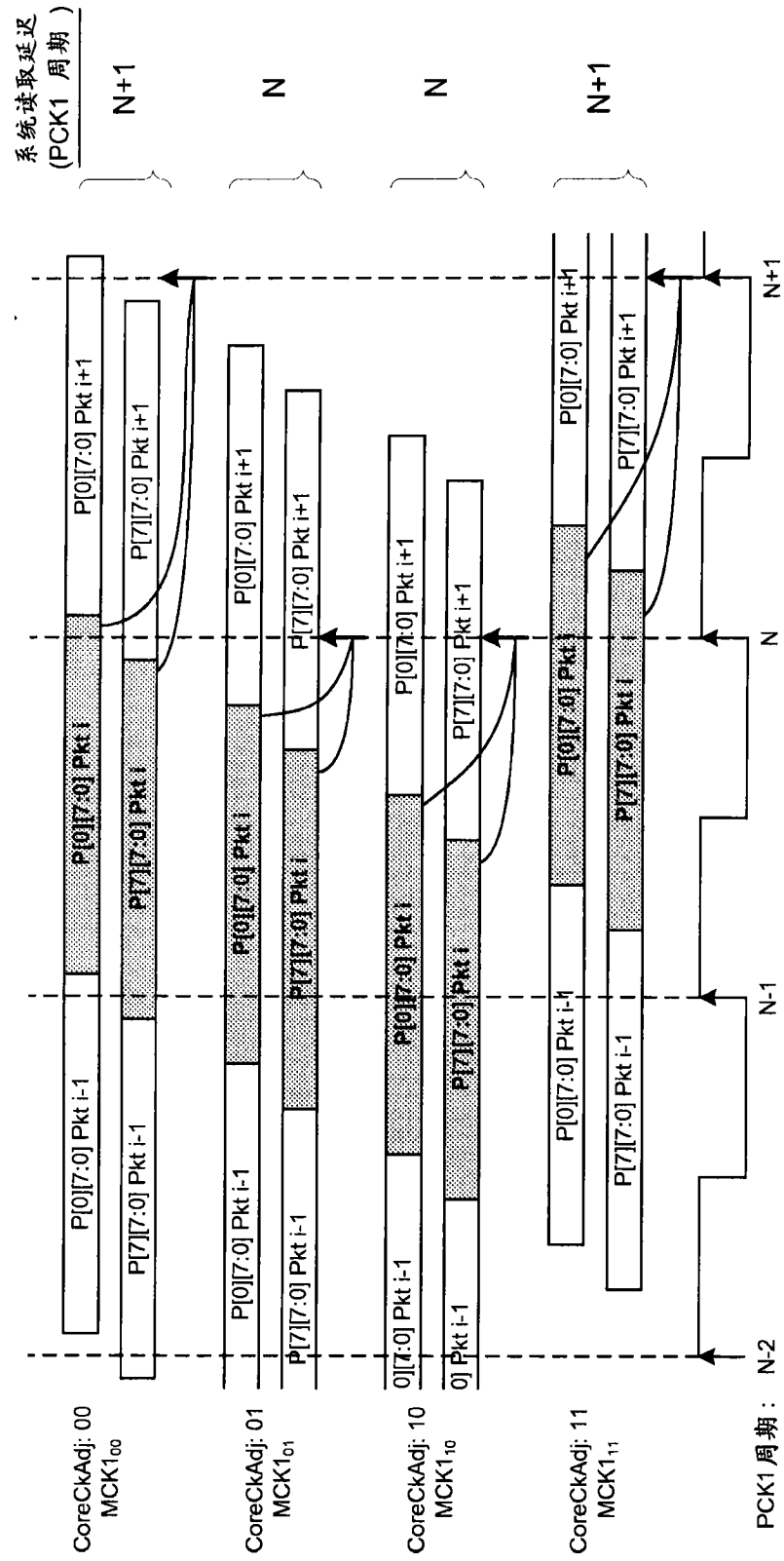


图 14C

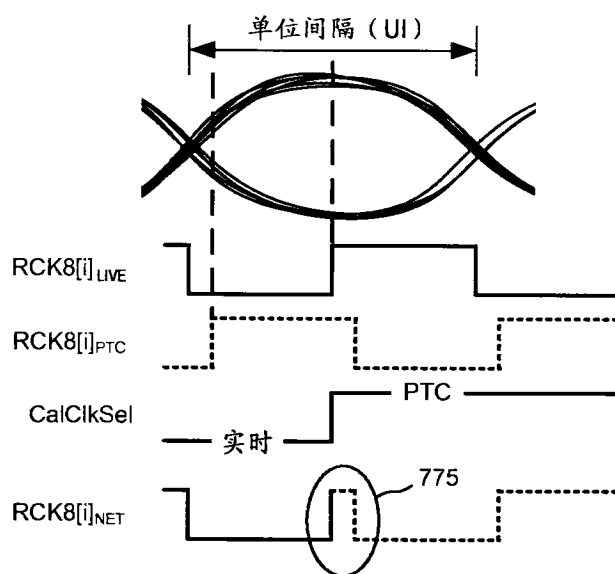


图 15A

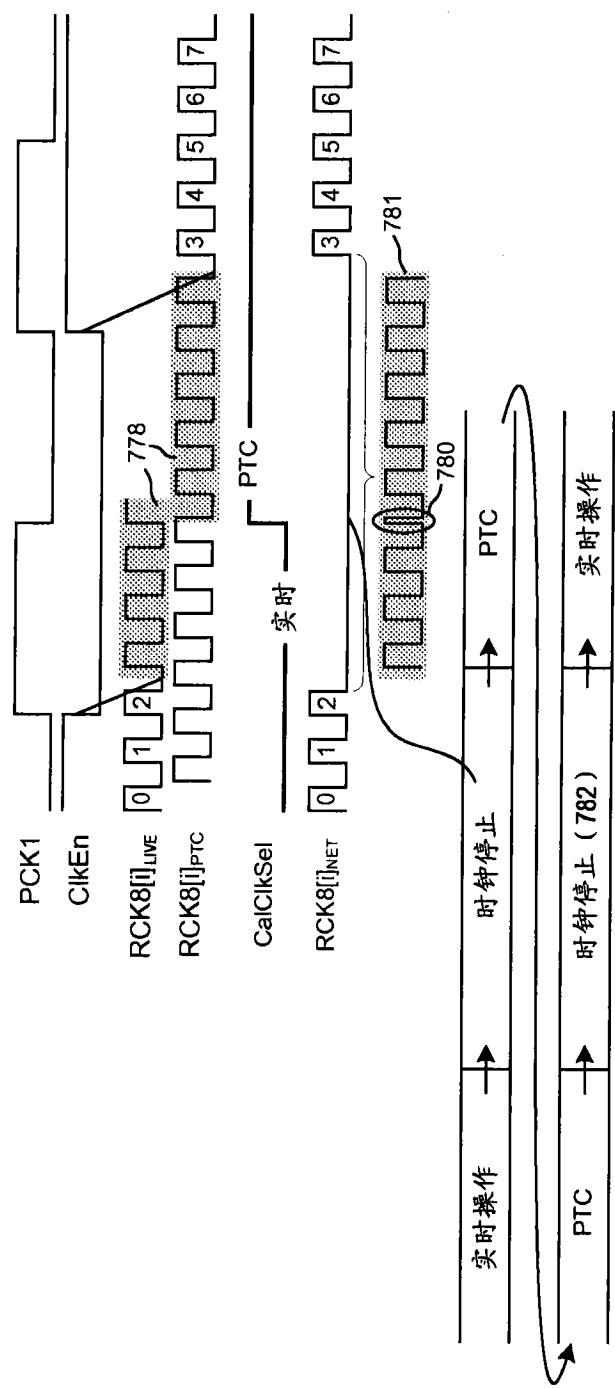


图 15B

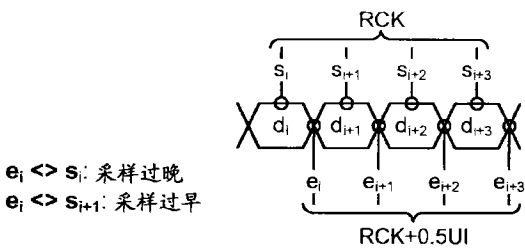


图 16A

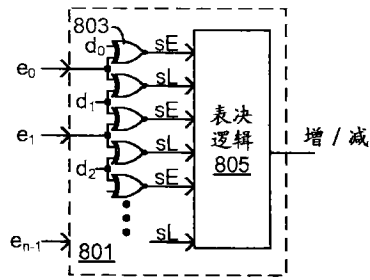


图 16B

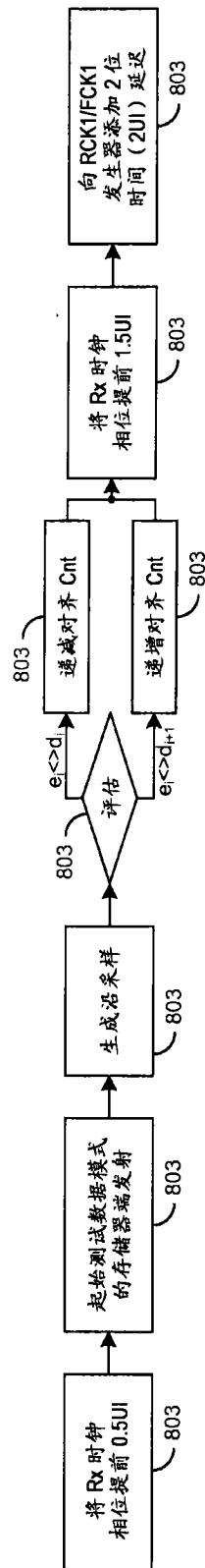


图 16C

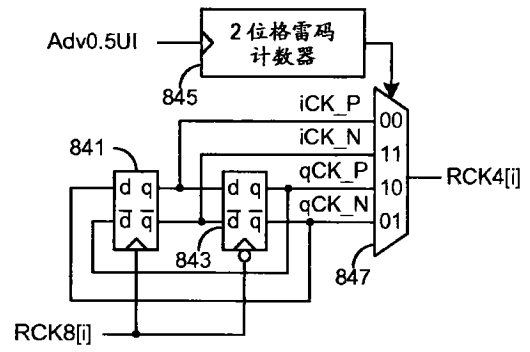


图 16D

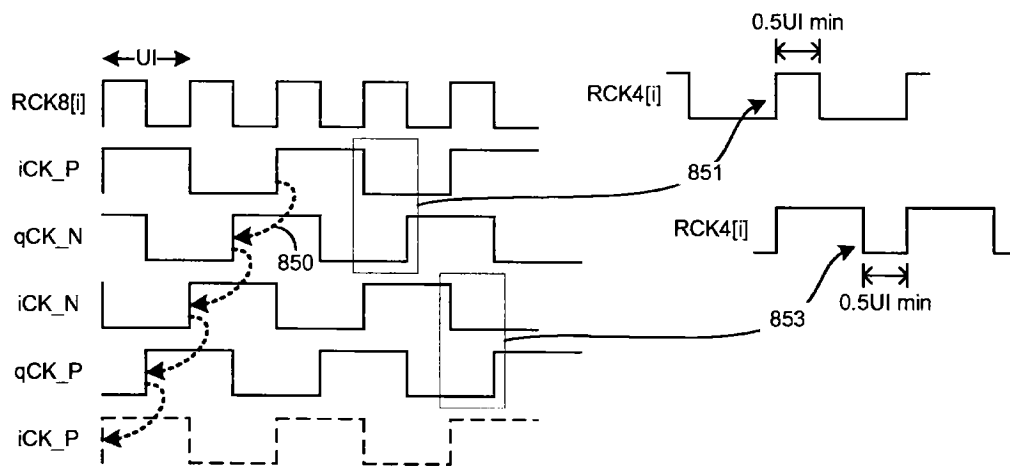


图 16E

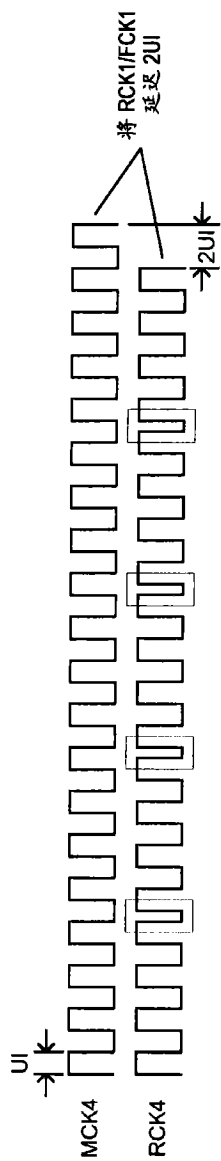


图 16F

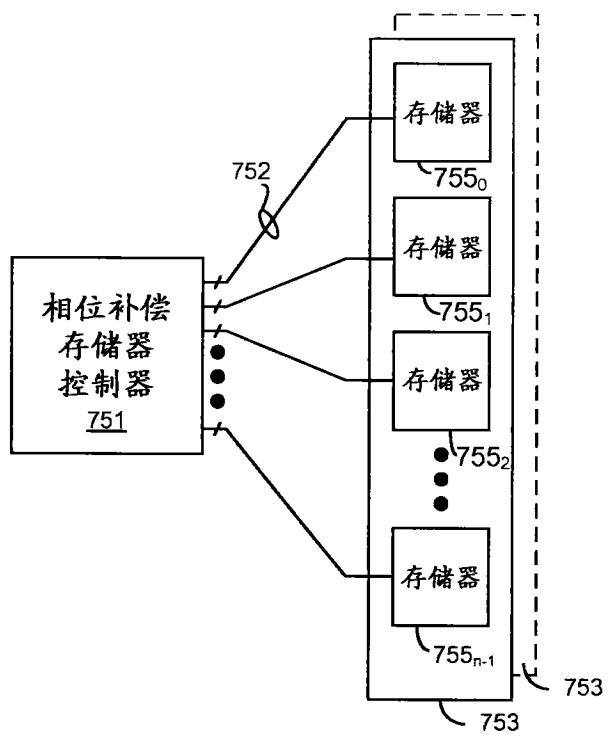


图 17A

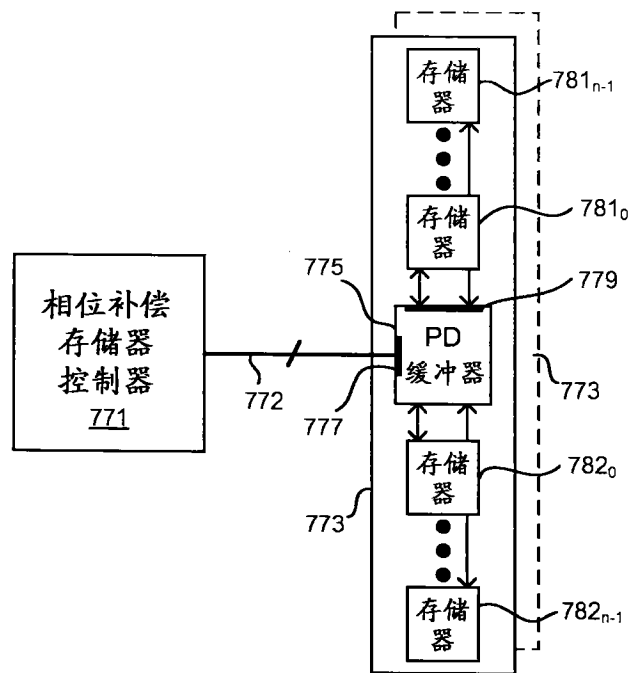


图 17B

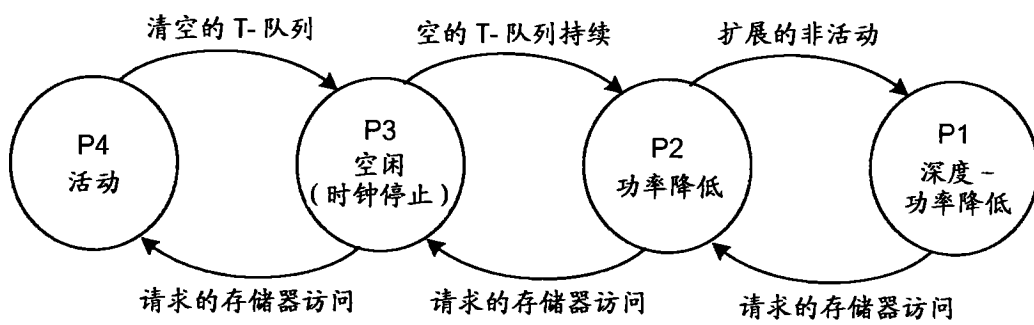


图 18A

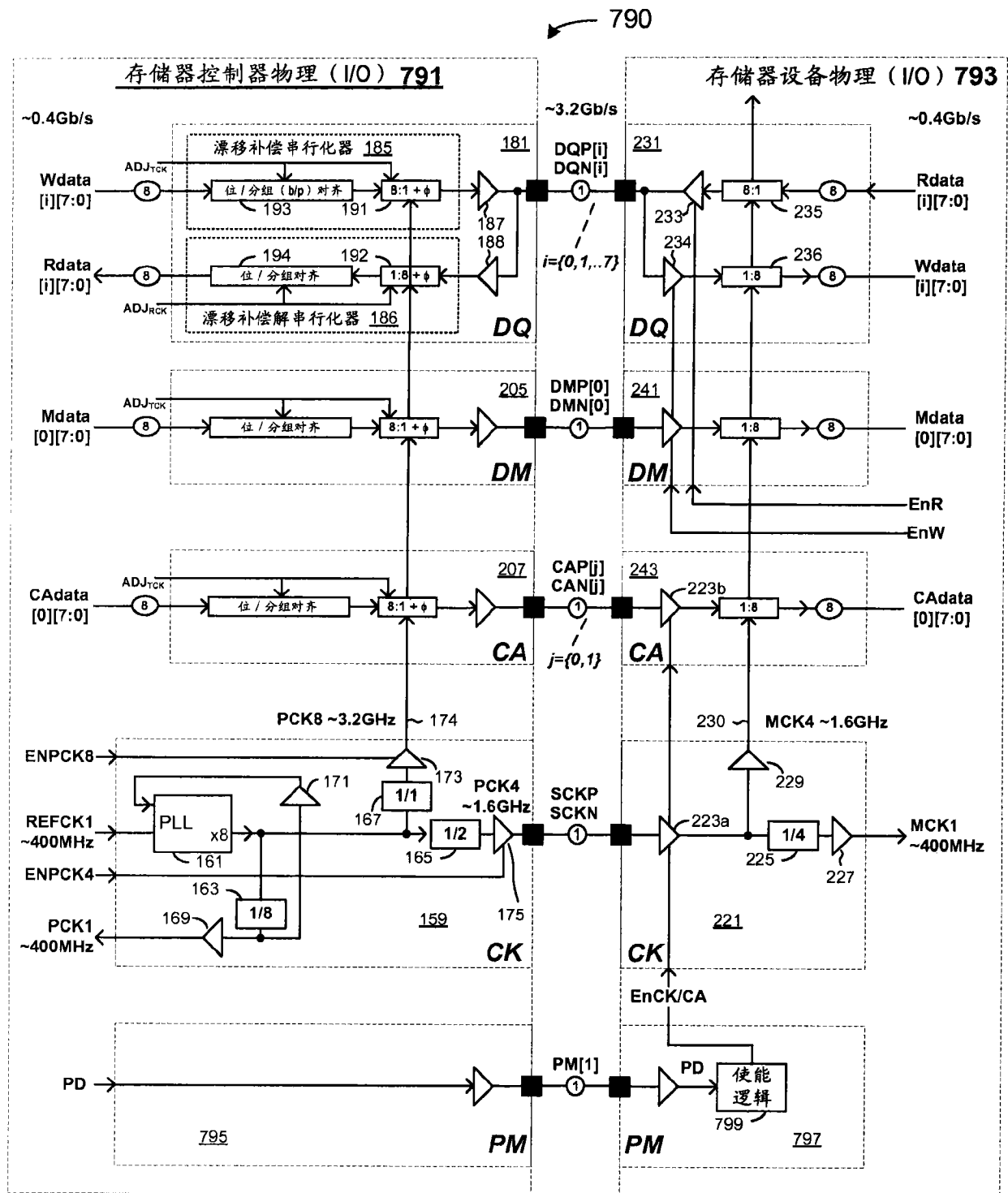


图 18B

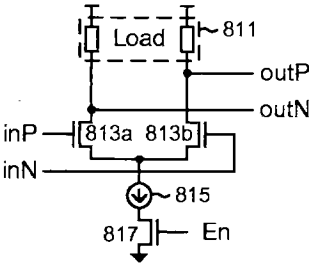


图 18C

命令响应的数据驱动器 / 接收器关闭

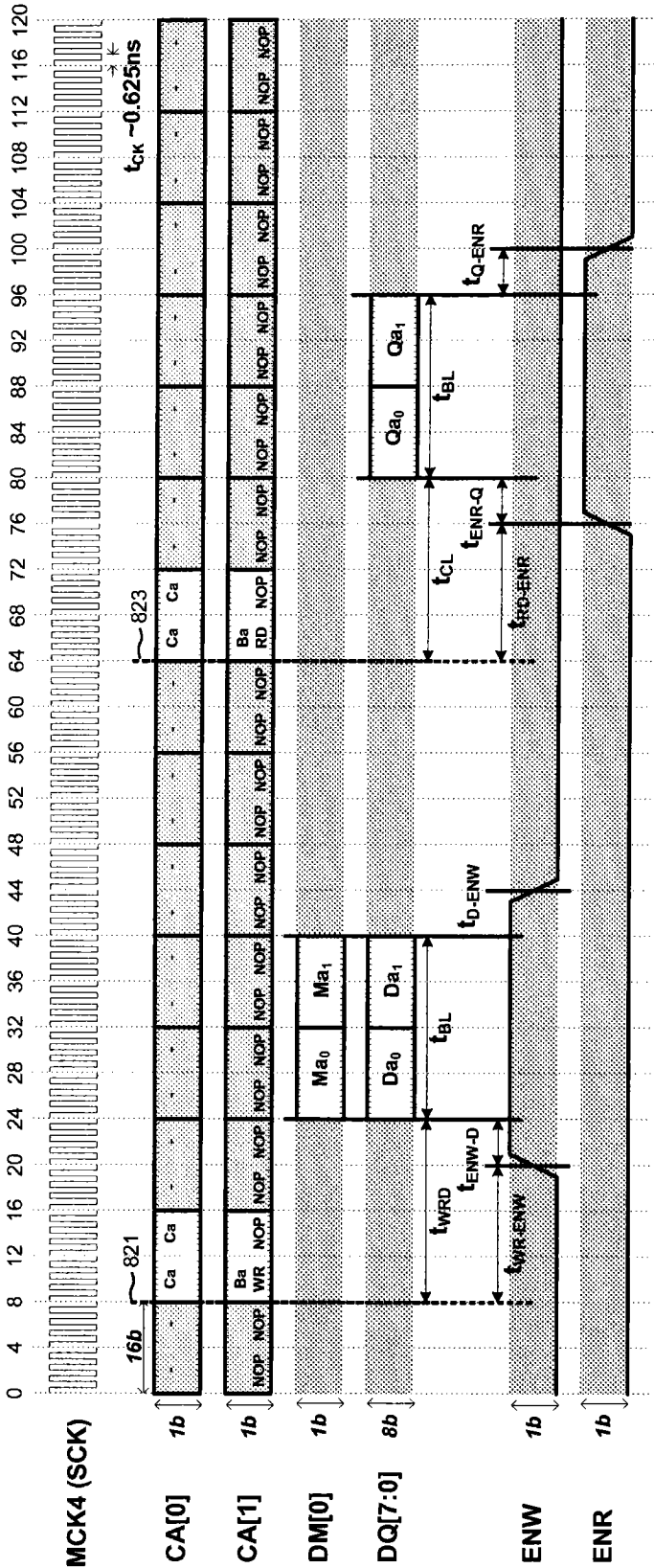


图 18D

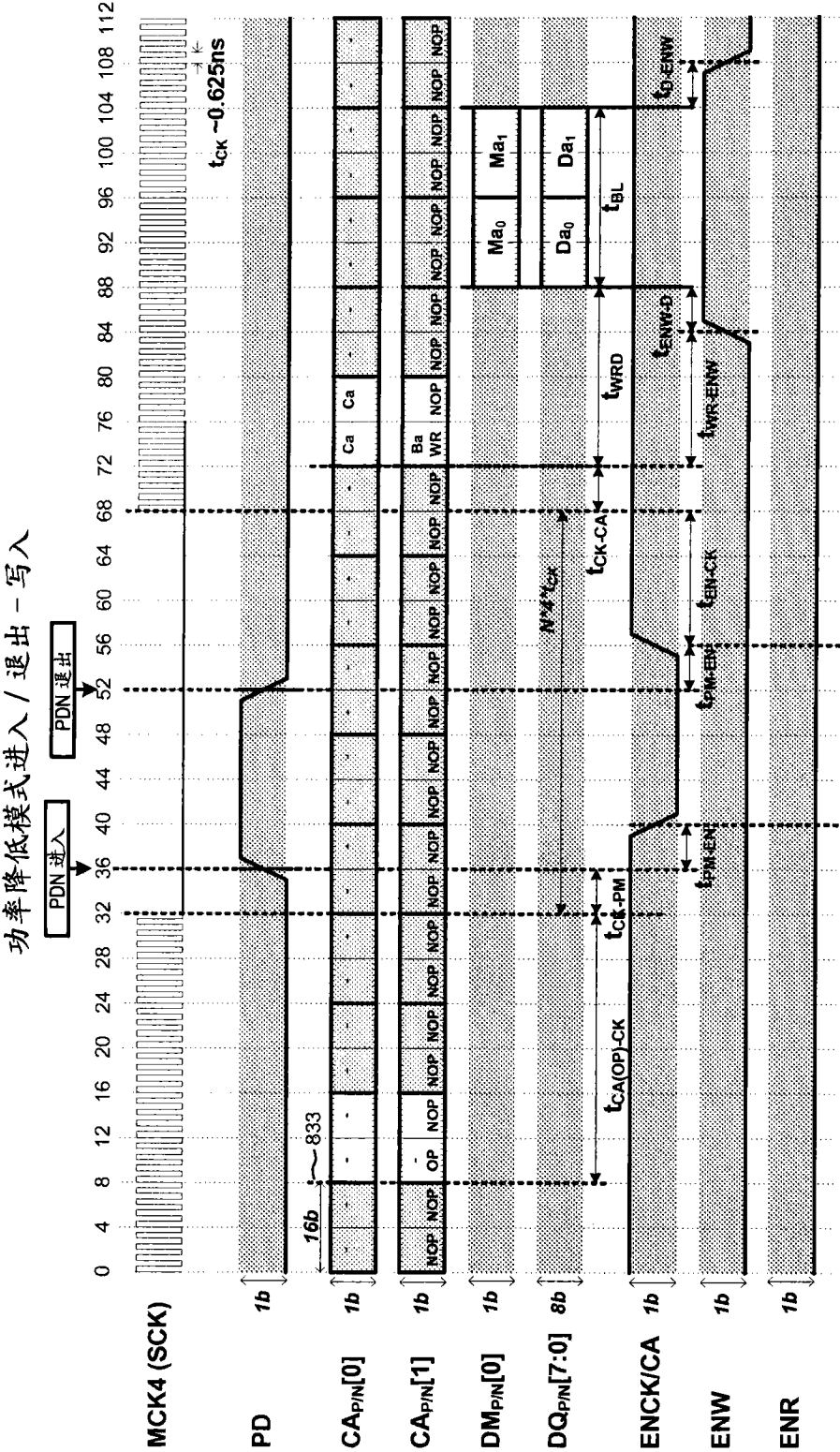


图 18E