



등록특허 10-2385931



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년04월11일
(11) 등록번호 10-2385931
(24) 등록일자 2022년04월07일

- (51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *H05H 1/46* (2006.01)
- (52) CPC특허분류
H01L 21/02274 (2013.01)
H01L 21/02315 (2013.01)
- (21) 출원번호 10-2015-0075156
- (22) 출원일자 2015년05월28일
심사청구일자 2020년05월27일
- (65) 공개번호 10-2015-0138073
- (43) 공개일자 2015년12월09일
- (30) 우선권주장
62/005,454 2014년05월30일 미국(US)
14/700,749 2015년04월30일 미국(US)
- (56) 선행기술조사문현
WO2013078098 A1
KR1020080002957 A

(73) 특허권자
램 리씨치 코포레이션
미국 94538 캘리포니아주 프레몬트 쿠싱 파크웨이
4650

(72) 발명자
터커 제레미
미국, 오리건 97202, 포틀랜드, 사우스이스트 디
비전 스트리트 3810, #305

오거스티나아크 에드워드
미국, 오리건 97062, 투알라틴, 사우스웨스트 반
노츠 코트 10555

(74) 대리인
특허법인인벤팅크

전체 청구항 수 : 총 31 항

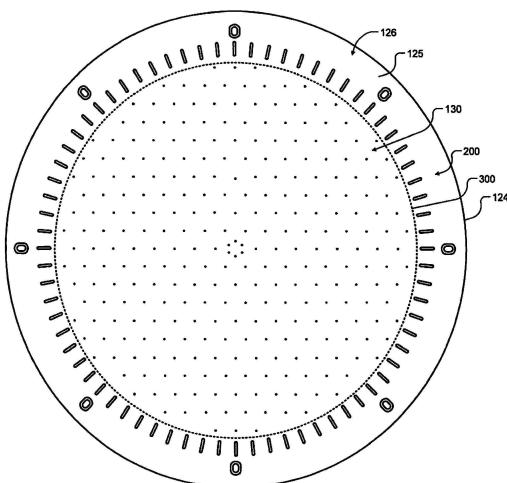
심사관 : 양진석

(54) 발명의 명칭 중공 음극 방전 (H C D) 을 억제하는 용량적으로 결합된 플라즈마 전극 및 가스 분배 대면
플레이트

(57) 요 약

플라즈마 프로세싱 챔버의 가스 분배 시스템을 위한 대면플레이트는 제 1 표면, 상기 제 1 표면 반대 편에 있는 제 2 표면 및 측면을 갖는 대면플레이트 바디를 포함한다. 상기 대면플레이트 바디 내의 제 1 복수의 홀들은 상기 제 1 표면으로부터 상기 제 2 표면으로 연장한다. 상기 제 1 복수의 홀들 중 적어도 일부는 상기 제 1 표면에 평행인 플레이인에서 제 1 사이즈 치수 (dimension) 및 제 2 사이즈 치수를 갖는다. 상기 제 1 사이즈 치수는 상기 제 2 사이즈 치수에 대하여 가로 놓인다. 상기 제 1 사이즈 치수는 상기 플라즈마 프로세싱 챔버에 의해 생성된 플라즈마의 3 개의 플라즈마 시스 두께들보다 작다. 상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 2 배보다 크다.

대 표 도 - 도3a



(52) CPC특허분류
H05H 1/46 (2013.01)

명세서

청구범위

청구항 1

플라즈마 프로세싱 챔버의 가스 분배 시스템을 위한 대면플레이트 (faceplate) 로서, 제 1 표면, 상기 제 1 표면 반대 편에 있는 제 2 표면 및 측면을 갖는 대면플레이트 바디; 및 상기 제 1 표면으로부터 상기 제 2 표면으로 연장하는, 상기 대면플레이트 바디 내의 제 1 복수의 홀들을 포함하고,
상기 제 1 복수의 홀들 중 적어도 일부는 상기 제 1 표면에 평행인 플레인에서 제 1 사이즈 치수 (dimension) 및 제 2 사이즈 치수를 갖고,
상기 제 1 사이즈 치수는 상기 제 2 사이즈 치수가 따라 측정되는 방향에 수직인 방향으로 측정되고,
상기 제 1 사이즈 치수는 상기 플라즈마 프로세싱 챔버에 의해 생성된 플라즈마의 3 개의 플라즈마 시스 (sheath) 두께들보다 작고, 그리고
상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 2 배보다 큰, 대면플레이트.

청구항 2

제 1 항에 있어서,

상기 제 1 사이즈 치수는 상기 플라즈마 프로세싱 챔버에 의해 생성된 플라즈마의 2 개의 플라즈마 시스 두께들 보다 작은, 대면플레이트.

청구항 3

제 1 항에 있어서,

상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 9 배보다 큰, 대면플레이트.

청구항 4

제 1 항에 있어서,

상기 대면플레이트 바디는 상기 제 1 복수의 홀들의 외부에 방사상으로 배열된 제 2 복수의 홀들을 포함하는, 대면플레이트.

청구항 5

제 4 항에 있어서,

상기 제 2 복수의 홀들 중 적어도 일부는 상기 제 1 사이즈 치수 및 상기 제 2 사이즈 치수를 갖는, 대면플레이트.

청구항 6

제 4 항에 있어서,

상기 제 2 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는, 대면플레이트.

청구항 7

제 1 항에 있어서,

상기 제 1 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은

직경을 갖는, 대면플레이트.

청구항 8

기판을 프로세싱하기 위한 플라즈마 프로세싱 시스템으로서,

프로세싱 챔버;

상기 프로세싱 챔버 내에 배열되고, 상부 부분, 대면플레이트 및 상기 상부 부분과 상기 대면플레이트 사이의 제 1 캐비티를 포함하는 가스 분배 디바이스;

기판을 지지하기 위해 상기 프로세싱 챔버 내에 배열된 기판 지지부; 및

상기 대면플레이트와 상기 기판 지지부 사이에서 플라즈마를 생성하기 위한 플라즈마 생성기를 포함하고,

상기 대면플레이트는 제 1 표면, 상기 제 1 표면 반대 편에 있는 제 2 표면 및 측면을 갖는 대면플레이트 바디, 그리고 상기 제 1 표면으로부터 상기 제 2 표면으로 연장하는, 상기 대면플레이트 바디 내의 제 1 복수의 홀들을 포함하고,

상기 제 1 복수의 홀들 중 적어도 일부는 슬롯 형상이고 상기 제 1 표면에 평행인 플레인에서 제 1 사이즈 치수 및 제 2 사이즈 치수를 갖고,

상기 제 1 사이즈 치수는 상기 제 2 사이즈 치수가 따라 측정되는 방향에 수직인 방향으로 측정되고,

상기 제 1 사이즈 치수는 상기 플라즈마 생성기에 의해 생성된 플라즈마의 3 개의 플라즈마 시스 두께들보다 작고, 그리고

상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 2 배보다 큰, 플라즈마 프로세싱 시스템.

청구항 9

제 8 항에 있어서,

상기 제 1 사이즈 치수는 상기 플라즈마 생성기에 의해 생성된 플라즈마의 2 개의 플라즈마 시스 두께들보다 작은, 플라즈마 프로세싱 시스템.

청구항 10

제 8 항에 있어서,

상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 9 배보다 큰, 플라즈마 프로세싱 시스템.

청구항 11

제 8 항에 있어서,

상기 대면플레이트 바디는 상기 제 1 복수의 홀들의 외부에 방사상으로 배열된 제 2 복수의 홀들을 포함하는, 플라즈마 프로세싱 시스템.

청구항 12

제 11 항에 있어서,

상기 제 2 복수의 홀들 중 적어도 일부는 슬롯 형상이고 상기 제 1 사이즈 치수 및 상기 제 2 사이즈 치수를 갖는, 플라즈마 프로세싱 시스템.

청구항 13

제 11 항에 있어서,

상기 제 2 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마 생성기에 의해 생성된 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는, 플라즈마 프로세싱 시스템.

청구항 14

제 8 항에 있어서,

상기 제 1 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마 생성기에 의해 생성된 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는, 플라즈마 프로세싱 시스템.

청구항 15

제 8 항에 있어서,

상기 제 1 캐비티의 공급 부분, 배기 부분 및 가스 커튼 부분을 규정하기 위해 상기 제 1 캐비티 내에 배열된 제 1 환형 금속 시일부, 제 2 환형 금속 시일부 및 제 3 환형 금속 시일부를 더 포함하는, 플라즈마 프로세싱 시스템.

청구항 16

제 15 항에 있어서,

프로세스 가스는 상기 상부 부분 내의 제 2 캐비티를 통해, 상기 대면플레이트를 통해 상기 제 1 캐비티의 상기 공급 부분으로 흐르는, 플라즈마 프로세싱 시스템.

청구항 17

제 16 항에 있어서,

상기 기판은 상기 프로세스 가스에 노출되고, 이어서 상기 프로세스 가스는 상기 대면플레이트, 상기 제 1 캐비티의 상기 배기 부분, 및 상기 상부 부분을 통해 거꾸로 흐르는, 플라즈마 프로세싱 시스템.

청구항 18

제 15 항에 있어서,

폐지 가스는 상기 상부 부분을 통해 상기 제 1 캐비티의 상기 가스 커튼 부분으로 흐르는, 플라즈마 프로세싱 시스템.

청구항 19

플라즈마 프로세스에 사용된 가스 분배 디바이스의 대면플레이트 내에서의 중공 음극 방전 (HCD: hollow cathode discharge) 을 감소시키기 위한 방법으로서,

상기 플라즈마 프로세스를 위한 플라즈마 시스 두께를 결정하는 단계;

제 1 표면, 상기 제 1 표면 반대 편에 있는 제 2 표면 및 측면을 갖는 대면플레이트 바디를 포함하는 대면플레이트를 제공하는 단계;

상기 대면플레이트 바디 내에서 상기 제 1 표면으로부터 상기 제 2 표면으로 연장하는, 제 1 복수의 홀들을 생성하는 단계;

플라즈마 프로세싱 챔버의 가스 분배 디바이스의 상부 부분에 인접하게 상기 대면플레이트를 배열하는 단계; 및 플라즈마를 스트라이킹 (striking) 하고, 기판을 프로세스 가스들에 노출시키기 위해 상기 가스 분배 디바이스의 상기 대면플레이트를 통해 상기 프로세스 가스들을 유동시키는 단계를 포함하고,

상기 제 1 복수의 홀들 중 적어도 일부는 상기 제 1 표면에 평행인 플레인에서 제 1 사이즈 치수 및 제 2 사이즈 치수를 갖고,

상기 제 1 사이즈 치수는 상기 제 2 사이즈 치수가 따라 측정되는 방향에 수직인 방향으로 측정되고,

상기 제 1 사이즈 치수는 상기 플라즈마 프로세스에 의해 생성된 플라즈마의 3 개의 플라즈마 시스 두께들보다 작고, 그리고

상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 2 배보다 큰, 중공 음극 방전을 감소시키기 위한 방법.

청구항 20

제 19 항에 있어서,

상기 플라즈마 시스 두께는 플라즈마 밀도, 전자 온도, 및 인가된 플라즈마 구동 전압에 기초하여 결정되는, 중공 음극 방전을 감소시키기 위한 방법.

청구항 21

제 19 항에 있어서,

상기 제 1 복수의 홀들의 외부에 방사상으로, 상기 대면플레이트 바디 내에 제 2 복수의 홀들을 생성하는 단계를 더 포함하는, 중공 음극 방전을 감소시키기 위한 방법.

청구항 22

제 21 항에 있어서,

상기 제 2 복수의 홀들 중 적어도 일부는 상기 제 1 사이즈 치수 및 상기 제 2 사이즈 치수를 갖는, 중공 음극 방전을 감소시키기 위한 방법.

청구항 23

제 21 항에 있어서,

상기 제 2 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는, 중공 음극 방전을 감소시키기 위한 방법.

청구항 24

제 19 항에 있어서,

상기 제 1 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는, 중공 음극 방전을 감소시키기 위한 방법.

청구항 25

제 1 항에 있어서,

상기 제 1 표면으로부터 상기 제 2 표면으로 연장하는 상기 대면플레이트 바디의 제 2 복수의 홀들을 더 포함하고,

상기 제 1 복수의 홀들은 원의 내부에 및 제 1 방사상 라인들을 따라 배열되고, 상기 원은 상기 대면플레이트의 공급 부분과 배기 부분 사이의 경계를 규정하고 상기 제 1 복수의 홀들은 프로세스 가스를 전달하고, 그리고

상기 제 2 복수의 홀들은 상기 대면플레이트의 외측 주변부 둘레에 상기 원의 외부에 및 제 2 방사상 라인들을 따라 배열되고, 상기 제 2 복수의 홀들은 배기 가스를 수용하는, 대면플레이트.

청구항 26

제 25 항에 있어서,

상기 원은 상기 대면플레이트의 공급 부분과 배기 부분 사이의 경계를 규정하고, 그리고

상기 제 1 복수의 홀들은 프로세스 가스를 전달하는, 대면플레이트.

청구항 27

제 1 항에 있어서,

상기 대면플레이트 바디의 제 2 복수의 홀들 및 제 3 복수의 홀들을 더 포함하고,

상기 제 1 복수의 홀들 각각은 원의 내부에 및 대응하는 제 1 방사상 라인들을 따라 배열되고,

상기 제 2 복수의 홀들 각각은 상기 대면플레이트의 외측 주변부 둘레에 상기 원의 외부에 및 제 2 방사상 라인들을 따라 배열되고, 상기 제 2 복수의 홀들 각각은 상기 제 1 사이즈 치수 및 상기 제 2 사이즈 치수를

가지고, 그리고 상기 대면플레이트의 상기 제 2 방사상 라인들은 상기 대면플레이트의 상기 제 1 방사상 라인들을 포함하고, 그리고

상기 제 3 복수의 홀들은 상기 원의 내부에 있고, 상기 제 3 복수의 홀들 각각은 상기 제 2 방사상 라인들을 따라 배열되고, 상기 제 3 복수의 홀들 각각은 상기 제 1 사이즈 치수 및 상기 제 2 사이즈 치수를 가지고, 그리고 상기 제 3 복수의 홀들 각각은 상기 대면플레이트의 상기 제 1 방사상 라인들에 대하여 가로 놓이는 슬롯 길이들을 가지는 슬롯들인, 대면플레이트.

청구항 28

제 1 항에 있어서,

상기 대면플레이트 바디 내에 제 2 복수의 홀들을 더 포함하고,

상기 제 1 복수의 홀들은 원의 내부에 및 제 1 방사상 라인들을 따라 배열되고,

상기 제 2 복수의 홀들은 상기 제 1 표면으로부터 상기 제 2 표면으로 연장하고, 상기 제 2 복수의 홀들은 상기 대면플레이트의 외측 주변부 둘레에 상기 원의 외부에 및 제 2 방사상 라인들을 따라 배열되고, 상기 제 2 복수의 홀들 중 적어도 하나는 상기 제 1 표면에 대해 평행하게 연장하는 면 내에 상기 제 1 사이즈 치수 및 상기 제 2 사이즈 치수를 가지고, 그리고

상기 제 1 복수의 홀들 중 적어도 하나는 상기 제 2 복수의 홀들 중 상기 적어도 하나와 상이하게 형상되는, 대면 플레이트.

청구항 29

대면플레이트 시스템으로서,

제 1 항에 기재된 상기 대면플레이트;

상기 제 1 표면으로부터 상기 제 2 표면으로 연장하는 상기 대면플레이트 바디 내에 제 2 복수의 홀들; 및

캐비티의 공급 부분, 배기 부분, 및 가스 커튼 부분을 규정하기 위해 상기 대면플레이트 상에 배열되는 제 1 환형 금속 시일부, 제 2 환형 금속 시일부 및 제 3 환형 금속 시일부로서,

상기 제 1 복수의 홀들은 상기 공급 부분에 배치되고,

상기 공급 부분은 상기 제 1 환형 금속 시일부의 내부에 방사상으로 배치되고,

상기 배기 부분은 상기 제 1 환형 금속 시일부와 상기 제 2 환형 금속 시일부 사이에 배치되고, 그리고

상기 제 2 복수의 홀들은 상기 배기 부분 내에 배치되고 프로세스 가스가 기관에 노출되는 것에 후속하여 상기 프로세스 가스를 배기하는, 상기 제 1 환형 금속 시일부, 상기 제 2 환형 금속 시일부 및 상기 제 3 환형 금속 시일부를 포함하는, 대면플레이트 시스템.

청구항 30

제 8 항에 있어서,

캐비티의 공급 부분, 배기 부분, 및 가스 커튼 부분을 규정하도록 상기 대면플레이트 바디 상에 배열되는 제 1 환형 금속 시일부, 제 2 환형 금속 시일부 및 제 3 환형 금속 시일부를 더 포함하고,

상기 대면플레이트 바디는 상기 공급 부분 내에 배치되는 제 2 복수의 홀들을 포함하고,

상기 공급 부분은 상기 제 1 환형 금속 시일부의 내부에 방사상으로 배치되고,

상기 배기 부분은 상기 제 1 환형 금속 시일부와 상기 제 2 환형 금속 시일부 사이에 배치되고, 그리고

상기 복수의 제 1 홀들은 상기 배기 부분 내에 배치되는, 플라즈마 프로세싱 시스템.

청구항 31

제 19 항에 있어서,

캐비티의 공급 부분, 배기 부분, 및 가스 커튼 부분을 규정하도록 상기 대면플레이트 바디 상에 배열되는 제 1

환형 금속 시일부, 제 2 환형 금속 시일부, 제 3 환형 금속 시일부를 생성하는 단계를 더 포함하고,
 상기 제 1 복수의 홀들은 상기 공급 부분 내에 배치되고,
 상기 공급 부분은 상기 제 1 환형 금속 시일부의 내부에 방사상으로 배치되고,
 상기 배기 부분은 상기 제 1 환형 금속 시일부와 상기 제 2 환형 금속 시일부 사이에 배치되고, 그리고
 제 2 복수의 홀들은 상기 배기 부분 내에 배치되는, 중공 음극 방전을 감소시키기 위한 방법.

발명의 설명

기술 분야

[0001] 본 개시는 기판 프로세싱 시스템들, 및 보다 구체적으로 용량적으로 결합된 플라즈마를 사용하는 기판 프로세싱 시스템들에 관한 것이다.

배경 기술

[0002] 여기에 제공된 배경기술 설명은 본 개시의 맥락을 일반적으로 나타낼 목적으로이다. 본 발명자들의 성과로서 본 배경기술 섹션에 기술되는 정도의 성과 및 출원시 종래 기술로서 인정되지 않을 수도 있는 기술의 양태들은 본 개시에 대한 종래 기술로서 명시적으로나 암시적으로 인정되지 않는다.

[0003] 기판 프로세싱 시스템들은 반도체 웨이퍼와 같은 기판 상에 막의 증착 및/또는 에칭을 수행하도록 사용될 수도 있다. 기판 프로세싱 시스템들은 통상적으로 페데스탈, 정전 척, 플레이트, 등과 같은 기판 지지부를 갖는 프로세싱 챔버를 포함한다. 반도체 웨이퍼와 같은 기판은 기판 지지부 상에 배열될 수도 있다. CVD (chemical vapor deposition), PECVD (plasma enhanced CVD), ALD (atomic layer deposition) 또는 PEALD 프로세스들에서, 하나 이상의 프리커서들을 포함하는 가스 혼합물이 기판 상에 막을 증착하거나 에칭하기 위해 프로세싱 챔버에 도입될 수도 있다.

[0004] 일부 프로세스들은 샤크위헤드와 같은 가스 분배 디바이스를 사용한다. 기스 분배 디바이스는 복수의 원형 홀들을 갖는 대면 플레이트대면플레이트 (faceplate) 를 포함할 수도 있다. 원형 홀들은 목표된 가스 플로우를 제공하기 위한 패턴으로 배열된다. 프로세스 가스들은 가스 분배 디바이스 내에 규정된 캐비티로 공급되고 기판 위의 대면 플레이트대면플레이트의 원형 홀들에 의해 분배된다.

[0005] PECVD 및 PEALD에서, RF (radio frequency) 플라즈마는 화학 반응들을 활성화하기 위해 사용될 수도 있다. 예를 들어, 용량적으로 결합된 플라즈마 (capacitively coupled plasma) 생성기는 프로세싱 챔버 내에서 플라즈마를 생성하기 위해 사용될 수도 있다. 플라즈마는 가스 분배 디바이스의 대면 플레이트대면플레이트와 페데스탈 사이의 공간에서 점화될 수도 있다. 가스 분배 디바이스의 대면 플레이트대면플레이트는 CCP 생성기의 일 전극으로서 동작할 수도 있다.

[0006] 기판 프로세싱 동안 플라즈마가 사용될 때, 일부 기생 플라즈마가 또한 프로세싱 챔버 내에서 생성될 수도 있다. 단지 예를 들어, 중공 음극 방전 (HCD: hollow cathode discharge) 이 가스 분배 디바이스의 대면 플레이트대면플레이트의 원형 홀들 내에서 발생할 수도 있는 기생 플라즈마의 일 형태이다. HCD는 HCD가 작은 볼륨 내에서 상당한 전력을 소비하기 때문에, 하드웨어 (특히, 전극) 에 유해할 수도 있다.

발명의 내용

[0007] 플라즈마 프로세싱 챔버의 가스 분배 시스템을 위한 대면플레이트는 제 1 표면, 상기 제 1 표면 반대 편에 있는 제 2 표면 및 측면을 갖는 대면플레이트 바디를 포함한다. 상기 대면플레이트 바디 내의 제 1 복수의 홀들은 상기 제 1 표면으로부터 상기 제 2 표면으로 연장한다. 상기 제 1 복수의 홀들 중 적어도 일부는 상기 제 1 표면에 평행인 플레인에서 제 1 사이즈 치수 (dimension) 및 제 2 사이즈 치수를 갖는다. 상기 제 1 사이즈 치수는 상기 제 2 사이즈 치수에 대하여 가로 놓인다 (transverse). 상기 제 1 사이즈 치수는 상기 플라즈마 프로세싱 챔버에 의해 생성된 플라즈마의 3 개의 플라즈마 시스 (sheath) 두께들보다 작다. 상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 2 배보다 크다.

[0008] 다른 특징들에서, 상기 제 1 사이즈 치수는 상기 플라즈마 프로세싱 챔버에 의해 생성된 플라즈마의 2 개의 플

라즈마 시스 두께들보다 작다. 상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 9 배보다 크다. 상기 대면 플레이트 바디는 상기 제 1 복수의 홀들의 외부에 방사상으로 배열된 제 2 복수의 홀들을 포함한다. 상기 제 2 복수의 홀들 중 적어도 일부는 상기 제 1 사이즈 치수 및 상기 제 2 사이즈 치수를 갖는다. 상기 제 2 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는다.

[0009] 다른 특징들에서, 상기 제 1 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는다.

[0010] 기판을 프로세싱하기 위한 플라즈마 프로세싱 시스템은 프로세싱 챔버를 포함한다. 가스 분배 디바이스가 상기 프로세싱 챔버 내에 배열되고, 상부 부분, 대면플레이트 및 상기 상부 부분과 상기 대면플레이트 사이의 제 1 캐비티를 포함한다. 기판 지지부가 기판을 지지하기 위해 상기 프로세싱 챔버 내에 배열된다. 플라즈마 생성기가 상기 대면플레이트와 상기 기판 지지부 사이에서 플라즈마를 생성한다. 상기 대면플레이트는 제 1 표면, 상기 제 1 표면 반대 편에 있는 제 2 표면 및 측면을 갖는 대면플레이트 바디, 그리고 상기 제 1 표면으로부터 상기 제 2 표면으로 연장하는, 상기 대면플레이트 바디 내의 제 1 복수의 홀들을 포함한다. 상기 제 1 복수의 홀들 중 적어도 일부는 슬롯 형상이고 상기 제 1 표면에 평행인 플레인에서 제 1 사이즈 치수 및 제 2 사이즈 치수를 갖는다. 상기 제 1 사이즈 치수는 상기 제 2 사이즈 치수에 대하여 가로 놓인다. 상기 제 1 사이즈 치수는 상기 플라즈마 생성기에 의해 생성된 플라즈마의 3 개의 플라즈마 시스 두께들보다 작다. 상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 2 배보다 크다.

[0011] 다른 특징들에서, 상기 제 1 사이즈 치수는 상기 플라즈마 생성기에 의해 생성된 플라즈마의 2 개의 플라즈마 시스 두께들보다 작다. 상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 9 배보다 크다. 상기 대면플레이트 바디는 상기 제 1 복수의 홀들의 외부에 방사상으로 배열된 제 2 복수의 홀들을 포함한다. 상기 제 2 복수의 홀들 중 적어도 일부는 슬롯 형상이고 상기 제 1 사이즈 치수 및 상기 제 2 사이즈 치수를 갖는다. 상기 제 2 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마 생성기에 의해 생성된 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는다. 상기 제 1 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마 생성기에 의해 생성된 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는다.

[0012] 다른 특징들에서, 제 1, 제 2 및 제 3 환형 금속 시일부들이 상기 제 1 캐비티의 지지 부분, 배기 부분 및 가스 커튼 부분을 규정하기 위해 상기 제 1 캐비티 내에 배열된다. 프로세스 가스는 상기 상부 부분 내의 제 2 캐비티를 통해, 상기 대면플레이트를 통해 상기 제 1 캐비티의 상기 공급 부분으로 흐른다. 상기 기판은 상기 프로세스 가스에 노출되고, 이어서 상기 프로세스 가스는 상기 대면플레이트, 상기 제 1 캐비티의 상기 배기 부분, 및 상기 상부 부분을 통해 거꾸로 흐른다. 퍼지 가스는 상기 상부 부분을 통해 상기 제 1 캐비티의 상기 가스 커튼 부분으로 흐른다.

[0013] 플라즈마 프로세스에 사용된 가스 분배 디바이스의 대면플레이트 내에서의 중공 음극 방전 (HCD: hollow cathode discharge) 을 감소시키기 위한 방법은, 상기 플라즈마 프로세스를 위한 플라즈마 시스 두께를 결정하는 단계; 제 1 표면, 상기 제 1 표면 반대 편에 있는 제 2 표면 및 측면을 갖는 대면플레이트 바디를 포함하는 대면플레이트를 제공하는 단계; 상기 대면플레이트 바디 내에서 상기 제 1 표면으로부터 상기 제 2 표면으로 연장하는, 제 1 복수의 홀들을 생성하는 단계를 포함한다. 상기 제 1 복수의 홀들 중 적어도 일부는 상기 제 1 표면에 평행인 플레인에서 제 1 사이즈 치수 및 제 2 사이즈 치수를 갖는다. 상기 제 1 사이즈 치수는 상기 제 2 사이즈 치수에 대하여 가로 놓인다. 상기 제 1 사이즈 치수는 상기 플라즈마 프로세스에 의해 생성된 플라즈마의 3 개의 플라즈마 시스 두께들보다 작다. 상기 제 2 사이즈 치수는 상기 제 1 사이즈 치수의 2 배보다 크다. 이 방법은, 플라즈마 프로세싱 챔버의 가스 분배 디바이스의 상부 부분에 인접하게 상기 대면플레이트를 배열하는 단계; 및 플라즈마를 스트라이킹하고, 기판을 프로세스 가스들에 노출시키기 위해 상기 가스 분배 디바이스의 상기 대면플레이트를 통해 상기 프로세스 가스들을 유동시키는 단계를 포함한다.

[0014] 다른 특징들에서, 상기 플라즈마 시스 두께는 플라즈마 밀도, 전자 온도, 및 인가된 플라즈마 구동 전압에 기초하여 결정된다. 이 방법은, 상기 제 1 복수의 홀들의 외부에 방사상으로, 상기 대면플레이트 바디 내에 제 2 복수의 홀들을 생성하는 단계를 포함한다.

[0015] 다른 특징들에서, 상기 제 2 복수의 홀들 중 적어도 일부는 상기 제 1 사이즈 치수 및 상기 제 2 사이즈 치수를 갖는다. 상기 제 2 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는다. 상기 제 1 복수의 홀들 중 적어도 일부는 원 형상이고, 상기 플라즈마의 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는다.

[0016] 본 개시의 추가적인 적용 영역들은 상세한 설명, 청구항들 및 도면으로부터 명백해질 것이다. 상세한 설명 및 구체적인 예들은 단지 예시를 목적으로 의도되고 본 개시의 범위를 한정하도록 의도되지 않는다.

도면의 간단한 설명

[0017] 본 개시는 상세한 설명 및 침부된 도면으로부터 보다 완전히 이해될 것이다.

도 1a 및 도 1b는 가스 분배 디바이스 예시적인 대면플레이트들의 제 1 홀 및 제 2 홀 내에서의 중공 음극 효과를 예시한다.

도 2는 본 개시에 따른 대면플레이트를 포함하는 프로세싱 챔버의 예의 단면도를 예시한다.

도 3a 및 도 3b는 본 개시에 따른 대면플레이트의 예를 예시한다.

도 4 및 도 5는 본 개시에 따른 대면플레이트들의 다른 예들을 예시한다.

도 6은 대면플레이트 및 가스 분배 디바이스의 상부 부분의 예의 부분 단면도를 예시한다.

도 7은 본 개시에 따른 플라즈마 프로세싱 동안 대면플레이트 내에서 HCD를 감소시키기 위한 방법의 예를 예시한다.

도면들에서, 참조 번호들은 유사한/하거나 동일한 엘리먼트들을 식별하기 위해 재사용될 수도 있다.

발명을 실시하기 위한 구체적인 내용

[0018] 관련된 출원들의 교차 참조

[0019] 본 출원은 2014년 5월 30일 출원된 미국 가 출원 번호 제 62/005,454 호의 이익을 주장한다. 상기 참조된 출원의 전체 개시는 본 명세서에 참조로서 인용되었다.

[0020] HCD는 가스 분배 디바이스의 대면플레이트 내의 (중공 음극들이 되는) 원형 홀들의 직경을 증가시키거나 감소시킴으로써 방지될 수도 있다. 일부 프로세스 조건들에 대해, HCD를 방지하기 위해 필요한 원형 홀 사이즈는 충분히 커서 기관에 걸친 가스 분배가 불균일해질 수도 있다. 부가적으로, 보다 큰 직경들을 갖는 보다 적은 원형 홀들을 사용하는 것은, 막 균일성에 악영향을 줄 수 있는, 제팅 (jetting) 을 유발할 수도 있다. 홀 직경이 HCD에 대한 문턱값 아래로 감소되면, 가스 플로우를 유지하기 위해 필요한 원형 홀들의 수는, 전도율 (conduction) 은 홀 직경의 4제곱의 함수이기 때문에 상당히 증가한다. 또한, 많은 수의 홀들의 매칭은 통상적으로 비용이 들고 시간 소모적이다.

[0021] 대면플레이트 내의 적어도 일부의 홀들의 기하구조는 중공 음극 효과를 감소시키거나 제거하기 위해 본 개시에 따라 변경될 수 있다. 도 1a에서, 대면플레이트 (12) 에서 홀 (10) 의 직경을 감소시키는 것은 플라즈마가 캐비티 내로 들어갈 수 없도록 음극 벽들을 서로 보다 가깝게 이동시킴으로써 중공 음극 효과를 제거한다. 캐비티 내의 플라즈마 없이, 중공 음극 효과는 전개될 수 없다. 대안적으로, 도 1b에서, 중공 음극 효과는 또한 전자들이 보다 큰 거리에 걸쳐 앞뒤로 진동하기에 충분한 에너지를 갖지 못하도록, 대면플레이트 (22) 내의 홀 (20) 의 벽들을 충분히 멀어지게 이동시킴으로써 제거될 수 있다.

[0022] 음극 캐비티 내부의 플라즈마 효과는, 플라즈마 시스라고 하는 플라즈마 경계층에 대한 음극 캐비티의 사이즈에 의존한다. 플라즈마 시스 두께는 플라즈마 밀도, 전자 온도, 및 인가된 구동 전압에 의존한다. 단지 예를 들어, CCP 플라즈마 시스 두께는 통상적으로 1 mm의 단편으로부터 수 밀리미터로 변한다.

[0023] 플라즈마 시스는 별크 플라즈마 전자들에 대한 전위 장벽으로서 동작한다. 전자들은 시스를 내로 들어가려고 시도할 때 밀려난다 (repelled). 2 개의 반발하는 시스들이 가깝게 인접하여 서로 마주보면, 전자들은 이 시스들 사이에서 진동을 시작한다. 전위 우물 (potential well) 내에 갇힌 (trapped) 이러한 전자들의 진동들은 배경 가스와의 충돌들을 통해 증가된 이온화 레이트들을 유발할 수도 있고 중공 음극 효과의 근원 (origin) 을 제공한다.

[0024] 플라즈마가 둘러싸는 표면들에서 시스를 전개하기 때문에, 플라즈마는 양 측면들에 별크 플라즈마 및 시스들을 수용하기에 충분히 큰 캐비티들 내로만 들어갈 수 있다. 2 내지 3 플라즈마 시스 폭과 동일한 개구를 갖는 홀들과 같은 캐비티들은 종종 제한하는 경우들로 간주된다. 대면플레이트 내의 원형 홀들이 2 내지 3 개의 플라즈마 시스 두께들보다 작을 때, 플라즈마는 내부 홀들을 형성할 수 없다. 그 결과, HCD는 보다 작은 원형 홀들로 트리거될 수 없다. 한편, 대면플레이트 내의 원형 홀들이 2 내지 3 개의 플라즈마 시스 두께들보다 크면,

플라즈마는 홀들로 들어갈 수 있다.

[0025] 홀 사이즈가 2 내지 3 플라즈마 시스 두께들보다 단지 약간 더 크면, 벌크 플라즈마는 얇고 2 개의 반대 편에 있는 시스들은 전자들을 튕김으로써 (bouncing off) 상호작용할 수 있다. 전자 진동들은 증가된 이온화 레이트 및 보다 조밀한 플라즈마를 유발할 수도 있다. 이러한 국부화된 조밀 플라즈마 또는 HCD는 반대 편의 마주보는 시스들 사이에서 진동하는 활동적인 전자들에 의해 주로 유지된다. 홀 사이즈가 2 내지 3 플라즈마 시스 두께들보다 상당히 크면, 벌크 플라즈마는 어떠한 문제도 없이 보다 큰 캐비티 내로 들어갈 수 있다. 시스들이 충분히 이격되기 때문에, 어떠한 방전 증대도 발생하지 않는다. 보다 큰 홀의 일 측면 상의 시스에 의해 가속된 전자들은, 배경 가스와의 충돌들 때문에 다른 시스에 이를 수 없다. 어떠한 진동 모션도 불가능하고 추가의 이온화가 일어나지 않는다. 따라서, HCD는 트리거되지 않는다.

[0026] 본 개시는 독특한 기하구조를 갖는 가스 분배 디바이스 내의 홀들을 사용함으로써 HCD의 문제를 해결한다. 가스 분배 디바이스의 특정한 기하구조는 구체적인 프로세스 조건들에 대해 선택된다. 소정의 프로세스 조건에 대해, HCD를 지속시키기 위해 요구된 최소 및 최대 직경은 분석적으로 추정되거나 경험적으로 결정된다. 본 개시에 따라, 가스 분배 디바이스의 대면플레이트 내의 홀들은 (i) HCD를 지속시킬 수 있는 최소 직경보다 작은 가스 홀들을 형성하거나, (ii) HCD를 지속시킬 수 있는 최대 직경보다 큰 가스 홀들을 형성하기보다 결합된 방법을 사용한다.

[0027] 본 개시에 따른, 가스 분배 디바이스의 대면플레이트 내의 홀들은 슬롯 형상이고, HCD를 지속시킬 최소 사이즈 치수보다 작은 (폭과 같은) 제 1 사이즈 치수 및 HCD를 지속시킬 최소 사이즈 치수보다 큰 (길이와 같은) 제 2 사이즈 치수를 갖는다. 즉, 사이즈 치수들 중 하나는 HCD를 방지하기 위해 사용되고 사이즈 치수들 중 다른 하나는 원형 홀들이 사용되면 달리 필요할 홀들의 수를 감소시키기 위해 증가된다.

[0028] 일부 예들에서, 슬롯의 제 1 사이즈 치수는 2 또는 3 개의 플라즈마 시스 두께들보다 작다. 일부 예들에서, 슬롯의 제 2 사이즈 치수는 제 1 사이즈 치수보다 크다. 일부 예들에서, 슬롯의 제 2 사이즈 치수는 제 1 사이즈 치수보다 2 내지 10 배 크다. 단지 예를 들어, 슬롯들은 0.04 인치의 제 1 사이즈 치수 및 0.4 인치의 제 2 사이즈 치수를 가질 수도 있다.

[0029] 즉, 본 명세서에 개시된 특정한 기하구조는 HCD를 억제하기 위해 제 1 치수의 조정 및 플로우 전도도/균일성을 최적화하기 위해 제 2 치수의 조정을 가능하게 한다. 예를 들어, 일 세트의 프로세스 조건들을 사용하여, HCD를 억제하기 위한 제 1 치수는 0.04” 이지만, 이 직경을 갖는 2500 개의 원형 홀들은 필요한 플로우 전도율을 제공하기 위해 필요할 것이다. 원형 홀로부터 슬롯 형상으로 기하구조를 변화시키고 제 2 치수를 0.4”로 증가시킴으로써, 동일한 플로우 전도도를 제공하기 위해 필요한 홀들의 수는 72로 감소된다.

[0030] 원형 홀을 통한 플로우 전도율은 $\frac{\pi}{256} d^4$ 에 의해 대략 근사화될 수 있고, 여기서 d는 원형 홀의 직경이다. 반대

로, 충류 (laminar flow) 및 동일한 두께를 갖는 좁은 슬롯의 플로우 전도율은 $\frac{1}{24} ab^3$ 에 의해 대략 근사화될 수 있고, 여기서 a는 길이이고 b는 폭이다. 제 2 사이즈 치수가 제 1 사이즈 치수의 2 배이면, 전도도는 제 1 치수의 직경들을 갖는 2 개의 홀들의 전도도의 약 2.4 배일 것이다. 전술한 바에서 알 수 있듯이, (원형 홀에 대한) 일 슬롯의 제 2 사이즈 치수가 2 배가 되면, 동일한 원래 폭을 갖는 2 개의 원형 홀들에 대한 전도도를 상당히 개선한다. 부가적인 개선은 제 1 사이즈 치수에 대하여 제 2 사이즈 치수의 보다 큰 증가로 알 수 있다.

[0031] 본 개시에 따른 대면플레이트 내의 적어도 일부의 홀들의 기하구조는, 플라즈마 시스가 반대 편에 있는 벽들의 근접성으로 인해 들어가지 못하도록 슬롯된 형상을 갖는다. 슬롯들의 폭 및 길이는 압력, 반응 종들, 및 특정한 프로세스를 위해 사용된 플라즈마 전력에 기초하여 결정될 수도 있다. 일부 예들에서, 슬롯은 대면플레이트의 방사상 선들과 정렬된 슬롯의 길이로 배열된다. 다른 예들에서, 슬롯들은 방사상 선들에 대하여 가로 놓이는 슬롯들의 길이 또는 방사상 선들에 대한 다른 각도들에 배열된다.

[0032] 본 명세서에 기술된 바와 같이, 대면플레이트가 슬롯된 형상의 홀들을 갖고 HCD를 갖지 않는 대면플레이트들과 유사한 플로우 전도율을 생성하기 위해, 대면플레이트는 매우 큰 수의 원형 홀들 (각각은 2 또는 3 개의 플라즈마 시스 두께들보다 작은 두께를 가짐) 을 필요로 할 것이다. 많은 수의 홀들은 통상적으로 비싼, 비용이 드는 머시닝 (machining) 을 요구한다. 보다 큰 수의 원형 홀들과 동일한 결과들을 생성하기 위해 보다 적은 슬롯들이 필요하기 때문에, 대면플레이트는 제작하는 것이 덜 비싸고, 또한 보다 넓은 다양성의 재료들로 만들어질 수 있다.

- [0033] 이제 도 2를 참조하면, 프로세싱 챔버 (100)의 예가 도시된다. 프로세싱 챔버 (100)는 기판 지지부 (114)에 인접하게 배열된 가스 분배 디바이스 (112)를 포함한다. 일부 예들에서, 프로세싱 챔버 (100)는 또 다른 프로세싱 챔버의 내부에 배열될 수도 있다. 마이크로 프로세스 볼륨을 생성하기 위한 위치로 기판 지지부 (114)를 리프트 (lift) 하기 위해 페데스탈이 사용될 수도 있다. 가스 분배 디바이스 (112)는 대면플레이트 (124) 및 이하에 추가로 기술될 바와 같이, 프로세스 가스 및 퍼지 가스를 전달하고/하거나 배기 가스를 제거하기 위해 사용된 다양한 캐비티들을 포함하는 상부 부분 (120)을 포함한다.
- [0034] 일부 예들에서, 대면플레이트 (124)는 알루미늄과 같은 전도성 재료로 만들어진다. 대면플레이트 (124)는 제 1 표면 (126), (제 1 표면 반대 편에 있고 사용 동안 기판을 마주보는) 제 2 표면 (127), 측면 (128)을 갖는 대면플레이트 바디 (125) 및 (제 1 표면 (126)으로부터 제 2 표면 (127)으로 연장하는) 제 1 복수의 홀들 (130)을 포함한다. 대면플레이트 (124)는 절연체 (132) 상에 놓일 수도 있다. 일부 예들에서, 절연체 (132)는 Al_2O_3 또는 다른 적합한 재료로 만들어질 수도 있다.
- [0035] 다른 예들에서, 대면플레이트 (124)는 세라믹과 같은 비전도성 재료로 만들어진다. 예를 들어, 알루미늄 나이트라이드 (AlN)가 사용될 수도 있다. 비전도성 재료가 사용되면, 대면플레이트 (124)는 임베딩된 전극 (138)을 포함할 수도 있다. 일부 예들에서, 기판 지지부 (114)는 접지되거나 플로팅하고 대면플레이트 (124)는 플라즈마 생성기 (142)에 연결된다. 플라즈마 생성기 (142)는 RF 소스 (146) 및 매칭 및 분배 회로 (148)를 포함한다.
- [0036] 도 2의 예에서, 상부 부분 (120)는 제 1 캐비티 (156)를 규정하는 중앙 섹션 (152)을 포함할 수도 있다. 일부 예들에서, 중앙 섹션 (152)은 Al_2O_3 또는 다른 적합한 재료로 만들어진다. 가스 전달 시스템 (160)은 하나 이상의 프로세스 가스들, 퍼지 가스들, 등을 프로세싱 챔버 (100)로 공급하기 위해 제공될 수도 있다. 가스 전달 시스템 (160)은 대응하는 질량 유량 제어기들 (MFCs) (166), 벨브들 (170) 및 매니폴드 (172)와 유체적으로 연통하는 하나 이상의 가스 소스들 (164)을 포함할 수도 있다. 매니폴드 (172)는 제 1 캐비티 (156)와 유체적으로 연통한다. 가스 전달 시스템은 하나 이상의 프로세스 가스들을 포함하는 가스 혼합물의 매니폴드 (172)로의 전달을 계측한다. 프로세스 가스들은 프로세싱 챔버 (100)로 전달되기 전에 매니폴드 (172) 내에서 혼합될 수도 있다.
- [0037] 상부 부분 (120)은 또한 중앙 섹션 (152) 둘레에 배열된 방사상 외측 섹션 (180)을 포함한다. 방사상 외측 섹션 (180)은 하나 이상의 총들 (182-1, 182-2, …, 및 182-N) (집합적으로 총들 (182))을 포함할 수도 있고, 여기서, N은 0보다 큰 정수이다. 도 2의 예에서, 방사상 외측 섹션 (180)은 배기 캐비티 및 가스 커튼 캐비티를 규정하는, N=3 총들 (182)을 포함하지만, 부가적인 또는 보다 적은 총들이 사용될 수도 있다.
- [0038] 중앙 섹션 (152) 및 방사상 외측 섹션 (180)은 제 2 캐비티 (190)를 규정하기 위해 대면플레이트 (124)에 대하여 이격된 관계로 배열된다. 대면플레이트 (124)는 절연체 (132) 상에 놓일 수도 있다. 일부 예들에서, 절연체 (132)는 Al_2O_3 또는 다른 적합한 재료로 만들어질 수도 있다.
- [0039] 프로세스 가스는 가스 전달 시스템 (160)으로부터 제 1 캐비티 (156)를 통해 제 2 캐비티 (190)로 흐른다. 제 2 캐비티 (190) 내의 프로세스 가스들은, 기판 지지부 (114) 상에 배열된 기판에 걸쳐 프로세스 가스를 균일하게 분배하기 위해 대면플레이트 (124) 내의 제 1 복수의 홀들 (130)을 통해 흐른다. 일부 예들에서, 기판 지지부 (114)는 가열된다.
- [0040] 일부 예들에서, 대면플레이트 (124)는 프로세스 가스가 기판에 노출된 후에 대면플레이트 (124)를 통해 프로세스 가스가 거꾸로 흐르기 위한 배기 경로를 제공하기 위해 제 2 복수의 홀들 (200)을 포함할 수도 있다. 제 2 복수의 홀들 (200)은 대면플레이트 (124)의 외측 주변부 둘레에 배열될 수도 있다. 일부 예들에서, 제 1 복수의 홀들 (130)은 제 1 반경을 갖는 원 내에 배열되고, 제 2 복수의 홀들 (200)은 원의 외부에 배열된다.
- [0041] 하나 이상의 환형 시일부들이 제 2 캐비티의 상이한 부분들을 분리하기 위해 제공될 수도 있다. 일부 예들에서, 환형 시일부들은 니켈 도금된 환형 시일부들이다. 예를 들어, 제 1 및 제 2 환형 시일부들 (204 및 208)은 각각 제 2 캐비티 (190)의 공급 부분 (210), 제 2 캐비티 (190)의 배기 부분 (212), 및 가스 커튼 부분 (214) 각각의 사이의 경계들을 규정하기 위해 제공될 수도 있다. 퍼지 가스는 가스 소스 (215) 및 벨브 (217)에 의해 가스 커튼 부분 (214)으로 공급될 수도 있다.
- [0042] 이 예에서, 제 1 환형 시일부 (204)는 공급 부분 (210)과 배기 부분 (212) 사이의 경계를 규정한다. 제 3 환형 시일부 (220) (제 2 환형 시일부 (208)와 함께)는 제 2 캐비티 (190)의 가스 커튼 부분 (214)을 규정하

기 위해 제공될 수도 있다. 이 예에서, 제 2 환형 시일부 (208) 는 제 2 캐비티 (190) 의 배기 부분 (212) 와 가스 커튼 부분 (214) 사이에 경계를 규정한다. 제 1, 제 2, 및 제 3 환형 시일부들 (204, 208, 및 220) 은 각각 환형 금속 시일부들을 포함할 수도 있다.

[0043] 방사상 외측 섹션 (180) 은 제 2 캐비티 (190) 의 배기 부분 (212) 으로부터의 배기 가스를 수용하는 배기 유입 부들 (240) 및 배기 캐비티들 (242) 을 추가로 규정한다. 배기 부분 (212) 을 배기하기 위해 밸브 (250) 및 펌프 (252) 가 사용될 수도 있다. 방사상 외측 섹션 (180) 은 또한 제 2 캐비티 (190) 의 가스 커튼 부분 (214) 으로 퍼지 가스를 공급하는 가스 커튼 캐비티 (260) 및 가스 커튼 유출부 (262) 를 규정한다. 가스 소스 (270) 및 밸브 (272) 는 가스 커튼 부분 (214) 으로 공급된 퍼지 가스를 제어하기 위해 사용될 수도 있다.

[0044] 제 3 환형 시일부 (220) 는 또한 플라즈마 생성기 (142) 로부터 대면플레이트 (124) 내에 임베딩된 전극 (138) 으로 전기적 접속을 제공할 수도 있지만, 전극 (138) 을 접속하기 위한 다른 방법들이 사용될 수도 있다.

[0045] 제어기 (280) 는 센서들을 사용하여 시스템 파라미터들을 모니터링하고 가스 전달 시스템 (160), 플라즈마 생성기 (142) 및 다른 프로세스의 컴포넌트들을 제어하기 위해 사용될 수도 있다.

[0046] 이제 도 3a 및 도 3b를 참조하면, 대면플레이트 (124) 의 예는 제 1 반경을 갖는 원 (300) 의 내부에 배열된 제 1 복수의 홀들 (130) 을 포함하도록 도시된다. 대면플레이트 (124) 는 원 (300) 의 외부에 배열된 제 2 복수의 홀들 (200) 을 더 포함한다. 이해될 수 있는 바와 같이, 제 1 또는 제 2 복수의 홀들 (130, 200) 각각의 적어도 일부의 홀들은 도 3b에 도시된 바와 같이 슬롯-형상이다.

[0047] 슬롯들은 제 2 사이즈 치수 (이 예에서 길이) 보다 작은 제 1 사이즈 치수 (이 예에서 폭) 를 갖는다. 일부 예들에서, 슬롯의 제 1 사이즈 치수는 2 또는 3 개의 플라즈마 시스 두께들보다 작고 슬롯의 제 2 사이즈 치수는 제 1 사이즈 치수보다 크다. 일부 예들에서, 슬롯의 제 2 사이즈 치수는, 대면플레이트에 대해 목표된 전도율에 따라 제 1 사이즈 치수보다 적어도 2 내지 10 배 크다. 도 3a에 도시된 제 1 복수의 홀들 (130) 모두가 원형이고, 도 3a에 도시된 제 2 복수의 홀들 (200) 모두가 슬롯 형상이면, 원형 홀들 및 슬롯 형상 홀들은 도 4 및 도 5에 도시된 예들에서 볼 수 있는 바와 같이 원 (300) 의 내부 및 외부 양자에 배열될 수도 있다. 이 예의 대면플레이트 (124) 가 프로세스 가스를 전달하도록 사용된 홀들 (130) 및 배기 가스를 수용하도록 사용된 홀들 (200) 을 포함하면, 배기 가스는 대면플레이트 (124) 부터로와 무관하게 프로세싱 챔버로부터 제거될 수 있다.

[0048] 도 4 및 도 5를 참조하면, 대면플레이트 내에서 홀들의 또 다른 배열들이 고려된다. 도 4에서, 제 1 복수의 홀들 (130) 은 슬롯 형상 홀들 (304) 및 원 형상 홀들 (306) 양자를 포함한다. 유사하게, 제 2 복수의 홀들 (200) 은 슬롯 형상 홀들 (312) 및 원 형상 홀들 (314) 양자를 포함한다. 일부 예들에서, 원 형상 홀들 (306, 314) 은 HCD를 방지하기 위해 2 또는 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는다.

[0049] 도 5에서, 제 1 복수의 홀들 (130) 은 슬롯 형상 홀들 (320) 및 원 형상 홀들 (322) 양자를 포함한다. 유사하게, 제 2 복수의 홀들 (200) 은 슬롯 형상 홀들 (330) 및 원 형상 홀들 (332) 양자를 포함한다. 슬롯 형상 홀들 (320, 330) 의 적어도 일부는 대면플레이트 (124) 의 방사상 라인들에 대하여 가로 놓이도록 또는 다른 각도들로 배열된다. 일부 예들에서, 원 형상 홀들 (322, 332) 은 HCD를 방지하기 위해 2 또는 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는다.

[0050] 이제 도 6을 참조하면, 대면플레이트 (124) 및 방사상 외측 섹션 (180) 의 부분의 확대도가 도시된다. 제 1, 제 2, 및 제 3 환형 시일부들 (204, 208, 및 220) 은, 방사상 외측 섹션 (180) 의 표면 (330) 내의 대응하는 홈부들 (320, 322, 및 324) 에 각각 배열될 수도 있다. 제 3 환형 시일부 (220) 는 금속 콘택트들 (340 및 342) 에 대하여 바이어스될 수도 있다. 금속 콘택트 (340) 는 플라즈마 생성기에 연결된다. 금속 콘택트 (342) 는 전극 (138) 과 접촉한다.

[0051] 이제 도 7을 참조하면, 플라즈마 프로세싱 동안 대면플레이트 내에서 HCD를 감소시키기 위한 방법 (400) 의 예가 도시된다. 404에서, 플라즈마 시스 두께들이 플라즈마 프로세스를 위해 결정된다. 일부 예들에서, 플라즈마 시스 두께들은 플라즈마 밀도, 전자 온도, 인가된 플라즈마 구동 전압, 등에 기초하여 결정될 수 있다. 408에서, 대면플레이트에 대해 목표된 플로우 전도율이 프로세스를 위해 선택된다.

[0052] 412에서, 대면플레이트 내에서의 슬롯 형상 홀들의 수, 폭 및 길이가 선택된다. 슬롯 형상 홀들은 HCD를 방지하기 위해 2 또는 3 개의 플라즈마 시스 두께들보다 작은 폭을 갖는다. 길이는 폭의 2 내지 10 배보다 크게 선택되고 목표된 플로우 전도율을 제공하도록 선택된다. 414에서, 대면플레이트 내에서의 원 형상 홀들 (선택적) 의 수가 선택된다. 일부 예들에서, 선택적인 원 형상 홀들은 2 또는 3 개의 플라즈마 시스 두께들보다 작은 직경을 갖는다. 416에서, 선택된 수의 슬롯 형상 홀들 및 원 형상 홀들에 대한 플로우 전도율이 결정되고 목표된

플로우 전도율과 비교된다. 목표된 플로우 전도율이 제공되지 않으면, 슬롯들의 길이, 슬롯들의 수, 또는 선택적인 원형상 홀들의 수가 조정되고, 방법은 416으로 돌아간다. 목표된 플로우 전도율이 제공되면, 422에서 슬롯 형상 홀들 및 선택적인 원형상 홀들을 갖는 대면플레이트가 생성되고, 프로세싱 챔버의 가스 분배 디바이스 내에 설치된다. 428에서, 플라즈마가 점화되고 프로세스 가스들은 가스 분배 디바이스의 대면플레이트를 통해 공급된다.

[0053] 단지 예를 들어, 제어기 (280)는 대면플레이트를 통해 프로세스 가스들 및 퍼지 가스의 혼합물을 공급하고 배기 가스를 배기한다. 예를 들어, 제어기 (280)는 ALD 사이클의 일 페이즈 (phase) 동안 가스 분배 디바이스의 대면플레이트를 통해 제 1 프리커서를 공급한다. 제어기 (280)는 대면플레이트의 에지들에서 가스 커튼을 생성하도록 퍼지 가스를 공급한다. 제어기 (280)는 대면플레이트를 통해, 예를 들어 펌프 및 밸브를 사용하여 배기 가스를 제거한다. 기판의 제 1 프리커서로의 노출 후에, 제어기 (280)는 제 1 프리커서를 제거하기 위해 퍼지 단계를 수행할 수도 있다.

[0054] 그 후, 제어기 (280)는 ALD 사이클의 또 다른 페이즈 동안 가스 분배 디바이스의 대면플레이트를 통해 제 2 프리커서를 공급한다. 제어기 (280)는 대면플레이트의 에지들에서 가스 커튼을 생성하도록 퍼지 가스를 공급한다. 제어기 (280)는 대면플레이트를 통해, 예를 들어 펌프 및 밸브를 사용하여 배기 가스를 제거한다. 기판의 제 2 프리커서로의 노출 후에, 제어기 (280)는 제 2 프리커서를 제거하기 위해 퍼지 단계를 수행할 수도 있다. 제어기 (280)는 기판 상에 막 충을 구축하기 위해 ALD 사이클을 1 회 이상 반복할 수도 있다.

[0055] 전술한 기술은 본질적으로 단순히 예시적이고 어떠한 방법으로도 개시, 이들의 애플리케이션 또는 용도들을 제한하도록 의도되지 않는다. 개시의 광범위한 교시가 다양한 형태들로 구현될 수 있다. 따라서, 본 개시는 특정한 예들을 포함하지만, 다른 수정 사항들이 도면들, 명세서, 및 이하의 청구항들을 연구함으로써 명백해질 것 이기 때문에, 본 개시의 진정한 범위는 이렇게 제한되지 않아야 한다. 본 명세서에서 사용된 바와 같이, "A, B, 및 C 중 적어도 하나"라는 구는 비배타적인 논리 OR를 사용하여, 논리적 (A 또는 B 또는 C) 를 의미하는 것으로 해석되어야 하고, "적어도 하나의 A, 적어도 하나의 B, 및 적어도 하나의 C"를 의미하는 것으로 해석되지 않아야 한다. 방법 내의 하나 이상의 단계들이 본 개시의 원리들을 변경하지 않고 상이한 순서로 (또는 동시에) 실행될 수도 있다는 것이 이해되어야 한다.

[0056] 본 출원에서, 이하의 정의들을 포함하여, 용어 제어기는 용어 회로로 대체될 수도 있다. 용어 제어기는 ASIC (Application Specific Integrated Circuit); 디지털, 아날로그, 또는 혼합된 아날로그/디지털 개별 회로; 디지털, 아날로그, 또는 혼합된 아날로그/디지털 집적 회로; 조합 논리 회로; FPGA (field programmable gate array); 코드를 실행하는 프로세서 회로 (공유, 전용, 또는 그룹); 프로세서 회로에 의해 실행되는 코드를 저장하는 메모리 회로 (공유, 전용, 또는 그룹); 기술된 기능을 제공하는 다른 적합한 하드웨어 컴포넌트들; 또는 시스템-온-칩과 같이 상기한 것의 일부 또는 전부의 조합의 일부를 지칭하거나 포함할 수도 있다.

[0057] 제어기는 하나 이상의 인터페이스 회로들을 포함할 수도 있다. 일부 예들에서, 인터페이스 회로들은 LAN (local area network), 인터넷, WAN (wide area network), 또는 이들의 조합들에 연결된 유선 인터페이스 또는 무선 인터페이스들을 포함할 수도 있다. 본 개시의 임의의 조정의 제어기의 기능은 인터페이스 회로들을 통해 연결된 복수의 제어기들 중에서 분배될 수도 있다. 예를 들어, 복수의 제어기들은 부하 벨런싱을 가능하게 할 수도 있다. 추가의 예에서, 서버 (또한 원격 또는 클라우드로 공지됨) 제어기는 클라이언트 제어기의 거동에 대한 일부 기능을 달성할 수도 있다.

[0058] 상기에 사용된 바와 같은, 용어 코드는 소프트웨어, 펌웨어, 및/또는 마이크로코드를 포함할 수도 있고 프로그램들, 루틴들, 함수들, 클래스들, 데이터 구조들, 및/또는 객체들을 지칭할 수도 있다. 용어 공유된 프로세서 회로는 복수의 제어기들로부터의 일부 또는 모든 코드를 실행하는 단일 프로세서 회로를 포함한다. 용어 그룹 프로세서 회로는 부가적인 프로세서 회로들과 조합하여, 하나 이상의 제어기들로부터의 일부 또는 모든 코드를 실행하는 프로세서 회로를 포함한다. 복수의 프로세서 회로들에 대한 참조들은 개별 다이들 상의 복수의 프로세서 회로들, 단일 다이 상의 복수의 프로세서 회로들, 단일 프로세서 회로의 복수의 코어들, 단일 프로세서 회로의 복수의 쓰레드들, 또는 상기한 것들의 조합을 포함한다. 용어 공유 메모리 회로는 복수의 제어기들로부터의 일부 또는 모든 코드를 저장하는 단일 메모리 회로를 포함한다. 용어 그룹 메모리 회로는 부가적인 메모리들과 조합하여, 하나 이상의 제어기들로부터의 일부 또는 모든 코드를 저장하는 메모리 회로를 포함한다.

[0059] 용어 메모리 회로는 용어 컴퓨터-판독가능 매체의 서브세트이다. 본 명세서에서 사용된 바와 같은, 용어 컴퓨터-판독가능 매체는 (반송파 상에서와 같이) 매체를 통해 전파하는 일시적인 전기 신호 및 전자기 신호를 포함하지 않고, 따라서 용어 컴퓨터-판독가능 매체는 유형의, 비일시적인 것으로 간주될 수도 있다. 비일시적인,

유형의 컴퓨터-관독가능 매체의 비제한적인 예들은 (플래시 메모리 회로 또는 마스크 관독 전용 메모리 훨와 같은) 비휘발성 메모리 회로들, (SRAM 회로 및 DRAM 회로와 같은) 휘발성 메모리 회로들, (자기 테이프 또는 하드 디스크 드라이브와 같은) 자기 저장장치 및 광학 저장장치와 같은 2차 저장장치를 포함한다.

[0060]

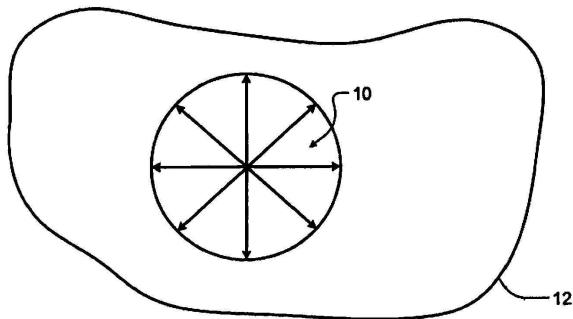
본 출원에 기술된 장치들 및 방법들은 컴퓨터 프로그램들 내에서 구현된 하나 이상의 특정한 함수들을 실행하도록 범용 컴퓨터를 구성함으로써 생성된 특수 목적 컴퓨터에 의해 부분적으로 또는 완전히 구현될 수도 있다. 컴퓨터 프로그램들은 적어도 하나의 비일시적인, 유형의 컴퓨터-관독가능 매체 상에 저장된 프로세서-실행가능 인스트럭션들을 포함한다. 컴퓨터 프로그램들은 또한 저장된 데이터를 포함하거나 저장된 데이터에 의존할 수도 있다. 컴퓨터 프로그램들은, 특수 목적 컴퓨터의 하드웨어와 상호작용하는 BIOS (basic input/output system), 특수 목적 컴퓨터의 특정한 디바이스들과 상호작용하는 디바이스 드라이버들, 하나 이상의 OS들 (operating systems), 사용자 애플리케이션들, 백그라운드 서비스들 및 애플리케이션들, 등을 포함할 수도 있다. 컴퓨터 프로그램들은: (i) 어셈블리 코드; (ii) 컴파일러에 의해 소스 코드로부터 생성된 객체 코드; (iii) 인터프리터에 의해 실행하기 위한 소스 코드; (iv) JIT (just-in-time) 컴파일러에 의한 실행 및 컴파일을 위한 컴파일러 소스 코드; (v) HTML (hypertext markup language) 또는 XML (extensible markup language)과 같은 파싱을 위한 서술형 텍스트, 등을 포함할 수도 있다. 단지 예들로서, 소스 코드는 C, C++, C#, Objective-C, Haskell, Go, SQL, Lisp, Java®, ASP, Perl, Javascript®, HTML5, Ada, ASP (active server pages), Perl, Scala, Erlang, Ruby, Flash®, Visual Basic®, Lua, 또는 Python®로 작성될 수도 있다.

[0061]

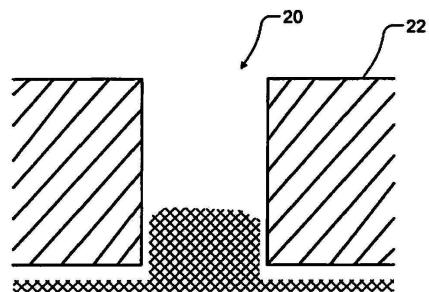
엘리먼트가 구 “~을 위한 수단”를 사용하거나, 방법 청구항의 경우에서 구들 “~을 위한 동작” 또는 “~을 위한 단계”를 사용하여 명시적으로 언급되지 않는 한, 청구항들에 언급된 어떠한 엘리먼트들도 35 U.S.C. § 112(f)의 의미 내에서 기능적 청구항 (means-plus-function) 엘리먼트로 의도되지 않는다.

도면

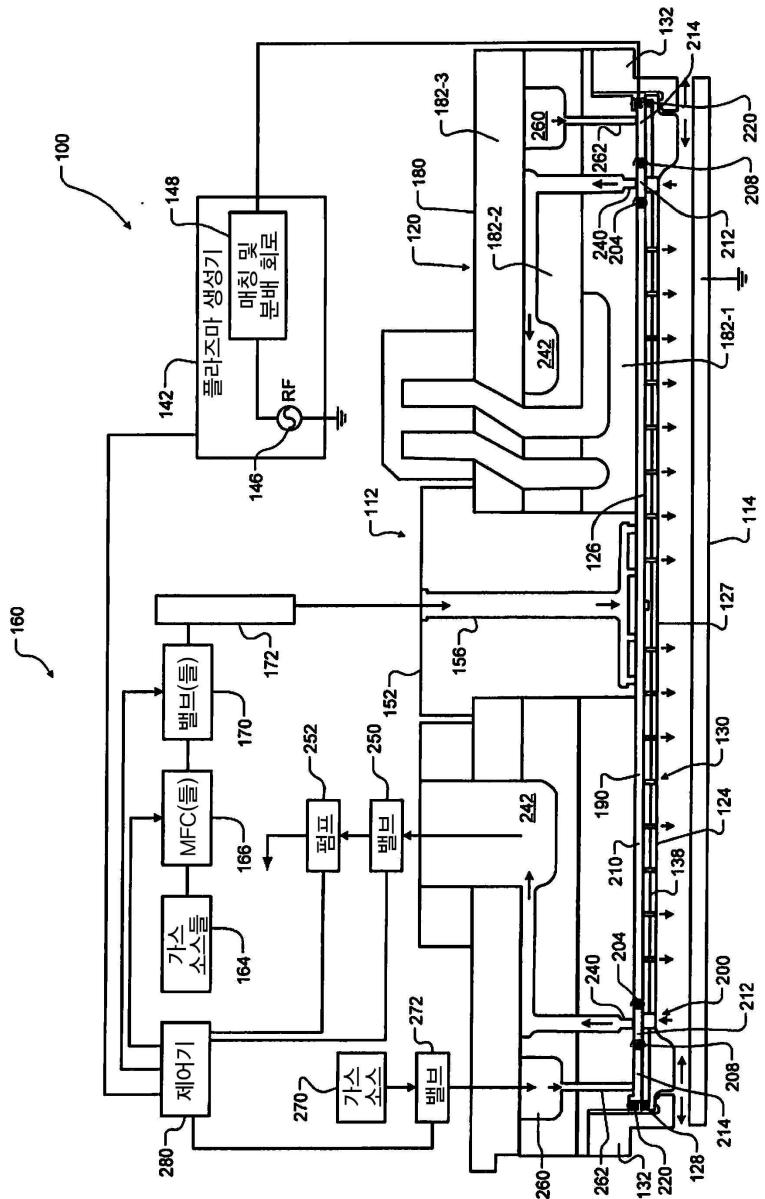
도면 1a



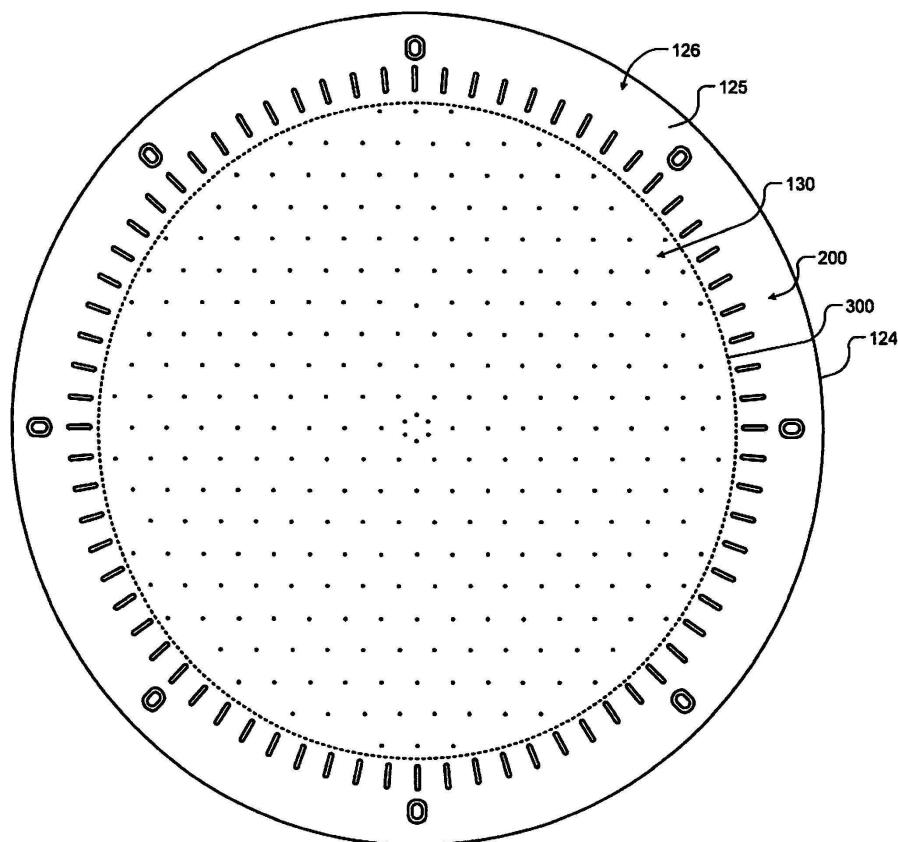
도면 1b



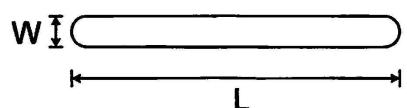
도면2



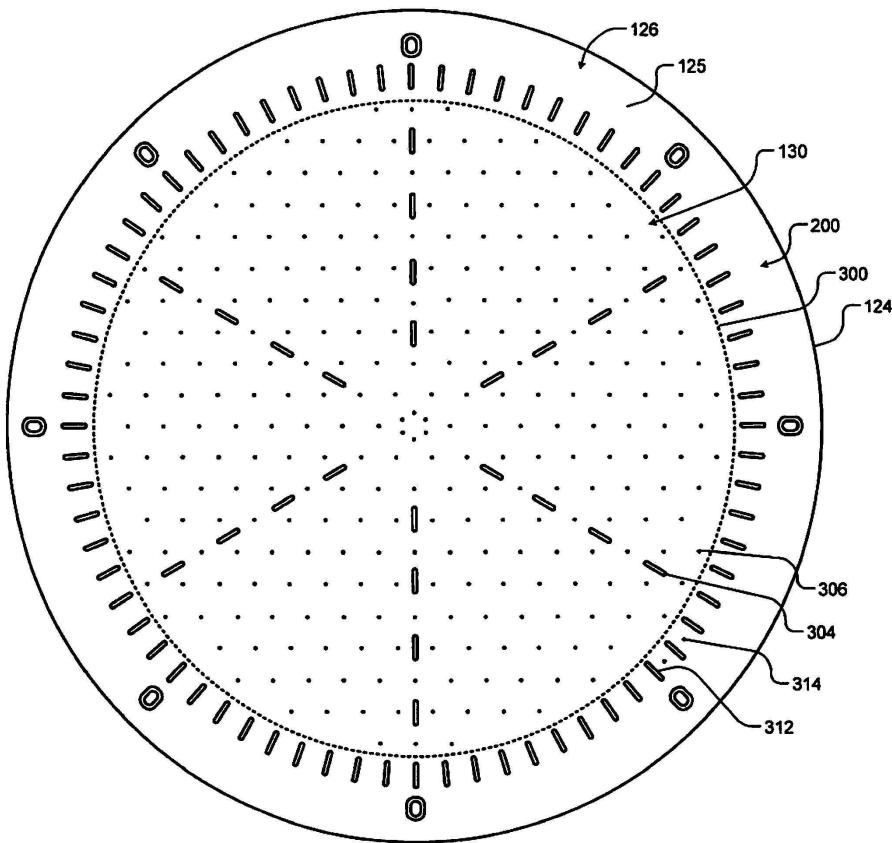
도면3a



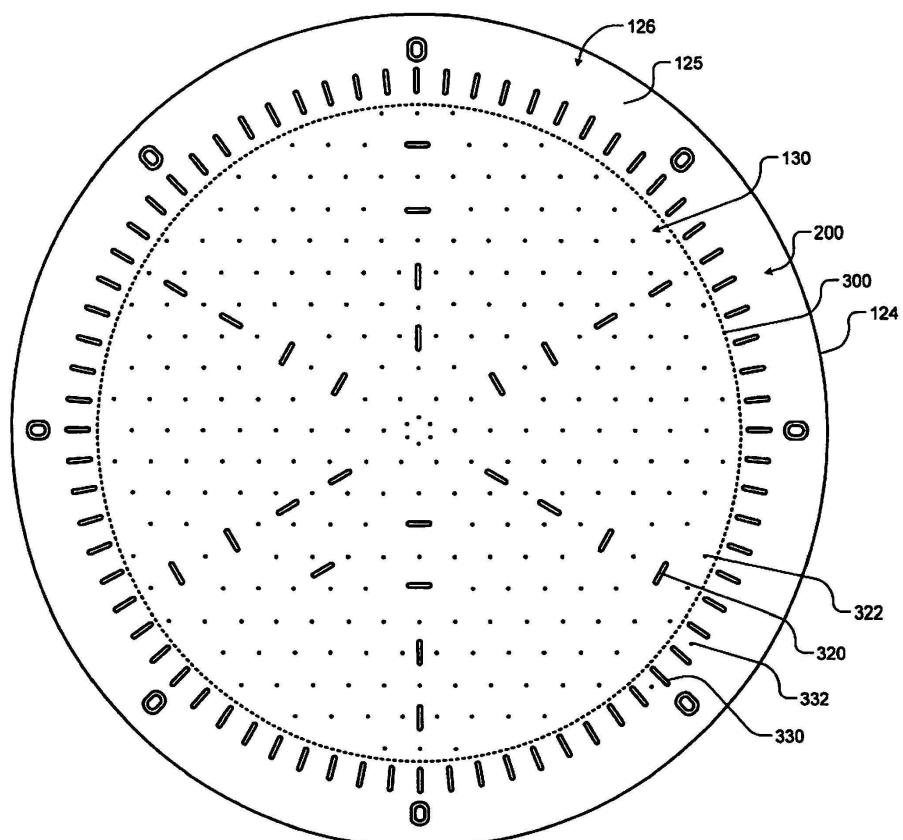
도면3b



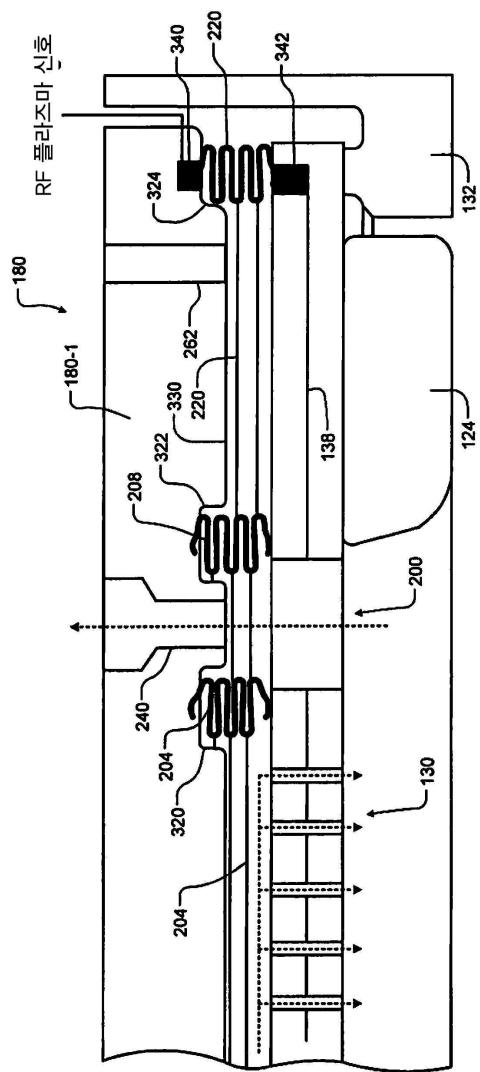
도면4



도면5



도면6



도면7

