

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5063084号
(P5063084)

(45) 発行日 平成24年10月31日(2012.10.31)

(24) 登録日 平成24年8月17日(2012.8.17)

(51) Int.Cl.	F 1
HO 1 L 51/05 (2006.01)	HO 1 L 27/10 4 4 9
HO 1 L 27/28 (2006.01)	HO 1 L 29/50 M
HO 1 L 29/417 (2006.01)	HO 1 L 29/58 G
HO 1 L 29/423 (2006.01)	HO 1 L 27/10 4 8 1
HO 1 L 29/49 (2006.01)	

請求項の数 3 (全 56 頁) 最終頁に続く

(21) 出願番号	特願2006-303068 (P2006-303068)
(22) 出願日	平成18年11月8日 (2006.11.8)
(65) 公開番号	特開2007-158317 (P2007-158317A)
(43) 公開日	平成19年6月21日 (2007.6.21)
審査請求日	平成21年9月18日 (2009.9.18)
(31) 優先権主張番号	特願2005-325448 (P2005-325448)
(32) 優先日	平成17年11月9日 (2005.11.9)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	楠本直人 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	大澤信晴 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	湯川幹央 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	道前芳隆 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に第1の導電層を形成し、
前記第1の導電層の表面に酸化処理を行い、
酸化処理が行われた前記第1の導電層上有機化合物層を形成し、
前記有機化合物層上に第2の導電層を形成して、前記第1の導電層、前記有機化合物層、及び前記第2の導電層を含む記憶素子を形成し、
前記第1の導電層及び前記第2の導電層の少なくとも一方は、インジウム、錫、鉛、ビスマス、カルシウム、マンガン、及び亜鉛から選択された一種又は複数種を含んで形成し、

前記第2の導電層を酸素雰囲気下で形成することを特徴とする半導体装置の作製方法。

【請求項 2】

第1の基板上に第1の導電層を形成し、
前記第1の導電層の表面に酸化処理を行い、
酸化処理が行われた前記第1の導電層上有機化合物層を形成し、
前記有機化合物層上に第2の導電層を形成して、前記第1の導電層、前記有機化合物層、及び前記第2の導電層を含む記憶素子を形成し、
前記第2の導電層に可撓性を有する第2の基板を接着し、
前記記憶素子を前記第1の基板より剥離し、
接着層によって前記記憶素子を第3の基板に接着し、

前記第1の導電層及び前記第2の導電層の少なくとも一方は、インジウム、錫、鉛、ビスマス、カルシウム、マンガン、及び亜鉛から選択された一種又は複数種を含んで形成し、

前記第2の導電層を酸素雰囲気下で形成することを特徴とする半導体装置の作製方法。

【請求項3】

請求項1又は請求項2において、

前記第1の導電層は前記第1の基板上に剥離層を介して形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体装置、及び半導体装置の作製方法に関する。

【背景技術】

【0002】

近年、個々の対象物にID（個体識別番号）を与えることで、その対象物の履歴等の情報を明確にし、生産・管理等に役立てるといった個体認識技術が注目されている。その中でも、非接触でデータの送受信が可能な半導体装置の開発が進められている。このような半導体装置として、特に、RFID（Radio Frequency Identification）（IDタグ、ICタグ、ICチップ、RF（Radio Frequency）タグ、無線タグ、電子タグ、無線チップともよばれる）等が企業内、市場等で導入され始めている。

20

【0003】

これらの半導体装置の多くは、シリコン（Si）等の半導体基板を用いた回路（以下、IC（Integrated Circuit）チップとも記す）とアンテナとを有し、当該ICチップは記憶回路（以下、メモリとも記す）や制御回路等から構成されている。

【0004】

また、ガラス基板上に薄膜トランジスタ（以下、「TFT」ともいう。）を集積化してなる液晶表示装置やエレクトロルミネセンス（Electro Luminescence）表示装置などの半導体装置の開発が進んでいる。これらの半導体装置は、いずれもガラス基板上に薄膜形成技術を用いて薄膜トランジスタを作り込み、その薄膜トランジスタで構成された様々な回路上に表示素子として液晶素子や発光素子（エレクトロルミネセンス（以下、「EL」ともいう。）素子）を形成して表示装置として機能させる。

30

【0005】

このような半導体装置の作製工程において、製造コストを下げるために、ガラス基板上に作製した素子、周辺回路などを、プラスチック基板等の安価な基板へ転置する工程が行われている（例えば特許文献1参照。）。

【特許文献1】特開2002-26282号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

40

しかし、転置する素子を構成する薄膜同士の密着性が低いと、ガラス基板からうまく剥離せず、素子を破壊してしまう問題がある。特に、一対の電極間に有機化合物を設けて記憶素子を形成する場合、電極と有機化合物層との界面で膜剥がれが生じやすい。図15に有機化合物層を用いた記憶素子を転置する工程を示す。

【0007】

図15（A）は、第1の導電層80a、有機化合物層81a、第2の導電層82aで構成される記憶素子であり、図15（B）は、第1の導電層80b、有機化合物層81b、第2の導電層82bで構成される記憶素子であり、図15（C）は、第1の導電層80c、有機化合物層81c、第2の導電層82cで構成される記憶素子である。図示しないが、第1の導電層80a乃至80c側に第1の基板があり、第2の導電層82a乃至82c側

50

に第2の基板を有している。第1の基板は形成された記憶素子を剥離される基板であり、第2の基板は第1の基板より記憶素子を剥離する基板である。図15(A)乃至(C)の記憶素子は剥離の際剥離される第1の基板と剥離する第2の基板からそれぞれ図15中の矢印方向の力を受ける。

【0008】

図15(A)は、有機化合物層81aと第2の導電層82aとの密着性が悪いため、有機化合物層81aと第2の導電層82aとが界面で剥がれてしまっている例である。図15(B)は有機化合物層81bと第2の導電層82bとの密着性が悪いため、有機化合物層81bと第1の導電層80bとが界面で剥がれてしまっている例である。さらに図15(C)は有機化合物層81cと第1の導電層80c及び第2の導電層82c両方との密着性が悪いため、有機化合物層81cと第1の導電層80cとが界面で剥がれてしまい、かつ有機化合物層81cと第2の導電層82cとが界面で剥がれてしまっている例である。このように、記憶素子を構成する第1の導電層と、有機化合物層と、第2の導電層とが密着性不良であると、剥離工程において界面で膜が剥がれ記憶素子を破壊してしまうことがある。従って記憶素子を剥離前の形状及び特性を保った良好な状態で転置することが困難である。

【0009】

このような問題を鑑みて、本発明は剥離前の形状及び特性を保った良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる技術を提供する。よって、より高信頼性の半導体装置を装置や工程を複雑化することなく、歩留まりよく作製できる技術を提供することも目的とする。

【課題を解決するための手段】

【0010】

本発明では、記憶素子として一対の電極間に有機化合物層を設ける記憶素子を用いる。工程条件(温度など)に耐えられる第1の基板上に記憶素子を形成した後、第2の基板に転置し、記憶素子を有する半導体装置を作製する。このような場合、記憶素子を形成する第1の導電層、有機化合物層、及び第2の導電層の密着性がよいことが重要である。記憶素子を構成する積層同士の密着性が悪いと、剥離工程で層間の界面で膜が剥がれて素子が破壊されてしまい、良好な形状で転置を行うことができない。本明細書において、良好な形状とは、膜剥がれや剥離残りなどの外観的に損傷を受けていない、剥離前の形状が保たれている状態、また剥離工程により素子の電気的特性、信頼性低下などが生じておらず剥離前の特性が保たれている状態をいう。また本明細書において、転置とは第1の基板に形成された記憶素子を、第1の基板より剥離し、第2の基板に移しかえることをいう。つまり記憶素子を設ける場所を他の基板へ移動するとも言える。

【0011】

本発明では、積層する有機化合物層と、第1の導電層及び第2の導電層との密着性に着目する。物質同士の密着性は、溶解度パラメータ(Solubility parameter: SP値)に影響を受ける。溶解度パラメータは、1分子の単位体積当たりの凝集エネルギー密度(Cohesive Energy Density: CED)を1/2乗した値である。

【0012】

物質同士のSP値が近いほど、物質同士の密着性がよい。一般に有機化合物材料のSP値は、金属材料と比較して小さい。よって、有機化合物層と導電層との密着性を向上させるためには、有機化合物層に用いる有機化合物材料に有機材料としてはSP値の大きな材料、導電層に用いる金属材料としてはSP値の小さな材料を選択し、有機化合物層に用いる材料のSP値と、導電層に用いる材料のSP値との差を小さくすることが好ましい。

【0013】

本発明では、第1の導電層及び第2の導電層の少なくとも一方に用いる金属材料として、インジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム

10

20

30

40

50

(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(InSn)、マグネシウムインジウム合金(InMg)、リン合金(InP)、ヒ素インジウム合金(InAs)、クロムインジウム合金(InCr)などが挙げられる。

【0014】

10

一方、有機材料は極性を有するほどSP値が大きくなるので、有機化合物層に用いる有機化合物材料に、スルファニル基(チオール基)、シアノ基、アミン構造、カルボニル基などの骨格を分子構造内に有する材料を用いることが好ましい。

【0015】

また、積層する素子内の層界面における界面張力も、層間の密着性に影響を与える。層間ににおける界面張力が小さいほど、層同士の密着性が良く、剥離工程で膜剥がれ等の不良を生じにくい。よって良好な形状で素子の剥離、転置工程を行うことができる。界面張力は、空気、窒素、又はヘリウム等との表面張力から推測することができ、金属の表面張力は有機材料より大きい。また、金属材料は、表面を酸化処理することによって有機材料とのぬれ性がよくなる。よって金属材料を用いる導電層と、有機化合物材料を用いる有機化合物層の界面に酸化処理等を行ってその界面張力を小さくすることができる。有機化合物層の表面張力と導電層の表面張力との差は1.5N/m以下が望ましい。

20

【0016】

界面張力を低下させる処理としては、導電層を酸素雰囲気下に曝す、酸素雰囲気下で紫外光を照射することによりオゾン(O₃)を発生させて導電層表面を酸化させるなどが挙げられる。また、酸素プラズマを接触させる、層界面で有機化合物に含まれる有機化合物材料による導電層の酸化を起こさせるなどを行ってもよい。また、酸化処理の他、窒化処理を行っても良い。よって、第1の導電層及び第2の導電層のうち少なくとも一方の有機化合物層と接する面に界面張力を低下させる処理を行うとよい。

【0017】

30

また、有機化合物層を構成する有機材料の原子と、導電層を構成する金属材料の原子とが化学結合をするような材料同士を用いると、有機化合物層と導電層との密着性が向上するので好ましい。

【0018】

なお、本明細書中において半導体装置とは、半導体特性を利用して機能しうる装置を指す。本発明を用いた記憶素子を有する集積回路や、プロセッサ回路を有するチップなどの半導体装置を作製することができる。

【0019】

本発明の半導体装置の一は、第1の導電層と第2の導電層との間に、有機化合物層を含む記憶素子を有し、第1の導電層及び第2の導電層のうち少なくとも一方は、インジウム、錫、鉛、ビスマス、カルシウム、マンガン、及び亜鉛のうち一種又は複数種を含む。

40

【0020】

本発明の半導体装置の一は、第1の導電層と第2の導電層との間に、有機化合物層を含む記憶素子を有し、第1の導電層及び前記第2の導電層のうち少なくとも一方は、有機化合物層と酸化物を含む膜を介して接する。

【0021】

本発明の半導体装置の一は、第1の導電層と第2の導電層との間に、有機化合物層を含む記憶素子を有し、第1の導電層は有機化合物層と酸化物を含む膜を介して接し、第2の導電層は、インジウム、錫、鉛、ビスマス、カルシウム、マンガン、及び亜鉛のうち一種又は複数種を含む。

50

【0022】

本発明の半導体装置の作製方法の一は、第1の導電層を形成し、第1の導電層上に有機化合物層を形成し、有機化合物層上に第2の導電層を形成して記憶素子を作製し、第1の導電層及び第2の導電層のうち少なくとも一方は、インジウム、錫、鉛、ビスマス、カルシウム、マンガン、及び亜鉛のうち一種又は複数種を含んで形成する。

【0023】

本発明の半導体装置の作製方法の一は、第1の導電層を形成し、第1の導電層表面に酸化処理を行い、酸化処理された第1の導電層上に有機化合物層を形成し、有機化合物層上に第2の導電層を形成して記憶素子を作製する。

【0024】

本発明の半導体装置の作製方法の一は、第1の導電層を形成し、第1の導電層表面に酸化処理を行い、酸化処理された第1の導電層上に有機化合物層を形成し、有機化合物層上に第2の導電層を形成して記憶素子を作製し、第2の導電層は、インジウム、錫、鉛、ビスマス、カルシウム、マンガン、及び亜鉛のうち一種又は複数種を含んで形成する。

【0025】

本発明の半導体装置の作製方法の一は、第1の基板上に第1の導電層を形成し、第1の導電層上に有機化合物層を形成し、有機化合物層上に第2の導電層を形成して記憶素子を作製し、第2の導電層に可撓性を有する第2の基板を接着し、記憶素子を第1の基板より剥離し、接着層を介して記憶素子を第3の基板に接着し、第1の導電層及び第2の導電層の少なくとも一方は、インジウム、錫、鉛、ビスマス、カルシウム、マンガン、及び亜鉛のうち一種又は複数種を含んで形成する。

【0026】

本発明の半導体装置の作製方法の一は、第1の基板上に第1の導電層を形成し、第1の導電層表面に酸化処理を行い、酸化処理された第1の導電層上に有機化合物層を形成し、有機化合物層上に第2の導電層を形成して記憶素子を作製し、第2の導電層に可撓性を有する第2の基板を接着し、記憶素子を第1の基板より剥離し、接着層を介して記憶素子を第3の基板に接着する。

【0027】

第1の基板上に第1の導電層を形成し、第1の導電層表面に酸化処理を行い、酸化処理された第1の導電層上に有機化合物層を形成し、有機化合物層上に第2の導電層を形成して記憶素子を作製し、第2の導電層に可撓性を有する第2の基板を接着し、記憶素子を第1の基板より剥離し、接着層を介して記憶素子を第3の基板に接着し、第2の導電層は、インジウム、錫、鉛、ビスマス、カルシウム、マンガン、及び亜鉛のうち一種又は複数種を含んで形成する。また、上記第1の導電層は第1の基板上に剥離層を介して形成することもできる。

【0028】

上記半導体装置において、半導体装置の書きこみ後、第1の導電層と第2の導電層とは一部接する、または、有機化合物層の膜厚が変化する場合がある。

【発明の効果】**【0029】**

本発明により、良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる。よって、より高信頼性の半導体装置を装置や工程を複雑化することなく、歩留まりよく作製することができる。

【発明を実施するための最良の形態】**【0030】**

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々なに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共

10

20

30

40

50

通して用い、その繰り返しの説明は省略する。

【0031】

(実施の形態1)

本実施の形態では、本発明を適用した記憶素子を、図1を用いて説明する。

【0032】

本発明では、積層する有機化合物層と、第1の導電層及び第2の導電層との密着性に着目する。物質同士の密着性は、溶解度パラメータ(Solubility parameter: SP値)に影響を受ける。溶解度パラメータは、1分子の単位体積当たりの凝集エネルギー密度(Cohesive Energy Density: CED)を1/2乗した値である。

10

【0033】

物質同士のSP値が近いほど、物質同士の密着性がよい。一般に有機化合物材料のSP値は、金属材料と比較して小さい。よって、有機化合物層と導電層との密着性を向上させるためには、有機化合物層に用いる有機化合物材料に有機材料としてはSP値の大きな材料、導電層に用いる金属材料としてはSP値の小さな材料を選択し、有機化合物層に用いる材料のSP値と、導電層に用いる材料のSP値との差を小さくすることが好ましい。その有機化合物層に用いる材料のSP値とその導電層に用いる材料のSP値との差は120以下が望ましい。

【0034】

本発明では、第1の導電層及び第2の導電層の少なくとも一方に用いる金属材料として、インジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(InSn)、マグネシウムインジウム合金(InMg)、リン合金(InP)、ヒ素インジウム合金(InAs)、クロムインジウム合金(InCr)などが挙げられる。

20

【0035】

一方、有機材料は極性を有するほどSP値が大きくなるので、有機化合物層に用いる有機化合物材料に、スルファニル基(チオール基)、シアノ基、アミン構造、カルボニル基などの骨格を分子構造内に有する材料を用いることが好ましい。

【0036】

図1(A)に、第1の導電層31と第2の導電層33の間に有機化合物層32が設けられた記憶素子を示す。図1(A)においては第2の導電層33に用いる金属材料として、インジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(InSn)、マグネシウムインジウム合金(InMg)、リンインジウム合金(InP)、ヒ素インジウム合金(InAs)、クロムインジウム合金(InCr)などが挙げられる。

40

【0037】

50

図1(A)で示す第1の導電層31、有機化合物層32、及び第2の導電層33は密着性が良いので、第1の基板に形成された後に、第2の基板に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。よって良好な形状で記憶素子を剥離、転置し、半導体装置を作製することができる。

【0038】

第1の導電層31としては、導電性の高い元素や化合物等を用いる。代表的には、金(Au)、銀(Ag)、白金(Plt)、ニッケル(Ni)、タンゲステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、炭素(C)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)等から選ばれた一種の元素または当該元素を複数含む合金からなる単層または積層構造を用いることができる。10

【0039】

図1(A)においては、第2の導電層33に上記溶解度パラメータの小さい金属材料を含む導電層を用いるが、第1の導電層31に上記溶解度パラメータの小さい金属材料を含む導電層を用いてもよい。第1の導電層及び第2の導電層両方に上記溶解度パラメータの小さい金属材料を含む導電層を用いてもよい。このような例を図16(A)に示す。

【0040】

図16(A)に、第1の導電層55と第2の導電層58の間に有機化合物層57が設けられた記憶素子を示す。第1の導電層55及び第2の導電層58に用いる金属材料として、インジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(InSn)マグネシウムインジウム合金(InMg)、リンインジウム合金(InP)、ヒ素インジウム合金(InAs)、クロムインジウム合金(InCr)などが挙げられる。2030

【0041】

図16(A)で示す第1の導電層55、有機化合物層57、及び第2の導電層58は密着性が良いので、第1の基板に形成された後に、第2の基板に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。よって良好な形状で記憶素子を剥離、転置し、半導体装置を作製することができる。

【0042】

また、積層する素子内の層界面における界面張力も、層間の密着性に影響を与える。層間における界面張力が小さいほど、層同士の密着性が良く、剥離、転置工程で膜剥がれ等の不良を生じにくい。よって良好な形状で素子の剥離、転置工程を行うことができる。界面張力は、空気、窒素、又はヘリウム等との表面張力から推測することができ、金属の表面張力は有機材料より大きい。また、金属材料は、表面を酸化処理することによって有機材料とのぬれ性がよくなる。よって金属材料を用いる導電層と、有機化合物材料を用いる有機化合物層の界面に酸化処理等を行うことでその界面張力を小さくすることができる。40

【0043】

界面張力を低下させる処理としては、導電層を酸素雰囲気下に曝す、酸素雰囲気下で紫外光を照射することによりオゾン(O₃)を発生させて導電層表面を酸化させるなどが挙げられる。また、酸素プラズマを接触させる、層界面で有機化合物に含まれる有機化合物材料による導電層の酸化を起こさせるなどを行ってもよい。また、導電層の形成を酸素雰囲気下で行ってもよい。酸化処理の他、窒化処理を行っても良く、例えば窒化処理を行った後、酸化処理を行っても良い。50

【0044】

図1(B)に、第1の導電層35と第2の導電層38との間に有機化合物層37が設けられた記憶素子を示す。第1の導電層35と有機化合物層37との界面には界面張力を低下させる処理が施されている。本実施の形態では、第1の導電層35と有機化合物層37との界面に酸化処理を行い処理領域36を形成している。

【0045】

図1(B)のように、第1の導電層35の有機化合物層37と接している界面(表面)に界面張力を低下させる酸化処理領域36を形成することによって、第1の導電層35、有機化合物層37の密着性を向上させることができる。よって、第1の基板に形成された後に、第2の基板に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。よって良好な形状で記憶素子を剥離、転置し、半導体装置を作製することができる。

10

【0046】

第1の導電層35、第2の導電層38としては、導電性の高い元素や化合物等を用いる。代表的には、金(Au)、銀(Ag)、白金(Pt)、ニッケル(Ni)、タンゲステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、炭素(C)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)等から選ばれた一種の元素または当該元素を複数含む合金からなる単層または積層構造を用いることができる。

【0047】

20

第1の導電層35の有機化合物層と接する界面(表面)に、酸化処理などの界面張力を低下させる処理を施し処理領域36を形成する。例えば、第1の導電層35としてチタンを用いてチタン膜を形成し、チタン膜を酸化処理することによってチタン膜表層に酸化チタン膜を形成すればよい。この場合処理領域36は酸化チタン膜となり、酸化チタン膜と有機化合物層37との界面張力は小さくなる。

【0048】

図1(B)においては、第1の導電層の有機化合物層と接する面に、第1の界面張力を低下させる処理を行って処理領域を形成する例を示すが、第2の導電層の有機化合物層と接する面に、同様な界面張力を低下させる処理を行って界面張力の小さい処理領域を形成してもよい。また、第1の導電層及び第2の導電層と、有機化合物層とのそれぞれの界面において、界面張力が低下する処理を行ってもよい。このような例を図16(B)に示す。

30

【0049】

図16(B)に、第1の導電層65と第2の導電層68との間に有機化合物層67が設けられた記憶素子を示す。第1の導電層65と有機化合物層67との界面、及び第2の導電層68と有機化合物層67との界面にはそれぞれ界面張力を低下させる処理が施されている。本実施の形態では、第1の導電層65と有機化合物層67との界面に酸化処理を行い処理領域66を形成し、第2の導電層68と有機化合物層67との界面にも酸化処理を行い処理領域69を形成している。

【0050】

40

図16(B)のように、第1の導電層65の有機化合物層67と接している界面(表面)、及び第2の導電層68と有機化合物層67と接している界面(表面)に界面張力を低下させる酸化処理領域66、処理領域69を形成することによって、第1の導電層65、有機化合物層67、及び第2の導電層68の密着性を向上させることができる。よって、第1の基板に形成された後に、第2の基板に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。よって良好な形状で記憶素子を剥離、転置し、半導体装置を作製することができる。

【0051】

図16(C)に、第1の導電層75と第2の導電層78との間に有機化合物層77が設けられた記憶素子を示す。第2の導電層68に用いる金属材料として、インジウム(In)

50

、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(In-Sn)マグネシウムインジウム合金(In-Mg)、リンインジウム合金(In-P)、ヒ素インジウム合金(In-As)、クロムインジウム合金(In-Cr)などが挙げられる。

10

【0052】

さらに第1の導電層75と有機化合物層77との界面には界面張力を低下させる処理が施されている。本実施の形態では、第1の導電層75と有機化合物層77との界面に酸化処理を行い処理領域76を形成している。

【0053】

図16(C)においては、第1の導電層75表面に酸化処理を行い、処理領域76を有機化合物層77と接するように形成し、第2の導電層78に上記溶解度パラメータの比較的小さい金属材料を用いた例を示すが、第1の導電層75に第2の導電層78で用いるような上記溶解度パラメータの比較的小さい金属材料を用い、第2の導電層78と有機化合物層77との界面にその界面張力が低下するような酸化処理等を行った領域を形成してもよい。

20

【0054】

また図1(A)(B)、図16(A)乃至(C)における記憶素子において、第1の導電層と有機化合物層との界面、第2の導電層と有機化合物層との界面において構成、材料が変わらなければ、第1の導電層(図1では第1の導電層下側)に積層して他の導電層を、第2の導電層(図1では第2の導電層上側)に積層して他の導電層を形成し、積層した導電層を有する記憶素子としてもよい。

【0055】

第1の導電層及び第2の導電層に積層する導電層としては、導電性の高い元素や化合物等を用いる。代表的には、金(Au)、銀(Ag)、白金(Pt)、ニッケル(Ni)、タンゲステン(W)、クロム(Cr)、モリブデン(Mo)、鉄(Fe)、コバルト(Co)、銅(Cu)、パラジウム(Pd)、炭素(C)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)等から選ばれた一種の元素または当該元素を複数含む合金からなる単層または積層構造を用いることができる。上記元素を複数含んだ合金としては、例えば、AlとTiを含んだ合金Al-Ti、TiとCを含んだ合金、AlとNiを含んだ合金、AlとCを含んだ合金、AlとNiとCを含んだ合金またはAlとMoを含んだ合金等を用いることができる。

30

【0056】

有機化合物層32、有機化合物層37、有機化合物層57、有機化合物層67、有機化合物層77は、光学的作用、又は電気的作用により導電性が変化する有機化合物で形成する。有機化合物層57、有機化合物層67、有機化合物層77は、単層で設けてもよいし、複数の層を積層させて設けてもよい。また、光学的作用、又は電気的作用により導電性が変化する有機化合物からなる層を積層させて設けてもよい。

40

【0057】

有機化合物層32、有機化合物層37、有機化合物層57、有機化合物層67、有機化合物層77を構成することが可能な有機化合物としては、ポリイミド、アクリル、ポリアミド、ベンゾシクロブテン、エポキシ等に代表される有機樹脂を用いることができる。

【0058】

また、有機化合物層32、有機化合物層37、有機化合物層57、有機化合物層67、有機化合物層77を構成することが可能な、光学的作用、又は電気的作用により導電性

50

が変化する有機化合物としては、正孔輸送性を有する有機化合物材料又は電子輸送性を有する有機化合物材料を用いることができる。

【0059】

正孔輸送性を有する有機化合物材料としては、4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル(略称:NPB)や4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ビフェニル(略称:TPD)や4,4',4'''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(略称:TDA)、4,4',4'''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(略称:MTDATA)や4,4'-ビス(N-(4-(N,N-ジ-m-トリルアミノ)フェニル)-N-フェニルアミノ)ビフェニル(略称:DNTPD)などの芳香族アミン系(即ち、ベンゼン環-窒素の結合を有する)の化合物やフタロシアニン(略称:H₂Pc)、銅フタロシアニン(略称:CuPc)、バナジルフタロシアニン(略称:VOFc)等のフタロシアニン化合物を用いることができる。ここに述べた物質は、主に10⁻⁶ cm²/Vs以上の正孔移動度を有する物質である。10

【0060】

電子輸送性を有する有機化合物材料としては、トリス(8-キノリノラト)アルミニウム(略称:Alq₃)、トリス(4-メチル-8-キノリノラト)アルミニウム(略称:Almq₃)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(略称:BeBq₂)、ビス(2-メチル-8-キノリノラト)-4-フェニルフェノラト-アルミニウム(略称:BA1q)等キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる材料を用いることができる。また、この他、ビス[2-(2-ヒドロキシフェニル)ベンゾオキサゾラト]亜鉛(略称:Zn(BOX)₂)、ビス[2-(2-ヒドロキシフェニル)ベンゾチアゾラト]亜鉛(略称:Zn(BTZ)₂)などのオキサゾール系、チアゾール系配位子を有する金属錯体などの材料も用いることができる。さらに、金属錯体以外にも、2-(4-ビフェニリル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(略称:PBd)、1,3-ビス[5-(p-tert-ブチルフェニル)-1,3,4-オキサジアゾール-2-イル]ベンゼン(略称:OXD-7)、3-(4-tert-ブチルフェニル)-4-フェニル-5-(4-ビフェニリル)-1,2,4-トリアゾール(略称:TAZ)、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニリル)-1,2,4-トリアゾール(略称:p-EtTAZ)、パソフェナントロリン(略称:BPhen)、パソキュプロイン(略称:BCP)等を用いることができる。ここに述べた物質は、主に10⁻⁶ cm²/Vs以上の電子移動度を有する物質である。2030

【0061】

有機化合物層32、有機化合物層37、有機化合物層57、有機化合物層67、有機化合物層77は、蒸着法、電子ビーム蒸着法、スパッタリング法、CVD法等を用いて形成することができる。また、複数の材料を用いて有機化合物層を形成する場合、各々の材料を同時に成膜することにより形成することができ、抵抗加熱蒸着同士による共蒸着法、電子ビーム蒸着同士による共蒸着法、抵抗加熱蒸着と電子ビーム蒸着による共蒸着法、抵抗加熱蒸着とスパッタリングによる成膜、電子ビーム蒸着とスパッタリングによる成膜など、同種、異種の方法を組み合わせて形成することができる。40

【0062】

なお、有機化合物層32、有機化合物層37、有機化合物層57、有機化合物層67、有機化合物層77は、光学的作用、又は電気的作用により記憶素子の導電性が変化する膜厚で形成する。上記構成を有する記憶素子は電圧印加前後で導電性が変化するので、「初期状態」と「導電性変化後」とに対応した2つの値を記憶させることができる。

【0063】

また、図19(A)乃至(C)に示すように、有機化合物層と導電層との間に絶縁層を設ける構造としてもよい。図19(A)乃至(C)における第1の導電層50、第1の導電層60、第1の導電層70、第2の導電層53、第2の導電層63、及び第2の導電層50

73は、図16(A)と第1の導電層55、第2の導電層58と同様に、用いる金属材料として、インジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(InSn)マグネシウムインジウム合金(InMg)、リンインジウム合金(InP)、ヒ素インジウム合金(InAs)、クロムインジウム合金(InCr)などが挙げられる。

【0064】

勿論、図19(A)乃至(C)の第1の導電層及び第2の導電層を、図1(A)、(B)、図16(B)、(C)と同様に形成された導電層を用いてもよく、導電層及び有機化合物層との界面に界面張力を低下させるような酸化処理等を施してもよい。

【0065】

有機化合物層52、有機化合物層62、有機化合物層72は図1の有機化合物層32、有機化合物層37と同様な材料で同様に形成すればよい。

【0066】

図19(A)は、第1の導電層50と有機化合物層52との間に絶縁層51を設けた例であり、有機化合物層52上に第2の導電層53が設けられている。図19(B)は、第1の導電層60上に設けられた有機化合物層62上に絶縁層61が形成され、絶縁層61上に第2の導電層63が設けられている。図19(C)は、第1の導電層70、第1の絶縁層71、有機化合物層72、第2の絶縁層74、第2の導電層73が積層しており、第1の導電層70と有機化合物層72との間に第1の絶縁層71が設けられ、有機化合物層72と第2の導電層73との間に第2の絶縁層74が設けられている。

【0067】

本実施の形態において、絶縁層51、絶縁層61、第1の絶縁層71、第2の絶縁層74は絶縁性を有し、非常に薄膜(絶縁層の膜厚が、4nm以下、1nm以上2nm以下)であってもよく、その材料、作製方法によっては連続した膜としての形状を示さず、不連続な島状の形状である場合がある。本明細書中の他の図面において、絶縁層を連続的な層として記載しているが、絶縁層は不連続な島状の形状である場合も含むものとする。

【0068】

導電層と有機化合物層の界面に存在する絶縁層によりキャリアのトンネル注入が可能になり、トンネル電流が流れる。よって、第1の導電層と第2の導電層との間に電圧を印加すると、有機化合物層に電流が流れ熱が発生する。そして、有機化合物層の温度が、ガラス転移温度まで上昇すると、有機化合物層を形成する材料は、流動性を有する組成物となる。流動性を有する組成物は、固体状態の形状を維持せずに、流動(移動)し、その形状が変化する。よって、有機化合物層の膜厚は不均一となり、有機化合物層が変形し、第1の導電層と第2の導電層との一部が接して第1の導電層と第2の導電層とが短絡する。また、有機化合物層の膜厚の薄い領域に電界が集中し、高電界の影響により第1の導電層と第2の導電層とが短絡する場合もある。よって、電圧印加前後での記憶素子の導電性が変化する。

【0069】

半導体装置において、半導体装置の書きこみ後、第1の導電層と第2の導電層とは一部接する、または、有機化合物層の膜厚が変化する場合がある。

【0070】

絶縁層51、絶縁層61、第1の絶縁層71、第2の絶縁層74を設けることで、記憶素子の書き込み電圧などの特性がばらつくことなく安定し、各素子において正常な書き

10

20

30

40

50

込みを行うことが可能となる。また、トンネル電流によってキャリア注入性が向上するため、有機化合物層を厚膜化できる。よって記憶素子が通電前の初期状態でショートするという不良を防止できる。

【0071】

なお、本発明の記憶素子に印加する電圧は、第2の導電層より第1の導電層により高い電圧をかけてもよいし、第1の導電層より第2の導電層により高い電圧をかけてもよい。記憶素子が整流性を有する場合も、順バイアス方向に電圧が印加されるように、第1の導電層と第2の導電層との間に電位差を設けてもよいし、逆バイアス方向に電圧が印加されるように、第1の導電層と第2の導電層との間に電位差を設けてもよい。

【0072】

本発明において、熱的及び化学的に安定で、キャリア注入されない無機絶縁物、有機化合物を用いて、絶縁層を形成する。以下に絶縁層に用いることのできる、無機絶縁物、有機化合物の具体例を述べる。

【0073】

本発明において、絶縁層に用いることのできる無機絶縁物として、酸化リチウム(Li_2O)、酸化ナトリウム(Na_2O)、酸化カリウム(K_2O)、酸化ルビジウム(Rb_2O)、酸化ベリリウム(BeO)、酸化マグネシウム(MgO)、酸化カルシウム(CaO)、酸化ストロンチウム(SrO)、酸化バリウム(BaO)、酸化スカンジウム(Sc_2O_3)、酸化ジルコニウム(ZrO_2)、酸化ハフニウム(HfO_2)、酸化ラザホージウム(RfO_2)、酸化タンタル(TaO)、酸化テクネチウム(TcO)、酸化鉄(Fe_2O_3)、酸化コバルト(CoO)、酸化パラジウム(PdO)、酸化銀(Ag_2O)、酸化アルミニウム(Al_2O_3)、酸化ガリウム(Ga_2O_3)、酸化ビスマス(Bi_2O_3)などの酸化物を用いることができる。

【0074】

本発明において、絶縁層に用いることのできる他の無機絶縁物として、フッ化リチウム(LiF)、フッ化ナトリウム(NaF)、フッ化カリウム(KF)、フッ化ルビジウム(RbF)、フッ化セシウム(CsF)、フッ化ベリリウム(BeF_2)、フッ化マグネシウム(MgF_2)、フッ化カルシウム(CaF_2)、フッ化ストロンチウム(SrF_2)、フッ化バリウム(BaF_2)、フッ化アルミニウム(AlF_3)、三フッ化窒素(NF_3)、六フッ化硫黄(SF_6)、フッ化銀(AgF)、フッ化マンガン(MnF_3)などのフッ化物を用いることができる。

【0075】

本発明において、絶縁層に用いることのできる他の無機絶縁物として、塩化リチウム(LiCl)、塩化ナトリウム(NaCl)、塩化カリウム(KCl)、塩化ベリリウム(BeCl_2)、塩化カルシウム(CaCl_2)、塩化バリウム(BaCl_2)、塩化アルミニウム(AlCl_3)、塩化珪素(SiCl_4)、塩化ゲルマニウム(GeCl_4)、塩化スズ(SnCl_4)、塩化銀(AgCl)、塩化亜鉛(ZnCl)、四塩化チタン(TiCl_4)、三塩化チタン(TiCl_3)、塩化ジルコニウム(ZrCl_4)、塩化鉄(FeCl_3)、塩化パラジウム(PdCl_2)、三塩化アンチモン(SbCl_3)、二塩化アンチモン(SbCl_2)、塩化ストロンチウム(SrCl_2)、塩化タリウム(TlCl)、塩化銅(CuCl)、塩化マンガン(MnCl_2)、塩化ルテニウム(RuCl_2)などの塩化物を用いることができる。

【0076】

本発明において、絶縁層に用いることのできる他の無機絶縁物として、臭化カリウム(KBBr)、臭化セシウム(CsBr)、臭化銀(AgBr)、臭化バリウム(BaBr_2)、臭化珪素(SiBr_4)、臭化リチウム(LiBr)などの臭化物を用いることができる。

【0077】

本発明において、絶縁層に用いることのできる他の無機絶縁物として、ヨウ化ナトリウム(NaI)、ヨウ化カリウム(KI)、ヨウ化バリウム(BaI_2)、ヨウ化タリウム(TlI)などである。

10

20

30

40

50

ム(TlI)、ヨウ化銀(AgI)、ヨウ化チタン(TiI_4)、ヨウ化カルシウム(CaI_2)、ヨウ化珪素(SiI_4)、ヨウ化セシウム(CsI)などのヨウ化物を用いることができる。

【0078】

本発明において、絶縁層に用いることのできる他の無機絶縁物として、炭酸リチウム(Li_2CO_3)、炭酸カリウム(K_2CO_3)、炭酸ナトリウム(Na_2CO_3)、炭酸マグネシウム($MgCO_3$)、炭酸カルシウム($CaCO_3$)、炭酸ストロンチウム($SrCO_3$)、炭酸バリウム($BaCO_3$)、炭酸マンガン($MnCO_3$)、炭酸鉄($FeCO_3$)、炭酸コバルト($CoCO_3$)、炭酸ニッケル($NiCO_3$)、炭酸銅($CuCO_3$)、炭酸銀(Ag_2CO_3)、炭酸亜鉛($ZnCO_3$)などの炭酸塩を用いることができる。10

【0079】

本発明において、絶縁層に用いることのできる他の無機絶縁物として、硫酸リチウム(Li_2SO_4)、硫酸カリウム(K_2SO_4)、硫酸ナトリウム(Na_2SO_4)、硫酸マグネシウム($MgSO_4$)、硫酸カルシウム($CaSO_4$)、硫酸ストロンチウム($SrSO_4$)、硫酸バリウム($BaSO_4$)、硫酸チタン($Ti_2(SO_4)_3$)、硫酸ジルコニア($Zr(SO_4)_2$)、硫酸マンガン($MnSO_4$)、硫酸鉄($FeSO_4$)、三硫酸二鉄($Fe_2(SO_4)_3$)、硫酸コバルト($CoSO_4$)、硫酸コバルト($Co_2(SO_4)_3$)、硫酸ニッケル($NiSO_4$)、硫酸銅($CuSO_4$)、硫酸銀(Ag_2SO_4)、硫酸亜鉛($ZnSO_4$)、硫酸アルミニウム($Al_2(SO_4)_3$)、硫酸インジウム($In_2(SO_4)_3$)、硫酸スズ($SnSO_4$)、硫酸スズ($Sn(SO_4)_2$)、硫酸アンチモン($Sb_2(SO_4)_3$)、硫酸ビスマス($Bi_2(SO_4)_3$)などの硫酸塩を用いることができる。20

【0080】

本発明において、絶縁層に用いることのできる他の無機絶縁物として、硝酸リチウム($LiNO_3$)、硝酸カリウム(KNO_3)、硝酸ナトリウム($NaNO_3$)、硝酸マグネシウム($Mg(NO_3)_2$)、硝酸カルシウム($Ca(NO_3)_2$)、硝酸ストロンチウム($Sr(NO_3)_2$)、硝酸バリウム($Ba(NO_3)_2$)、硝酸チタン($Ti(NO_3)_4$)、硝酸ストロンチウム($Sr(NO_3)_2$)、硝酸バリウム($Ba(NO_3)_2$)、硝酸ジルコニア($Zr(NO_3)_4$)、硝酸マンガン($Mn(NO_3)_2$)、硝酸鉄($Fe(NO_3)_2$)、硝酸鉄($Fe(NO_3)_3$)、硝酸コバルト($Co(NO_3)_2$)、硝酸ニッケル($Ni(NO_3)_2$)、硝酸銅($Cu(NO_3)_2$)、硝酸銀($AgNO_3$)、硝酸亜鉛($Zn(NO_3)_2$)、硝酸アルミニウム($Al(NO_3)_3$)、硝酸インジウム($In(NO_3)_3$)、硝酸スズ($Sn(NO_3)_2$)、硝酸ビスマス($Bi(NO_3)_3$)などの硝酸塩を用いることができる。30

【0081】

本発明において、絶縁層に用いることのできる他の無機絶縁物として、窒化アルミニウム(AlN)、窒化珪素(SiN)などの窒化物、カルボン酸リチウム($LiCOOC_{H_3}$)、酢酸カリウム($KCOOC_{H_3}$)、酢酸ナトリウム($NaCOOC_{H_3}$)、酢酸マグネシウム($Mg(COOCH_3)_2$)、酢酸カルシウム($Ca(COOCH_3)_2$)、酢酸ストロンチウム($Sr(COOCH_3)_2$)、酢酸バリウム($Ba(COOCH_3)_2$)などのカルボン酸塩を用いることができる。40

【0082】

本発明において、絶縁層に用いることのできる無機絶縁物として、上記無機絶縁物の一種、または複数種を用いることができる。

【0083】

本発明において、絶縁層に用いることのできる有機化合物として、ポリイミド、アクリル、ポリアミド、ベンゾシクロブテン、ポリエステル、ノボラック樹脂、メラミン樹脂、フェノール樹脂、エポキシ樹脂、珪素樹脂、フラン樹脂、ジアリルフタレート樹脂、シリコサン樹脂を用いることができる。50

【0084】

本発明において、絶縁層に用いることのできる他の有機化合物として、4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル(略称:N P B)や4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ビフェニル(略称:T P D)、4,4',4'''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(略称:T D A T A)、4,4',4'''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(略称:M T D A T A)や4,4'-ビス(N-(4-(N,N-ジ-m-トリルアミノ)フェニル)-N-フェニルアミノ)-ビフェニル(略称:D N T P D)などの芳香族アミン系(即ち、ベンゼン環-窒素の結合を有する)の化合物、フタロシアニン(略称:H₂P c)、銅フタロシアニン(略称:C u P c)、バナジルフタロシアニン(略称:V O P c)等のフタロシアニン化合物、2M e-T P D、F T P D、T P A C、O T P A C、D i a m i n e、P D A、トリフェニルメタン(略称:T P M)、S T Bなどを用いることができる。

【0085】

本発明において、絶縁層に用いることのできる他の有機化合物として、トリス(8-キノリノラト)アルミニウム(略称:A l q₃)、トリス(4-メチル-8-キノリノラト)アルミニウム(略称:A l m q₃)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(略称:B e B q₂)、ビス(2-メチル-8-キノリノラト)-4-フェニルフェノラト-アルミニウム(略称:B A l q)等キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる材料、ビス[2-(2-ヒドロキシフェニル)ベンゾオキサゾラト]亜鉛(略称:Z n(B O X)₂)、ビス[2-(2-ヒドロキシフェニル)ベンゾチアゾラト]亜鉛(略称:Z n(B T Z)₂)などのオキサゾール系、チアゾール系配位子を有する金属錯体などの材料、2-(4-ビフェニリル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(略称:P B D)、1,3-ビス[5-(p-tert-ブチルフェニル)-1,3,4-オキサジアゾール-2-イル]ベンゼン(略称:O X D-7)、3-(4-tert-ブチルフェニル)-4-フェニル-5-(4-ビフェニリル)-1,2,4-トリアゾール(略称:T A Z)、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニリル)-1,2,4-トリアゾール(略称:p-E t T A Z)、バソフェナントロリン(略称:B Ph e n)、バソキュプロイン(略称:B C P)、5,6,11,12-テトラフェニルテトラセン(略称:ルブレン)、ヘキサフェニルベンゼン、t-ブチルペリレン、9,10-ジ(フェニル)アントラセン、クマリン545T等、デンドリマー、4-ジシアノメチレン-2-メチル-6-[2-(1,1,7,7-テトラメチル-9-ジュロリジル)エテニル]-4H-ピラン(略称:D C J T)、4-ジシアノメチレン-2-t-ブチル-6-[2-(1,1,7,7-テトラメチルジュロリジン-9-イル)エテニル]-4H-ピラン(略称:D C J T B)、ペリフランテン、2,5-ジシアノ-1,4-ビス[2-(10-メトキシ-1,1,7,7-テトラメチルジュロリジン-9-イル)エテニル]ベンゼン、N,N'-ジメチルキナクリドン(略称:D M Q d)、クマリン6、クマリン545T、トリス(8-キノリノラト)アルミニウム(略称:A l q₃)、9,9'-ビアントリル、9,10-ジフェニルアントラセン(略称:D P A)や9,10-ビス(2-ナフチル)アントラセン(略称:D N A)、2,5,8,11-テトラ-t-ブチルペリレン(略称:T B P)、B M D、B D D、2,5-ビス(1-ナフチル)-1,3,4-オキサジアゾール(略称:B N D)、B A P D、B B O T、T P Q 1、T P Q 2、M B D Qなどを用いることができる。

【0086】

本発明において、絶縁層に用いることのできる他の有機化合物として、ポリアセチレン類、ポリフェニレンビニレン類、ポリチオフェン類、ポリアニリン類、ポリフェニレンエチニレン類などを用いることができる。ポリパラフェニレンビニレン系には、ポリ(パラフェニレンビニレン)[P P V]の誘導体、ポリ(2,5-ジアルコキシ-1,4-フェニレンビニレン)[R O - P P V]、ポリ(2-(2'-エチル-ヘキソキシ)

- 5 - メトキシ - 1 , 4 - フェニレンビニレン) [M E H - P P V] 、ポリ(2-(ジアルコキシフェニル) - 1 , 4 - フェニレンビニレン) [R O P h - P P V] 等が挙げられる。ポリパラフェニレン系には、ポリパラフェニレン [P P P] の誘導体、ポリ(2, 5 - ジアルコキシ - 1 , 4 - フェニレン) [R O - P P P] 、ポリ(2, 5 - ジヘキソキシ - 1 , 4 - フェニレン) 等が挙げられる。ポリチオフェン系には、ポリチオフェン [P T] の誘導体、ポリ(3 - アルキルチオフェン) [P A T] 、ポリ(3 - ヘキシルチオフェン) [P H T] 、ポリ(3 - シクロヘキシルチオフェン) [P C H T] 、ポリ(3 - シクロヘキシル - 4 - メチルチオフェン) [P C H M T] 、ポリ(3, 4 - ジシクロヘキシルチオフェン) [P D C H T] 、ポリ[3 - (4 - オクチルフェニル) - チオフェン] [P O P T] 、ポリ[3 - (4 - オクチルフェニル) - 2, 2 ビチオフェン] [P T O P T] 等が挙げられる。ポリフルオレン系には、ポリフルオレン [P F] の誘導体、ポリ(9, 9 - ジアルキルフルオレン) [P D A F] 、ポリ(9, 9 - ジオクチルフルオレン) [P D O F] 等が挙げられる。

【 0 0 8 7 】

本発明において、絶縁層に用いることのできる他の有機化合物として、PFBT、カルバゾール誘導体、アントラセン、coronene、perylene、PPCP、BPPC、Boryl Anthracene、DCM、QD、Eu(TTA)3phenなどを用いることができる。

【 0 0 8 8 】

本発明において、絶縁層に用いることのできる有機化合物として、上記有機化合物の一種、または複数種を用いることができる。

【 0 0 8 9 】

本発明において、絶縁層は、上記無機絶縁物、上記有機化合物の一種または複数種を用いて形成することができる。本発明において、絶縁層は絶縁性を有する。

【 0 0 9 0 】

絶縁層は、共蒸着などの蒸着法、スピンドル法など塗布法、ゾル - ゲル法を用いることができる。また、特定の目的に調合された組成物の液滴を選択的に吐出(噴出)して所定のパターンに形成することができる、液滴吐出(噴出)法(その方式によっては、インクジェット法とも呼ばれる。)、物体が所望のパターンに転写、または描写できる方法、例えば各種印刷法(スクリーン(孔版)印刷、オフセット(平版)印刷、凸版印刷やグラビア(凹版)印刷など所望なパターンで形成される方法)なども用いることができる。

【 0 0 9 1 】

本実施の形態で作製される記憶素子を有する半導体装置は記憶素子内部において密着性が良好なため、剥離、転置工程を良好な状態で行うことができる。よって、自由に様々な基板に転置することができるため、基板の材料の選択性の幅が広がる。また安価な材料を基板として選択することもでき、用途に合わせて広い機能を持たせることができるだけでなく、低コストで半導体装置を作製することができる。

【 0 0 9 2 】

本発明により、良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる。よって、より高信頼性の半導体装置を装置や工程を複雑化することなく、歩留まりよく作製することができる。

【 0 0 9 3 】

(実施の形態 2)

本実施の形態では、本発明の半導体装置が有する記憶素子の一構成例に関して図面を用いて説明する。より具体的には、半導体装置の構成がパッシブマトリクス型の場合について示す。

【 0 0 9 4 】

本発明の記憶素子とその動作機構を、図2、図6を用いて説明する。本実施の形態における記憶素子は実施の形態1と同様の材料、構成で作製することができる。よって材料等詳しい説明は省略する。

10

20

30

40

50

【0095】

図3に示したのは本発明の半導体装置が有する一構成例であり、メモリセル721がマトリクス状に設けられたメモリセルアレイ722、読み出し回路及び書き込み回路を有する回路726、デコーダ724、デコーダ723を有している。なお、ここで示す半導体装置716の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の回路を有していてもよいし、書き込み回路をビット線駆動回路に設けてもよい。

【0096】

メモリセル721は、ビット線B_x(1×m)に接続される第1の導電層と、ワード線W_y(1×y×n)に接続される第2の導電層と、有機化合物層とを有する。有機化合物層は、第1の導電層と第2の導電層の間に単層または積層して設けられている。

10

【0097】

メモリセルアレイ722の上面図を図2(A)に、図2(A)における線A-Bの断面図を図2(B)、及び図2(C)に示す。また、図2(A)には、絶縁層754は省略され図示されていないが、図2(B)で示すようにそれぞれ設けられている。

【0098】

メモリセルアレイ722は、第1の方向に延びた第1の導電層751a、第1の導電層751b、第1の導電層751c、第1の導電層751a、第1の導電層751b、第1の導電層751cを覆って設けられた有機化合物層752と、第1の方向と垂直な第2の方向に延びた第2の導電層753a、第2の導電層753b、第2の導電層753aとを有している(図2(A)参照。)。第1の導電層751a、第1の導電層751b、第1の導電層751cと第2の導電層753a、第2の導電層753b、第2の導電層753aとの間に有機化合物層752が設けられている。また、第2の導電層753a、第2の導電層753b、第2の導電層753aを覆うように、保護膜として機能する絶縁層754を設けている(図2(B)参照。)。なお、隣接する各々のメモリセル間において横方向への電界の影響が懸念される場合は、各メモリセルに設けられた有機化合物層752を分離してもよい。

20

【0099】

図2(C)は、図2(B)の変形例であり、基板790上に、第1の導電層791a、第1の導電層791b、第1の導電層791c、有機化合物層792、第2の導電層793b、保護層である絶縁層794を有している。図2(C)の第1の導電層791a、第1の導電層791b、第1の導電層791cのように、第1の導電層は、テーパーを有する形状でもよく、曲率半径が連続的に変化する形状でもよい。第1の導電層791a、第1の導電層791b、第1の導電層791cのような形状は、液滴吐出法などを用いて形成することができる。このような曲率を有する曲面であると、積層する有機化合物層や導電層のカバレッジがよい。

30

【0100】

また、第1の導電層の端部を覆うように隔壁(絶縁層)を形成してもよい。隔壁(絶縁層)は、他の記憶素子間を隔てる壁のような役目を果たす。図6(A)、(B)に第1の導電層の端部を隔壁(絶縁層)で覆う構造を示す。

40

【0101】

図6(A)に図16(B)で示したように、界面張力を低下させる処理を施した処理領域776a、処理領域776b、処理領域776cを、それぞれ第1の導電層771a、第1の導電層771b、第1の導電層771c表面に、有機化合物層772と接するようになしに形成し、有機化合物層を介して、界面張力を低下させる処理を施した処理領域777を有する第2の導電層773bを形成する例を示す。本実施の形態では、隔壁となる隔壁(絶縁層)775を、第1の導電層771a、第1の導電層771b、第1の導電層771cの端部を覆うようにテーパーを有する形状で形成される。基板770上に設けられた第1の導電層771a、第1の導電層771b、第1の導電層771c、絶縁層776上に、隔壁(絶縁層)775を形成し、有機化合物層772、第2の導電層773b、絶縁層774を形成する。

50

【0102】

図6(B)に示す半導体装置は、隔壁(絶縁層)765が曲率を有し、その曲率半径が連続的に変化する形状である。図16(C)で示したように第1の導電層表面に界面張力を低下させる処理を施した処理領域766a、処理領域766b、処理領域766cをそれぞれ第1の導電層761a、第1の導電層761b、第1の導電層761c表面に有機化合物層762と接するように形成し、有機化合物層762上に第2の導電層763bを形成する。第2の導電層763b上には保護層となる絶縁層764を形成する。絶縁層764は特に形成しなくてもよい。

【0103】

第2の導電層763bは、インジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いて形成されている。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(InSn)、マグネシウムインジウム合金(InMg)、リンインジウム合金(InP)、ヒ素インジウム合金(InAs)、クロムインジウム合金(InCr)などが挙げられる。

10

20

【0104】

勿論、図2、図6(A)、(B)に示す第1の導電層及び第2の導電層を、図1(A)、(B)、図16(A)乃至(C)と同様に形成された導電層を用いてもよい。第1の導電層及び第2の導電層のうち少なくとも一方に上記溶解度パラメータの小さい金属材料を含む導電層を用いるか、第1の導電層及び第2の導電層のうち少なくとも一方の有機化合物層との界面に界面張力を低下させるような酸化処理等を施せばよい。図16(A)のように第1の導電層及び第2の導電層に記溶解度パラメータが小さな金属材料を用いて形成する構成であってもよく、図16(B)のように有機化合物層と第1の導電層及び第2の導電層との両界面に表面張力が低い領域を形成する構成であってもよく、図16(C)のように第1の導電層、第2の導電層の片方を上記溶解度パラメータが小さな金属材料を用いて形成し、もう一方の有機化合物層との界面に表面張力が低い領域を形成する構成であってもよい。

30

【0105】

上記メモリセルの構成において、基板750、基板760、基板770、基板780としては、ガラス基板や可撓性基板の他、石英基板、シリコン基板、金属基板、ステンレス基板等を用いることができる。可撓性基板とは、折り曲げることができる(フレキシブル)基板のことであり、例えば、ポリカーボネート、ポリアリレート、ポリエーテルスルfonyl等からなるプラスチック基板等が挙げられる。また、フィルム(ポリプロピレン、ポリエチレン、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる)、纖維質な材料からなる紙、基材フィルム(ポリエチレン、ポリアミド、無機蒸着フィルム、紙類等)などを用いることもできる。また、この他にも、Si等の半導体基板上に形成された電界効果トランジスタ(FET)の上部や、ガラス等の基板上に形成された薄膜トランジスタ(FTT)の上部にメモリセルアレイ722を設けることができる。

40

【0106】

本実施の形態で作製される記憶素子を有する半導体装置は、記憶素子内部において密着性が良好なため、剥離、転置工程を良好な状態で行うことができる。よって、自由に様々な基板に転置することができるため、基板の材料の選択性の幅が広がる。また安価な材料を基板として選択することもでき、用途に合わせて広い機能を持たせることができるだけでなく、低成本で半導体装置を作製することができる。

【0107】

50

隔壁(絶縁層)765、隔壁(絶縁層)775としては、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Si-O-Si結合を含む樹脂に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、エポキシ樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フッ化アリーレンエーテル、ポリイミドなどの有機材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いてもよい。作製法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。また、液滴吐出法や、印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)を用いることもできる。塗布法で得られる塗布膜なども用いることができる。

【0108】

また、液滴吐出法により、導電層、絶縁層などを、組成物を吐出し形成した後、その平坦性を高めるために表面を圧力によってプレスして平坦化してもよい。プレスの方法としては、ローラー状のものを表面に走査することによって、凹凸を軽減する、平坦な板状な物で表面をプレスするなどしてもよい。プレスする時に、加熱工程を行っても良い。また溶剤等によって表面を軟化、または溶解させエアナイフで表面の凹凸部を除去しても良い。また、CMP法を用いて研磨しても良い。この工程は、液滴吐出法によって凹凸が生じる場合に、その表面の平坦化する場合適用することができる。

【0109】

また実施の形態1の図19で示すように、有機化合物層と第1の導電層、又は有機化合物層と第2の導電層、または第1の導電層及び第2の導電層両方と有機化合物層のそれぞれの間に絶縁層を設けてもよい。絶縁層を設けることで、記憶素子の書き込み電圧などの特性がばらつくことなく安定し、各素子において正常な書き込みを行うことが可能となる。

【0110】

また、本実施の形態の上記構成において、第1の導電層751a～751c、第1の導電層761a～761c、第1の導電層771a～771c、第1の導電層791a～791cと、有機化合物層752、有機化合物層762、有機化合物層772、有機化合物層792との間に、整流性を有する素子を設けてもよい。整流性を有する素子とは、ゲート電極とドレイン電極を接続したトランジスタ、またはダイオードである。このように、整流性があるダイオードを設けることにより、1つの方向にしか電流が流れないと、誤差が減少し、読み出しの確実性が向上する。なお、整流性を有する素子は、有機化合物層752、有機化合物層762、有機化合物層772、有機化合物層792と、第2の導電層753a～753c、第2の導電層763a～763c、第2の導電層773a～773c、第2の導電層793a～793cとの間に設けてもよい。

【0111】

上記整流性を有する素子を設ける場合でも、有機化合物層に接している第1及び第2の導電層の少なくとも一方は、図1(A)に示す溶解度パラメータの小さくなるような金属材料を用いて形成される導電層か、図1(B)に示す導電層表面に酸化処理等がなされ界面張力が小さくなるように処理された導電層であるような構造とする必要がある。

【0112】

本発明により、良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる。よって、より高信頼性の半導体装置を装

置や工程を複雑化することなく、歩留まりよく作製することができる。

【0113】

(実施の形態3)

本実施の形態では、上記実施の形態2とは異なる構成を有する半導体装置について説明する。具体的には、半導体装置の構成がアクティブマトリクス型の場合に関して示す。本実施の形態における記憶素子は実施の形態1と同様の材料、構成で作製することができる。よって材料等詳しい説明は省略する。

【0114】

図5に示したのは本実施の形態で示す半導体装置の一構成例であり、メモリセル231がマトリクス状に設けられたメモリセルアレイ232、回路226、デコーダ224、デコーダ223を有している。回路226は読み出し回路及び書き込み回路を有している。なお、ここで示す半導体装置217の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の回路を有していてもよいし、書き込み回路をビット線駆動回路に設けてもよい。

【0115】

メモリセル231は、ビット線B_x(1×m)に接続する第1の導電層と、ワード線W_y(1y n)に接続する第2の導電層と、トランジスタ210aと、記憶素子215bと、メモリセル231とを有する。記憶素子215bは、一対の導電層の間に、有機化合物層が挟まれた構造を有する。トランジスタのゲート電極はワード線と接続され、ソース電極もしくはドレイン電極のいずれか一方はビット線と接続され、残る一方は記憶素子が有する2端子の一方と接続される。記憶素子の残る1端子は共通電極(電位V_{c o m})と接続される。

【0116】

メモリセルアレイ232の上面図を図4(A)に、図4(A)における線E-Fの断面図を図4(B)に示す。また、図4(A)には、絶縁層216、有機化合物層212、第2の導電層213及び絶縁層214は省略され図示されていないが、図4(B)で示すようにそれぞれ設けられている。

【0117】

メモリセルアレイ232は、第1の方向に延びた第1の配線205a及び第1の配線205bと、第1の方向と垂直な第2の方向に延びた第2の配線202とがマトリクス状に設けられている。また、第1の配線はトランジスタ210a及びトランジスタ210bのソース電極又はドレイン電極に接続されており、第2の配線はトランジスタ210a及びトランジスタ210bのゲート電極に接続されている。さらに、第1の配線と接続されていないトランジスタ210a及びトランジスタ210bのソース電極またはドレイン電極に、それぞれ第1の導電層206a及び第1の導電層206bが接続され、それぞれ第1の導電層206a及び第1の導電層206b、有機化合物層212、第2の導電層213の積層構造によって記憶素子215a、記憶素子215bが設けられている。隣接する各々のメモリセル231の間に隔壁(絶縁層)207を設けて、第1の導電層と隔壁(絶縁層)207上に有機化合物層212および第2の導電層213を積層して設けている。第2の導電層213上に保護層となる絶縁層214を有している。また、トランジスタ210a、トランジスタ210bとして、薄膜トランジスタを用いている(図4(B)参照)。

)。

【0118】

第1の導電層206a及び第1の導電層206bの有機化合物層212と積層する領域は、界面張力を低下させる処理を行っており処理領域203a、処理領域203bが形成されている。

【0119】

界面張力を低下させる処理としては、導電層を酸素雰囲気下に曝す、酸素雰囲気下で紫外光を照射することによりオゾン(O₃)を発生させて導電層表面を酸化させるなどが挙げられる。また、酸素プラズマを接触させる、層界面で有機化合物に含まれる有機化合物

10

20

30

40

50

材料による導電層の酸化を起こさせるなどを行ってもよい。また、導電層の形成を酸素雰囲気下で行ってもよい。酸化処理の他、窒化処理を行っても良く、例えば窒化処理を行った後、酸化処理を行っても良い。

【0120】

第1の導電層206aの有機化合物層212と接している界面(表面)、及び第1の導電層206bと有機化合物層212と接している界面(表面)に界面張力を低下させる処理領域203a、処理領域203bを形成することによって、第1の導電層206a及び第1の導電層206bと、有機化合物層212との密着性を向上させることができる。

【0121】

第2の導電層213に用いる金属材料として、インジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(InSn)マグネシウムインジウム合金(InMg)、リンインジウム合金(InP)、ヒ素インジウム合金(InAs)、クロムインジウム合金(Inc)などが挙げられる。

【0122】

第2の導電層213に上記溶解度パラメータの小さな材料を用いることによって、第2の導電層213と有機化合物層212との密着性を向上させることができる。よって、第1の基板に形成された後に、第2の基板に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。素子作製工程では温度などの作製条件に耐えうるガラス基板を用いても、その後に第2の基板に転置することによって、フィルムなどの可撓性基板を基板200に用いることができる。よって良好な形状で記憶素子を剥離、転置し、半導体装置を作製することができる。

【0123】

勿論、図4に示す半導体装置において、第1の導電層及び第2の導電層を、図1(A)、(B)、図16(A)、(B)と同様に形成された導電層を用いてもよい。第1の導電層及び第2の導電層のうち少なくとも一方に上記溶解度パラメータの小さい金属材料を含む導電層を用いるか、第1の導電層及び第2の導電層のうち少なくとも一方の有機化合物層との界面に界面張力を低下させるような酸化処理等を施せばよい。図16(A)のように、第1の導電層及び第2の導電層の両方を上記溶解度パラメータが小さな金属材料を用いて形成する構成であってもよく、図16(B)のように有機化合物層と第1の導電層及び第2の導電層との両界面に表面張力が低い領域を形成する構成であってもよい。

【0124】

本実施の形態で作製される記憶素子を有する半導体装置は、記憶素子内部において密着性が良好なため、剥離、転置工程を良好な状態で行うことができる。よって、自由に様々な基板に転置することができるため、基板の材料の選択性の幅が広がる。また安価な材料を基板として選択することもでき、用途に合わせて広い機能を持たせることができるだけでなく、低コストで半導体装置を作製することができる。

【0125】

図4(B)の半導体装置は基板200上に設けられており、絶縁層201a、絶縁層201b、絶縁層208、絶縁層209、絶縁層211、トランジスタ210aを構成する半導体層204a、ゲート電極層202a、ソース電極層又はドレイン電極層を兼ねる配線205a、トランジスタ210bを構成する半導体層204b、ゲート電極層202bを有している。

【0126】

10

20

30

40

50

また実施の形態 1 の図 1 9 で示すように、有機化合物層と第 1 の導電層、又は有機化合物層と第 2 の導電層、または第 1 の導電層及び第 2 の導電層両方と有機化合物層のそれぞれの間に絶縁層を設けてもよい。絶縁層を設けることで、記憶素子の書き込み電圧などの特性がばらつくことなく安定し、各素子において正常な書き込みを行うことが可能となる。

【 0 1 2 7 】

トランジスタ 210 a、トランジスタ 210 b 上に層間絶縁層を設けてもよい。図 4 (B) の構成では、トランジスタ 210 a、トランジスタ 210 b のソース電極層又はドレイン電極層を避けた領域に記憶素子 215 a、記憶素子 215 b を設ける必要があったが、層間絶縁層を設けることによって、例えば、トランジスタ 210 a、トランジスタ 210 b の上方に記憶素子 215 a、記憶素子 215 b を形成することが可能となる。その結果、半導体装置 217 をより高集積化することが可能となる。

【 0 1 2 8 】

トランジスタ 210 a、トランジスタ 210 b はスイッチング素子として機能し得るものであれば、どのような構成で設けてもよい。半導体層も非晶質半導体、結晶性半導体、多結晶半導体、微結晶半導体など様々な半導体を用いることができ、有機化合物を用いて有機トランジスタを形成してもよい。図 4 (B) では、絶縁性を有する基板上にプレーナ型の薄膜トランジスタを設けた例を示しているが、スタガ型や逆スタガ型等の構造でトランジスタを形成することも可能である。

【 0 1 2 9 】

図 7 に、逆スタガ型の構造の薄膜トランジスタを用いた例を示す。基板 280 上に、逆スタガ型の構造の薄膜トランジスタであるトランジスタ 290 a、トランジスタ 290 b が設けられている。トランジスタ 290 a は、絶縁層 288、ゲート電極層 281、非晶質半導体層 282、一導電型を有する半導体層 283 a、一導電型を有する半導体層 283 b、ソース電極層又はドレイン電極層 285 を有し、ソース電極層又はドレイン電極層は記憶素子を構成する第 1 の導電層 286 である。第 1 の導電層 286 a、第 1 の導電層 286 b の端部を覆うように隔壁(絶縁層) 287 を積層し、第 1 の導電層 286 a、第 1 の導電層 286 b、隔壁(絶縁層) 287 上に有機化合物層 292、第 2 の導電層 293、保護層である絶縁層 294 が形成され、記憶素子 295 a、記憶素子 295 b を構成している。

【 0 1 3 0 】

第 1 の導電層 286 a 及び第 1 の導電層 286 b の有機化合物層 292 と積層する領域は、界面張力を低下させる処理を行っており処理領域 296 a、処理領域 296 b が形成されている。

【 0 1 3 1 】

界面張力を低下させる処理としては、導電層を酸素雰囲気下に曝す、酸素雰囲気下で紫外光を照射することによりオゾン (O_3) を発生させて導電層表面を酸化させるなどが挙げられる。また、酸素プラズマを接触させる、層界面で有機化合物に含まれる有機化合物材料による導電層の酸化を起こさせるなどを行ってもよい。また、導電層の形成を酸素雰囲気下で行ってもよい。酸化処理の他、窒化処理を行っても良く、例えば窒化処理を行った後、酸化処理を行っても良い。

【 0 1 3 2 】

第 1 の導電層 286 a の有機化合物層 292 と接している界面(表面)、及び第 1 の導電層 286 b と有機化合物層 292 と接している界面(表面)に界面張力を低下させる処理領域 296 a、処理領域 296 b を形成することによって、第 1 の導電層 286 a 及び第 1 の導電層 286 b と、有機化合物層 292 との密着性を向上させることができる。

【 0 1 3 3 】

第 2 の導電層 293 に用いる金属材料として、インジウム (In)、錫 (Sn)、鉛 (Pb)、ビスマス (Bi)、カルシウム (Ca)、アンチモン (Sb)、亜鉛 (Zn) の一種又は複数種を用いる。その他、マグネシウム (Mg)、マンガン (Mn)、カドミウ

10

20

30

40

50

ム(C d)、タリウム(T l)、テルル(T e)、バリウム(B a)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(I n)、錫(S n)、鉛(P b)、ビスマス(B i)、カルシウム(C a)、マンガン(M n)、亜鉛(Z n)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(I n S n)マグネシウムインジウム合金(I n M g)、リンインジウム合金(I n P)、ヒ素インジウム合金(I n A s)、クロムインジウム合金(I n C r)などが挙げられる。

【 0 1 3 4 】

第2の導電層 2 9 3 に上記溶解度パラメータの小さな材料を用いることによって、第2の導電層 2 9 3 と有機化合物層 2 9 2 との密着性を向上させることができる。よって、第1の基板に形成された後に、第2の基板に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。素子作製工程では温度などの作製条件に耐えうるガラス基板を用いても、その後に第2の基板に転置することによって、フィルムなどの可撓性基板を基板 2 8 0 に用いることができる。よって良好な形状で記憶素子を剥離、転置し、半導体装置を作製することができる。

【 0 1 3 5 】

図7に示す半導体装置において、ゲート電極層 2 8 1 、ソース電極層又はドレイン電極層 2 8 5 、第1の導電層 2 8 6 a 、第1の導電層 2 8 6 b 、隔壁(絶縁層) 2 8 7 を液滴吐出法を用いて形成してもよい。液滴吐出法とは流動体である構成物形成材料を含む組成物を、液滴として吐出(噴出)し、所望なパターン形状に形成する方法である。構成物の被形成領域に、構成物形成材料を含む液滴を吐出し、焼成、乾燥等を行って固定化し所望なパターンの構成物を形成する。

【 0 1 3 6 】

液滴吐出法を用いて導電層を形成する場合、粒子状に加工された導電性材料を含む組成物を吐出し、焼成によって融合や融着接合させ固化することで導電層を形成する。このように導電性材料を含む組成物を吐出し、焼成することによって形成された導電層(または絶縁層)においては、スパッタ法などで形成した導電層(または絶縁層)が、多くは柱状構造を示すのに対し、多くの粒界を有する多結晶状態を示すことが多い。

【 0 1 3 7 】

また、トランジスタに含まれる半導体層の構造もどのようなもの用いてもよく、例えば不純物領域(ソース領域、ドレイン領域、LDD領域を含む)を形成してもよいし、pチャネル型またはnチャネル型のどちらで形成してもよい。また、ゲート電極の側面と接するように絶縁層(サイドウォール)を形成してもよいし、ソース領域及びドレイン領域とゲート電極の一方または両方にシリサイド層を形成してもよい。シリサイド層の材料としては、ニッケル、タンクステン、モリブデン、コバルト、白金等を用いることができる。

【 0 1 3 8 】

本実施の形態で示した第1の導電層 2 0 6 a 、 2 0 6 b 、 2 8 6 a 、 2 8 6 b と第2の導電層 2 1 3 、 2 6 3 、 2 9 3 の材料および形成方法は、上記実施の形態1で示した材料および形成方法のいずれかを用いて同様に行うことができる。

【 0 1 3 9 】

また、有機化合物層 2 1 2 、 2 9 2 は、上記実施の形態1で示した有機化合物層と同様の材料および形成方法を用いて設けることができる。

【 0 1 4 0 】

また、第1の導電層 2 0 6 a 、 2 0 6 b 、 2 8 6 a 、 2 8 6 b と有機化合物層 2 1 2 、 2 9 2 との間に、整流性を有する素子を設けてもよい。整流性を有する素子とは、ゲート電極とドレイン電極を接続したトランジスタ、又はダイオードである。例えば、N型半導体層およびP型半導体層を積層させて設けられたPN接合ダイオードを用いることができる。このように、整流性があるダイオードを設けることにより、1つの方向にしか電流が

10

20

30

40

50

流れないために、誤差が減少し、読み出しの確実性が向上する。なお、ダイオードを設ける場合、P N接合を有するダイオードではなく、P I N接合を有するダイオードやアバランシェダイオード等の、他の構成のダイオードを用いてもよい。なお、有機化合物層212、292と第2の導電層213、293との間に設けてもよい。

【0141】

上記整流性を有する素子を設ける場合でも、有機化合物層に接している第1及び第2の導電層の少なくとも一方は、図1(A)に示す溶解度パラメータの小さくなるような金属材料を用いて形成される導電層か、図1(B)に示す導電層表面に酸化処理等がなされ界面張力が小さくなるように処理された導電層であるような構造とする必要がある。

【0142】

本発明により、良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる。よって、より高信頼性の半導体装置を装置や工程を複雑化することなく、歩留まりよく作製することができる。

【0143】

(実施の形態4)

本実施の形態では、半導体装置の作製方法について図8及び図9を用いて説明する。本実施の形態における記憶素子は実施の形態1と同様の材料、構成で作製することができる。よって材料等詳しい説明は省略する。

【0144】

図8に示すように、基板250上に剥離層268、絶縁層251を形成する。絶縁層251上にトランジスタ260a及びトランジスタ260bを形成する。図8におけるトランジスタ260a及びトランジスタ260bはトップゲート型のプレーナ構造の薄膜トランジスタであり、ゲート電極層端部にサイドウォールを有する構造であるが、本発明はこの構造に限定されない。トランジスタ260a及びトランジスタ260b上に絶縁層269、絶縁層261が積層している。絶縁層269及び絶縁層261には、トランジスタ260a及びトランジスタ260bの半導体層中のソース領域又はドレイン領域となる不純物領域に達する開口が設けられ、それぞれの開口には配線層255a、配線層255b、配線層255c、配線層255dが形成されている。

【0145】

配線層255a、配線層255b、配線層255c、配線層255d上には絶縁層270が形成されており、絶縁層270には、配線層255a及び配線層255cに達する開口が設けられている。当該開口に第1の導電層256a、第1の導電層256bが形成され、配線層255a、配線層255bをそれぞれ介してトランジスタ260a、トランジスタ260bと電気的に接続している。

【0146】

第1の導電層256a及び第1の導電層256b上に開口を有し、第1の導電層256a及び第1の導電層256bの端部を覆う隔壁(絶縁層)267が形成されている。第1の導電層256a上には有機化合物層262aが、第1の導電層256b上には有機化合物層262bがそれぞれ積層され、有機化合物層262a、有機化合物層262b及び隔壁(絶縁層)267上に第2の導電層263が形成されている(図8(A)参照。)。このように第1の導電層256a、有機化合物層262a及び第2の導電層263を有する記憶素子265a、第1の導電層256b、有機化合物層262b、及び第2の導電層263を有する記憶素子265bが基板250上に設けられる。

【0147】

基板250は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス等からなるガラス基板、石英基板、金属基板やステンレス基板の一表面に絶縁層を形成したもの、又は本実施の形態作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板を用いる。また、基板250の表面が平坦化されるようにCMP法などによって、研磨しても良い。

【0148】

剥離層268は、スパッタリング法やプラズマCVD法、塗布法、印刷法等により、タ

10

20

30

40

50

ングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、珪素(Si)から選択された元素、又は元素を主成分とする合金材料、又は前記元素を主成分とする化合物材料からなる層を、単層又は積層して形成する。珪素を含む層の結晶構造は、非晶質、微結晶、多結晶のいずれの場合でもよい。なお、ここでは、塗布法は、スピンドルコーティング法、液滴吐出法、ディスペ nsンス法を含む。

【0149】

剥離層268が単層構造の場合、好ましくは、タングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。又は、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタングステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成する。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。

10

【0150】

剥離層268が積層構造の場合、好ましくは、1層目としてタングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成し、2層目として、タングステン、モリブデン又はタングステンとモリブデンの混合物の酸化物、窒化物、酸化窒化物又は窒化酸化物を形成する。

【0151】

剥離層268として、タングステンを含む層とタングステンの酸化物を含む層の積層構造を形成する場合、タングステンを含む層を形成し、その上層に酸化物で形成される絶縁層を形成することで、タングステン層と絶縁層との界面に、タングステンの酸化物を含む層が形成されることを活用してもよい。さらには、タングステンを含む層の表面を、熱酸化処理、酸素プラズマ処理、オゾン水等の酸化力の強い溶液での処理等を行ってタングステンの酸化物を含む層を形成してもよい。またプラズマ処理や加熱処理は、酸素、窒素、一酸化二窒素、一酸化二窒素単体、あるいは前記ガスとその他のガスとの混合気体雰囲気下で行ってもよい。これは、タングステンの窒化物、酸化窒化物及び窒化酸化物を含む層を形成する場合も同様であり、タングステンを含む層を形成後、その上層に窒化珪素層、酸化窒化珪素層、窒化酸化珪素層を形成するとよい。

20

【0152】

タングステンの酸化物は、 $W_O X$ で表される。 X は2~3の範囲内にあり、 X が2の場合(W_{O_2})、 X が2.5の場合(W_{2O_5})、 X が2.75の場合($W_{4O_{11}}$)、 X が3の場合(W_{O_3})などがある。

【0153】

また、上記の工程によると、基板250に接するように剥離層268を形成しているが、本発明はこの工程に制約されない。基板250に接するように下地となる絶縁層を形成し、その絶縁層に接するように剥離層268を設けてもよい。

【0154】

絶縁層251は、スパッタリング法やプラズマCVD法、塗布法、印刷法等により、無機化合物を用いて単層又は積層で形成する。無機化合物の代表例としては、珪素酸化物又は珪素窒化物が挙げられる。珪素酸化物の代表例としては、酸化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。珪素窒化物の代表例としては、窒化珪素、酸化窒化珪素、窒化酸化珪素等が該当する。

30

【0155】

さらには、絶縁層251を積層構造としても良い。例えば、無機化合物を用いて積層してもよく、代表的には、酸化珪素、窒化酸化珪素、及び酸化窒化珪素を積層して形成しても良い。

【0156】

トランジスタ260a及びトランジスタ260bが有する半導体層を形成する材料は、

40

50

シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるアモルファス半導体（以下「AS」ともいう。）、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、或いはセミアモルファス（微結晶若しくはマイクロクリスタルとも呼ばれる。以下「SAS」ともいう。）半導体などを用いることができる。半導体層は公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜することができる。

【0157】

SASは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。SASは、珪素を含む気体をグロー放電分解（プラズマCVD）して形成する。珪素を含む気体としては、SiH₄、その他にもSi₂H₆、SiH₂Cl₂、SiHCl₃、SiCl₄、SiF₄などを用いることが可能である。また上記珪素を含む気体にF₂、GeF₄を混合させても良い。この珪素を含む気体をH₂、又は、H₂とHe、Ar、Kr、Neから選ばれた一種または複数種の希ガス元素で希釈しても良い。また半導体層としてフッ素系ガスより形成されるSAS層に水素系ガスより形成されるSAS層を積層してもよい。

【0158】

アモルファス半導体としては、代表的には水素化アモルファシリコン、結晶性半導体としては代表的にはポリシリコンなどがあげられる。ポリシリコン（多結晶シリコン）には、800以上 のプロセス温度を経て形成されるポリシリコンを主材料として用いた所謂高温ポリシリコンや、600以下のプロセス温度で形成されるポリシリコンを主材料として用いた所謂低温ポリシリコン、また結晶化を促進する元素などを添加し結晶化させたポリシリコンなどを含んでいる。もちろん、前述したように、セミアモルファス半導体又は半導体層の一部に結晶相を含む半導体を用いることもできる。

【0159】

また、半導体の材料としてはシリコン（Si）、ゲルマニウム（Ge）などの単体のほかGaAs、InP、SiC、ZnSe、GaN、SiGeなどのような化合物半導体も用いることができる。また酸化物半導体である酸化亜鉛（ZnO）、酸化スズ（SnO₂）なども用いることができ、ZnOを半導体層に用いる場合、ゲート絶縁層をY₂O₃、Al₂O₃、TiO₂、それらの積層などを用いるとよく、ゲート電極層、ソース電極層、ドレイン電極層としては、ITO、Au、Tiなどを用いるとよい。また、ZnOにInやGaなどを添加することもできる。

【0160】

半導体層に、結晶性半導体層を用いる場合、その結晶性半導体層の作製方法は、公知の方法（レーザ結晶化法、熱結晶化法、またはニッケルなどの結晶化を助長する元素を用いた熱結晶化法等）を用いれば良い。また、SASである微結晶半導体をレーザ照射して結晶化し、結晶性を高めることもできる。結晶化を助長する元素を導入しない場合は、非晶質珪素膜にレーザ光を照射する前に、窒素雰囲気下500で1時間加熱することによって非晶質珪素膜の含有水素濃度を 1×10^{-2} atoms/cm³以下にまで放出させる。これは水素を多く含んだ非晶質珪素膜にレーザ光を照射すると膜が破壊されてしまうからである。

【0161】

非晶質半導体層への金属元素の導入の仕方としては、当該金属元素を非晶質半導体層の表面又はその内部に存在させ得る手法であれば特に限定はなく、例えばスパッタ法、CVD法、プラズマ処理法（プラズマCVD法も含む）、吸着法、金属塩の溶液を塗布する方法を使用することができる。このうち溶液を用いる方法は簡便であり、金属元素の濃度調整が容易であるという点で有用である。また、このとき非晶質半導体層の表面の濡れ性を改善し、非晶質半導体層の表面全体に水溶液を行き渡らせるため、酸素雰囲気中のUV光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水又は過酸化水素による処理等により、酸化膜を成膜することが望ましい。

10

20

30

40

50

【0162】

また、非晶質半導体層を結晶化し、結晶性半導体層を形成する結晶化工程で、非晶質半導体層に結晶化を促進する元素（触媒元素、金属元素とも示す）を添加し、熱処理（550～750で3分～24時間）により結晶化を行ってもよい。結晶化を助長する元素としては、この珪素の結晶化を助長する金属元素としては鉄（Fe）、ニッケル（Ni）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、銅（Cu）及び金（Au）から選ばれた一種又は複数種類を用いることができる。

【0163】

結晶化を促進する元素を結晶性半導体層から除去、又は軽減するため、結晶性半導体層に接して、不純物元素を含む半導体層を形成し、ゲッタリングシンクとして機能させる。不純物元素としては、n型を付与する不純物元素、p型を付与する不純物元素や希ガス元素などを用いることができ、例えばリン（P）、窒素（N）、ヒ素（As）、アンチモン（Sb）、ビスマス（Bi）、ボロン（B）、ヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、Kr（クリプトン）、Xe（キセノン）から選ばれた一種または複数種を用いることができる。結晶化を促進する元素を含む結晶性半導体層に、希ガス元素を含む半導体層を形成し、熱処理（550～750で3分～24時間）を行う。結晶性半導体層中に含まれる結晶化を促進する元素は、希ガス元素を含む半導体層中に移動し、結晶性半導体層中の結晶化を促進する元素は除去、又は軽減される。その後、ゲッタリングシンクとなった希ガス元素を含む半導体層を除去する。

10

20

【0164】

非晶質半導体層の結晶化は、熱処理とレーザ光照射による結晶化を組み合わせてもよく、熱処理やレーザ光照射を単独で、複数回行っても良い。

【0165】

また、結晶性半導体層を、直接基板にプラズマ法により形成しても良い。また、プラズマ法を用いて、結晶性半導体層を選択的に基板に形成してもよい。

【0166】

半導体として、有機半導体材料を用い、印刷法、スプレー法、スピンドル塗布法、液滴吐出法などで形成することができる。この場合、上記エッチング工程が必要ないため、工程数を削減することができる。有機半導体としては、低分子材料、高分子材料などが用いられ、有機色素、導電性高分子材料などの材料も用いることができる。有機半導体材料としては、その骨格が共役二重結合から構成される電子共役系の高分子材料が望ましい。代表的には、ポリチオフェン、ポリフルオレン、ポリ（3-アルキルチオフェン）、ポリチオフェン誘導体、ペニタセン等の可溶性の高分子材料を用いることができる。

30

【0167】

その他にも本発明に用いることができる有機半導体材料としては、可溶性の前駆体を成膜した後で処理することにより半導体層を形成することができる材料がある。なお、このような有機半導体材料としては、ポリチエニレンビニレン、ポリ（2,5-チエニレンビニレン）、ポリアセチレン、ポリアセチレン誘導体、ポリアリレンビニレンなどがある。

【0168】

前駆体を有機半導体に変換する際には、加熱処理だけではなく塩化水素ガスなどの反応触媒を添加することがなされる。また、これらの可溶性有機半導体材料を溶解させる代表的な溶媒としては、トルエン、キシレン、クロロベンゼン、ジクロロベンゼン、アニソール、クロロフォルム、ジクロロメタン、ブチルラクトン、ブチルセルソルブ、シクロヘキサン、NMP（N-メチル-2-ピロリドン）、シクロヘキサン、2-ブタノン、ジオキサン、ジメチルホルムアミド（DMF）または、THF（テトラヒドロフラン）などを適用することができる。

40

【0169】

ゲート電極層は、CVD法やスパッタ法、液滴吐出法などを用いて形成することができる。ゲート電極層は、Ag、Au、Cu、Ni、Pt、Pd、Ir、Rh、W、Al、T

50

a、M o、C d、Z n、F e、T i、S i、G e、Z r、B aから選ばれた元素、又は前記元素を主成分とする合金材料もしくは化合物材料で形成すればよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、A g P d C u合金を用いてもよい。また、単層構造でも複数層の構造でもよく、例えば、窒化タンゲステン膜とモリブデン膜との2層構造としてもよいし、膜厚50nmのタンゲステン膜、膜厚500nmのアルミニウムとシリコンの合金(A l - S i)膜、膜厚30nmの窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタンゲステンに代えて窒化タンゲステンを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金(A l - S i)膜に代えてアルミニウムとチタンの合金膜(A l - T i)を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。

10

【0170】

ゲート電極層に可視光に対して透光性を有する透光性の材料を用いることもできる。透光性の導電材料としては、インジウム錫酸化物(I T O)、酸化珪素を含むインジウム錫酸化物(I T S O)、有機インジウム、有機スズ、酸化亜鉛等を用いることができる。また、酸化亜鉛(Z n O)を含むインジウム亜鉛酸化物(I Z O(i n d i u m z i n c o x i d e))、酸化亜鉛(Z n O)、Z n Oにガリウム(G a)をドープしたもの、酸化スズ(S n O₂)、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物なども用いてもよい。

【0171】

20

ゲート電極層を形成するのにエッチングにより加工が必要な場合、マスクを形成し、ドライエッティングまたはドライエッティングにより加工すればよい。I C P(I n d u c t i v e l y C o u p l e d P l a s m a:誘導結合型プラズマ)エッティング法を用い、エッティング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することにより、電極層をテーパー形状にエッティングすることができる。なお、エッティング用ガスとしては、C l₂、B C l₃、S i C l₄もしくはC C l₄などを代表とする塩素系ガス、C F₄、S F₆もしくはN F₃などを代表とするフッ素系ガス又はO₂を適宜用いることができる。

【0172】

本実施の形態では、シングルゲート構造を説明したが、ダブルゲート構造などのマルチゲート構造でもよい。この場合、半導体層の上方、下方にゲート電極層を設ける構造でも良く、半導体層の片側(上方又は下方)にのみ複数ゲート電極層を設ける構造でもよい。半導体層は濃度の異なる不純物領域を有していてもよい。例えば、半導体層のチャネル領域近傍、ゲート電極層と積層する領域は、低濃度不純物領域とし、その外側の領域を高濃度不純物領域としてもよい。

30

【0173】

配線層255a、配線層255b、配線層255c、配線層255dは、P V D法、C V D法、蒸着法等により導電膜を成膜した後、所望の形状にエッティングして形成することができる。また、印刷法、電界メッキ法等により、所定の場所に選択的にソース電極層又はドレイン電極層を形成することができる。更にはリフロー法、ダマシン法を用いても良い。ソース電極層又はドレイン電極層の材料は、A g、A u、C u、N i、P t、P d、I r、R h、W、A l、T a、M o、C d、Z n、F e、T i、Z r、B a等の金属、S i、G e等の半導体又はその合金、若しくはその窒化物を用いて形成すればよい。また透光性の材料も用いることができる。

40

【0174】

また、透光性の導電性材料であれば、インジウム錫酸化物(I T O)、酸化珪素を含むインジウム錫酸化物(I T S O)、酸化亜鉛(Z n O)を含むインジウム亜鉛酸化物(I Z O(i n d i u m z i n c o x i d e))、酸化亜鉛(Z n O)、Z n Oにガリウム(G a)をドープしたもの、酸化スズ(S n O₂)、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム

50

酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。

【0175】

絶縁層261、絶縁層270、隔壁(絶縁層)267は、酸化珪素、窒化珪素、酸化窒化珪素、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウムその他の無機絶縁性材料、又はアクリル酸、メタクリル酸及びこれらの誘導体、又はポリイミド(polyimide)、芳香族ポリアミド、ポリベンゾイミダゾール(polybenzimidazole)などの耐熱性高分子、また、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、エポキシ樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、シロキサン樹脂等の樹脂材料を用いてもよい。アクリル、ポリイミド等は感光性、非感光性どちらの材料を用いて形成してもよい。特に隔壁(絶縁層)267は曲率半径が連続的に変化する形状が好ましく、上に形成される有機化合物層262a、有機化合物層262b、第2の導電層263の被覆性が向上する。絶縁層は、CVD法、プラズマCVD法、スパッタリング法、スピンドル法、液滴吐出法や、印刷法(スクリーン印刷、オフセット印刷、凸版印刷やグラビア(凹版)印刷法など)、スピンドル法などの塗布法、ディッピング法などを用いて形成することができる。
10

【0176】

本実施の形態では、第1の導電層256a、第1の導電層256b、及び第2の導電層263に用いる金属材料として、インジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(InSn)マグネシウムインジウム合金(InMg)、リンインジウム合金(InP)、ヒ素インジウム合金(InAs)、クロムインジウム合金(InCr)などが挙げられる。
20

【0177】

勿論、図8、図9に示す第1の導電層及び第2の導電層を、図1(A)、(B)、図16(A)乃至(C)と同様に形成された導電層を用いてもよい。第1の導電層及び第2の導電層のうち少なくとも一方に上記溶解度パラメータの小さい金属材料を含む導電層を用いるか、第1の導電層及び第2の導電層のうち少なくとも一方の有機化合物層との界面に界面張力を低下させるような酸化処理等を施せばよい。図16(A)のように第1の導電層及び第2の導電層に記溶解度パラメータが小さな金属材料を用いて形成する構成であってもよく、図16(B)のように有機化合物層と第1の導電層及び第2の導電層との両界面に表面張力が低い領域を形成する構成であってもよく、図16(C)のように第1の導電層、第2の導電層の片方を上記溶解度パラメータが小さな金属材料を用いて形成し、もう一方の有機化合物層との界面に表面張力が低い領域を形成する構成であってもよい。
30
40

【0178】

また本実施の形態(図8、図9に示す半導体装置)においても、実施の形態1の図19で示すように、有機化合物層と第1の導電層、又は有機化合物層と第2の導電層、または第1の導電層及び第2の導電層両方と有機化合物層のそれぞれの間に絶縁層を設けてよい。絶縁層を設けることで、記憶素子の書き込み電圧などの特性がばらつくことなく安定し、各素子において正常な書き込みを行うことが可能となる。

【0179】

有機化合物層262a、有機化合物層262bは図1の有機化合物層57、有機化合物層67、及び有機化合物層77と同様な材料で同様に形成すればよい。

【0180】

次に、図8(B)に示すように、第2の導電層263上に絶縁層264を形成する。次に、絶縁層264表面に基板266を貼りあわせる。

【0181】

絶縁層264は、塗布法を用いて組成物を塗布し、乾燥加熱して形成することが好ましい。このような絶縁層264としては、後の剥離工程での保護層として設けるため、表面の凹凸の少ない絶縁層であることが好ましい。このような絶縁層は、塗布法により形成することができる。また、CVD法やスパッタリング法等の薄膜形成方法により形成した後、CMP法により表面を研磨して絶縁層264を形成してもよい。塗布法を用いて形成された絶縁層264は、アクリル樹脂、ポリイミド樹脂、メラミン樹脂、ポリエステル樹脂、ポリカーボネート樹脂、フェノール樹脂、エポキシ樹脂、ポリアセタール、ポリエーテル、ポリウレタン、ポリアミド(ナイロン)、フラン樹脂、ジアリルフタレート樹脂等の有機化合物、シリカガラスに代表されるシロキサンポリマー系材料を出発材料として形成された珪素、酸素、水素からなる化合物のうちSi-O-Si結合を含む無機シロキサンポリマー、又はアルキルシロキサンポリマー、アルキルシリセスキオキサンポリマー、水素化シリセスキオキサンポリマー、水素化アルキルシリセスキオキサンポリマーに代表される珪素に結合される水素がメチルやフェニルのような有機基によって置換された有機シロキサンポリマーで形成される。また、上記の薄膜形成方法により絶縁膜を成膜した後、CMP法により表面を研磨して形成される絶縁層は、酸化珪素、酸化窒化珪素、窒化酸化珪素、窒化珪素等で形成される。また、絶縁層264は形成せず、直接基板266を第2の導電層263に貼り付けて設けてもよい。

10

20

【0182】

基板266としては、可撓性を有する基板を用いることが好ましく、薄くて軽いものが好ましい。代表的には、PET(ポリエチレンテレフタレート)、PEN(ポリエチレンナフタレート)、PES(ポリエーテルスルホン)、ポリプロピレン、ポリプロピレンサルファイド、ポリカーボネート、ポリエーテルイミド、ポリフェニレンサルファイド、ポリフェニレンオキサイド、ポリサルファン、ポリフタールアミド等からなる基板を用いることができる。また、纖維質な材料からなる紙、基材フィルム(ポリエステル、ポリアミド、無機蒸着フィルム、紙等)と接着性有機樹脂フィルム(アクリル系有機樹脂、エポキシ系有機樹脂等)との積層フィルムなどを用いることもできる。上記基板を用いる場合、図示しないが、絶縁層264と基板266との間に接着層を設けて、絶縁層264及び基板266を貼りあわせるとよい。

30

【0183】

又、基板266として、熱圧着により、被処理体と接着する接着層を有するフィルム(ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる)を用いてもよい。このようなフィルムは、最表面に設けられた接着層か、又は最外層に設けられた層(接着層ではない)を加熱処理によって溶かし、加圧により接着することで、被処理体にフィルムを接着することが可能である。この場合は、絶縁層264及び基板266の間に接着層を設ける必要は無い。

【0184】

ここでは、絶縁層264は、塗布法により組成物を塗布し、乾燥焼成してエポキシ樹脂を用いて形成する。次に、絶縁層264表面にフィルムを熱圧着して基板266を絶縁層264上に貼りあわせる。

40

【0185】

次に、図9(A)に示すように、剥離層268と絶縁層251の間を剥離する。このようにして記憶素子及び回路部を有する素子形成層が基板250より剥離され、絶縁層264及び基板266に転置される。

【0186】

なお、本実施の形態においては、基板と素子形成層の間に剥離層及び絶縁層を形成し、剥離層及び絶縁層の間に金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化して、当該素子形成層を剥離する方法を用いたがこれに限られない。(1)耐熱性の高い基板と

50

素子形成層の間に水素を含む非晶質珪素膜を設け、レーザ光の照射またはエッティングにより当該非晶質珪素膜を除去することで、当該素子形成層を剥離する方法、(2)基板と素子形成層の間に剥離層及び絶縁層を形成し、剥離層及び絶縁層の間に金属酸化膜を設け、当該金属酸化膜を結晶化により脆弱化し、剥離層の一部を溶液やNF₃、BrF₃、ClF₃等のフッ化ハロゲンガスによりエッティングで除去した後、脆弱化された金属酸化膜において剥離する方法、(3)素子形層が形成された基板を機械的に削除又は溶液やNF₃、BrF₃、ClF₃等のフッ化ハロゲンガスによるエッティングで除去する方法等を適宜用いることができる。また、剥離層として窒素、酸素や水素等を含む膜(例えば、水素を含む非晶質珪素膜、水素含有合金膜、酸素含有合金膜など)を用い、剥離層にレーザ光を照射して剥離層内に含有する窒素、酸素や水素をガスとして放出させ素子形成層と基板との剥離を促進する方法を用いてもよい。

【0187】

上記剥離方法を組み合わせることでより容易に転置工程を行うことができる。つまり、レーザ光の照射、ガスや溶液などによる剥離層へのエッティング、鋭いナイフやメスなどによる機械的な削除を行い、剥離層と素子形成層とを剥離しやすい状態にしてから、物理的な力(人間の手や機械等による)によって剥離を行うこともできる。また、上記剥離方法は一例であり、本発明は上記剥離方法に限定されない。本発明を適用すると、剥離工程でかかる力によって素子が破壊されないため良好な状態で素子を転置することができる。

【0188】

次に、図9(B)に示すように、絶縁層251表面に基板275を貼り付ける。基板275は、基板266と同様のものを適宜用いることが可能である。ここでは、フィルムを熱圧着して基板275を絶縁層251上に貼りあわせる。

【0189】

なお、基板266に記憶素子を有する素子形成層を転置した後に、基板266より再び剥離してもよい。例えば、第1の基板である基板250より素子形成層を剥離し、第2の基板である基板266に転置した後、第3の基板である基板275に転置し、第2の基板である基板266を素子形成層より剥離してもよい。

【0190】

本実施の形態で示す第1の導電層256a、有機化合物層262a、及び第2の導電層263を有する記憶素子265a、第1の導電層256b、有機化合物層262b、及び第2の導電層263を有する記憶素子265bは記憶素子内部において密着性が良いので、第1の基板である基板250に形成された後に、第2の基板である基板266に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。よって良好な形状で記憶素子を剥離、転置し、半導体装置を作製することができる。

【0191】

本実施の形態で作製される記憶素子を有する半導体装置は、記憶素子内部において密着性が良好なため、剥離、転置工程を良好な状態で行うことができる。よって、自由に様々な基板に転置することができるため、基板の材料の選択性の幅が広がる。また安価な材料を基板として選択することもでき、用途に合わせて広い機能を持たせることができただけでなく、低コストで半導体装置を作製することができる。

【0192】

本発明により、良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる。よって、より高信頼性の半導体装置を装置や工程を複雑化することなく、歩留まりよく作製することができる。

【0193】

(実施の形態5)

本実施の形態では、上記実施の形態で示す半導体装置の一例について図面を用いて説明する。

【0194】

本実施の形態で示す半導体装置は、非接触でデータの読み出しと書き込みが可能である

10

20

30

40

50

ことを特徴としており、データの伝送形式は、一対のコイルを対向に配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別されるが、いずれの方式を用いてもよい。また、データの伝送に用いるアンテナは2通りの設け方があり、1つは複数の素子および記憶素子が設けられた基板上にアンテナを設ける場合、もう1つは複数の素子および記憶素子が設けられた基板に端子部を設け、当該端子部に別の基板に設けられたアンテナを接続して設ける場合がある。

【0195】

まず、複数の素子および記憶素子が設けられた基板上にアンテナを設ける場合の半導体装置の一構成例を、図10を用いて説明する。

10

【0196】

図10はアクティブマトリクス型で構成される半導体装置を示しており、基板300上にトランジスタ310a、310bを有するトランジスタ部330、トランジスタ320a、トランジスタ320bを有するトランジスタ部340、絶縁層301a、301b、308、311、316、314を含む素子形成層335が設けられ、素子形成層335の上方に記憶素子部325とアンテナとして機能する導電層343が設けられている。

【0197】

なお、ここでは素子形成層335の上方に記憶素子部325またはアンテナとして機能する導電層343を設けた場合を示しているが、この構成に限らず記憶素子部325またはアンテナとして機能する導電層343を、素子形成層335の下方や同一の層に設けることも可能である。

20

【0198】

記憶素子部325は、記憶素子315a、315bで構成され、記憶素子315aは第1の導電層306a上に、隔壁(絶縁層)307a、隔壁(絶縁層)307b、有機化合物層312及び第2の導電層313が積層して構成され、記憶素子315bは、第1の導電層306b上に、隔壁(絶縁層)307b、隔壁(絶縁層)307c、絶縁層326、有機化合物層312及び第2の導電層313が積層して設けられている。また、第2の導電層313を覆って保護膜として機能する絶縁層314が形成されている。また、複数の記憶素子315a、315bが形成される第1の導電層306a、第1の導電層306bは、トランジスタ310a、トランジスタ310bそれぞれのソース電極層又はドレイン電極層に、接続されている。すなわち、記憶素子はそれぞれひとつのトランジスタに接続されている。また、有機化合物層312が第1の導電層306a、306bおよび隔壁(絶縁層)307a、307b、307cを覆うように全面に形成されているが、各メモリセルに選択的に形成されていてもよい。なお、記憶素子315a、315bは上記実施の形態で示した材料または作製方法を用いて形成することができる。

30

【0199】

第1の導電層306a及び第1の導電層306bの有機化合物層312と積層する領域は、界面張力を低下させる処理を行っており処理領域317a、処理領域317bが形成されている。

40

【0200】

界面張力を低下させる処理としては、導電層を酸素雰囲気下に曝す、酸素雰囲気下で紫外光を照射することによりオゾン(O₃)を発生させて導電層表面を酸化させるなどが挙げられる。また、酸素プラズマを接触させる、層界面で有機化合物に含まれる有機化合物材料による導電層の酸化を起こさせるなどを行ってもよい。また、導電層の形成を酸素雰囲気下で行ってもよい。酸化処理の他、窒化処理を行っても良く、例えば窒化処理を行った後、酸化処理を行っても良い。

【0201】

第1の導電層306aの有機化合物層312と接している界面(表面)、及び第1の導電層306bと有機化合物層312と接している界面(表面)に界面張力を低下させる処理領域317a、処理領域317bを形成することによって、第1の導電層306a及び

50

第1の導電層306bと、有機化合物層312との密着性を向上させることができる。

【0202】

第2の導電層313に用いる金属材料として、インジウム(Indium)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小さな金属であるインジウム(Indium)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(Indium Tin)マグネシウムインジウム合金(Indium Magnesium)、リンインジウム合金(Indium Phosphorus)、ヒ素インジウム合金(Indium Arsenide)、クロムインジウム合金(Indium Chromium)などが挙げられる。10

【0203】

第2の導電層313に上記溶解度パラメータの小さな材料を用いることによって、第2の導電層313と有機化合物層312との密着性を向上させることができる。よって、第1の基板に形成された後に、第2の基板に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。素子作製工程では温度などの作製条件に耐えうるガラス基板を用いても、その後に第2の基板に転置することによって、フィルムなどの可撓性基板を基板300に用いることができる。よって良好な形状で記憶素子を剥離、転置し、20半導体装置を作製することができる。

【0204】

また、記憶素子315aにおいて、上記実施の形態で示したように、第1の導電層306aと有機化合物層312との間、または有機化合物層312と第2の導電層313との間に整流性を有する素子を設けてもよい。整流性を有する素子も上述したもの用いることが可能である。なお、記憶素子315bにおいても同様である。

【0205】

上記整流性を有する素子を設ける場合でも、有機化合物層に接している第1及び第2の導電層の少なくとも一方は、図1(A)に示す溶解度パラメータの小さくなるような金属材料を用いて形成される導電層か、図1(B)に示す導電層表面に酸化処理等がなされ界面張力が小さくなるように処理された導電層であるような構造とする必要がある。30

【0206】

ここでは、アンテナとして機能する導電層343は第2の導電層313と同一の層で形成された導電層342上に設けられている。なお、第2の導電層313と同一の層でアンテナとして機能する導電層を形成してもよい。

【0207】

アンテナとして機能する導電層343の材料としては、金(Au)、白金(Pt)、ニッケル(Ni)、タンゲステン(W)、モリブデン(Mo)、コバルト(Co)、銅(Cu)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)等から選ばれた一種の元素または当該元素を複数含む合金等を用いることができる。また、アンテナとして機能する導電層343の形成方法は、蒸着、スパッタ、CVD法、スクリーン印刷やグラビア印刷等の各種印刷法または液滴吐出法等を用いることができる。40

【0208】

素子形成層335に含まれるトランジスタ310a、310b、310c、310dは、pチャネル型TFT、nチャネル型TFTまたはこれらを組み合わせたCMOSで設けることができる。また、トランジスタ310a、310b、310c、310dに含まれる半導体層の構造もどのようなものを用いてもよく、例えば不純物領域(ソース領域、ドレイン領域、LDD領域を含む)を形成してもよいし、pチャネル型またはnチャネル型のどちらで形成してもよい。また、ゲート電極の側面と接するように絶縁層(サイドウォール)を形成してもよいし、ソース領域及びドレイン領域とゲート電極の一方または両方50

にシリサイド層を形成してもよい。シリサイド層の材料としては、ニッケル、タングステン、モリブデン、コバルト、白金等を用いることができる。

【0209】

また、素子形成層335に含まれるトランジスタ310a、310b、310c、310dは、当該トランジスタを構成する半導体層を有機化合物で形成する有機トランジスタで設けてもよい。印刷法や液滴吐出法等を用いて有機トランジスタからなる素子形成層335を形成することができる。印刷法や液滴吐出法等を用いて形成することによってより低コストで半導体装置を作製することが可能となる。

【0210】

また、素子形成層335、記憶素子315a、315b、アンテナとして機能する導電層343は、上述したように蒸着、スパッタ法、CVD法、印刷法または液滴吐出法等を用いて形成することができる。なお、各場所によって異なる方法を用いて形成してもかまわない。例えば、高速動作が必要とされるトランジスタは基板上にSi等からなる半導体層を形成した後に熱処理により結晶化させて設け、その後、素子形成層の上方にスイッチング素子として機能するトランジスタを印刷法や液滴吐出法を用いて有機トランジスタとして設けることができる。

10

【0211】

なお、トランジスタに接続するセンサを設けてもよい。センサとしては、温度、湿度、照度、ガス（気体）、重力、圧力、音（振動）、加速度、その他の特性を物理的又は化学的手段により検出する素子が挙げられる。センサは、代表的には抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスター、ダイオードなどの半導体素子で形成される。

20

【0212】

次に、複数の素子および記憶素子が設けられた基板に端子部を設け、当該端子部に別の基板に設けられたアンテナを接続して設ける場合の半導体装置の一構成例に関して図11を用いて説明する。

【0213】

図11はパッシブマトリクス型の半導体装置を示しており、基板350上に素子形成層385が設けられ、素子形成層385の上方に記憶素子部375が設けられ、基板396に設けられたアンテナとして機能する導電層393が素子形成層385と接続するよう設けられている。なお、ここでは素子形成層385の上方に記憶素子部375またはアンテナとして機能する導電層393を設けた場合を示しているが、この構成に限らず記憶素子部375を素子形成層385の下方や同一の層に、またはアンテナとして機能する導電層393を素子形成層385の下方に設けることも可能である。

30

【0214】

記憶素子部375は、記憶素子365a、365bで構成され、記憶素子365aは第1の導電層356上に、隔壁（絶縁層）357a、隔壁（絶縁層）357b、有機化合物層362a及び第2の導電層363aが積層して構成され、記憶素子365bは、第1の導電層356上に、隔壁（絶縁層）357b、隔壁（絶縁層）357c、有機化合物層362b及び第2の導電層363bが積層して設けられている。また、第2の導電層363a、363bを覆って保護膜として機能する絶縁層364が形成されている。また、複数の記憶素子365a、365bが形成される第1の導電層356は、トランジスタ360bひとつのソース電極層又はドレイン電極層に、接続されている。すなわち、記憶素子は同じひとつのトランジスタに接続されている。また、有機化合物層362a、有機化合物層362b、第2の導電層363a、第2の導電層363bをメモリセルごとに分離するための隔壁（絶縁層）357a、357b、357cを設けているが、隣接するメモリセルにおいて横方向への電界の影響が懸念されない場合は、全面に形成してもよい。なお、記憶素子365a、365bは上記実施の形態で示した材料または作製方法を用いて形成することができる。

40

【0215】

50

第1の導電層356と、有機化合物層362a及び有機化合物層362bと積層する領域は、界面張力を低下させる処理を行っており処理領域376が形成されている。

【0216】

第1の導電層356の有機化合物層362aと接している界面(表面)、及び第1の導電層356と有機化合物層362と接している界面(表面)に界面張力を低下させる処理領域376を形成することによって、第1の導電層356と、有機化合物層362a及び有機化合物層632bとの密着性を向上させることができる。

【0217】

第2の導電層363a及び第2の導電層363bに用いる金属材料として、インジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、アンチモン(Sb)、亜鉛(Zn)の一種又は複数種を用いる。その他、マグネシウム(Mg)、マンガン(Mn)、カドミウム(Cd)、タリウム(Tl)、テルル(Te)、バリウム(Ba)の一種又は複数種を用いる。上記金属材料同士を複数含んでもよいし、上記材料の一種又は複数種を含む合金を用いてもよい。特に、溶解度パラメータの比較的小な金属であるインジウム(In)、錫(Sn)、鉛(Pb)、ビスマス(Bi)、カルシウム(Ca)、マンガン(Mn)、亜鉛(Zn)、もしくはこれらを含む合金は電極材料として好ましい。用いることのできる合金としては、インジウム合金として、インジウム錫合金(InSn)マグネシウムインジウム合金(InMg)、リンインジウム合金(InnP)、ヒ素インジウム合金(InAs)、クロムインジウム合金(InCr)などが挙げられる。

10

【0218】

第2の導電層363a及び第2の導電層363bに上記溶解度パラメータの小さな材料を用いることによって、第2の導電層363a及び第2の導電層363bと有機化合物層362a及び有機化合物層362bとの密着性を向上させることができる。よって、第1の基板に形成された後に、第2の基板に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。素子作製工程では温度などの作製条件に耐えうるガラス基板を用いても、その後に第2の基板に転置することによって、フィルムなどの可撓性基板を基板300に用いることができる。よって良好な形状で記憶素子を剥離、転置し、半導体装置を作製することができる。

20

【0219】

30

勿論、図10、図11に示す半導体装置において、第1の導電層及び第2の導電層を、図1(A)、(B)、図16(A)、(B)と同様に形成された導電層を用いてもよい。第1の導電層及び第2の導電層のうち少なくとも一方に上記溶解度パラメータの小さい金属材料を含む導電層を用いるか、第1の導電層及び第2の導電層のうち少なくとも一方の有機化合物層との界面に界面張力を低下させるような酸化処理等を施せばよい。図16(A)のように第1の導電層及び第2の導電層に記溶解度パラメータが小さな金属材料を用いて形成する構成であってもよく、図16(B)のように有機化合物層と第1の導電層及び第2の導電層との両界面に表面張力が低い領域を形成する構成であってもよい。

【0220】

40

また本実施の形態(図10、図11に示す半導体装置)においても、実施の形態1の図19で示すように、有機化合物層と第1の導電層、又は有機化合物層と第2の導電層、または第1の導電層及び第2の導電層両方と有機化合物層のそれぞれの間に絶縁層を設けてもよい。絶縁層を設けることで、記憶素子の書き込み電圧などの特性がばらつくことなく安定し、各素子において正常な書き込みを行うことが可能となる。

【0221】

また、素子形成層385と記憶素子部375とを含む基板と、アンテナとして機能する導電層393が設けられた基板396は、接着性を有する樹脂395により貼り合わされている。そして、素子形成層385と導電層393とは樹脂395中に含まれる導電性微粒子394を介して電気的に接続されている。また、銀ペースト、銅ペースト、カーボンペースト等の導電性接着剤や半田接合を行う方法を用いて素子形成層385と記憶素子部

50

375を含む基板と、アンテナとして機能する導電層393が設けられた基板396とを貼り合わせてもよい。

【0222】

このように、記憶素子及びアンテナを備えた半導体装置を形成することができる。また、本実施の形態では、基板上に薄膜トランジスタを形成して素子形成層を設けることもできるし、基板としてSi等の半導体基板を用いて、基板上に電界効果トランジスタを形成することによって素子形成層を設けてもよい。また、基板としてSOI基板を用いて、その上に素子形成層を設けてもよい。この場合、SOI基板はウェハの貼り合わせによる方法や酸素イオンをSi基板内に打ち込むことにより内部に絶縁層を形成するSIMOXと呼ばれる方法を用いて形成すればよい。

10

【0223】

さらには、記憶素子部を、アンテナとして機能する導電層が設けられた基板に設けてもよい。またトランジスタに接続するセンサを設けてもよい。

【0224】

なお、本実施の形態は、上記実施の形態と自由に組み合わせて行うことができる。また本実施の形態で作製した半導体装置は、基板より剥離工程により剥離し、フレキシブルな基板上に接着することで、フレキシブルな基体上に設けることができ、可撓性を有する半導体装置とすることができる。フレキシブルな基体とは、ポリプロピレン、ポリエチル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなるフィルム、繊維質な材料からなる紙、基材フィルム（ポリエチル、ポリアミド、無機蒸着フィルム、紙類等）と接着性合成樹脂フィルム（アクリル系合成樹脂、エポキシ系合成樹脂等）との積層フィルムなどに相当する。フィルムは、被処理体と加熱処理と加圧処理が行われるものであり、加熱処理と加圧処理を行う際には、フィルムの最表面に設けられた接着層か、又は最外層に設けられた層（接着層ではない）を加熱処理によって溶かし、加圧により接着する。また、基体に接着層が設けられていてもよいし、接着層が設けられていないともよい。接着層は、熱硬化樹脂、紫外線硬化樹脂、エポキシ樹脂系接着剤、樹脂添加剤等の接着剤を含む層に相当する。

20

【0225】

本発明により、良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる。よって、より高信頼性の半導体装置を装置や工程を複雑化することなく、歩留まりよく作製することができる。

30

【0226】

（実施の形態6）

本実施の形態では、上記実施の形態で示す記憶素子を有する半導体装置の一例について図面を用いて説明する。本実施の形態の半導体装置の上面図を図14(A)に、図14(A)における線X-Yの断面図を図14(B)に示す。

【0227】

図14(A)に示すように、基板400上に記憶素子を有する半導体装置である記憶素子部404、回路部421、アンテナ431が形成されている。図14(A)及び(B)は、作製工程途中であり、作製条件に耐えうる基板400上に記憶素子部、回路部、及びアンテナを形成した状態である。材料及び作製工程は実施の形態4と同様に選択し、作製すればよい。

40

【0228】

基板400上に剥離層452、絶縁層453を介して記憶素子部404にはトランジスタ441、回路部421にはトランジスタ442が設けられている。トランジスタ441及びトランジスタ442上に絶縁層461、絶縁層454、絶縁層455が形成されており、絶縁層455上に第1の導電層457d、有機化合物層458及び第2の導電層459の積層から構成される記憶素子443が形成されている。隔壁として機能する絶縁層460bにより有機化合物層458は個々に隔てられている。第1の導電層457dはトランジスタ441の配線層と接続しており、記憶素子443は、トランジスタ441と電気

50

的に接続している。

【0229】

図14(B)における半導体装置では、第2の導電層459は、配線層456a、導電層457cと積層して電気的に接続している。絶縁層455上に導電層457aとアンテナ431a、導電層457bとアンテナ431b、導電層457eとアンテナ431c、及び導電層457fとアンテナ431dとがそれぞれ積層して形成されている。導電層457eは絶縁層455に形成された配線層456bに達する開口において、配線層456bと接して形成されており、アンテナと記憶素子部404及び回路部421とを電気的に接続している。アンテナ431a、アンテナ431b、アンテナ431c、及び431d下の導電層457a、導電層457b、導電層457e、導電層457fは、絶縁層455とアンテナ431a、アンテナ431b、アンテナ431c、及び431dとの密着性を向上させる効果もある。本実施の形態では、絶縁層455にポリイミド膜、導電層457a、導電層457b、導電層457e、及び導電層457fにチタン膜、アンテナ431a、アンテナ431b、アンテナ431c、及び431dにアルミニウム膜をそれぞれ用いている。

【0230】

第1の導電層457d及びトランジスタ441と、導電層457c及び配線層456aと、導電層457e及び配線層456bとがそれぞれ接続するために絶縁層455に開口(コンタクトホールとも言う)を形成する。開口を大きくし、導電層同士の接触面積を増加した方がより低抵抗となるため、本実施の形態では、第1の導電層457dとトランジスタ441とが接続する開口が一番小さく、その次が導電層457cと配線層456aとが接続する開口、導電層457eと配線層456bとが接続する開口が一番大きいというように順に開口を大きく設定している。本実施の形態では、第1の導電層457dとトランジスタ441とが接続する開口を $5\mu m \times 5\mu m$ 、導電層457cと配線層456aとが接続する開口を $50\mu m \times 50\mu m$ 、導電層457eと配線層456bとが接続する開口を $500\mu m \times 500\mu m$ としている。

【0231】

本実施の形態では、絶縁層460aからアンテナ431bまでの距離aを $500\mu m$ 以上、第2の導電層459の端部から絶縁層460aの端部までの距離bを $250\mu m$ 以上、第2の導電層459の端部から絶縁層460cの端部までの距離cを $500\mu m$ 以上、絶縁層460cの端部からアンテナ431cまでの距離dを $250\mu m$ 以上としている。回路部421は部分的に絶縁層460cが形成されており、トランジスタ442も絶縁層460cに覆われていない領域と覆われている領域がある。

【0232】

本実施の形態における半導体装置の上面図を図17(A)(B)に示す。図17(A)の記憶素子部404の拡大図が図17(B)であり、図17(B)に示すように、記憶素子451が形成されている。

【0233】

R F入力部401は、高電位側電源(VDD)用端子、低電位側電源用端子、クロック信号(CLK)用端子を有する。本実施の形態では、低電位側電源として、接地電位(GND)を用いる。RF入力部401は、アンテナ(図示せず)から受信した電波を整流してVDDを生成し、また受信した電波を分周してCLKを生成する。ロジック回路部402は、上記高電位側電源及び接地電位に接続され、上記クロック信号が入力される。

【0234】

外部入力部403は、複数のパッドが設けられており、例えば信号出力(DATOUT)用パッド、書き込み信号入力(WEB)用パッド、読み出し信号入力(REE)用パッド、クロック信号(CLK)用パッド、接地電位(GND)用パッド、高電位側電源(VDD)用パッド、書き込み電源(VDDH)用パッドを有する。

【0235】

記憶素子部404は、VDDH用パッドを介した信号が入力されるVDDH用端子、V

D D 用パッドを介した信号が入力される V D D 用端子、 G N D 用パッドを介した信号が入力される G N D 用端子、 C L K 用パッドを介した信号が入力される C L K 用端子、 R E B 用パッドを介した信号が入力される R E B 用端子、 W E B 用パッドを介した信号が入力される W E B 用端子、 が設けられている。また R F 入力部 4 0 1 の高電位側電源 (V D D) 用端子と、記憶素子部 4 0 4 の V D D H 用端子とは、ダイオード 4 0 6 を介して接続される。このようにダイオードを介して接続することにより、記憶素子部へ書き込みを行うときに、高電位側電源 (V D D) 用端子の先に接続されている電源と、 V D D H 用端子とがショートすることを防止できる。図 18 (A) 及び (B) の半導体装置において、 C L K 用パッドと C L K 用端子との間、 R E B 用パッドと R E B 用端子との間、又は W E B 用パッドと W E B 用端子との間に保護回路を設けると好ましい。

10

【 0 2 3 6 】

調整回路部 4 0 5 は、複数の抵抗を有する。当該抵抗のいずれか一を介して、記憶素子部 4 0 4 の C L K 用端子と、ロジック回路部 4 0 2 とが接続される。また当該抵抗とは異なるいずれかの抵抗を介して、記憶素子部 4 0 4 の R E B 用端子と、ロジック回路部 4 0 2 とが接続される。このような調整回路部 4 0 5 は、外部信号を用い記憶素子部 4 0 4 にデータを書き込む、もしくは読み出す時に、ロジック回路部 4 0 2 より不要な制御信号が記憶素子部 4 0 4 に入力されないように調整するものである。同様に、抵抗 4 0 7 も、記憶素子部 4 0 4 にデータを書き込む時に、ロジック回路部 4 0 2 より記憶素子部 4 0 4 に信号が入力されないように調整するものである。すなわち抵抗 4 0 7 は、調整回路として機能する。

20

【 0 2 3 7 】

このような半導体装置を用いることで、外部入力部 4 0 3 から電源電圧や信号を記憶素子部 4 0 4 に直接入力することで、記憶素子部 4 0 4 にデータ（情報に相当する）を書き込む、もしくは記憶素子部 4 0 4 からデータを読み出すことが可能となる。

【 0 2 3 8 】

また、外部入力部 4 0 3 に信号を直接入力しない場合、アンテナ部で受信した電波を、 R F 入力部を通して内部で電源や信号を生成し、記憶素子部 4 0 4 からデータを読み出すことが可能となる。

【 0 2 3 9 】

本発明の回路構成では、記憶素子部 4 0 4 にデータを書き込む時は、ダイオード 4 0 6 により、外部入力部 4 0 3 からの信号は遮断されるが、アンテナからの信号によって記憶素子部 4 0 4 よりデータを読み取る時は、記憶素子部 4 0 4 の V D D H を R F 入力部 4 0 1 の V D D に固定し、安定させることができる。

30

【 0 2 4 0 】

次に図 18 (A) と調整回路部 4 0 5 の構造が異なる半導体装置の構成を図 18 (B) に示す。図 18 (B) に示す半導体装置は、 R F 入力部 4 1 1 、ロジック回路部 4 1 2 、外部入力部 4 1 3 、記憶素子部 4 1 4 、調整回路部 4 1 5 、ダイオード 4 1 6 、抵抗 4 1 7 を有している。図 18 (B) の半導体装置における調整回路部 4 1 5 はスイッチで構成されている。スイッチとしては、インバータやアナログスイッチ等を用いることができる。本実施の形態では、インバータやアナログスイッチを用い、抵抗 4 1 7 と W E B 用端子との間にインバータの入力端子及びアナログスイッチが接続され、インバータの出力端子及びアナログスイッチは互いに接続されている。抵抗 4 1 7 は W E B に外部入力がないときには W E B に V D D が入るが、外部入力があるときにはその入力を優先させるために設置する。調整回路部 4 1 5 は外部入力で W E B に L o w 信号が入った、即ち外部入力をを行う場合、ロジック回路部 4 1 2 からの不要な信号を遮断し、逆に W E B に H i g h 信号が入った、もしくは外部入力がない場合、外部入力の R E B 、 C L K の信号を遮断することで記憶素子部 4 1 4 に安定した信号を供給する。

40

【 0 2 4 1 】

このような半導体装置も、図 18 (A) のブロック図に基づき説明した半導体装置と同様に動作させることが可能である。但し、インバータやアナログスイッチを有する調整回路

50

部415は電源生成に専用化させることができるために、VDDHの電位が、ダイオード416のしきい値電圧分だけ低下するといった問題が生じにくい。

【0242】

図22は、図17に示す半導体装置の回路を図18(A)に対応して概略図としたものである。半導体装置は、最も大きな面積を占めるロジック回路部402が設けられ、これに隣接してRF入力部401、記憶素子部404が設けられている。記憶素子部404の一領域に、調整回路部405、抵抗407が設けられており、これらは隣接して設けられている。RF入力部401に隣接して外部入力部403が設けられている。外部入力部403は、パッドを有するため、半導体装置の一辺に接する領域に設けるとよい。パッド接続時、半導体装置の一辺を基準として貼り合わせることができるからである。これら回路等は、上記実施の形態で示した作製方法により形成することができる。図18に図17に示す半導体装置の回路に関するブロック図を示す。図18(A)における半導体装置のブロック図は、RF入力部401、ロジック回路部402、外部入力部403、記憶素子部404、調整回路部405、ダイオード406、抵抗407を有している。図18(B)におけるブロック図は、RF入力部411、ロジック回路部412、外部入力部413、記憶素子部414、調整回路部415、ダイオード416、抵抗417を有している。図22は、図17に示す半導体装置の回路を図18(A)に対応して概略図としたものである。
10

【0243】

外部入力端子から入力された電圧及び信号は、記憶素子部404に入力され、記憶素子部404にデータ(情報)が書き込まれる。書き込まれたデータは、RF入力部401において、アンテナによって交流信号を受信し信号及び電圧をロジック回路部402に入力する。ロジック回路部402を介して信号は制御信号となり、制御信号が記憶素子部404に入力されることで記憶素子部404より再び読み出される。
20

【0244】

図18(A)と図18(B)の半導体装置では、調整回路部405の構造が異なっており、調整回路部405は抵抗で、調整回路部415はスイッチで構成されている。また、抵抗407及び抵抗417はプルアップ回路であり、調整回路部として機能する。調整回路部405は、記憶素子部404にデータを書き込み時に、ロジック回路部402より不要な制御信号が記憶素子部404に入力されないように調整するものである。同様に、抵抗407も、記憶素子部404にデータを書き込む時に、ロジック回路部402より記憶素子部404に信号が入力されないように調整するものである。記憶素子部404にデータを書き込む時は、ダイオード406により外部入力部403からの信号は遮断されるが、記憶素子部404よりデータを読み取る時は、記憶素子部404のVDDHをRF入力部401より印加されるVDDに固定し、安定させる。図18(A)のブロック図に基づいて説明したが、図18(B)においても同様である。
30

【0245】

また、アンテナは、記憶素子部に対して、重なって設けてもよいし、重ならずに周囲に設ける構造でもよい。また重なる場合も全面が重なってもよいし、一部が重なっている構造でもよい。アンテナ部と記憶素子部が重なる構造であると、アンテナが交信する際に信号に載っているノイズ等や、電磁誘導により発生する起電力の変動等の影響による、半導体装置の動作不良を減らすことが可能であり、信頼性が向上する。また、半導体装置を小型化することもできる。
40

【0246】

また、上述した非接触データの入出力が可能である半導体装置における信号の伝送方式は、電磁結合方式、電磁誘導方式またはマイクロ波方式等を用いることができる。伝送方式は、実施者が使用用途を考慮して適宜選択すればよく、伝送方式に伴って最適なアンテナを設ければよい。

【0247】

例えば、半導体装置における信号の伝送方式として、電磁結合方式または電磁誘導方式
50

(例えは 13.56 MHz 帯) を適用する場合には、磁界密度の変化による電磁誘導を利用するため、アンテナとして機能する導電層を輪状(例えは、ループアンテナ)、らせん状(例えは、スパイラルアンテナ)に形成する。図 21(A)乃至(C)に、基板 501 上に形成された、アンテナとして機能する導電層 502、集積回路を有するチップ状の半導体装置 503 の例を示す。

【0248】

また、半導体装置における信号の伝送方式として、マイクロ波方式(例えは、UHF 帯(860~960 MHz 帯)、2.45 GHz 帯等)を適用する場合には、信号の伝送に用いる電磁波の波長を考慮してアンテナとして機能する導電層の長さ等の形状を適宜設定すればよく、例えは、アンテナとして機能する導電層を線状(例えは、ダイポールアンテナ(図 21(A)参照))、平坦な形状(例えは、パッチアンテナ(図 21(B)参照))またはリボン型の形状(図 21(C)、(D)参照)等に形成することができる。また、アンテナとして機能する導電層の形状は線状に限られず、電磁波の波長を考慮して曲線状や蛇行形状またはこれらを組み合わせた形状で設けてもよい。

10

【0249】

アンテナとして機能する導電層は、CVD 法、スパッタ法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

20

【0250】

例えは、スクリーン印刷法を用いてアンテナとして機能する導電層を形成する場合には、粒径が数 nm から数十 μm の導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)およびチタン(Ti)等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、珪素樹脂等の有機樹脂が挙げられる。また、導電層の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えは、導電性のペーストの材料として、銀を主成分とする微粒子(例えは粒径 1 nm 以上 100 nm 以下)を用いる場合、150~300 の温度範囲で焼成することにより硬化させて導電層を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよく、この場合は粒径 20 μm 以下の微粒子を用いることが好ましい。はんだや鉛フリーはんだは、低コストであるといった利点を有している。

30

【0251】

また、上述した材料以外にも、セラミックやフェライト等をアンテナに適用してもよい。

40

【0252】

また、電磁結合方式または電磁誘導方式を適用する場合であって、アンテナを備えた半導体装置を金属に接して設ける場合には、当該半導体装置と金属との間に透磁率を備えた磁性材料を設けることが好ましい。アンテナを備えた半導体装置を金属に接して設ける場合には、磁界の変化に伴い金属に渦電流が流れ、当該渦電流により発生する反磁界によって、磁界の変化が弱められて通信距離が低下する。そのため、半導体装置と金属との間に透磁率を備えた材料を設けることにより金属の渦電流を抑制し通信距離の低下を抑制することができる。なお、磁性材料としては、高い透磁率を有し高周波損失の少ない金属薄膜やフェライトを用いることができる。

【0253】

50

また、アンテナを設ける場合には、1枚の基板上にトランジスタ等の半導体素子とアンテナとして機能する導電層を直接作り込んで設けてもよいし、半導体素子とアンテナとして機能する導電層を別々の基板上に設けた後に、電気的に接続するように貼り合わせることによって設けてもよい。

【0254】

本実施の形態で示す第1の導電層457d、有機化合物層458、及び第2の導電層459を有する記憶素子443は、記憶素子内部において密着性が良いので、第1の基板である基板400に形成された後に、第2の基板に転置される工程でかかる力によって、層界面で膜剥がれなどの不良が生じにくい。よって良好な形状で記憶素子を剥離、転置し、半導体装置を作製することができる。

10

【0255】

本実施の形態で作製される記憶素子を有する半導体装置は、記憶素子内部において密着性が良好なため、剥離、転置工程を良好な状態で行うことができる。よって、自由に様々な基板に転置することができると、基板の材料の選択性の幅が広がる。また安価な材料を基板として選択することもでき、用途に合わせて広い機能を持たせることができるものでなく、低コストで半導体装置を作製することができる。

【0256】

本発明により、良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる。よって、より高信頼性の半導体装置を装置や工程を複雑化することなく、歩留まりよく作製することができる。

20

【0257】

(実施の形態7)

本実施の形態では、上記構成を有する半導体装置において、データの読み込みまたは書き込みについて説明する。

【0258】

まず、パッシブマトリクス型の半導体装置において記憶素子にデータの書き込みを行う際の動作について図2、図3を用いて説明する。データの書き込みは、光学的作用又は電気的作用により行うが、まず、電気的作用によりデータの書き込みを行う場合について説明する(図3参照)。なお、書き込みはメモリセルの電気特性を変化させることで行うが、メモリセルの初期状態(電気的作用を加えていない状態)をデータ「0」、電気特性を変化させた状態を「1」とする。

30

【0259】

メモリセル721にデータ「1」を書き込む場合、まず、デコーダ723、724およびセレクタ725によってメモリセル721を選択する。具体的には、デコーダ724によって、メモリセル721に接続されるワード線W3に所定の電圧V2を印加する。また、デコーダ723とセレクタ725によって、メモリセル721に接続されるビット線B3を回路726に接続する。そして、回路726からビット線B3へ書き込み電圧V1を出力する。こうして、メモリセル721を構成する第1の導電層と第2の導電層の間には電圧Vw = V1 - V2を印加する。電位Vwを適切に選ぶことで、当該導電層間に設けられた有機化合物層を物理的もしくは電気的变化させ、データ「1」の書き込みを行う。具体的には、読み出し動作電圧において、データ「1」の状態の第1の導電層と第2の導電層の間の電気抵抗が、データ「0」の状態と比して、大幅に小さくなるように変化させるとよい。例えば、(V1、V2) = (0V、5~15V)、あるいは(3~5V、-12~-2V)の範囲から適宜選べば良い。電圧Vwは5~15V、あるいは-5~-15Vとすればよい。

40

【0260】

なお、非選択のワード線および非選択のビット線には、接続されるメモリセルにデータ「1」が書き込まれないよう制御する。例えば、非選択のワード線および非選択のビット線を浮遊状態とすればよい。メモリセルを構成する第1の導電層と第2の導電層の間は、ダイオード特性など、選択性を確保できる特性を有する必要がある。

50

【0261】

一方、メモリセル721にデータ「0」を書き込む場合は、メモリセル721には電気的作用を加えなければよい。回路動作上は、例えば、「1」を書き込む場合と同様に、デコーダ723、724およびセレクタ725によってメモリセル721を選択するが、回路726からビット線B3への出力電位を、選択されたワード線W3の電位あるいは非選択ワード線の電位と同程度とし、メモリセル721を構成する第1の導電層と第2の導電層の間に、メモリセル721の電気特性を変化させない程度の電圧（例えば−5～5V）を印加すればよい。

【0262】

次に、光学的作用によりデータの書き込みを行う場合について説明する（図20参照）。この場合、第2の導電層753aはレーザ光を透過させる必要がある。透光性を有する導電層側（ここでは第2の導電層753aとする）から、有機化合物層752にレーザ光を照射することにより行う。ここでは、所望の部分の有機化合物層752に選択的にレーザ光を照射して有機化合物層752を破壊する。破壊された有機化合物層は、絶縁化するため、他の部分と比較すると電気抵抗が大幅に大きくなる。このように、レーザ光の照射により、有機化合物層752を挟んで設けられた2つの導電膜間の電気抵抗が変化することを利用してデータの書き込みを行う。例えば、レーザ光を照射していない有機化合物層を「0」のデータとする場合、「1」のデータを書き込む際は、所望の部分の有機化合物層に選択的にレーザ光を照射して破壊することによって電気抵抗を大きくする。

【0263】

また、有機化合物層752として、光を吸収することによって酸を発生する化合物（光酸発生剤）をドープした共役高分子を用いた場合、レーザ光を照射すると、照射された部分だけが導電性が増加し、未照射の部分は導電性を有しない。そのため、所望の部分の有機化合物層に選択的にレーザ光を照射することにより、有機化合物層の電気抵抗が変化することを利用してデータの書き込みを行う。例えば、レーザ光を照射していない有機化合物層を「0」のデータとする場合、「1」のデータを書き込む際は、所望の部分の有機化合物層に選択的にレーザ光を照射して導電性を増加させる。

【0264】

レーザ光を照射する場合、有機化合物層752の電気抵抗の変化は、メモリセル721の大きさによるが、 μm オーダの径に絞ったレーザ光の照射により実現する。例えば、径が $1 \mu m$ のレーザビームが $10 m / sec$ の線速度で通過するとき、1つのメモリセルが含む有機化合物を含む層にレーザ光が照射される時間は $100 nsec$ となる。 $100 nsec$ という短い時間内で相を変化させるためには、レーザパワーは $10 mW$ 、パワー密度は $10 kW / mm^2$ とするとよい。また、レーザ光を選択的に照射する場合は、パルス発振のレーザ照射装置を用いて行なっていることが好ましい。

【0265】

ここで、レーザ照射装置の一例について、図20(C)を用いて簡単に説明する。レーザ照射装置1001は、レーザ光を照射する際の各種制御を実行するコンピュータ（以下、PCと示す。）1002と、レーザ光を出力するレーザ発振器1003と、レーザ発振器1003の電源1004と、レーザ光を減衰させるための光学系（NDフィルタ）1005と、レーザ光の強度を変調するための音響光学変調器（Acousto-Optic Modulator；AOM）1006と、レーザ光の断面を縮小するためのレンズおよび光路を変更するためのミラー等で構成される光学系1007、X軸ステージ及びY軸ステージを有する移動機構1009と、PCから出力される制御データをデジタルアナログ変換するD/A変換部1010と、D/A変換部から出力されるアナログ電圧に応じて音響光学変調器1006を制御するドライバ1011と、移動機構1009を駆動するための駆動信号を出力するドライバ1012と、被照射物上にレーザ光の焦点を合わせるためのオートフォーカス機構1013を備えている（図20(C)参照。）。

【0266】

レーザ発振器1003としては、紫外光、可視光、又は赤外光を発振することが可能な

10

20

30

40

50

レーザ発振器を用いることができる。レーザ発振器としては、KrF、ArF、KrF、XeCl、Xe等のエキシマレーザ発振器、He、He-Cd、Ar、He-Ne、HF等の気体レーザ発振器、YAG、GdVO₄、YVO₄、YLF、YAlO₃などの結晶にCr、Nd、Er、Ho、Ce、Co、Ti又はTmをドープした結晶を使った固体レーザ発振器、GaN、GaAs、GaAlAs、InGaAsP等の半導体レーザ発振器を用いることができる。なお、固体レーザ発振器においては、基本波か第2高調波～第5高調波を適用するのが好ましい。

【0267】

次に、レーザ照射装置を用いた照射方法について述べる。有機化合物層が設けられた基板が移動機構1009に装着されると、PC1002は図外のカメラによって、レーザ光を照射する有機化合物層の位置を検出する。次いで、PC1002は、検出した位置データに基づいて、移動機構1009を移動させるための移動データを生成する。10

【0268】

この後、PC1002が、ドライバ1011を介して音響光学変調器1006の出力光量を制御することにより、レーザ発振器1003から出力されたレーザ光は、光学系1005によって減衰された後、音響光学変調器1006によって所定の光量になるように光量が制御される。一方、音響光学変調器1006から出力されたレーザ光は、光学系1007で光路及びビームスポット形状を変化させ、レンズで集光した後、基板750上に該レーザ光を照射する。

【0269】

このとき、PC1002が生成した移動データに従い、移動機構1009をX方向及びY方向に移動制御する。この結果、所定の場所にレーザ光が照射され、レーザ光の光エネルギー密度が熱エネルギーに変換され、基板750上に設けられた有機化合物層に選択的にレーザ光を照射することができる。なお、ここでは移動機構1009を移動させてレーザ光の照射を行う例を示しているが、光学系1007を調整することによってレーザ光をX方向およびY方向に移動させてもよい。20

【0270】

上記の通り、レーザ光の照射によりデータの書き込みを行う本発明の構成は、半導体装置を簡単に大量に作製することができる。従って、安価な半導体装置を提供することができる。30

【0271】

続いて、パッシブマトリクス型の半導体装置において、記憶素子からデータの読み出しを行う際の動作について説明する(図3参照)。データの読み出しは、メモリセルを構成する第1の導電層と第2の導電層の間の電気特性が、データ「0」を有するメモリセルとデータ「1」を有するメモリセルとで異なることを利用して行う。例えば、データ「0」を有するメモリセルを構成する第1の導電層と第2の導電層の間の実効的な電気抵抗(以下、単にメモリセルの電気抵抗と呼ぶ)が、読み出し電圧においてR0、データ「1」を有するメモリセルの電気抵抗を、読み出し電圧においてR1とし、電気抵抗の差を利用して読み出す方法を説明する。なお、R1 < R0とする。読み出し/書き込み回路は、読み出し部分の構成として、例えば、図3(B)に示す抵抗素子746と差動増幅器747を用いた回路726を考えることができる。抵抗素子746は抵抗値Rrを有し、R1 < Rr < R0であるとする。抵抗素子746の代わりにトランジスタ748を用いても良いし、差動増幅器の代わりにクロックドインバータ749を用いることも可能である(図3(C))。クロックドインバータ749には、読み出しを行うときにHigh、行わないときにLowとなる、信号 又は反転信号 が入力される。勿論、回路構成は図3に限定されない。40

【0272】

メモリセル721からデータの読み出しを行う場合、まず、デコーダ723、724およびセレクタ725によってメモリセル721を選択する。具体的には、デコーダ724によって、メモリセル721に接続されるワード線W_yに所定の電圧V_yを印加する。50

た、デコーダ723とセレクタ725によって、メモリセル721に接続されるピット線Bxを回路726の端子Pに接続する。その結果、端子Pの電位Vpは、抵抗素子246(抵抗値Rr)とメモリセル721(抵抗値R0もしくはR1)による抵抗分割によって決定される値となる。従って、メモリセル721がデータ「0」を有する場合には、 $Vp_0 = Vy + (V0 - Vy) \times R0 / (R0 + Rr)$ となる。また、メモリセル721がデータ「1」を有する場合には、 $Vp_1 = Vy + (V0 - Vy) \times R1 / (R1 + Rr)$ となる。その結果、図3(B)では、VrefをVp0とVp1の間となるように選択することで、図3(C)では、クロックドインバータの変化点をVp0とVp1の間となるように選択することで、出力電位Voutとして、データ「0」/「1」に応じて、Low/High(もしくはHigh/Low)が出力され、読み出しを行うことができる。

10

【0273】

例えば、差動増幅器をVdd=3Vで動作させ、Vy=0V、V0=3V、Vref=1.5Vとする。仮に、R0/Rr=Rr/R1=9とすると、メモリセルのデータが「0」の場合、Vp0=2.7VとなりVoutはHighが出力され、メモリセルのデータが「1」の場合、Vp1=0.3VとなりVoutはLowが出力される。こうして、メモリセルの読み出しを行うことができる。

【0274】

上記の方法によると、有機化合物層752の電気抵抗の状態は、抵抗値の相違と抵抗分割を利用して、電圧値で読み取っている。勿論、読み出し方法は、この方法に限定されない。例えば、電気抵抗の差を利用する以外に、電流値の差を利用して読み出しても構わない。また、メモリセルの電気特性が、データ「0」と「1」とで、しきい値電圧が異なるダイオード特性を有する場合には、しきい値電圧の差を利用して読み出しても構わない。

20

【0275】

次に、アクティブマトリクス型の半導体装置において記憶素子にデータの書き込みを行うときの動作について説明する(図4、図5参照。)。

【0276】

まず、電気的作用によりデータの書き込みを行うときの動作について説明する。なお、書き込みはメモリセルの電気特性を変化させることで行うが、メモリセルの初期状態(電気的作用を加えていない状態)をデータ「0」、電気特性を変化させた状態を「1」とする。

30

【0277】

ここでは、n行m列目のメモリセル231にデータを書き込む場合について説明する。メモリセル231にデータ「1」を書き込む場合、まず、デコーダ223、224およびセレクタ225によってメモリセル231を選択する。具体的には、デコーダ224によって、メモリセル231に接続されるワード線Wnに所定の電圧V22を印加する。また、デコーダ223とセレクタ225によって、メモリセル231に接続されるピット線Bmを読み出し回路及び書き込み回路を有する回路226に接続する。そして、回路226からピット線B3へ書き込み電圧V21を出力する。

【0278】

こうして、メモリセルを構成するトランジスタ210aをオン状態とし、記憶素子215bに、ピット線を電気的に接続し、おおむねVw=Vcom-V21の電圧を印加する。なお、記憶素子30の一方の電極は電位Vcomの共通電極に接続されている。電位Vwを適切に選ぶことで、当該導電層間に設けられた有機化合物層を物理的もしくは電気的変化させ、データ「1」の書き込みを行う。具体的には、読み出し動作電圧において、データ「1」の状態の第1の導電層と第2の導電層の間の電気抵抗が、データ「0」の状態と比して、大幅に小さくなるように変化させるとよく、単に短絡(ショート)させてよい。なお、電位は、(V21、V22、Vcom)=(5~15V、5~15V、0V)、あるいは(-12~0V、-12~0V、3~5V)の範囲から適宜選べば良い。電圧Vwは5~15V、あるいは-5~-15Vとすればよい。

40

【0279】

50

なお、非選択のワード線および非選択のビット線には、接続されるメモリセルにデータ「1」が書き込まれないよう制御する。具体的には、非選択のワード線には接続されるメモリセルのトランジスタをオフ状態とする電位（例えば0V）を印加し、非選択のビット線は浮遊状態とするか、Vcomと同程度の電位を印加するとよい。

【0280】

一方、メモリセル231にデータ「0」を書き込む場合は、メモリセル231には電気的作用を加えなければよい。回路動作上は、例えば、「1」を書き込む場合と同様に、デコーダ223、224およびセレクタ225によってメモリセル231を選択するが、回路226からビット線B3への出力電位をVcomと同程度とするか、ビット線B3を浮遊状態とする。その結果、記憶素子215bには、小さい電圧（例えば-5~5V）が印加されるか、電圧が印加されないため、電気特性が変化せず、データ「0」書き込みが実現される。10

【0281】

続いて、光学的作用によりデータの書き込みを行う場合について説明する。この場合、レーザ照射装置により、透光性を有する導電層側から、有機化合物層に対して、レーザ光を照射することにより行う。レーザ照射装置はパッシブマトリクス型の半導体装置において、図20を用いて説明したものと同様のものを用いればよい。

【0282】

有機化合物層として、有機化合物材料を用いた場合、レーザ光の照射により、有機化合物層が酸化又は炭化して絶縁化する。そうすると、レーザ光が照射された記憶素子の抵抗値は増加し、レーザ光が照射されない記憶素子の抵抗値は変化しない。また、光酸発生剤をドープした共役高分子材料を用いた場合、レーザ光の照射により、有機化合物層に導電性が与えられる。つまり、レーザ光が照射された記憶素子には導電性が与えられ、レーザ光が照射されない記憶素子には導電性が与えられない。20

【0283】

次に、電気的作用により、データの読み出しを行う際の動作について説明する。ここでは、回路226は、抵抗素子246と差動増幅器247を含む構成とする。但し、回路226の構成は上記構成に制約されず、どのような構成を有していてもよい。

【0284】

次に、アクティブマトリクス型の半導体装置において電気的作用により、データの読み出しを行う際の動作について説明する。データの読み出しは、記憶素子215bの電気特性が、データ「0」を有するメモリセルとデータ「1」を有するメモリセルとで異なることを利用して行う。例えば、データ「0」を有するメモリセルを構成する記憶素子の電気抵抗が読み出し電圧においてR0、データ「1」を有するメモリセルを構成する記憶素子の電気抵抗が読み出し電圧においてR1とし、電気抵抗の差を利用して読み出す方法を説明する。なお、R1 < R0とする。読み出し/書き込み回路は、読み出し部分の構成として、例えば、図5(B)に示す抵抗素子246と差動増幅器247を用いた回路226を考えることができる。抵抗素子は抵抗値Rrを有し、R1 < Rr < R0であるとする。抵抗素子246の代わりに、トランジスタ249を用いても良いし、差動増幅器の代わりにクロックドインバータ248を用いることも可能である(図5(C))。勿論、回路構成は図5に限定されない。3040

【0285】

x行y列目メモリセル231からデータの読み出しを行う場合、まず、デコーダ223、224およびセレクタ225によってメモリセル231を選択する。具体的には、デコーダ224によって、メモリセル231に接続されるワード線Wyに所定の電圧V24を印加し、トランジスタ210aをオン状態にする。また、デコーダ223とセレクタ225によって、メモリセル231に接続されるビット線Bxを回路226の端子Pに接続する。その結果、端子Pの電位Vpは、VcomとV0が抵抗素子246(抵抗値Rr)と記憶素子215b(抵抗値R0もしくはR1)による抵抗分割によって決定される値となる。従って、メモリセル231がデータ「0」を有する場合には、Vp0 = Vcom + (

$V_0 - V_{com} \times R_0 / (R_0 + R_r)$ となる。また、メモリセル 231 がデータ「1」を有する場合には、 $V_{p1} = V_{com} + (V_0 - V_{com}) \times R_1 / (R_1 + R_r)$ となる。その結果、図 5 (B) では、 V_{ref} を V_{p0} と V_{p1} の間となるように選択することで、図 5 (C) では、クロックドインバータの変化点を V_{p0} と V_{p1} の間となるように選択することで、出力電位 V_{out} が、データ「0」/「1」に応じて、Low/High (もしくは High/Low) が出力され、読み出しを行うことができる。

【0286】

例えば、差動増幅器を $V_{dd} = 3V$ で動作させ、 $V_{com} = 0V$ 、 $V_0 = 3V$ 、 $V_{ref} = 1.5V$ とする。仮に、 $R_0 / R_r = R_r / R_1 = 9$ とし、トランジスタ 210a のオン抵抗を無視できるとすると、メモリセルのデータが「0」の場合、 $V_{p0} = 2.7V$ となり V_{out} は High が出力され、メモリセルのデータが「1」の場合、 $V_{p1} = 0.3V$ となり V_{out} は Low が出力される。こうして、メモリセルの読み出しを行うことができる。

【0287】

上記の方法によると、記憶素子 215b の抵抗値の相違と抵抗分割を利用して、電圧値で読み取っている。勿論、読み出し方法は、この方法に限定されない。例えば、電気抵抗の差を利用する以外に、電流値の差を利用して読み出しても構わない。また、メモリセルの電気特性が、データ「0」と「1」とで、しきい値電圧が異なるダイオード特性を有する場合には、しきい値電圧の差を利用して読み出しても構わない。

【0288】

上記構成を有する記憶素子および当該記憶素子を備えた半導体装置は、不揮発性メモリであるため、データを保持するための電池を内蔵する必要がなく、小型、薄型、軽量の半導体装置の提供することができる。また、上記実施の形態で用いる絶縁性材料を有機化合物層として用いることによって、データの書き込み（追記）は可能であるが、データの書き換えを行うことはできない。従って、偽造を防止し、セキュリティを確保した半導体装置を提供することができる。

【0289】

なお、本実施の形態は、上記実施の形態に示した記憶素子および当該記憶素子を備えた半導体装置の構成と自由に組み合わせて行うことができる。

(実施の形態 8)

【0290】

本実施形態の半導体装置の構成について、図 12 を参照して説明する。図 12 に示すように、本発明の半導体装置 20 は、非接触でデータを交信する機能を有し、電源回路 11、クロック発生回路 12、データ復調/変調回路 13、他の回路を制御する制御回路 14、インターフェイス回路 15、記憶回路 16、データバス 17、アンテナ（アンテナコイル）18、センサ 21、センサ回路 22 を有する。

【0291】

電源回路 11 は、アンテナ 18 から入力された交流信号を基に、半導体装置 20 の内部の各回路に供給する各種電源を生成する回路である。クロック発生回路 12 は、アンテナ 18 から入力された交流信号を基に、半導体装置 20 の内部の各回路に供給する各種クロック信号を生成する回路である。データ復調/変調回路 13 は、リーダライタ 19 と交信するデータを復調/変調する機能を有する。制御回路 14 は、記憶回路 16 を制御する機能を有する。アンテナ 18 は、電磁波或いは電波の送受信を行う機能を有する。リーダライタ 19 は、半導体装置との交信、制御及びそのデータに関する処理を制御する。なお、半導体装置は上記構成に制約されず、例えば、電源電圧のリミッタ回路や暗号処理専用ハードウェアといった他の要素を追加した構成であってもよい。

【0292】

記憶回路 16 は、一対の導電層間に有機化合物層又は相変化層が挟まれた記憶素子を有することを特徴とする。なお、記憶回路 16 は、一対の導電層間に有機化合物層又は相変化層が挟まれた記憶素子のみを有していてもよいし、他の構成の記憶回路を有していてもよ

10

20

30

40

50

い。他の構成の記憶回路とは、例えば、DRAM、SRAM、FeRAM、マスクROM、PROM、EPROM、EEPROM及びフラッシュメモリから選択される1つ又は複数に相当する。

【0293】

センサ21は抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスタ、ダイオードなどの半導体素子で形成される。センサ回路22はインピーダンス、リアクタンス、インダクタンス、電圧又は電流の変化を検出し、アナログ／デジタル変換（A／D変換）して制御回路14に信号を出力する。

【0294】

（実施の形態9）

10

本発明によりプロセッサ回路を有するチップ（以下、プロセッサチップ、無線チップ、無線プロセッサ、無線メモリ、無線タグともよぶ）として機能する半導体装置を形成することができる。本発明の半導体装置の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、証書類、無記名債券類、包装用容器類、書籍類、記録媒体、身の回り品、乗物類、食品類、衣類、保健用品類、生活用品類、薬品類及び電子機器等に設けて使用することができる。

【0295】

本発明を用いた記憶素子を有する半導体装置は、記憶素子内部において密着性が良好なため、剥離、転置工程を良好な状態で行うことができる。よって、自由に様々な基板に転置することができるため、安価な材料を基板として選択することもでき、用途に合わせて広い機能を持たせることができるだけでなく、低コストで半導体装置を作製することができる。よって、本発明によりプロセッサ回路を有するチップも安価、小型、薄型、軽量という特徴を有しているので、多く流通する貨幣、硬貨などや、持ち運ぶことの多い書籍、身の回り品、衣類などに好適である。

20

【0296】

紙幣、硬貨とは、市場に流通する金銭であり、特定の地域で貨幣と同じように通用するもの（金券）、記念コイン等を含む。有価証券類とは、小切手、証券、約束手形等を指し、プロセッサ回路を有するチップ90を設けることができる（図13（A）参照）。証書類とは、運転免許証、住民票等を指し、プロセッサ回路を有するチップ91を設けることができる（図13（B）参照）。乗物類とは、自転車等の車両、船舶等を指し、プロセッサ回路を有するチップ97を設けることができる（図13（C）参照）。無記名債券類とは、切手、おこめ券、各種ギフト券等を指す。包装用容器類とは、お弁当等の包装紙、ペットボトル等を指し、プロセッサ回路を有するチップ93を設けることができる（図13（D）参照）。書籍類とは、書物、本等を指し、プロセッサ回路を有するチップ94を設けることができる（図13（E）参照）。記録媒体とは、DVDソフト、ビデオテープ等を指し、プロセッサ回路を有するチップ95を設けることができる（図13（F）参照）。身の回り品とは、鞄、眼鏡等を指し、プロセッサ回路を有するチップ96を設けることができる（図13（G）参照）。食品類とは、食料品、飲料等を指す。衣類とは、衣服、履物等を指す。保健用品類とは、医療器具、健康器具等を指す。生活用品類とは、家具、照明器具等を指す。薬品類とは、医薬品、農薬等を指す。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置（テレビ受像機、薄型テレビ受像機）、携帯電話等を指す。

30

【0297】

本発明の半導体装置は、プリント基板に実装する、表面に貼る、埋め込むなどして物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明の半導体装置は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明の半導体装置を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用

40

50

品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【0298】

次に、本発明の半導体装置を実装した電子機器の一態様について図面を参照して説明する。ここで例示する電子機器は携帯電話機であり、筐体2700、2706、パネル2701、ハウジング2702、プリント配線基板2703、操作ボタン2704、バッテリ2705を有する(図12(B)参照)。パネル2701はハウジング2702に脱着自在に組み込まれ、ハウジング2702はプリント配線基板2703に嵌着される。ハウジング2702はパネル2701が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板2703には、パッケージングされた複数の半導体装置が実装されており、このうちの1つとして、本発明の半導体装置を用いることができる。プリント配線基板2703に実装される複数の半導体装置は、コントローラ、中央処理ユニット(CPU, Central Processing Unit)、メモリ、電源回路、音声処理回路、送受信回路等のいずれかの機能を有する。

10

【0299】

パネル2701は、接続フィルム2708を介して、プリント配線基板2703と接続される。上記のパネル2701、ハウジング2702、プリント配線基板2703は、操作ボタン2704やバッテリ2705と共に、筐体2700、2706の内部に収納される。パネル2701が含む画素領域2709は、筐体2700に設けられた開口窓から視認できるように配置されている。

20

【0300】

上記の通り、本発明の半導体装置は、小型、薄型、軽量であることを特徴としており、上記特徴により、電子機器の筐体2700、2706内部の限られた空間を有效地に利用することができる。

【0301】

また、本発明の半導体装置は、一対の導電層間に有機化合物層が挟まれた単純な構造の記憶素子を有するため、安価な半導体装置を用いた電子機器を提供することができる。また、本発明の半導体装置は高集積化が容易なため、大容量の記憶回路を有する半導体装置を用いた電子機器を提供することができる。

30

【0302】

また、本発明の半導体装置が有する記憶素子は、光学的作用、又は電気的作用によりデータの書き込みを行うものであり、不揮発性であって、データの追記が可能であることを特徴とする。上記特徴により、書き換えによる偽造を防止することができ、新たなデータを追加して書き込むことができる。従って、高機能化と高付加価値化を実現した半導体装置を用いた電子機器を提供することができる。

【0303】

なお、筐体2700、2706は、携帯電話機の外観形状を一例として示したものであり、本実施の形態に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。

【実施例1】

【0304】

40

本発明を用いて記憶素子を作製し、転置工程を行った結果を本実施例において示す。

【0305】

ガラス基板上に、第1の導電層としてチタン膜、隔壁として第1の導電層の一部を覆う膜厚1.5μmのポリイミド膜、絶縁層として膜厚1nmのフッ化カルシウム膜(CaF₂)、有機化合物層として膜厚10nmのNPB膜を積層し、第2の導電層として材料や作製方法を変えて試料1から7を作製した。また比較例として第2の導電層にアルミニウム膜を用いた試料を作製した。なお、本実施例ではポリイミド膜を第1の導電層上に開口を有するように形成した後、第1の導電層上のポリイミドの残渣を除去するために酸素(O₂)アッティングを行った。

【0306】

50

第2の導電層として、試料1はインジウム膜（膜厚200nm）、試料2はインジウム膜（膜厚100nm）とアルミニウム膜（膜厚200nm）との積層、試料3は錫1wt%のインジウム錫合金膜（膜厚200nm）、試料4は錫1wt%のインジウム錫合金膜（膜厚200nm）、試料5は錫10wt%のインジウム錫合金膜（膜厚100nm）とアルミニウム膜（膜厚200nm）との積層、試料6は、マグネシウム10wt%のマグネシウムインジウム合金膜（膜厚150nm）、試料7はマンガン膜（膜厚80nm）である。試料1、試料2、試料7は蒸着法により形成した膜である。試料3乃至5のインジウム錫合金膜はインジウムと錫を共蒸着して形成した膜、試料6のマグネシウムインジウム合金膜は、インジウムとマグネシウムを共蒸着した膜である。比較例のアルミニウム膜も蒸着法により形成し、膜厚を200nmとした。なお、有機化合物層の面積はすべて試料において約100mm²である。また、第2の導電層の面積は約170mm²である。なお、インジウム錫合金膜において、インジウムに錫を0.1wt%以上加えると電気抵抗が小さくなり、外部端子と導通が保ちやすく好ましい。

【0307】

ガラス基板に作製された試料1から7、及び比較例の記憶素子上にエポキシ樹脂を孔版印刷法により塗布し、窒素雰囲気下において60分間110℃で加熱して、膜厚100～200μmのエポキシ樹脂層を形成した。その後、試料1から7、及び比較例の記憶素子を剥離し、エポキシ樹脂層に転置した。それぞれの転置状態を表1に示す。

【0308】

【表1】

10

20

試料	構造	転置状態	備考
1	In	○	
2	In\Al	○	
3	InSn	○	Sn10wt%
4	InSn	○	Sn1wt%
5	InSn\Al	○	Sn10wt%
6	InMg	○	Mg10wt%
7	Mn	○	
比較例	Al	×	

【0309】

本発明を用いて作製した本実施例における試料1から7全てにおいては、視認においては膜剥がれや剥離残りなどない良好な状態で剥離することができた。一方、比較例であるアルミニウム膜を第2の導電層として作製した記憶素子は、アルミニウム膜のみがエポキシ樹脂層に転置され記憶素子全体をガラス基板より剥離することができなかった。

30

【0310】

このように本発明を用いて作製される記憶素子は、記憶素子内部の密着性が良好なため、剥離、転置工程を良好な状態で行うことができる事が確認できた。よって、自由に様々な基板に転置することができるため、基板の材料の選択性の幅が広がる。また安価な材料を基板として選択することもでき、用途に合わせて広い機能を持たせることができるだけでなく、低コストで半導体装置を作製することができる。

【0311】

40

本発明により、良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる。よって、より高信頼性の半導体装置を、工程を複雑化することなく、歩留まりよく作製することができる。

【実施例2】

【0312】

本発明を用いて記憶素子を作製し、転置工程を行った結果を本実施例において示す。

【0313】

実施例1と同様にガラス基板上に、第1の導電層としてチタン膜、絶縁層として膜厚1nmのフッ化カルシウム(CaF₂)膜、有機化合物層として膜厚10nmのNPB膜を積層し、第2の導電層を形成した。本実施例では第2の導電層としてインジウム錫合金膜

50

を、錫を 5 wt % 含むインジウム錫合金を蒸着源として用いて膜厚 200 nm 蒸着して形成した。なお、有機化合物層の面積は約 1 mm² である。また、第 2 の導電層の面積は約 170 mm² である。なお、本実施例ではポリイミド膜を第 1 の導電層上に開口を有するように形成した後、第 1 の導電層上のポリイミドの残渣を除去するために酸素 (O₂) アッティングを行った。

【0314】

ガラス基板に作製された本実施例の記憶素子上にエポキシ樹脂を孔版印刷法により塗布し、窒素雰囲気下において 60 分間 110°C で加熱して、膜厚 100 μm ~ 200 μm のエポキシ樹脂層を形成した。その後、本実施例の記憶素子を剥離し、エポキシ樹脂層に転置した。

10

【0315】

本発明を用いて作製した本実施例の記憶素子は、視認においては膜剥がれや剥離残りなどない良好な状態で剥離することができた。

【0316】

このように本発明を用いて作製される記憶素子は、記憶素子内部の密着性が良好なため、剥離、転置工程を良好な状態で行うことができる事が確認できた。よって、自由に様々な基板に転置することができるため、基板の材料の選択性の幅が広がる。また安価な材料を基板として選択することもでき、用途に合わせて広い機能を持たせることができるだけでなく、低コストで半導体装置を作製することができる。

【0317】

20

本発明により、良好な状態で転置工程を行えるような、記憶素子内部において密着性のよい記憶素子を有する半導体装置を作製できる。よって、より高信頼性の半導体装置を、工程を複雑化することなく、歩留まりよく作製することができる。

【図面の簡単な説明】

【0318】

【図 1】本発明を説明する図。

【図 2】本発明の半導体装置を説明する図。

【図 3】本発明の半導体装置を説明する図。

【図 4】本発明の半導体装置を説明する図。

【図 5】本発明の半導体装置を説明する図。

30

【図 6】本発明の半導体装置を説明する図。

【図 7】本発明の半導体装置を説明する図。

【図 8】本発明の半導体装置の作製方法を説明する図。

【図 9】本発明の半導体装置の作製方法を説明する図。

【図 10】本発明の半導体装置を説明する図。

【図 11】本発明の半導体装置を説明する図。

【図 12】本発明の半導体装置を説明する図。

【図 13】本発明の半導体装置を説明する図。

【図 14】本発明の半導体装置を説明する図。

【図 15】従来の半導体装置を説明する図。

40

【図 16】本発明を説明する図。

【図 17】本発明の半導体装置を説明する図。

【図 18】本発明の半導体装置を説明する図。

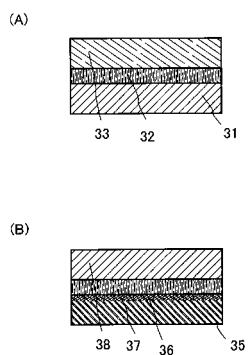
【図 19】本発明の半導体装置を説明する図。

【図 20】本発明の半導体装置を説明する図。

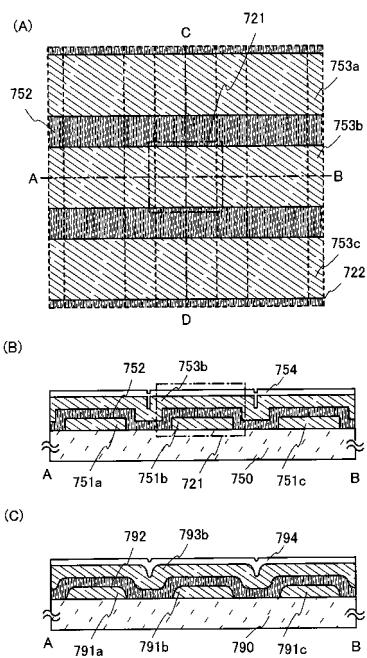
【図 21】本発明の半導体装置を説明する図。

【図 22】本発明の半導体装置を説明する図。

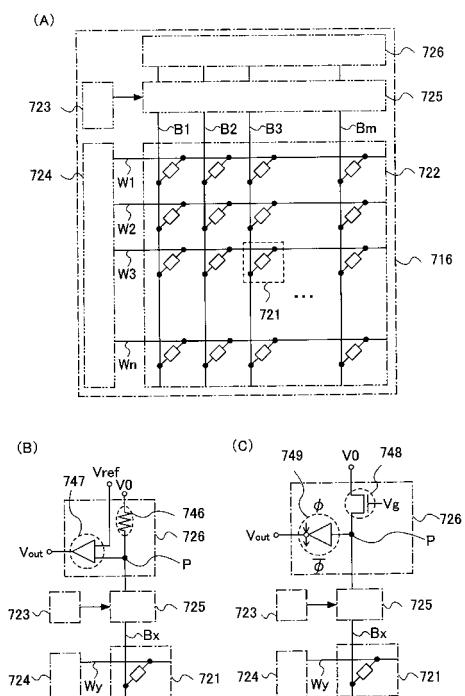
【図1】



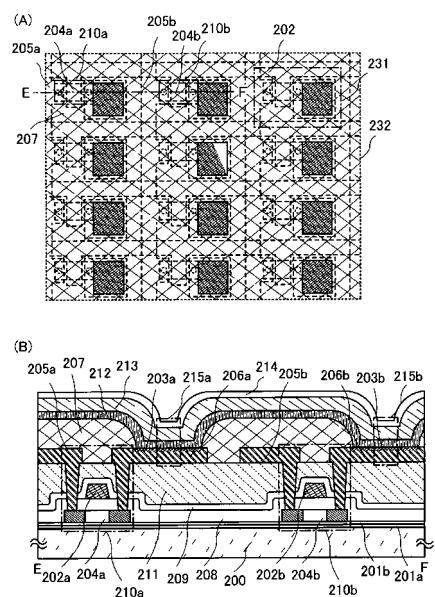
【図2】



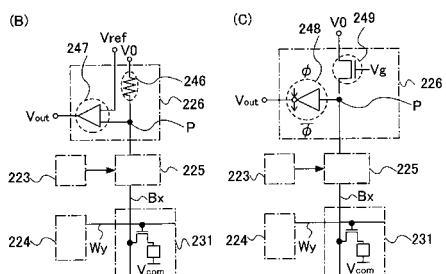
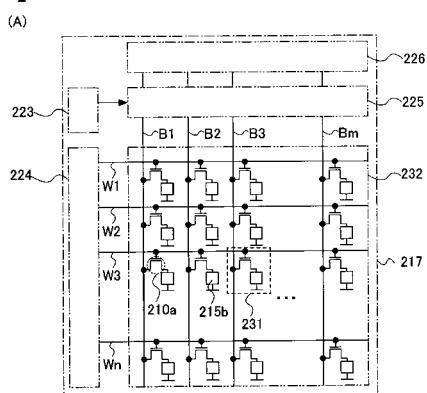
【図3】



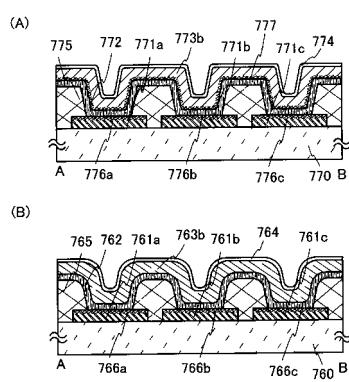
【図4】



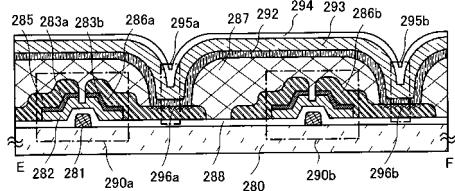
【図5】



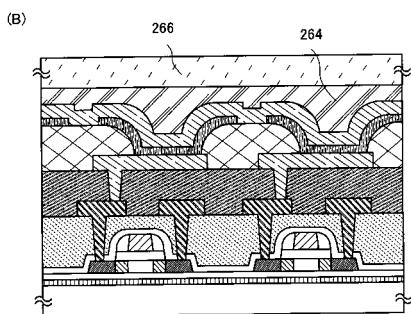
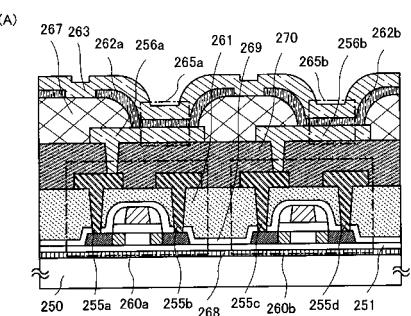
【図6】



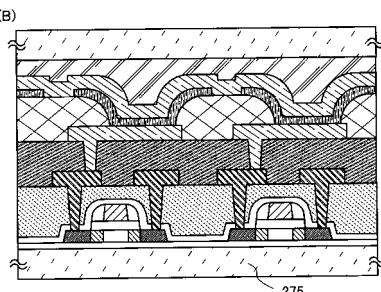
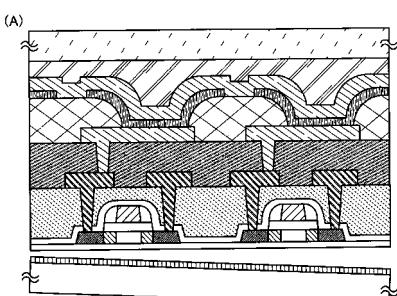
【図7】



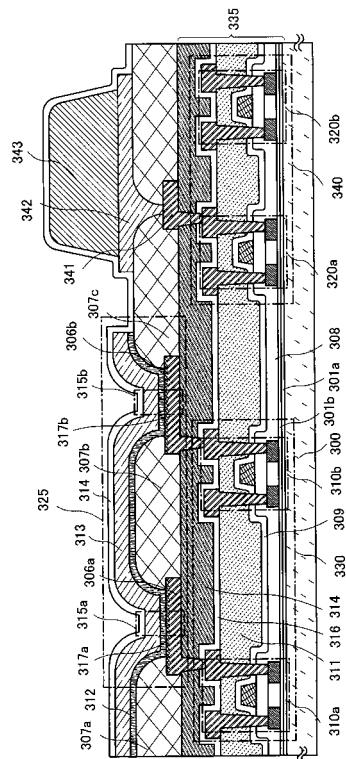
【図8】



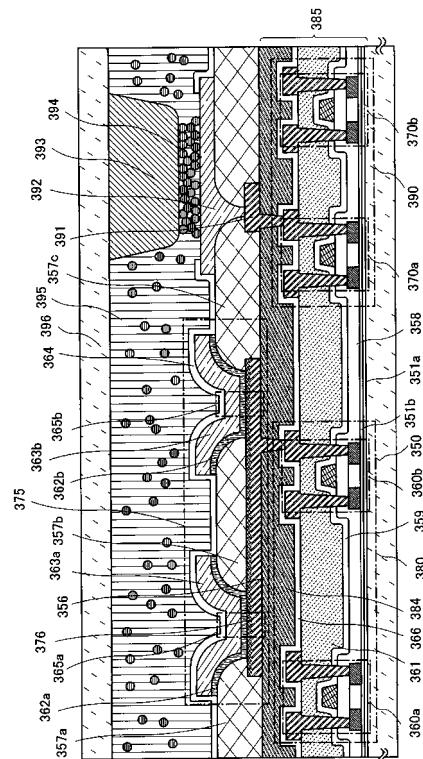
【図9】



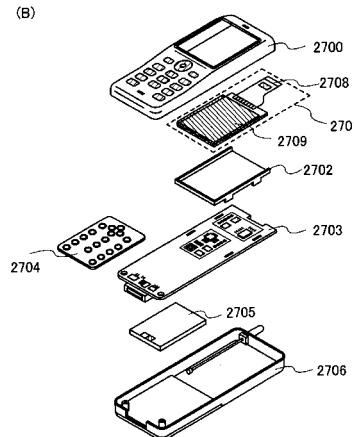
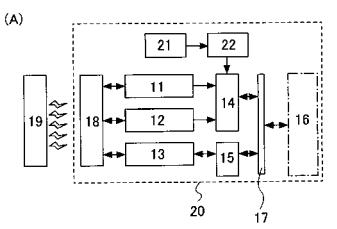
【図10】



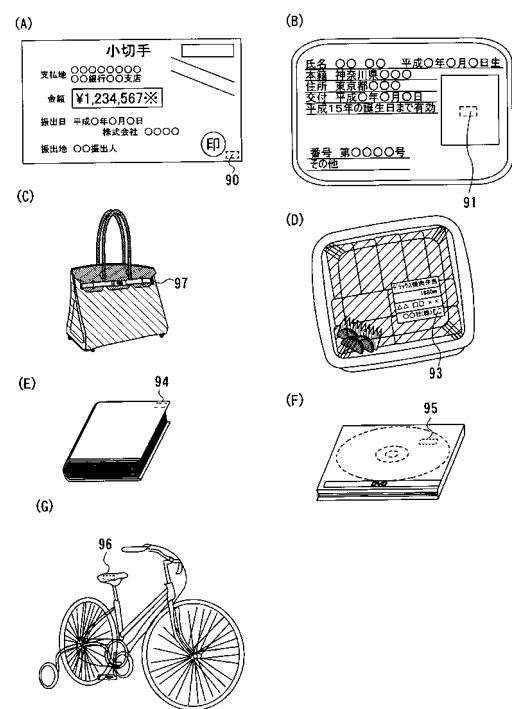
【 図 1 1 】



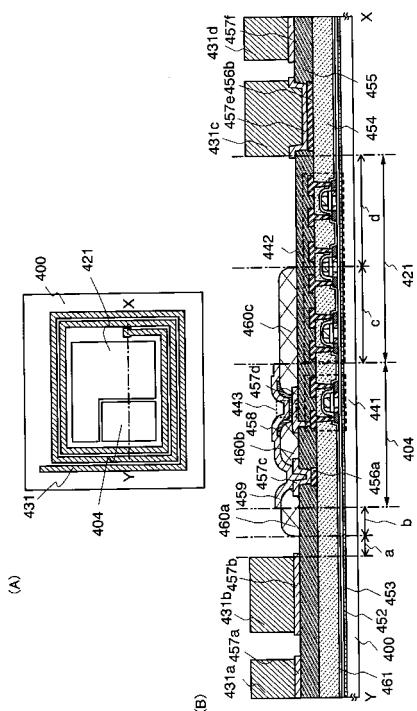
【図12】



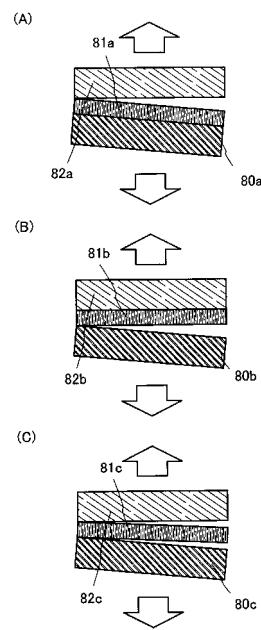
【図13】



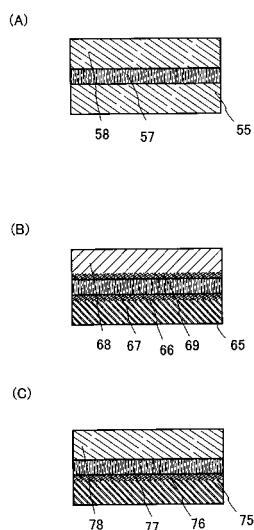
【図 1-4】



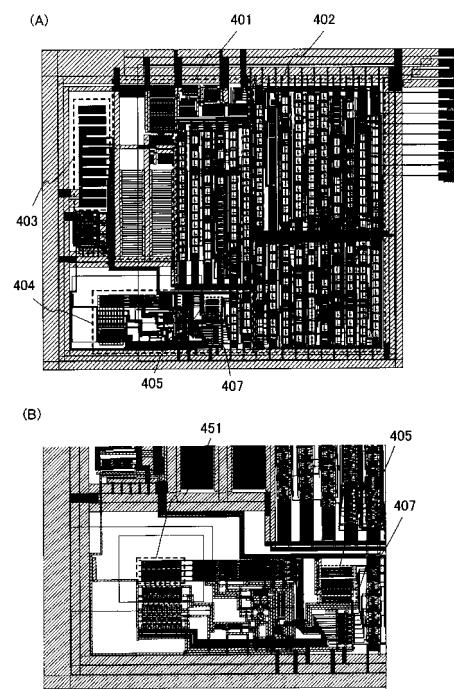
【図15】



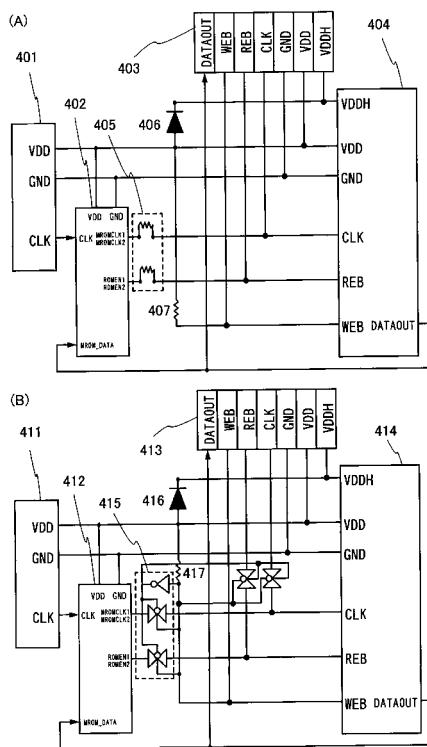
【図16】



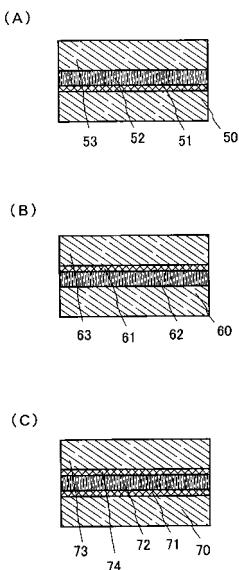
【図17】



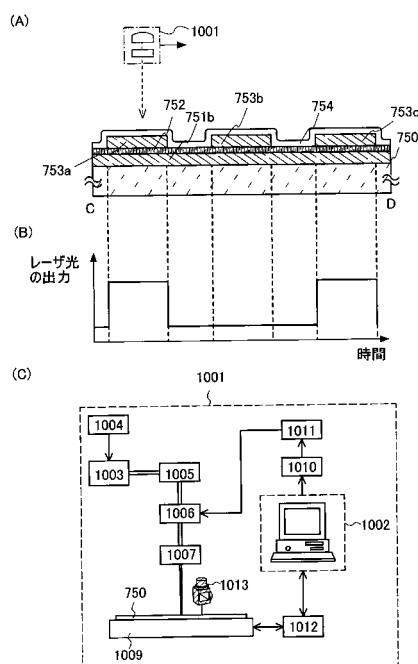
【図18】



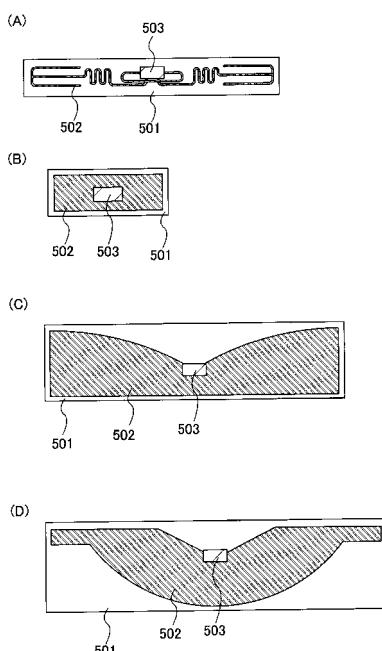
【図19】



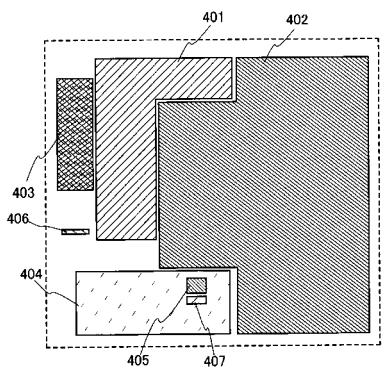
【図20】



【図21】



【図22】



フロントページの続き

(51)Int.Cl. F I
H 01 L 27/10 (2006.01)

審査官 小山 満

(56)参考文献 特開2003-204049 (JP, A)
特表2007-527620 (JP, A)
特表2006-522483 (JP, A)
国際公開第2005/041319 (WO, A1)
国際公開第2005/053049 (WO, A1)
特開2005-203763 (JP, A)
特開2004-241632 (JP, A)
特開平11-020360 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 27 / 28
H 01 L 27 / 10
H 01 L 29 / 417
H 01 L 29 / 423
H 01 L 29 / 49
H 01 L 51 / 05