

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4344088号
(P4344088)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月17日(2009.7.17)

(51) Int.Cl.	F 1
H05K 1/14 (2006.01)	H05K 1/14 F
H01L 23/538 (2006.01)	H01L 23/52 A
H05K 1/16 (2006.01)	H05K 1/16 Z

請求項の数 3 (全 7 頁)

(21) 出願番号	特願2000-531862 (P2000-531862)	(73) 特許権者	591003943 インテル・コーポレーション アメリカ合衆国 95052 カリフォルニア州・サンタクララ・ミッション カレッジ ブーレバード・2200
(86) (22) 出願日	平成11年1月25日(1999.1.25)	(74) 代理人	100064621 弁理士 山川 政樹
(65) 公表番号	特表2002-517080 (P2002-517080A)	(72) 発明者	イー, ドーソン・エル アメリカ合衆国・97007・オレゴン州 ・ビバートン・サウスウェスト ギアハート ドライブ・8020
(43) 公表日	平成14年6月11日(2002.6.11)	(72) 発明者	ノア, アール・ロジャー アメリカ合衆国・98503・ワシントン州・レーシー・39ティエイチ アベニュー サウスイースト・7624
(86) 國際出願番号	PCT/US1999/001555		
(87) 國際公開番号	W01999/041770		
(87) 國際公開日	平成11年8月19日(1999.8.19)		
審査請求日	平成18年1月12日(2006.1.12)		
(31) 優先権主張番号	09/023,388		
(32) 優先日	平成10年2月13日(1998.2.13)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】 基板の一次側と二次側における同一の接続点レイアウトのためのルーティングトポロジー

(57) 【特許請求の範囲】

【請求項 1】

第1のチップを接合するための第1のレイアウトを持ち、第1の接続点を含む第1の接続点グループを有する多層基板における正面側に位置する一次側、

第2のチップを接合するための、上記第1のレイアウトと同一のレイアウトを持ち、第2の接続点を含む第2の接続点グループを有する多層基板における背面側に位置する二次側、及び

各々が実質的に同じ電気的長さを有する第1と第2の分岐トレースを通して上記第1と第2の接続点に連結される中間接続点

を有し、上記中間接続点が基本トレースに連結、接続され、上記基本トレースが、第3のチップを接合するための接続点グループの該当する接続点に連結されることを特徴とする多層基板。

【請求項 2】

第1と第3の接続点を各々含む第1と第3の接続点グループを有し、それぞれが第1と第3のチップの各々を接合する第1のレイアウトを持つ多層基板における正面側に位置する一次側、

第2と第4の接続点を各々含む第2と第4の接続点グループを有し、それぞれが第2と第4のチップの各々を接合する上記第1のレイアウトと同一のレイアウトを持つ多層基板における背面側に位置する二次側、及び、

各々が実質的に同一の電気的長さを持つ第1と第2の分岐トレースを通して上記第1と

10

20

第2の接続点に連結される第1の中間接続点と、各々が実質的に同一の電気的長さを有する第3と第4の分岐トレースを通って上記第3と第4の接続点に連結される第2の中間接続点

とを有し、上記中間接続点が基本トレースに連結、接続され、上記基本トレースが、第5のチップを接合するための接続点グループの該当する接続点に連結されることを特徴とする多層基板。

【請求項3】

第1の接続点を含む第1の接続点グループを有し、レイアウトされた接続点を持つ第1のチップを接合するための第1のレイアウトを持つ多層基板における正面側に位置する一次側、
10

第2の接続点を含む第2の接続点グループを有し、上記第1のチップの上記レイアウトと同一のレイアウトを持つ第2のチップを接合するための上記第1のレイアウトと同一のレイアウトを持つ多層基板における背面側に位置する二次側、及び、

各々が実質的に同じ電気的長さを持つ第1と第2の分岐トレースを通って上記第1と第2の接続点に連結される中間接続点

とを有し、上記中間接続点が基本トレースに連結、接続され、上記基本トレースが、第3のチップを接合するための接続点グループの該当する接続点に連結されることを特徴とする多層基板。

【発明の詳細な説明】

【0001】

20

(技術分野)

本発明はトレース・ルーティング・トポロジーに関し、より厳密には基板の一次側と二次側上で同一の接続点レイアウトを可能にするトポロジーに関する。

【0002】

(背景技術)

マイクロプロセッサのようないくつかのプロセッサはそのプロセッサのプロセッサチップが使用するデータを記憶するために、外部キャッシュチップ（L2キャッシュと呼ばれることがある）を使用する。キャッシュチップはプリント基板などの基板に取り付けられ、高速バスを通してプロセッサコアチップに接続される。

【0003】

30

例えばインテルコーポレーションが製造するペンティアム（登録商標）IIプロセッサはプロセッサチップとキャッシュチップが各々接続される基板を含む。プロセッサチップとキャッシュチップを基板に接続するためにプロセッサチップの接続点とキャッシュチップの接続点とのそれぞれが一致する接続点を基板に設けている。基板は複数の層を含む。1つのチップの様々な接続点を別のチップの様々な接続点に連結するためにトレースが基板の接続点に接続される。トレースがそれぞれ一緒にコネクタに入ってくるのを避けるために、トレースは特定の形状に経路が決められる。トレースをお互いに接触させないように、バイアを通って接続されている様々な層を通るようにトレースの経路を決めることができる。基板はマザーボードに取り付けることができるコネクタに、1つのエッジコネクタのゴールドフィンガーを通じて接続される。

40

【0004】

1つのチップ上の接続点は、中間接続点から実質的に等距離にあるものを含む複数の分岐トレースを通って、基板の同じ側で同じ相対的なレイアウト位置にある1個より多いチップ上の接続点に連結されてきた。

ペンティアム（登録商標）IIプロセッサに使われているような基板は複数の層を有する。各層は複雑さと費用を追加する。更にバイアの追加は複雑さ（例えばトレースのルーティングチャンネルをブロックすることにより）と費用を追加する。

【0005】

(発明の開示)

本発明の一態様では、本発明は多層基板を有する。基板は、第1の接続点を含むような第

50

1の接続点グループを持ち、第1のチップを接合する第1のレイアウトを持つような一次側を有する。基板はまた、第2の接続点を含むような第2の接続点グループを持ち、第2のチップを接合するために第1のレイアウトと同一のレイアウトを持つような二次側を有する。基板はまた、各々が実質的に同じ電気的長さを持つ第1と第2の分岐トレースを通じて第1と第2の接続点に連結されている中間接続点を有する。

【0006】

本発明は以下に述べる詳細な説明と添付の本発明の実施形態の図面によってより十分に理解されるであろう。しかし、それらは本発明をその特定の説明されている実施形態に限定すると解釈されるべきではなく、単に説明と理解のためである。

【0007】

(好ましい実施形態の詳細な説明)

図1および図2において、プリント基板である基板10は一次側12と二次側14を有する。基板10は5つの接続点グループを有する、即ち、接続点18のグループ、接続点22-1、22-2、22-3および22-4のグループである。単に例として挙げると、その接続点はバイア上のパッドでよく、また他の導体でもよい。

【0008】

1つの例として、基板10は接続点18のグループに接続されるプロセッサチップを有するプロセッサの一部であることができる。そのプロセッサは、それぞれが接続点22-1、22-2、22-3および22-4の4つのグループのうちのどれか1つに接続される4つのキャッシュチップを有する。接続点のそれぞれのグループはレイアウトを有する。チップもまた接続点のレイアウトを持つ。チップの接続点はピン、パッド、または他の導体である。接続点22-1、22-2、22-3および22-4のグループのレイアウトを同一にすることにより、同じキャッシュチップを基板10の一次側および二次側の両方に使うことができる。従ってキャッシュチップは1つのタイプのみ製造されればよい(すなわち、キャッシュチップのたった1つの導体ポイント・レイアウトのみが必要である)。ここに規定するように、もし2つの接続点グループの接続点レイアウトが同一であれば、同一のチップが接続点グループのどちらにも同じように働く。

【0009】

特に以下の接続点を具体的に説明する。即ち接続点18のグループの接続点30、接続点22-1のグループの接続点CPA-1とCPB-1、接続点22-2のグループの接続点CPA-2とCPB-2、接続点22-3のグループの接続点CPA-3とCPB-3、接続点22-4のグループの接続点CPA-4とCPB-4、および接続点32である。

【0010】

基板10は例えばゴールドフィンガー接続の6つのグループを有する。即ち、16A、16B、16C、16D、16E、および16Fである。1つの例として、接続点32はゴールドフィンガー接続の1つであるか、または1つ或いはそれ以上のゴールドフィンガー接続に接続される。

基板10はバイア34、36、44、および46を有する。図示の実施形態において、バイアは基板10の各層を通り抜ける。他の実施形態では、バイアは各層を通るようには延びていない。バイア34、36、44、および46は中間接続点と見ることができる。しかしながら図示の実施形態では、バイア34、36、44、および46はチップと直接接合する事がないのに対し、接続点CPA-1、CPA-2などは直接接合する。

【0011】

図1、図2、および図3において、基本トレース40は接続点30とバイア34の間で連結されている。基本トレース42は接続点30とバイア36の間で連結されている。基本トレース40と42は実質上同じ電気的長さを持つべきである。電気的長さはフライト時間である。等しい物理的長さは等しい電気的長さを与えるであろう。実質的に等しい電気的長さを持つ目的はチップ間信号のためのタイミング許容値を小さくすることである。電気的長さが実質的に同じでなければならないその程度は、少なくとも部分的には実装によ

10

20

30

40

50

って変わる許容値に依存する。その程度はまた、他のトレース（以下に述べる）がいかに近似した実質的に同一の電気的長さを持っているかにもよる。接続点 30 がバイア 36 よりバイア 34 に近いので、基本トレース 42 の電気的長さと合致させるためにトレース 40 に余分の物理的長さを加える目的で基本トレース 40 に曲がり（図 3 には示していないが、例えば曲がりくねった形状）を持たせてもよい。基本トレース 42 もまた曲がりを持つことができる。ここに述べる様々なトレースは、必ずしも一定の幅を持つ必要はない。

【 0012 】

分岐トレース B A 1 は接続点 C P A - 1 とバイア 34 の間で連結されている。分岐トレース B A 2 は接続点 C P A - 2 とバイア 34 の間に連結されている。分岐トレース B A 1 と B A 2 は実質的に同一の電気的長さを持つ。分岐トレース B A 3 は接続点 C P A - 3 とバイア 36 の間で連結され、分岐トレース B A 4 は接続点 C P A - 4 とバイア 36 の間で連結される。分岐トレース B A 3 と B A 4 は実質的に同一の電気的長さを持つ。言及したように、バイアはすべての層を通って完全に延びている必要はない。1つ或いはそれ以上のトレースは直線でない形状（例えば曲がりくねった形状）を持つことができる。また、トレースの幅は均一である必要はない。

【 0013 】

図 4 において、基板 10 は N の層（すべてが図示されていない）を持つ。図 4 は基本トレース 40 が内部層を通過して内部層内のバイア 34 に接続されていることを示す。代わりの実施形態においては、基本トレース 40 を異なる層を通過して異なるバイアに接続する複数の基本トレースまたは基本 / 分岐トレースで置き換えることができる。接続点 C P A - 1 と C P A - 2 は図 1、図 2、および図 3 に示すように移動される（すなわち、1つがもう一方の上にないように）。接続点 C P A - 1 と C P A - 2 は全ての層を通って拡がるバイア（バイア 34 と同様）に接続されるパッドであってもよい。

【 0014 】

図 5 に図 4 に示すものとは異なるもう一つのタイプのトレース・ルーティング・トポロジーを示す。図 5 においてトレース・ルーティング・トポロジーは基本トレース 50 とそれに接続された基本 / 分岐トレース 54、56 を有する。基本トレース 50 は、接続点の一形態であるバイア 52 を通って基本 / 分岐トレース 54 と 56 に接続されている。分岐 B B 1 と B B 2 はバイア 44 に接続され、各々接続点 C P B - 1 と C P B - 2 に接続される。分岐 B B 3 と B B 4 はバイア 46 に接続され、接続点 C P B - 3 と C P B - 4 に接続される。分岐 B B 1 と B B 2 は実質的に等しい電気的長さを持つ。分岐 B B 3 と B B 4 は実質的に等しい電気的長さを持つ。

【 0015 】

図 4 のトレース・ルーティング・トポロジーは V トポロジーを有するのに対して、図 5 のトレース・ルーティング・トポロジーは Y トポロジーを有する。

基本トレースは 2 より大きい分岐トレースまたは基本 / 分岐トレースに接続することもできる。

【 0016 】

図 6 はチップ 70 の底面図を示し、また接続点 C P A - 1 と C P B - 1、または C P A - 2 と C P B - 2、または C P A - 3 と C P B - 3、または C P A - 4、または C P B - 4 に接続することができる 2 つの接続点 74 と 76 を示す。図 7 はチップ 70 の側面図を示す。トレーストポロジーのため、1 つのタイプのチップ 70 のみが必要である。

チップを接合する接続点（例えば C P A - 1）は駆動点でもよく、また受信点でもよい。

【 0017 】

もし鏡像チップが各々の側に使われたとしたら、基板は基板 10 よりもはるかに簡単であろう。確かに図 3、図 4、および図 5 に示す基板 10 の内部層、トレース、および中間接続（34、36、44、および 46）は基板 10 に複雑さと費用を追加する。従って本発明は反直観的である。

基板 10 は、よく知られた材料及び回路を有することができ、且つよく知られていない材料及び回路を有することができる。基板 10 は、よく知られた技術及び工程に従って構築

10

20

30

40

50

され、またよく知られていない技術及び工程に従っても構築することができる。

【0018】

商品化においてはここに図示されていない他の接続点や接続点グループがあるであろう、なぜならそれらは本発明の理解にとってさらになにも付加せず、図を乱雑にし、本発明を分かりにくくする傾向があるため図示されていないからである。本発明はプロセッサに使用することに限定するものではなく、他の様々な基板、回路基板、そしてチップと関連して使用することが可能である。

【0019】

当業者にとっては明らかであろうが、基板上の様々なコンポーネントの相対的な大きさ(例えばバイアや接続点)が説明の目的のために誇張されている。接続点は円形または球形である必要はない。図中のボックスの境界線は説明の目的のためであり、コンポーネントの境界を限定するものではなく重なり合うことも可能である。説明のためのコンポーネントの相対的な大きさは実際の相対的な大きさを示唆するものではない。「導体」という用語は広く解釈されるように意図しており、幾つか絶縁特性をも有する導電装置を含む。説明にあげたコンポーネント間、及び導体間には中間的なコンポーネントあるいは導体が存在することが可能である。

10

【0020】

もし本明細書があるコンポーネントあるいは特徴が含まれること、またはある特徴を持つことについて「可能である」、「できる」、「できるであろう」、または「可能であろう」と述べている場合には、その特定のコンポーネントあるいは特徴が含まれる、または特徴を持つことを要求しない。「応答性がある」という用語は完全に、または部分的に応答性があるという意味である。

20

本発明の開示により利便を得る当業者には前述の説明と図面からの他の多くの変形を本発明の範囲内で作ることが可能であることがわかるであろう。従って、本発明の範囲を規定するのはいかなる修正条項をもさらに含んでいる以下の特許請求範囲である。

【図面の簡単な説明】

【図1】接続点を有する多層基板の正面側の図である。

30

【図2】図1に示す多層基板の背面側に位置する図である。

【図3】図1に示す基板の接続点間のトレース接続の略図である。

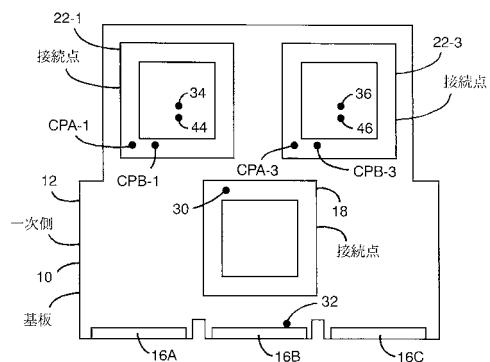
【図4】図1に示す基板の側面簡略図である。

【図5】図1に示す基板の接続点間のトレース接続の略図である。

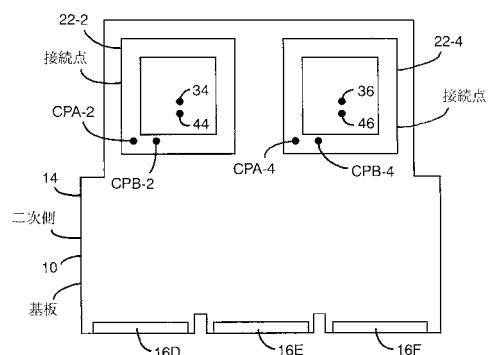
【図6】図1または図に示す接続点に接続されるチップの底面図である。

【図7】図6に示すチップの側面図である。

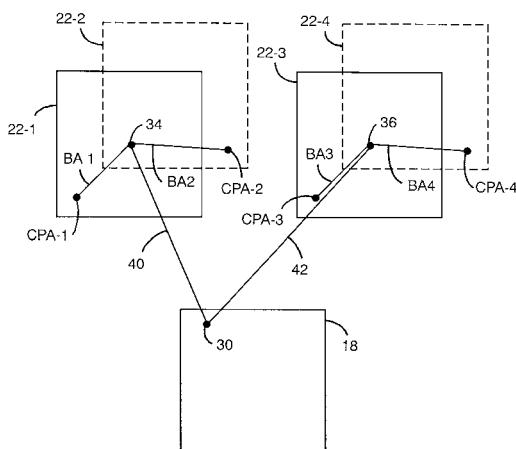
【図1】



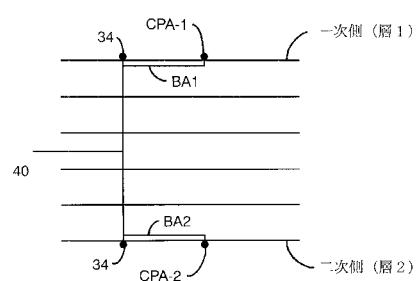
【図2】



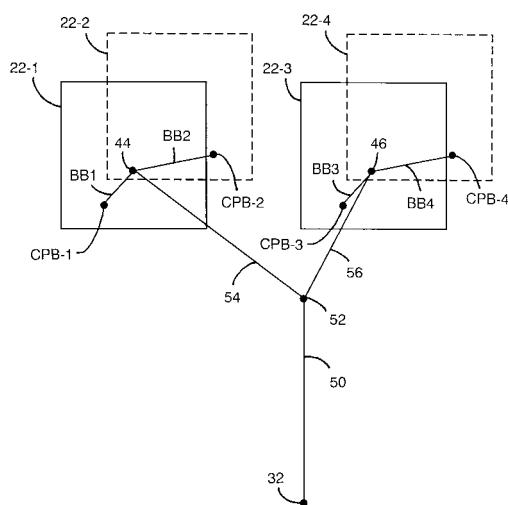
【図3】



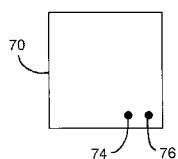
【図4】



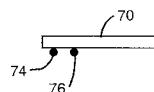
【図5】



【図6】



【図7】



フロントページの続き

審査官 大光 太朗

(56)参考文献 特開平09-036301(JP, A)
特開平08-162605(JP, A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/14

H01L 23/538

H05K 1/16