(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3986815号
(P3986815)
(45)発行日　平成19年10月3日(2007.10.3)　(24)登録日　平成19年7月20日(2007.7.20)

(51)Int.Cl.		F I		
H01L 27/146	(2006.01)	H01L	27/14	C
H01L 21/336	(2006.01)	H01L	29/78	612D
H01L 29/786	(2006.01)	H01L	29/78	613Z

請求項の数 10　外国語出願　(全 13 頁)

(21)出願番号　特願2001-385364(P2001-385364)
(22)出願日　平成13年12月19日(2001.12.19)
(65)公開番号　特開2002-334987(P2002-334987A)
(43)公開日　平成14年11月22日(2002.11.22)
審査請求日　平成16年12月17日(2004.12.17)
(31)優先権主張番号　09/681070
(32)優先日　平成12年12月20日(2000.12.20)
(33)優先権主張国　米国(US)

前置審査

(73)特許権者　390041542
ゼネラル・エレクトリック・カンパニイ
GENERAL ELECTRIC COMPANY
アメリカ合衆国、ニューヨーク州、スケネクタデイ、リバーロード、１番
(74)代理人　100093908
弁理士　松本　研一
(74)代理人　100105588
弁理士　小倉　博
(74)代理人　100129779
弁理士　黒川　俊久
(74)代理人　100137545
弁理士　荒川　聡志

最終頁に続く

(54)【発明の名称】イメージャ・アレイの製造方法

(57)【特許請求の範囲】
【請求項１】
アドレス指定用薄膜トランジスタ（ＴＦＴ）及び付設された光センサ１５を各々含む複数のピクセル１０１を有するイメージャ・アレイ１０を製造する方法であって、
各々のピクセルについて、
基板１００上に前記ＴＦＴのゲート電極１６及び光センサ底部電極を形成する工程と、
前記光センサ底部電極の少なくとも一部の上に配設される光センサ本体１５を形成する工程と、
前記ゲート電極及び前記光センサ本体を覆って共通誘電層１８を付着させる工程と、
前記共通誘電層の上にＴＦＴ本体２４を形成する工程と、
前記ＴＦＴ本体及び前記共通誘電層の露出部分を覆ってソース／ドレイン金属層３２を付着させる工程と、
所定のパターンに従って、前記ＴＦＴ本体の上面の一部を露出させ、且つ前記光センサ本体１５の上方の前記共通誘電層の上に配設されるソース／ドレイン金属層３２の１以上の犠牲領域３４を残すように、前記ソース／ドレイン金属層３２の部分を除去する工程と、
前記ＴＦＴ本体に、前記ゲート電極を覆って配設されるバック・チャネル領域３６を形成するように前記ＴＦＴ本体の前記露出部分をエッチングする工程と、
前記バック・チャネル領域、ソース／ドレイン金属層の全露出部分及び前記共通誘電層を覆って第一の不動態化層４２を付着させる工程と、
次いで、前記第一の不動態化層の部分であって、その下方に位置する前記ソース／ドレイ

ン金属層の前記１以上の犠牲領域の面積よりも大きい部分、及び当該第一の不動態化層の当該部分の下方に位置する前記１以上の犠牲領域をエッチングすることにより、前記１以上の犠牲領域３４を除去する工程とを備えた方法。

【請求項２】

前記１以上の犠牲領域３４を除去する工程の前に、前記第一の不動態化層の上に、前記ソース／ドレイン金属層の前記１以上の犠牲領域の上方に位置する前記第一の不動態化層の部分を露出させる開口１０８であって、前記１以上の犠牲領域よりも面積の大きい開口１０８を有するマスク１０６を形成する工程とを含むことを特徴とする請求項１に記載の方法。

【請求項３】

前記第一の不動態化層は、ＳｉＯx系材料の層４２である請求項２に記載の方法。

【請求項４】

前記第一の不動態化層４２は、１００ｎｍ～５００ｎｍの厚みを有する請求項２に記載の方法。

【請求項５】

前記ソース／ドレイン金属層３２の部分を除去する工程は、前記１以上の犠牲領域３４を、前記光センサ本体１５の上方を含む他のすべての区域のソース／ドレイン金属層３２から物理的に離隔されるように残す工程であることを特徴とする請求項１に記載の方法。

【請求項６】

それぞれのアドレス指定用薄膜トランジスタ（ＴＦＴ）スイッチング素子１４及び付設されたフォトダイオード１５を各々含む複数のピクセル１０１を有するイメージャ・アレイ１０を製造する方法であって、

基板上に複数の前記ＴＦＴのゲート電極１６及び複数の光センサ底部電極１２を形成する工程と、

前記光センサ底部電極のそれぞれの上に配設される複数の光センサ本体１５を形成する工程と、

前記複数のゲート電極及び前記複数の光センサ本体を覆って共通誘電層１８を付着させる工程と、

前記共通誘電層の上に複数のＴＦＴ本体２４を形成する工程と、

前記ＴＦＴ本体及び前記共通誘電層の露出部分を覆ってソース／ドレイン金属層３２を付着させる工程と、

前記ＴＦＴ本体のそれぞれについてソース電極３１及びドレイン電極３３を形成し、さらに前記光センサ本体１５の上方に１以上の犠牲領域並びに光センサの共通の電極線およびデータ線をそれぞれ形成するように、前記ソース／ドレイン金属層の部分を除去する工程と、

前記ＴＦＴ本体にバック・チャネル領域３６を形成するように前記それぞれのＴＦＴのソース電極とドレイン電極との間で前記ＴＦＴ本体のそれぞれの露出部分をエッチングする工程と、

前記バック・チャネル領域、ソース／ドレイン金属層の全露出部分及び前記共通誘電層を覆って第一の不動態化層４２を付着させる工程と、

前記第一の不動態化層の部分であって、その下方に位置する前記ソース／ドレイン金属層の前記１以上の犠牲領域の面積よりも大きい部分、及び当該第一の不動態化層の当該部分の下方に位置する前記１以上の犠牲領域をエッチングすることにより、前記１以上の犠牲領域３４を除去する工程と、

前記アレイ１０を覆って第二の不動態化層を付着させる工程とを備えた方法。

【請求項７】

前記エッチングする工程は、前記各ＴＦＴのそれぞれのソース電極とドレイン電極との間に配設されているＮ＋シリコン及び該Ｎ＋シリコンの下方に位置する真性シリコンをエッチングする請求項６に記載の方法。

【請求項８】

Ｎ＋シリコン及び真性シリコンをエッチングする前記工程は反応性イオン・エッチングを含んでいる請求項７に記載の方法。
【請求項９】
前記ソース／ドレイン金属層から複数のアドレス線を形成する工程をさらに含んでいる請求項６に記載の方法。
【請求項１０】
前記１以上の犠牲領域は、それぞれの光センサ本体に対し複数存在している請求項８に記載の方法。
【発明の詳細な説明】
【０００１】
【発明の背景】
本発明は、電荷保持効果を最小限にしたイメージャ・アレイの製造方法に関し、具体的には、薄膜トランジスタ（ＴＦＴ）の電荷捕捉（チャージ・トラッピング）を減少させたＴＦＴアドレス方式イメージャを製造する少数マスク法（reduced mask process）に関する。
【０００２】
固体撮像デバイスは、例えばＸ線イメージャのような医療診断及び他の光撮像用途に用いられている。かかる撮像デバイスには典型的には、付設されたスイッチング素子、並びにアドレス（走査）線及び読み出し（データ）線を備えた光センサ素子のアレイが含まれている。典型的には、光センサ素子はフォトダイオードであり、スイッチング素子は薄膜電界効果トランジスタ（ＴＦＴ又はＦＥＴ）である。光センサ及び付設されたスイッチング素子をピクセルとも呼ぶ。
【０００３】
この形式の撮像デバイスは、少数マスク・セット法として公知の製造手法又は製造順序によって製造することができ、その一例が米国特許第５，４８０，８１０号に開示されている。
【０００４】
撮像デバイスの光センサ・アレイは、入射した光フォトン束に対応する電気信号を発生するように設計されている。これらのフォトンは典型的には、医用Ｘ線撮像の場合には、線源から被撮像物体を通過した入射放射線を受光するシンチレータに吸収された放射線によって発生される。光ダイオード又はピクセル、アドレス線及び付設されたＴＦＴを含めた光センサ・アレイのレイアウト及び構造によってデバイスは各々の光センサを個別にアドレス指定することができるので、入射放射線に対する露光サイクル時に各々の光センサによって発生される電荷を選択的に読み取ることができる。
【０００５】
イメージャの性能は多くの因子に依存しているが、一つの重要な画質パラメータに電荷保持オフセットの制御がある。電荷保持オフセットは一つのピクセルから次のピクセルへの読み取りに変動を生ずる。ＴＦＴアドレス方式撮像デバイスでは、電荷保持は個別のアドレス指定用ＴＦＴにおける電荷捕捉に関わっている。それぞれのＴＦＴからの読み取りにこのようにばらつきがあると読み出し雑音の一因となり、読み出し回路が広範な信号を扱い得るようにすることがさらに必要となって、これにより、画質が制限される。
【０００６】
【発明が解決しようとする課題】
上で少数マスク・セット法と呼んだ手法では、付設されるＴＦＴの形成の前に光ダイオードを作製又は形成する。従来提案されている少数マスク・セット法においても電荷保持の制御は引き続き要因となっている。従来の少数マスク・セット法によって作製されるイメージャではピクセルからピクセルにかけての電荷捕捉のばらつきは５０フェムトクーロンを超える場合があり、この値は一般的には、撮像の多くの形式に望ましいものよりも高い水準のばらつきとなっている。
【０００７】

従って、ＴＦＴにおける電荷保持及び電荷捕捉を減少させて、電荷保持オフセットをさらに一様にしたイメージャを提供する少数マスク・セット法を開発できると望ましい。

【０００８】

【課題を解決するための手段】

本発明の例示的な実施形態では、それぞれの光センサに結合されている薄膜トランジスタ（ＴＦＴ）スイッチング・デバイスを各々有する複数のピクセルを備えたイメージャ・アレイを製造する方法が、（１）基板上にゲート電極及び光センサ底部電極を形成する工程と、（２）光センサ底部電極の少なくとも一部の上に光センサ本体を形成する工程と、（３）ゲート電極及び光センサ本体を覆って共通誘電層を付着させる工程と、（４）ＴＦＴ本体がゲート電極の上方に間隔を空けた関係で配設されるように共通誘電層の上にＴＦＴ本体を形成する工程と、（５）ＴＦＴ本体及び共通誘電層の露出部分を覆ってソース／ドレイン金属導電層を付着させる工程と、（６）所定のパターンに従って、ＴＦＴ本体の上面の一部が露出し、且つ光センサ本体の上方の共通誘電層の上に配設されているソース／ドレイン金属の１以上の領域を残すようにソース／ドレイン金属導電層の部分を除去する工程と、（７）ＴＦＴ本体にゲート電極を覆って配設されるバック・チャネル領域を形成するようにＴＦＴ本体の露出部分をエッチングする工程と、（８）光センサ本体の上方の共通誘電層の上に配設されているソース／ドレイン金属の１以上の領域を除去する工程とを含んでいる。

【０００９】

【発明の実施の形態】

本発明の方法は、従来の製造方法に対して向上した性能を示す撮像用アレイを製造し得る手段であって、特に前述の「少数マスク法」として概略説明した手段を提供する。本発明の方法の結果として得られるアレイは、従来の方法のものよりも少ない電荷保持を示す。電荷保持オフセットは、スイッチングＴＦＴにおける平衡化されていない電荷であって、このオフセットによって、読み出し信号がピクセルからピクセルにわたって変動する。このオフセットの一成分はＴＦＴの頂表面の捕捉電荷に起因することが判明している。さらに、この電荷保持オフセットの一成分がＴＦＴの頂表面の「品質」の関数となることも判明している。本書で用いる「表面の品質」等という用語は、ＴＦＴのような半導体デバイスの半導体材料の状態及びこの状態から帰結する電気的性能特性を指すものとする。読み出しサーキットリの制限から、高品質画像を得るためには電荷保持オフセットが可能な限り小さく且つ一様であることが望ましい。本発明の方法は、ピクセル間の電荷保持のばらつきの原因を減少させたＴＦＴのバック・チャネル領域の頂表面を提供する。

【００１０】

一連の図１～図８には、薄膜トランジスタ（ＴＦＴ）アドレス方式撮像用アレイ１０の代表部分の断面図が示されており、本発明の製造方法の様々な段階でのアレイの同部分を示している。図１～図８に示すアレイ１０の部分は代表のピクセル１０１（図９）を示しており、ピクセル１０１は、フォトダイオード本体１５及びそれぞれのピクセルＴＦＴ１４（図４）として概略図示されている光センサを含んでいる。撮像デバイスを構成する完成したアレイ１０は典型的には、百万（1×10^{6}）程度の選択アドレス指定可能なフォトダイオードを、付設されたＴＦＴスイッチング・デバイス、並びにアドレス線及び読み出し線と共に有している。典型的には、周知の製造方法によれば、光センサ・アレイを構成する複数のピクセル及び付設構成部品から成る完全なアレイの製造は一挙に行なわれる。

【００１１】

図１は、少数マスク・セット法の最初の工程で基板１００の上に形成されるゲート電極層１６及びダイオード底部電極１２を示している。基板１００は典型的には、ガラスのような絶縁材料を含む。ゲート電極１６及び下部電極層１２は、導電性材料の単層又は多層を付着させると共にパターニングすることにより形成される。この層として適当な材料には、酸化インジウムスズ（ＩＴＯ）、又はクロム、チタン、モリブデン若しくはアルミニウム等のような金属がある。この材料層は、例えば適当にパターニングしたフォトレジスト・マスクを用い、続いてエッチング工程を施すことにより、パターニングされエッチング

され得る。ここでの利用目的のためには、「～を覆って」及び「～の上方に」等の用語は、図面での相対的な位置を表わす目的にのみ用いており、組み立てられたデバイスの動作に対する如何なる制限をも含意するものではない。

【００１２】

次いで、例えば、ｎ型ドープ・アモルファス・シリコンである第一の層と、非ドープ・アモルファス・シリコン層であって真性アモルファス・シリコン（ｉ－Ｓｉ）とも呼ばれる第二の層と、ｐ型ドープ・アモルファス・シリコンである第三の層とから成るアモルファス・シリコン（ａ－Ｓｉと呼ぶ）の層１３の付着、パターニング及びエッチング（別個には図示していない）によって、光センサ本体１５が形成される。ｐ型ドープ・シリコン層を覆って、例えば酸化インジウムスズの厚み約０．０５ミクロン～０．２ミクロンの導電性透明キャップ層（別個には図示していない）を典型的には付着させる。光センサ本体１５の厚みは、例えば約０．５μｍ～約２．５μｍの範囲にあってよい。

【００１３】

光センサ本体１５を形成するパターニング工程は通常、フォトリソグラフィを用いてシリコン層の所定の部分を露出させ、反応性プラズマ・イオン・エッチング（ＲＩＥ）によって露出した材料を除去する工程を含んでいる。適当な腐蝕液は典型的には、フッ素成分又は塩素成分が存在しているものであって、実例としては、四フッ化炭素（CF_4）、六フッ化イオウ（SF_6）及び塩化水素ガス（ＨＣｌ）がある。

【００１４】

図２について説明する。次いで、ゲート電極１６、基板１００の露出部分及び光センサ本体１５を覆って共通誘電層１８を付着させる。誘電層は典型的には、窒化ケイ素、酸化ケイ素又はこれらの組み合わせのような無機材料を含んでおり、約０．１５μｍ～約０．５μｍの範囲の厚みになるようにプラズマ強化型化学蒸着（ＰＥＣＶＤ）法によって付着させることができる。誘電層１８は一般にモノリシック層と呼ばれ、ゲート電極１６の頂部に配設されているゲート誘電層部分２０と、誘電層が光センサ本体１５の上方に配設されている区域の光センサ不動態化部分２２とを含む。

【００１５】

図２にはまた、共通誘電層１８のゲート誘電部分２０を覆ってＴＦＴ本体２４を形成するときに付着される初期層が示されている。本書で用いられる「ＴＦＴ本体」という用語は、完成したアレイのＴＦＴの一部を構成することになる材料であって、共通誘電層１８のゲート誘電層部分２０と間隔を空けた関係で配設されている材料を一般的に指すものとする。先ず、共通誘電層１８を覆って真性アモルファス・シリコン（ｉ－Ｓｉ）の層２６を付着させ、続いて、ドープした半導体材料、典型的にはｎ＋導電性を呈するようにドープしたアモルファス・シリコン（ａ－Ｓｉ）の層２８を付着させる。尚、このａ－Ｓｉを本書ではｎ＋ドープ・シリコン又はＮ＋Ｓｉと呼ぶものとする。層２６及び２８は好ましくは、ＰＥＣＶＤ法を用いて付着させられていてよく、ｉ－Ｓｉ層２６を約１５００Å～約５０００Åの厚みで付着させ、Ｎ＋Ｓｉ層２８は好ましくは、誘電層と同じＰＥＣＶＤ蒸着で約３００Å～約１０００Åの厚みとなるようにする（Ｃｒ又はＭｏで構成される金属キャップ層がｎ＋Ｓｉと実質的に同じ位置に設けられ、約２０ｎｍ～約１００ｎｍの厚みを有する。）。

【００１６】

図３で分かるように、本方法は次いで、共通誘電層１８から、ゲート電極の近辺を除いてｉ－Ｓｉ層２６及びＮ＋Ｓｉ層２８を除去する工程を含んでおり、これにより、島型構造３０を形成し、この島型構造３０が最終的にはＴＦＴ本体２４として形成される。不要な材料は好ましくは、フォトリソグラフィ法等を用いることにより、公知のパターニング及びエッチング工程によって除去される。

【００１７】

さらに、層１８にバイア１９が形成される。パターニング及びエッチングを用いて誘電層１８にバイア（すなわち、下方に位置する材料を露出させるように上方に位置する材料に設けられる孔）を形成する。ダイオード本体１５の上方に１以上のかかるバイア１９が設

けられて、光センサの片面に電気的に接触できるようにする。加えて、下部電極層１２に到るバイアを設け、また、選択によりゲート電極層１６に到るバイアを設ける。以下で概略説明するように、所望の電極接点を形成するようにパターニングされているソース／ドレイン金属導電層３２の部分を介して、上述の各層への電気的接触が行なわれる。頂部バイア又は下部電極バイアのいずれかが、ソース／ドレイン金属導電層を介して共に電気的に結合されて、光センサのための電気的バイアスの共通源を提供する。この電気的接点は典型的には、アレイ内のすべての光センサについて共通であって、共通接点と呼ばれる。

【００１８】

図４に示すように、二層のシリコン層から成るＴＦＴ島型構造３０、共通誘電層１８及びフォトダイオード本体１５を含めた露出した全面を覆ってソース／ドレイン金属導電層３２を付着させる。「ソース／ドレイン」又は「Ｓ／Ｄ」という用語は、ＴＦＴのソース及びドレイン電極の両方を形成するように付着させた導電性材料を指す。この共通電極は、各々の光センサ本体の片面への電気的接触を可能にする。ソース／ドレイン層３２は一般的には、スパッタリングにより付着させられ、この層の典型的な厚みは約２０００Å～約１００００Åの範囲にある。

【００１９】

次いで、図５に示すように、ソース／ドレイン金属導電層３２をパターニングすると共にエッチングして、島３０の頂表面の少なくとも一部からソース／ドレイン金属を除去し、領域３７において下方に位置するシリコン層２８を露出させる。この領域３７が、さらなる加工の後にバック・チャネル領域３６（図６）と呼ばれるものとなる。この工程はまた、各々のＴＦＴ用のそれぞれのソース電極３１及びドレイン電極３３を形成する。さらに、この工程は、共通誘電層１８の光センサ不動態化層部分２２の頂部にソース／ドレイン金属３２のダイオード犠牲領域３４（図９も参照）が残されるように、大フィル・ファクタのマスクを用いて行なわれる（すなわち、本処理工程の後に所望の構造を与えるように、加工されるべき表面の十分な部分を覆って付着させられる。）。結果として、ソース／ドレイン材料は、ダイオード島１５の上面３８の領域の実質的な部分の上方に配設される。この文脈で用いる「実質的な部分」という用語は、光センサ本体１５の上面３８の面積の約６０％を上回り、さらに好ましくは約６０％～約８０％を覆って典型的に延在するダイオード犠牲領域を指す。図９で分かるように、このソース／ドレイン金属をパターニングすると共にエッチングする工程を用いて、光センサの共通の電極線１０２及びデータ線１０４も形成される。

【００２０】

次いで、反応性イオン・エッチング工程を行なって、島構造３０の領域３７において露出しているＮ＋Ｓｉ材料２８を除去する。加えて、領域３７のＮ＋Ｓｉ材料２８の下方に位置するｉ－Ｓｉ材料２６の少量を典型的には除去する。この加工工程によって、ＴＦＴ本体２４のバック・チャネル領域３６が形成される（図６）。ＴＦＴ領域１４の層２６及び２８の上方に配設されている残されたソース／ドレイン金属３２は、ソース／ドレイン金属の下方に配設されているシリコン層２６及び２８の各部の除去を防止するマスクとなっている。

【００２１】

従来の方法でこの工程に対応する工程は、バック・チャネル・エッチング（ＢＣＥ）工程と呼ばれている。かかる従来の方法では、最終のアレイ構造に存在しない実質的にすべてのソース／ドレイン材料３２は、光センサ本体１５の頂部の大領域３４を含めて、ＢＣＥ工程の前に除去されている。

【００２２】

従来の方法に従ってＴＦＴ本体のバック・チャネルを作製するのに用いられる反応性イオン・エッチング工程では、バック・チャネル領域３６に劣化した品質のＳｉ表面を生成することが本発明の開発時に判明した。本書で用いる「劣化した品質」とは、上で概略説明したように、電荷捕捉の一因となる（従ってＴＦＴからの雑音が相対的に高くなっている）表面を指すものとする。さらに、シリコン表面の品質が劣化すると、アレイ内のそれぞ

れのＴＦＴの間での電荷捕捉のばらつきが許容できない水準となる（アレイの許容可能な雑音の設計の観点から判定して）。さらに、光センサ本体１５を覆って配設されたソース／ドレイン金属の比較的大きなダイオード領域３４を残しておくと、バック・チャネル領域３６を作製する際に用いられる反応性イオン・エッチング時に有益な効果を発揮する犠牲パッドが形成され、結果として、バック・チャネル・エッチング領域３６の露出したＳｉ表面は、従来の方法を用いて製造されるものよりも、電荷捕捉が少なく、アレイ内のそれぞれのピクセルの間での電荷捕捉の一様性が大きくなることが判明した。

【００２３】

犠牲型のダイオード犠牲ソース／ドレイン金属領域３４はバック・チャネル・エッチング法工程時には所望のＳｉ表面を生成する助けになるが、ソース／ドレイン金属は光に対して不透明であり、従って、デバイスの動作時には下方に位置するフォトダイオードの機能を損なわないようにこの犠牲材料３４を除去しなければならない。従って、本発明の方法はさらに、ダイオード犠牲ソース／ドレイン金属領域３４を除去する工程を含んでいる。この材料は、ソース／ドレイン金属の他のすべての区域（共通電極１０２、データ線１０４、ＴＦＴのソース及びドレイン）がパターニングされて最終的な構成に形成された後に除去されるので、除去されるべきダイオード犠牲ソース／ドレイン領域３４は、アレイ（図９）に残るソース／ドレイン金属の区域から約４ミクロン以上だけ物理的に離隔されるように最初から形成されていることが望ましい。この離隔は、アレイに保持されるべきソース／ドレイン金属の望ましくない切除、すなわちダイオード犠牲領域３４を除去する工程から生じる可能性のある切除を防止するのに役立つ。図９で分かるように、この離隔は典型的には、各々のダイオード島１５にわたってそれぞれ２つの領域４０を形成し、各々の領域が、光センサの各列に沿って配設されている電極線１０２及び１０４から隔設されるようにすることにより達成される。

【００２４】

ダイオード犠牲金属領域３４は通常、エッチング法によって除去される。バック・チャネル・エッチングが行なわれた直後のエッチングによってこのダイオード犠牲ソース／ドレイン金属領域３４を除去すると、ＴＦＴ本体２４のバック・チャネル表面がさらなる加工を受けてしまうため、完成したデバイスの性能に劣化を生じ得ることが経験されている。従って、ダイオード犠牲ソース／ドレイン金属領域３４の除去は、犠牲ダイオードＳ／Ｄ領域３４を除去するエッチングの前に、アレイの全露出表面を覆って薄い誘電不動態化層４２（図７）を付着させる工程を含んでいると望ましい。この層は典型的には、SiO_x又はSiN_x材料を含んでおり、厚みは約１００ｎｍ～５００ｎｍの範囲にある。この薄い不動態化層４２の付着に続いて、ダイオード犠牲金属領域３４を除去するマスキング工程及びエッチング工程が行なわれる。

【００２５】

図７の破線で概略図示するように、不動態化層４２の上に除去マスク１０６が形成される。このマスクは、除去されるべきソース／ドレイン金属領域３４（図９も参照）よりも面積が僅かに大きい開口１０８を有している。このマスクは、例えば、従来のフォトリソグラフィ法によって製造してよい。

【００２６】

フォトレジストがパターニングされ現像されて、除去されるべきソース／ドレイン金属領域３４を覆って付着した下方の不動態化層金属を露出させる開口１０８を形成した後に、開口１０８における寸法を大きくすることにより、薄い不動態化層４２は下方に位置するソース／ドレイン金属の面積よりも僅かに大きい面積からエッチングにより完全に除去される。このエッチング工程では好ましくは、ＩＴＯ又はアモルファス・シリコンを実質的に腐蝕させないＢＨＦ（フッ化水素酸緩衝液。すなわち、他の層に対して一つの層を選択的にエッチングする腐蝕液）を用いる。次いで、好ましくは、硝酸とリン酸と酢酸との混合物を含んでおり、且つＩＴＯ又はアモルファス・シリコンを実質的に攻撃することのない腐蝕液を用いて、ソース／ドレイン金属３４の湿式エッチングを行なう。ソース／ドレイン金属の他のすべての区域は領域３４から物理的に離隔しており、従って、フォトレジ

スト・マスクの開口１０８内で露出していないので、フォトレジストはこれらの区域をエッチングによる除去から保護する。

【００２７】

図８は、完成したデバイスを示しており、ソース／ドレイン金属領域３４（図７）が共通誘電層１８及び光センサ本体１５の頂部から除去されている。図８はまた、最終の加工工程又は製造工程において、湿気のような環境条件からアレイを密封するために、デバイス全体を覆って厚い不動態化層又は遮蔽層４４（窒化ケイ素、酸化ケイ素又はこれらの組み合わせを含み近似的に約０．５ミクロン～１．５ミクロン厚）を付着させることを示している。また、不動態化層又は遮蔽層は、アレイの一部を形成していない１以上の回路にアレイを接続するエッジ接点（図示されていない）を露出させるようにパターニングされている。

【００２８】

本発明は、少数マスク・セット法を用いて光センサ・アレイを製造する方法を提供するものであり、この方法では、バック・チャネル・エッチング（ＢＣＥ）として公知の工程を実行する前に、大フィル・ファクタのマスクを用いて、すなわちピクセル面積の大部分（アレイの面積の例えば約５０％以上）について、ソース／ドレイン（Ｓ／Ｄ）金属層を付着させ、パターニングしてエッチングする。大フィル・ファクタのマスクは、ＴＦＴのソース－ドレイン電極構成、及びアドレス線のようにソース／ドレイン材料から成る他の領域のパターンを形成する。ソース／ドレイン（Ｓ／Ｄ）金属層がパターニングされエッチングされて、下方に位置するゲート及び共通誘電層の一定部分の上部からＳ／Ｄ材料を除去するが、このパターニング及びエッチングでは、下方に位置する光センサの殆どの面積を実質的に網羅しているＳ／Ｄ材料の領域は残る。反応性イオン・エッチングを行なって、除去されていないＳ／Ｄ金属をマスクとして用いてゲート電極を覆って配設されるバック・チャネルを形成する。本方法はさらに、光センサの上方から過剰なＳ／Ｄ金属を除去し、次いで、デバイスを覆って不動態化層を塗工する工程を含んでいる。このＳ／Ｄ金属の除去は、構造の表面に薄い不動態化誘電層を付着させて、誘電層をパターニングすると共にエッチングし、また同じフォトマスクを用いて光センサの上に位置するＳ／Ｄ金属をパターニングすると共にエッチングすることにより達成することができる。次いで、厚い不動態化層を付着させ、パターニングすると共にエッチングする仕上げ工程が行なわれる。

【００２９】

この方法によって、製造されるデバイスのバック・チャネル界面において従来技術の方法に対して再現性が高く且つ制御性のよい電荷捕捉特性を与えるＴＦＴのｉ－Ｓｉ材料のバック・チャネルを有するアレイ型イメージャが得られる。

【００３０】

本書で発明の幾つかの特徴のみを図示すると共に説明したが、当業者には改変及び変形が想到されよう。従って、特許請求の範囲は、本発明の要旨の範囲内に含まれる改変及び変形を網羅しているものとすることを理解されたい。

【図面の簡単な説明】

【図１】本発明の実施形態による撮像用アレイを製造する方法に用いられる逐次的な加工工程を用いて製造されるデバイスの実質的な断面図である。

【図２】本発明の実施形態による撮像用アレイを製造する方法に用いられる逐次的な加工工程を用いて製造されるデバイスの実質的な断面図である。

【図３】本発明の実施形態による撮像用アレイを製造する方法に用いられる逐次的な加工工程を用いて製造されるデバイスの実質的な断面図である。

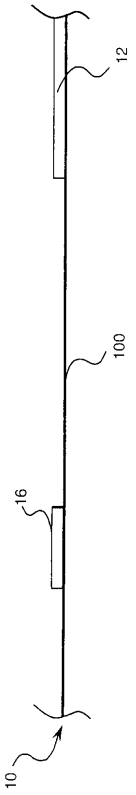
【図４】本発明の実施形態による撮像用アレイを製造する方法に用いられる逐次的な加工工程を用いて製造されるデバイスの実質的な断面図である。

【図５】本発明の実施形態による撮像用アレイを製造する方法に用いられる逐次的な加工工程を用いて製造されるデバイスの実質的な断面図である。

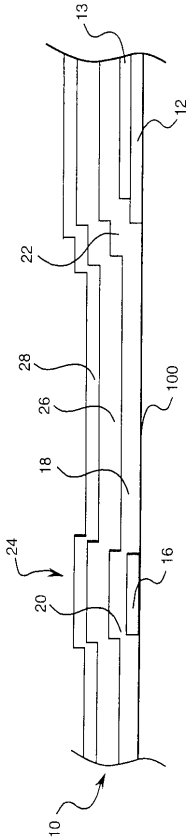
【図６】本発明の実施形態による撮像用アレイを製造する方法に用いられる逐次的な加工

工程を用いて製造されるデバイスの実質的な断面図である。
【図７】本発明の実施形態による撮像用アレイを製造する方法に用いられる逐次的な加工工程を用いて製造されるデバイスの実質的な断面図である。
【図８】本発明の実施形態による撮像用アレイを製造する方法に用いられる逐次的な加工工程を用いて製造されるデバイスの実質的な断面図である。
【図９】撮像用デバイスの実質的に概略的な上面図であって、本方法のバック・チャネル・エッチング工程を実行している間に所定位置に残る光センサの上方に位置するソース／ドレイン金属の領域を示す図である。
【符号の説明】
１０　ＴＦＴアドレス方式撮像用アレイ
１２　ダイオード底部電極
１３　アモルファス・シリコン層
１４　ピクセルＴＦＴ
１５　フォトダイオード本体
１６　ゲート電極層
１８　共通誘電層
１９　バイア
２０　ゲート誘電層部分
２２　光センサ不動態化層部分
２４　ＴＦＴ本体
２６　真性アモルファス・シリコン層
２８　ｎ＋ドープ・シリコン層
３０　島型構造
３１　ソース領域
３２　ソース／ドレイン金属導電層
３３　ドレイン領域
３４　ダイオード犠牲領域
３６　バック・チャネル領域
３７　シリコン層露出領域
３８　フォトダイオード本体の上面
４０　ダイオードの隔設領域
４２　誘電不動態化層
４４　遮蔽用不動態化層
１００　基板
１０１　ピクセル
１０２　電極線
１０４　データ線
１０６　除去マスク
１０８　除去マスクの開口

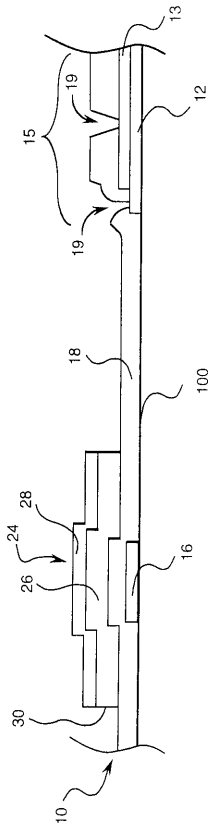
【図１】


12
100
16
10

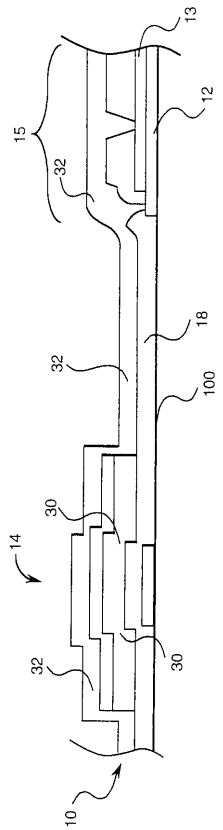
【図２】


13
12
22
28
26
100
18
24
16
20
10

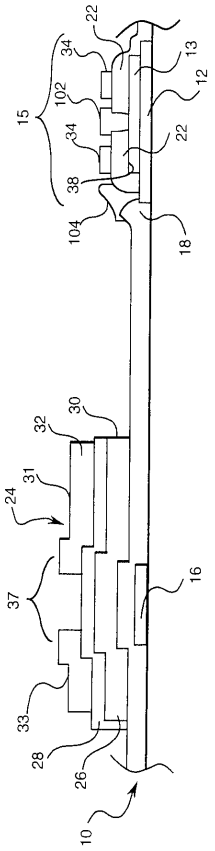
【図３】


13
19
15
12
19
18
100
28
24
26
16
30
10

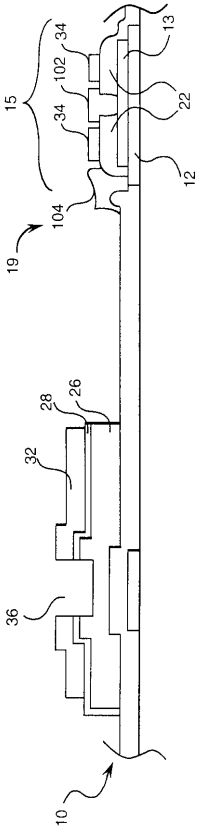
【図４】


13
15
12
32
18
32
100
30
14
32
30
10

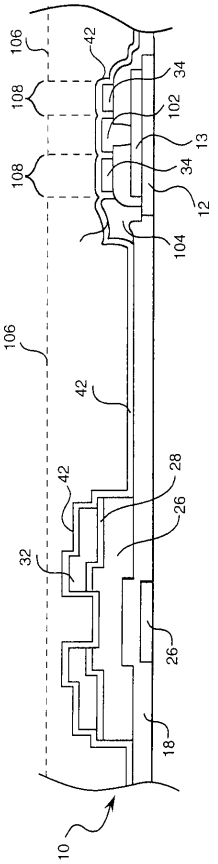
【図５】


22
34
13
12
102
15
34
22
38
104
18
32
30
31
24
16
37
33
28
26
10

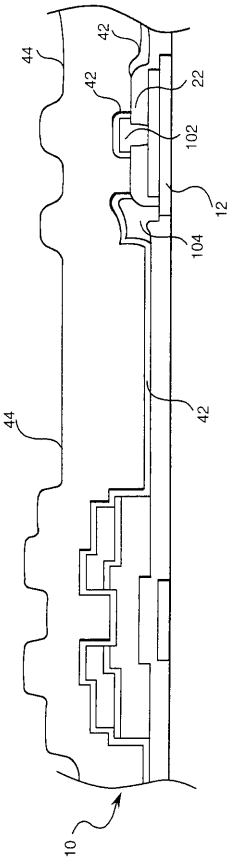
【図６】


34
13
102
15
22
34
12
104
19
28
26
32
36
10

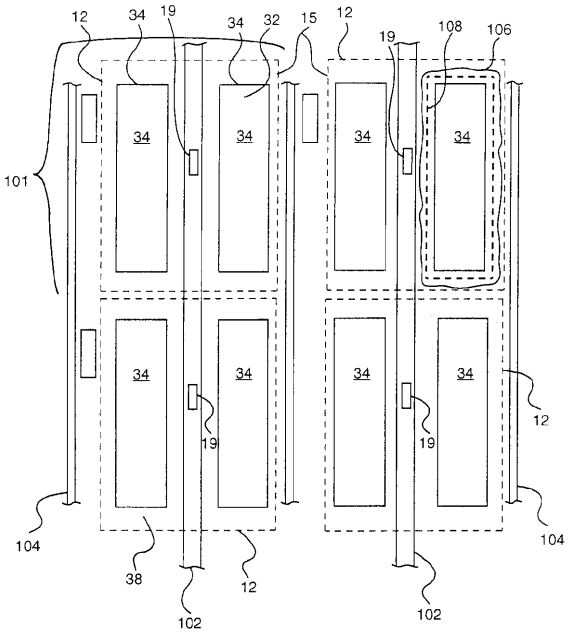
【図７】


106
42
108
34
102
13
108
34
12
104
106
42
42
28
26
32
26
18
10

【図８】


44
42
42
22
102
12
104
44
42
10

【図９】


12
34
19
34
32
15
12
19
108
106
101
34
34
34
34
34
34
34
34
12
19
19
104
104
38
12
102
102

フロントページの続き

(72)発明者 ジョージ・エドワード・ポッシン
アメリカ合衆国、ニューヨーク州、ニスカユナ、アルゴンキン・ロード、２３６１番
(72)発明者 ロバート・フォレスト・クワスニック
アメリカ合衆国、カリフォルニア州、パル・アルト、ラモーナ・ストリート、２４３１番

審査官 恩田 春香

(56)参考文献 米国特許第０５４８０８１０（ＵＳ，Ａ）
特開平１０－１４４９００（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 27/14-27/148