

公告本

402803

申請日期	85.9.19
案 號	85111464
類Int. 別	6 1+12 ²⁷ / ₀₀

(以上各欄由本局填註)

A4
C4

402803

發明專利說明書

一、發明名稱	中 文	模式暫存控制電路及具有該電路之半導體裝置
	英 文	MODE REGISTER CONTROL CIRCUIT AND SEMICONDUCTOR DEVICE HAVING THE SAME
二、發明人	姓 名	(1)篠崎直治 (2)神田達哉
	國 籍	日 本
	住、居所	(1)日本國神奈川縣川崎市中原區上小田中4丁目1番1號 (2)日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	關澤義

402803

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
1996, 3, 19 特願平8-063536

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製



五、發明說明(1)

[本發明所屬的技術分野]

本發明係有關控制半導體記憶器的模式暫存控制電路。尤其，能控制以高速轉送速度(例如100Mb/秒以上)轉送數據之高頻帶DRAM(High-bandDRAM)之一的SDRAM(Synchronous Dynamic RAM)的模式暫存控制電路以及具有該電路之半導體裝置。

[習知技藝]

第4圖係表示習知之模式暫存控制電路9，以及以其所控制的模式暫存器2的電路圖。以習知的模式暫存控制電路9而言，已有例如積體化在晶片內，而其數據轉送速度為100Mb/秒以上的高頻帶DRAM，並能與從DRAM外部所供給之高速時鐘相配合，輸出數據之半導體裝置的同步DRAM。該模式暫存控制電路〔第4圖所示之MRGCTL〕9，為了欲控制設在半導體裝置之同步DRAM〔以下簡稱為SDRAM〕1的模式暫存器2之讀出動作，與從SDRAM1之外部端子所輸入的外部指令(mrspz)及外部地址(a0~a6、a8及a9)同步，乃設在半導體裝置1之內。

模式暫存器2係因應模式暫存置位之外部指令，及模式暫存閱讀的外部指令，而保持SDRAM1之動作模式。模式暫存閱讀的外部指令，係指SDRAM1之晶片內部現今設定為何種動作模式，而要從SDRAM1的晶片上之外部輸出端子(第4圖中的DQ)以數據輸出來確認之動作模式。具體上係表示，係模式選擇信號(第4圖中之MRDZ)從連接於外部輸出端子(DQ)的輸出電晶體(out Tr3)〔第4圖中之out Tr3〕

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(2)

作數據輸出之動作模式。

其次，參照第4圖(a)，說明在模式暫存控制電路〔第4圖中的MRGCTL〕9之外部指令的設定動作。於欲執行該模式暫存閱讀的外部指令之新作模式的模式暫存控制電路9，其內部狀態雖為空閒狀態，或為驅動狀態，均能執行模式暫存閱讀的外部指令之動作模式。甚至，從通常動作的閱讀動作之讀出，由於其晶片要處於驅動狀態始會執行之故，由空閒狀態而來的數據輸出之動作模式不會存在。

又，模式暫存置位的指令，係將CAS等待動作模式(以下簡稱為CL)、資料組容量動作模式(以下簡稱為BL)、資料組型式等設在模式暫存器2，並由外部來設定以何種動作模式而使用SDRAM1之動作模式。在模式暫存控制電路9，其各種之動作模式(例如，模式暫存置位的動作模式、模式暫存閱讀的動作模式)之設定，係以模式暫存置位的外部指令執行時所選擇的動作模式信號(具體上為CL1信號～CL3信號)的上昇而執行。具體而言，如第4圖(a)所示，能從SERAM1的晶片的外部端子(ADD)而對模式暫存器2指定模式地址，應以地址數據從晶片上的地址輸入端子(ADD)，使用由外部所輸入之a0～a6、a8及a9來輸入所訂定的數據，而設定各種之動作模式信號。

在習知的模式暫存控制電路9，SERAM1的電源接通時，從SDRAM1的外部所輸入的外部指令為模式暫存閱讀的外部指令之場合，或SDRAM1的內部鎖存裝置(具體上為外部

(請先閱讀背面之注意事項再填寫本頁)

承

訂

五、發明說明(3)

指令鎖存部，或外部地址鎖存部等)之內容，經判斷為模式暫存閱讀的外部指令之場合，SDRAM1的輸出電晶體〔第4圖(a)中的out Tr3〕，有可能處於低阻抗狀態，而該低阻抗狀態將會引起後述之諸問題。在電源接通後之SDRAM1的空間狀態，由於模式暫存閱讀的外部指令，有可能有數據輸出之故，在電源接通以後，SDRAM1的外部輸出端子(DQ)的狀態，經判定為模式暫存閱讀的外部指令時，即從SDRAM1的輸出電晶體到模式暫存內部的模式數據，有可能閱讀。

其次，參照第4圖(b)更具體說明在模式暫存控制電路9之模式暫存置位的外部指令，或模式暫存閱讀的外部指令之執行動作。如第4圖(b)之時間圖表所示，SDRAM1之內部CLOCK〔第4圖(b-1)〕中的外部時鐘信號(clkiz)，與從晶片上的外部時鐘端子(CLK)介著內部時鐘產生部所獲得之外部輸入信號同步，而為選擇模式暫存置位的外部指令，或模式暫存閱讀的外部指令所訂定的數據〔第4圖(b-2)中所示之a0~a6、a8及a9〕，輸入至模式暫存器2。模式暫存置位的外部指令，與模式暫存閱讀之指令於執行時，在輸入上相異的只是a08端子上的信號a8〔為指定模式地址而以地址數據，從晶片上的地址輸入端子(ADD)從外部輸入之信號，即模式設定信號〕而已，並且以L為模式暫存置位，而以邏輯準位H為模式暫存閱讀。

模式暫存控制電路9，將於SDRAM1之內部所生成的(mrspz)信號〔參照第4圖(b-3)，以模式暫存置位的外部

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

指令及模式暫存閱讀的外部指令之雙方，並由晶片上的外部指令鎖存部所生成之信號，而與外部時鐘信號($clkiz$)同步而生成的信號]，與模式設定信號 $a8$ 形成合成信號，而成為暫存閱讀信號($rgrz$) [參照第4圖(b-4)]。然後，生成鎖存暫存閱讀信號($rgrz$)之信號的驅動信號($mrrz$) [參照第4圖(b-5)，具體上係在晶片上由模式暫存控制電路9所生成]。該驅動信號($mrrz$)將保持至產生其次之外部時鐘信號($clkiz$)止。輸出電晶體[out Tr3]因應驅動信號($mrrz$)，乃輸出模式暫存器2之內容的模式選擇信號(第4圖所示之MRDZ) [參照第4圖(b-6)]。

[欲解決之課題]

於SDRAM1的習知之模式暫存控制電路，當電源接通時，SDRAM1的外部輸出端子(DQ)之狀態，經判定為模式暫存閱讀之外部指令的場合，或電源接通後於空間狀態，若經檢出為SDRAM1的外部輸出端子(DQ)的狀態為模式暫存閱讀的外部指令之場合，從SDRAM1的輸出電晶體會閱讀模式暫存器內部的模式數據，而使SDRAM1的輸出電晶體[out Tr3]成為低阻抗狀態，故，電源接通時或於電源接通後之空間狀態，使SDRAM1的輸出電晶體流通異常電流，乃為其問題所在。

本發明係著目於習知之該問題上，而以提供不會流通異常電流的模式暫存控制電路為目的，以期於電源接通時，SDRAM之外部輸出端子(相當於前述之DQ)的狀態，經判定為模式暫存閱讀的外部指令之場合，或於電源接通後之

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(5)

空閒狀態時，SDRAM的外部輸出端子(DQ)之狀態，雖經檢出為模式暫存閱讀的外部指令之場合，欲使SDRAM的輸出電晶體不成為低阻抗狀態，乃將控制部設在SDRAM(具體上為MRGCTL)，即可使SDRAM於電源接通時或於電源接通後之空閒狀態時，SDRAM的輸出電晶體不會流通異常電流。

[解決課題之裝置]

模式暫存控制電路10，係欲控制半導體裝置40的模式暫存器的讀出動作，與外部指令信號及外部時鐘信號同步，而裝設在半導體裝置40內的模式暫存控制電路10，其具有第1控制部102。該第1控制部102於半導體裝置40之電源接通時，使指示模式暫存器的讀出動作之外部指令的模式暫存閱讀之執行，在內部成為非活性化而抑制模式暫存器的讀出動作之裝置。由於設置該第1控制部，於SDRAM40之電源接通時，因禁止模式暫存閱讀的外部指令之執行，乃可使SDRAM40之輸出電晶體30不會流通異常電流。於半導體裝置40之電源接通時，為保持從半導體裝置40的外部端子所輸入之外部指令或外部地址，於鎖存部的電源接通時，使用指示不確定狀態的初期化之初期化信號，促使模式暫存閱讀的外部指令之執行為內部性非活性的裝置。由於設置該第1控制部102，於SDRAM40之電源連接時，因禁止模式暫存閱讀的外部指令之執行，乃可使SDRAM40的輸出電晶體30不會流通異常電流。

設在半導體裝置40內之模式暫存控制電路10，係欲控制半導體裝置40的模式暫存器之讀出動作，與外部指令及

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(6)

外部時鐘同步，其具有第2控制部104。其於半導體裝置40接通電源時，所檢知之外部指令獲知為指示模式暫存器的讀出動作的模式暫存閱讀以外的外部指令之際，在電源電壓穩定後模式暫存置位之指令，雖未經執行之場合，亦能指示模式暫存器立刻執行模式暫存閱讀之外部指令的裝置。由於設置該第2控制部104，乃於SDRAM40連接電源時，模式暫存閱讀之外部指令曾執行一次，即其後，就能使模式暫存閱讀的外部指令執行成為可行，並能使SDRAM40的輸出電晶體30不會流通異常電流。甚至，於連接電源後之空間狀態，亦能使SDRAM40的輸出電晶體30不會流通異常電流。

為控制半導體裝置40之模式暫存器的讀出動作，與外部指令及外部時鐘同步，而裝設在半導體裝置40內之模式暫存控制電路10，其具有第3控制部106。該第3控制部106於半導體裝置40連接電源後，檢知模式暫存置位的外部指令曾執行一次之場合，要指示模式暫存器執行於模式暫存器的模式暫存閱讀的外部指令之裝置。由於該第3控制部106之設置，乃於SDRAM40接通電源時，模式暫存置位的外部指令曾執行一次，即其後，能使模式暫存閱讀的外部指令之執行成為可行，並能使SDRAM40的輸出電晶體30不會流通異常電流。甚至，在接通電源後之空間狀態，亦能使SDRAM40的輸出電晶體30不會流通異常電流。

在具有第2控制部104及第3控制部106的模式暫存控制電路10，於半導體裝置接通電源時所檢知之外部指令，

(請先閱讀背面之注意事項再填寫本頁)

張

訂

五、發明說明(7)

獲知為指示模式暫存器的讀出動作之模式暫存閱讀以外的外部指令之際，第2控制部在電源電壓穩定後，模式暫存置位的外部指令未經執行之場合，亦能指示模式暫存器立刻執行模式暫存閱讀的外部指令。甚至，半導體裝置接通電源後，檢知模式暫存置位的外部指令曾執行一次之場合，第3控制部將指示模式暫存器執行，於模式暫存器的模式暫存閱讀之外部指令。由於該第2控制部104及第3控制部106之設置，在SDRAM40接通電源時，因禁止模式暫存閱讀的外部指令之執行，乃能使SDRAM40的輸出電晶體30不會流通異常電流。甚至，於電源接通後之空閒狀態，模式暫存置位的外部指令曾執行一次，即其後，能使模式暫存閱讀的外部指令執行成為可行，並可使SDRAM40的輸出電晶體30不會流通異常電流。

本發明之半導體裝置40，其包含有：模式暫存控制電路10、電壓上昇時欲形成使鎖存電路初期化之初期化信號的起動信號產生電路101、因應外部時鐘形成外部時鐘信號(cclkiz)的內部時鐘產生部102、記憶單元陣列113、對記憶單元陣列113作數據之讀出及寫入的讀出／寫入電路130、與外部作數據地址及指令的輸出入之輸出入電路140、保持輸出入電路的動作模式之模式暫存器20、以及控制模式暫存器的讀出動作與外部時鐘同步的模式暫存閱讀控制電路111。由於設置該模式暫存控制電路10，於半導體裝置40接通電源時，因禁止模式暫存閱讀之外部指令執行，乃使輸出電晶體30不會流通異常電流。甚至，於電

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(8)

源接通後之空閒狀態，模式暫存閱讀之外部指令曾執行一次，即其後，能使模式暫存閱讀的外部指令執行成為可行，並且可製成輸出電晶體30不會流通異常電流之半導體裝置40。

〔實施例〕

本發明所示之第1實施例形態及第2實施例形態的模式暫存控制電路10以及使用該電路之半導體裝置40，係能以高速轉送數據(例如，100Mb/秒以上)的SDRAM。模式暫存控制電路10係控制半導體裝置〔SDRAM40〕。

SDRAM40的基本構造：第1圖為表示本發明的模式暫存控制電路10之功能方塊圖，其含有：外部時鐘信號(cikiz)，是從晶片上的外部時鐘端子(CLK)116輸入之外部信號、初期化信號(stsz)，是於電壓上昇時，要指示晶片內之鎖存電路〔具體上為外部指令鎖存電路103與外部地址鎖存電路104〕的初期化，而位於晶片上之起動信號產生電路101所產生之信號、mrspz信號，為因應外部輸入於指令輸入端子(CTL)117的模式暫存置位之外部指令，以及模式暫存閱讀的外部指令之雙方，而由晶片上之外部指令鎖存電路103所產生，並且與外部時鐘信號(cikiz)同步之信號、以及模式設定信號a8，其為外部輸入於晶片上的地址輸入端子〔(ADD)118〕，而為因應指定模式地址之地址數據，而由外部地址鎖存電路104即產生的信號。又外部時鐘端子(CLK)116、指令輸入端子(CTL)117、地址輸入端子(ADD)118、及輸出端子(DQ)119是設在SDRAM40的晶片

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

上之外部端子116、117、118、119。

本SDRAM40的機構含有：起動信號產生電路101，係在電壓上昇時，產生欲指示晶片內的鎖存電路〔具體上為外部指令鎖存電路103及外部地址鎖存電路104〕的初期化所需之初期化信號的機構；內部時鐘產生電路102，是由外部時鐘端子(CLK)116從外部部輸入的外部時鐘信號(clkiz)，而產生在內部所使用的時鐘信號之機構；外部地址鎖存電路104，係與從內部時鐘產生電路102來的外部時鐘信號(clkiz)同步，而鎖存外部地址信號〔外部輸入於地址輸入端子(ADD)118之信號〕之機構；外部地址信號，能由外部地址信號a0～a6、a9以及模式設定信號a8而設定之；外部地址譯碼電路109，是要從外部地址信號產生設定模式的機構；外部指令鎖存電路103，係與從內部時鐘產生電路102而來的外部時鐘信號(clkiz)同步，而要鎖存外部輸入於外部指令信號〔外部輸入於指令輸入端子(CTL)117的模式暫存置位的外部指令，以及模式暫存閱讀的外部指令〕之機構；外部指令譯碼電路110，是要從外部指令信號產生模式暫存置位等的內部指令之機構；模式暫存控制電路〔第1圖中所示之MRGCTL10〕，因應外部地址信號a0～a6、a9，模式設定信號a8以及mrspz信號，而執行模式暫存置位的外部指令或模式暫存閱讀的外部指令，並且產生指示模式暫存器20的置位動作之暫存置位信號(rqwz)，以及產生指示模式暫存閱讀的控制之暫存閱讀信號之機構；模式暫存控制電路111，係因應暫存閱讀信號rgrz，而經

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (10)

輸出電晶體控制電路120產生指示輸出電晶體30驅動的驅動信號(mrrz)之機構；輸出電晶體控制電路120，係因應模式選擇信號(MRDZ)執行輸出電晶體30之控制的機構；記憶單元陣列113，係以位元單位記憶數據之記憶單元，是由所定之構造集積而構成，而要記憶從書寫放大電路107來的寫入數據之機構；檢測放大器112，係要讀出記憶在記憶單元陣列113上的記憶單元內之數據，並暫時予以保存而且要轉送至檢測緩衝器114之機構，同時，也是從書寫放大電路107寫入而保存在檢測緩衝器114的數據暫時予以保存之機構；檢測緩衝器114，係要暫時保存由檢測放大器112所讀出的數據，或由書寫放大電路107轉送來的寫入數據之機構；由管路線115及108所構成的兩段管路線機構，與外部時鐘信號(clkiz)同步，而要並行讀出保存在檢測緩衝器114內之數據的管路線處理執行機構；寫入數據鎖存電路105為暫時保存從外部輸入端子〔(DQ)119B〕輸入來的數據之機構；書寫放大電路107，與外部時鐘信號(clkiz)同步，而將保存在寫入數據鎖存電路105的數據寫入於檢測緩衝器114之機構；以及寫入控制電路106，與外部時鐘信號(clkiz)同步，而控制寫入數據鎖存電路105的鎖存動作，及書寫放大電路107的寫入動作之機構。

SDRAM40的實施形態：

SDRAM40與從外部時鐘端子116所供給的高速同步時鐘相配合，而能以100Mb/秒以上的數據轉送速度輸出數據。於該SDRAM40，乃有模式暫存置位的外部指令以及模式

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (11)

暫存閱讀之動作模式存在。所謂之模式暫存置位的外部指令為，由於設定CAS等待動作模式(CL)、資料組容量動作模式(BL)及資料組型式等於模式暫存器20，而從外部設定於何種動作模式而使用SDRAM40之動作模式。各種動作模式之設定，於模式暫存置位之指令執行時所選擇的動作模式信號(具體上為CL1信號～CL3信號)之上昇來進行。具體而言，如第2圖(a)及第3圖(a)所示，由於模式暫存器20使用a0～a6及a9輸入所定的數據，即能設定各種動作模式。模式暫存閱讀的外部指令係對SDRAM40的晶片內部現在設定為何種動作模式，而要從SDRAM40的晶片上的DQ〔外部輸出端子119A或外部輸入端子119B〕以數據輸出，以確認動作模式之謂。具體而言，係表示從模式選擇信號〔第2圖(a)及第3圖(a)中所示之MRDZ〕連接於DQ〔外部輸出端子119A或外部輸入端子119B〕之輸出晶體〔第2圖(a)及第3圖(a)中所示之out Tr30〕作數據輸出之動作模式。

SDRAM40的基本動作：

當半導體裝置SDRAM40收到由內部時鐘產生電路101所產生的外部時鐘信號(clkiz)，以及從晶片上的外部時鐘端子〔(CLK)119〕藉著內部時鐘產生電路101，由外部所輸入之信號後將與其同步，而為了要選擇模式暫存置位的外部指令，或模式暫存閱讀的外部指令所定之數據(a0～a6，a8及a9)，乃將其輸入於模式暫存器20。在模式暫存置位的外部指令與模式暫存閱讀的指令，於執行時的輸入

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(12)

上相異的只是a08端子上的信號之a8而已〔要指定模式地址，以地址數據而從地址輸入端子〔(ADD)118〕由外部輸入之信號，即模式設定信號〕，而L為模式暫存置位而邏輯準位H為模式暫存閱讀。

模式暫存控制電路10，將產生於半導體裝置SDRAM40的內部所生成之mrspz信號〔模式暫存置位的外部指令及模式暫存閱讀的外部指令之雙方，由晶片上的外部指令鎖存電路104所生成之信號，而與外部時鐘信號(clkiz)同步所產生的信號〕，與模式設定信號a8之合成信號的暫存閱讀信號(rgrz)。接著將產生鎖存暫存閱讀信號(rgrz)之信號的驅動信號(mrrz)〔具體上為在晶片上由模式暫存控制電路10所生成〕。該驅動信號(mrrz)保存至下次之外部時鐘信號(clkiz)產生為止。為因應驅動信號(mrrz)，乃從輸出電晶體30輸出模式暫存器(20)之內容的模式選擇信號MRDZ。

第1實施形態：

第2圖(a)表示本發明之第1實施形態的電路圖，圖(b)為說明其動作之時間圖表。

第1實施形態的模式暫存控制電路〔第2圖中所示之MRGCTL10〕為控制SDRAM40之模式暫存器的讀出動作，與外部指令信號及外部時鐘信號同步，而設在SDRAM40內之半導體裝置10，而具有第1控制部102。該第1控制部102於SDRAM40接通電源時，讓要指示模式暫存器的讀出動作之外部指令的模式暫存閱讀之執行，在內部成為非活性化

(請先閱讀背面之注意事項再填寫本頁)

派

訂

五、發明說明(13)

，而抑制模式暫存器的讀出動作之機構。甚至，第1控制部102係使用指示於SDRAM40接通電源時，要保存從SDRAM40的外部輸入之外部指令，及外部地址的鎖存電路〔具體上為外部指令鎖存電路103，與外部地址鎖存電路104〕於電源接通時的不確定狀態之初期化的初期化信號(sttz)，使模式暫存閱讀之外部指令的執行為內部性非活性化之機構。

具體而言，電源接通時將由鎖存電路〔具體上為外部指令鎖存電路103與外部地址鎖存電路104〕的正反電路等的不穩定狀態之邏輯素子定為所定電位(具體上為H或L之任一邏輯準位)即使用之起動信號(sttz)，於電源接通時在任何時刻均抑制模式暫存器的讀出動作，而不輸出使模式暫存器20設定為讀出動作之命令，而將第1控制部102所生成之禁止信號(setz)設定為邏輯準位H。由於此，SDRAM40之內部在電源接通時就不成為模式暫存閱讀的外部指令，因之，輸出電晶體30不會成為低阻抗狀態。甚至，第1控制部102在SDRAM40接通電源後，欲使其能執行模式暫存閱讀的外部指令，乃設定模式暫存置位的外部指令曾執行一次之際，第1控制部102所生成之禁止信號(setz)為邏輯位L。

具體上，第1控制部102使用與模式暫存置位時即輸出之信號(暫存置位信號：rgwz)同一性質的信號，加上由起動信號(sttz)將所固定的鎖存電路〔實際上為外部指令鎖存電路103與外部地址鎖存電路104〕的正反電路之重置

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(14)

位，而將禁止信號(setz)固定於邏輯準位L。由於此，第1控制部102即讓模式暫存置位的外部指令之執行成為可行〔參照第2圖(b)之時間圖表〕。

第1實施形態的具體動作：

在第2圖(b)的階段(1)，首先試執行模式暫存閱讀的外部指令，據由於第1控制部102所生成之禁止信號setz為邏輯準位H，而由於模式暫存控制電路10即生成的暫存閱讀信號(rgrz)固定為邏輯準位L，乃顯示輸出電晶體30保持為高阻抗狀態。

在第2圖(b)的階段(2)，欲執行模式暫存置位的外部指令，使模式設定信號(a8)置位於邏輯準位L，接著由模式暫存控制電路輸出暫存置位信號(rgwz)，使模式暫存20被置位之同時，第1控制部102所生成之禁止信號(setz)被鎖存在邏輯準位L，並生成驅動信號(mrrz)，乃顯示其後於外部指令輸入時，模式暫存閱讀之外部指令成為可行之狀態。

在第2圖(b)的階段(3)，顯示由於階段(2)之動作，因第1控制部10所生成的禁止信號(setz)設定為邏輯準位L，故，模式暫存控制電路10即生成的暫存閱讀信號(rgrz)之母線為活性化狀態。又顯示因要作模式暫存閱讀的外部指令，使模式設定信號a8設定為邏輯準位H，乃產生與內部CLK同步之mrspz信號，並出由模式暫存控制電路10所生成的暫存閱讀信號(rgrz)，而從輸出電晶體30輸出模式暫存器20之內容的模式選擇信號(MRDZ)之狀態。在第2圖

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(15)

(b)的階段(4)，顯示由內部CLK使輸出電晶體30重置位在高阻抗狀態，而表示動作完了之狀態。

如上述說明，依據本發明的第1實施形態之模式暫存控制電路10，由於設置該第1控制部102，SDRAM40於電源接通時，因禁止模式暫存閱讀的外部指令之執行，即能更SDRAM40的輸出電晶體30不會流通異常電流。

第1實施形態的半導體裝置：

半導體裝置SDRAM40，如第1圖所示，其包含有：模式暫存控制電路10、電壓上昇時產生欲將鎖存電路初期化的初期化信號(sttz)之起初信號產生電路101、因應外部時鐘生成外部時鐘信號(clkiz)之內部時鐘產生部102、記憶單元陣列113、對記憶單元陣列113作數據之讀出不寫入的讀出／寫入電路130、與外部之數據地址及指令作輸出入的輸出入電路140、保持輸出入電路之動作模式的模式暫存器20、以及控制模式暫存器的讀出動作，與外部時鐘同步的模式暫存控制電路111。

讀出／寫入電路30，即含有書寫數據鎖存電路105、書寫控制電路105、書寫放大電路107、管路線108、檢測放大器112、檢測緩衝器114、以及管路線115。輸出入電路140，即含有外電路指令鎖存電路103、外電路地址鎖存電路104、外電路地址譯碼電路109、外電路指令譯碼電路110、以及輸出電晶體控制電路120。

由於設置該模式暫存控制電路10，使本發明之第1實施形態的半導體裝置40，於電源接通時，因禁止模式暫存

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明(16)

閱讀的外部指令之執行，乃能使輸出電晶體30不會流通異常電流。甚至，於電源接通後之空閒狀態，作模式暫存置位的外部指令曾有一次執行；即其後，模式暫存閱讀的外部指令就成為執行可行，並且能使輸出電晶體30不會流通異常電流。

第2實施形態：

第3圖(a)為表示本發明第2實施形態的電路圖，圖(b)及圖(c)為說明其動作之時間圖表。第2實施形態之模式暫存控制電路〔第3圖中所示之MRGCTL10〕，而含有第2控制部104及第3控制部106。

第2控制部104為，當SDRAM40於電源接通時所檢知的外部指令，獲知為指示模式暫存器的讀出動作之模式暫存閱讀以外的外部指令之際，雖在電源電壓穩定後模式暫存置位的指令未經執行之場合，亦能指示模式暫存器立刻執行模式暫存閱讀的外部指令之機構。

第3控制部106為，SDRAM40於接通電源之後，檢知模式暫存置位的外部指令曾執行過一次之場合，亦能指示模式暫存器執行在模式暫存器的模式暫存閱讀的外部指令之機構。換言之，第2實施形態的模式暫存控制電路10，由於設置第2控制部104及第3控制部106，因之，除第1實施形態之模式暫存控制電路10的功能之外，尚有，於電源接通時使鎖存在模式暫存器20的模式暫存置位之外部指令以外的外部指令之動作模式型式的閱讀(讀出動作)成為可行，並於模式暫存置位的外部指令未經抽行之場合，只要

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (17)

是模式暫存置位之外部指令以外的外部指令，即模式暫存閱讀的外部指令會被執行，而能作如通常之內部動作。

第2實施形態的具體動作：

經判定模式暫存閱讀的外部指令 $a8 = H$ 時，在第3圖(b)的階段(1)，顯示由於與內部CLK同步之 $mrsz$ 信號及模式設定信號($a8$)均設定為邏輯準位H，而由第2控制部104使設定信號104設定為邏輯準位L的設定信號($setR$)，在電源接通以後仍然保持在邏輯準位L狀態之動作情形。在第3圖(b)的階段(2)，顯示因應起動信號($sttz$)以及由第2控制部104設定於邏輯準位L的設定信號($setR$)，而第3控制部106將禁止信號($setz$)鎖存在邏輯準位H之動作。由於此，因電源接通而起動時，輸出電晶體30乃成為低阻抗狀態，而能迴避異常電流之流通。

在第3圖(b)的階段(3)，係顯示模式暫存置位的外部指令經執行一次，即由模式暫存控制電路10，而輸出暫存置位信號($rgwz$)，並且模式暫存器20經設定之同時，第3控制部106所生成的禁止信號($setz$)鎖存為邏輯準位L，並生成驅動信號($mrrz$)，而於此之後輸入外部指令時，模式暫存閱讀的外部指令乃成為可行之狀態。在第3圖(b)之階段(4)，表示由於階段(3)的動作及第3控制部106之設置，使禁止信號($setz$)設定為邏輯準位L之故，模式暫存控制電路10所生成的暫存閱讀信號($rgrz$)的母線處於活性化狀態。又因作模式暫存閱讀的外部指令之故，模式設定信號($a8$)設定為邏輯準位H，乃產生與內部CLK同步的

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明 (18)

mrspz信號，使模式暫存控制電路10所生成的暫存閱讀信號(rgrz)被輸出。因之，乃表示從輸出電晶體30有模式暫存器20之內容的模式選擇信號(MRDZ)被輸出之狀態。

如第3圖(c)的時間圖表所示，於經判定為非模式暫存閱讀的外部指令之場合(即a8=L)，在階段(1)，因應mrsqz信號或模式設定信號a8為邏輯準位L，被設定在邏輯準位L之設定信號(setR)因第2控制部104的關係固定為邏輯準位H，因之，電源接通之後，表示仍然固定保持在邏輯準位H之狀態。

在第3圖(c)的階段(2)，由於第3控制部106的關係，禁止信號(setz)鎖存在邏輯準位L，而經判定為非模式暫存閱讀的外部指令，乃表示輸出電晶體30不會成為低阻抗狀態。在第3圖(c)的階段(3)，禁止信號(setz)因第3控制部106的關係被鎖存於邏輯準位L，使模式暫存閱讀的外部指令成為可行狀態，乃表示能讀取電源起動時的暫存器之內容的狀態。

如上述說明，依據本發明的第2實施形態之模式暫存控制電路10，由於設置該第2控制部104以及第3控制部106，使SDRAM40於電源接通時，讓模式暫存閱讀的外部指令不會生成，而保持輸出電晶體30不會流通異常電流。甚至，在電源接通後之空間狀態，模式暫存閱讀的外部指令曾作一次執行，即其後，模式暫存閱讀的外部指令執行就成為可行，並能使SDRAM40的輸出電晶體30不會有異常電流流通。

五、發明說明(19)

第2實施形態的半導體裝置：

半導體裝置SDRAM40如第1圖所示，其包含有：模式暫存控制電路10、電壓上昇時要產生欲初期化鎖存電路之初期化信號(setz)的起動信號產生電路101、因應外部時鐘而生成外部時鐘信號的內部時鐘產生部102、記憶單元陣列113、對記憶單元陣列113作數據讀出以及寫入的讀出／寫入電路130、與外部作數據地址以及指令之輸出入的輸出入電路140、保持輸出入電路之動作模式的模式暫存器20、以及控制模式暫存器之讀出動作與外部時鐘同步的模式暫存控制電路111。

讀出／寫入電路130，係含有書寫數據鎖存電路105、書寫控制電路106、書寫放大電路107、管路線108、檢測放大器112、檢測緩衝器114、以及管路線115。輸出入電路104，係含有外電路指令鎖存電路103、外電路地址鎖存電路104、外電路地址譯碼電路109、外電路指令譯碼電路110、以及輸出電晶體控制電路120。

由於設置該模式暫存控制電路10，本發明之第2實施形態的半導體裝置40，於電源接通時，因禁止模式暫存閱讀的外部指令之執行，乃可使輸出電晶體30不會有異常電流流通。甚至，於電源接通後之空閒狀態，模式暫存閱讀的外部指令曾執行一次，即其後，使模式暫存閱讀的外部指令執行就成為可行，並能達成輸出電晶體30不會流通異常電流。

發明的效果：

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(20)

依據本發明有關之模式暫存控制電路，當電源接通時，SDRAM之外部輸出端子(DQ)的狀態，經判定為模式暫存閱讀的外部指令之場合，或於電源接通後之空閒狀態，檢出SDRAM的外部輸出端子(DQ)的狀態為模式暫存閱讀的外部指令之場合，欲使SDRAM的輸出電晶體不成為低阻抗狀態的第1控制部、第2控制部及第3控制部，均設於SDRAM，即於SDRAM接通電源時就能禁止模式暫存閱讀的外部指令之執行，其結果，能使SDRAM的輸出電晶體不流通異常電流。甚至，於電源接通後之空閒狀態，模式暫存閱讀的外部指令曾作一次執行，即其後，模式暫存閱讀的外部指令之執行就成為可行。其結果，能使SDRAM的輸出電晶體不會流通異常電流。

由於設置該模式暫存控制電路，於SDRAM接通電源時，因禁止模式暫存閱讀的外部指令之執行，乃能使SDRAM的輸出電晶體不會流通異常電流。甚至，於電源接通後之空閒狀態，模式暫存置位曾作一次外部指令執行，即其後，模式暫存閱讀的外部指令執行就成為可行，並能製成輸出電晶體不會流通異常電流的半導體裝置。

圖面簡要說明

第1圖係表示本發明之模式暫存控制電路的電路圖。

第2圖(a)係表示本發明的第1實施形態的電路圖。

第2圖(b)為說明其動作之時間圖表。

第3圖(a)係表示本發明的第2實施形態的電路圖，

第3圖(b)及(c)為說明其動作之時間圖表。

五、發明說明 (21)

第4圖(a)係表示習知之模式暫存控制電路，以及由其所控制之模式暫存器的電路圖。第4圖(b)為說明其動作之時間圖表。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(22)

元件標號對照

1 SDRAM(半導體裝置)
2 模式暫存器
3 輸出電晶體
9 模式暫存控制電路
a8 模式設定信號
a0~a6、a9 外部地址信號
DQ 外部輸出端子
MRDZ 模式選擇行號
MRGCTL 模式暫存控制電路
mrspz 外部指令信號
clkiz 外部時鐘信號
rgrz 暫存閱讀信號
mrrz 驅動信號
CLK 外部時鐘端子
ADD 晶片上的外部端子
ADD 地址輸入端子
10 模式暫存控制電路
MRGCTL 模式暫存控制電路
20 模式暫存器
30 輸出電晶體
40 半導體裝置
SDRAM 半導體裝置

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(23)

- 101....起動信號產生電路
- 102....第1控制部
- 102....內部時鐘產生部
- 103....外部指令鎖存電路
- 104....外部地址鎖存電路
- 104....第2控制部
- 105....書寫數據鎖存電路
- 106....書寫控制電路
- 106....第3控制部
- 107....書寫放大電路
- 108....管路線
- 109....外部地址譯碼電路
- 110....外部指令譯碼電路
- 111....暫存閱讀控制電路
- 112....檢測放大器
- 113....記憶單元陣列
- 114....檢測緩衝器
- 115....管路線
- 116....外部時鐘端子
- CLK....外部時鐘端子
- 117....指令輸入端子
- CTL....指令輸入端子
- 118....地址輸入端子
- ADD....地址輸入端子

(請先閱讀背面之注意事項再填寫本頁)

表

訂

五、發明說明(24)

119....外部輸出端子

DQ....外部輸出端子

119A....外部輸入端子

119B....外部輸入端子

120....輸出電晶體控制電路

130....讀出／寫入電路

140....輸出入電路

a8....模式設定信號

a0~a6、a9....外部地址信號

sttz....初期化信號

sttz....起動信號

setR....置位信號

setz....禁止信號

CL1~CL3....動作模態信號

rgwz....暫存置位信號

rgrz....暫存閱讀信號

clkiz....外部時鐘信號

mrrz....驅動信號

MRDZ....模式選擇信號

mrspz....外部指令信號

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

四、中文發明摘要(發明之名稱：

模式暫存控制電路及具有該電路之半導體裝置

目的：本發明係有關SDRAM等之模式暫存控制電路，以提供於電源接通時以及電源接通後之空閒狀態時，不會流通異常電流的模式暫存控制電路以及具有該電路之半導體裝置為目的。

裝置：模式暫存控制電路(10)，其特徵在於含有：於半導體裝置(40)接通電源時，使用鎖存電路接通電源時要指示不確定狀態之初期化的初期化信號、抑制模式暫存器的讀出動作之第1控制部(102)、電源接通時所檢知之外部指令獲知為模式暫存閱讀的外部指令以外之際，在模式

(接下頁)

英文發明摘要(發明之名稱：MODE REGISTER CONTROL CIRCUIT AND SEMICONDUCTOR DEVICE HAVING THE SAME)

A mode register control circuit for a semiconductor device (40) includes a first control unit (202) for preventing the content of a mode register (20) from being read, using an initializing signal for instructing latching circuits (103, 104) to be initialized, the initialization being done in a transient occurring after the semiconductor device (40) is turned on; a second control unit (104) for instructing the mode register (20) to execute a mode register read command even if a mode register set command has not been executed, on the condition that an external command other than the mode register read command is detected when the semiconductor device (40)



四、中文發明摘要(發明之名稱：)

(承上頁)

暫存置位之指令未經執行之場合，亦能指示模式暫存器立刻執行模式暫存閱讀之外部指令的第2控制部(104)、以及電源接通後檢知曾執行一次模式暫存置位的外部指令之場合，要指示模式暫存器(20)執行模式暫存閱讀的外部指令之第3控制部(106)。

(請先閱讀背面之注意事項再填寫本頁各欄)

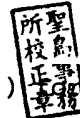
裝

訂

線

英文發明摘要(發明之名稱：)

is turned on; or a third control unit (206)
instructing the mode register (20) to execute the mode
register read command on the condition that the mode
register set command is executed after the
semiconductor device (40) is turned on.



六、申請專利範圍

1. 一種模式暫存控制電路，係為控制半導體裝置的模式暫存器的讀出動作，與外指令信號及外部時鐘信號同步，而設在半導體裝置內；包含：

第1控制部，使半導體裝置接通電源時，讓指示讀出動作的外部指令之模式暫存閱讀的執行，在其內部成為非活性化，以便抑制前述之模式暫存的讀出動作。

2. 如申請專利範圍第1項所記載之模式暫存控制電路，其中，該第1控制部於半導體裝置接通電源時，為保持從其外部所輸入的外部指令或外部地址之鎖存部，於其電源接通時使用初期化信號指示其不確定狀態之初期化，使前述模式暫存閱讀的外部指令之執行成為內部性非活性化。

3. 一種模式暫存控制電路，係欲控制使半導體裝置的模式暫存之讀出動作與外部指令及外部時鐘同步，而設在半導體裝置內；包含：第2控制部，當前述半導體裝置的電源接通時，查覺所檢知的前述外部指令為指示前述模式暫存讀出動作的模式暫存閱讀以外的外部指令之際，在電源電壓穩定後，雖然前述模式暫存置位的外部指令未經執行之場合，亦能指示前述模式暫存器立刻執行模式暫存閱讀的外部指令。

4. 一種模式暫存控制電路，係欲控制使半導體裝置的模式暫存器之讀出動作與外部指令及外部時鐘同步，而在半導體裝置內所設的模式暫存控制電路；包含：第

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

3 控制部，當前述半導體裝置的電源接通之後，檢知模式暫存置位的外部指令曾執行一次之場合，要指示前述模式暫存器執行於前述模式暫存器的模式暫存閱讀之外部指令。

5. 如申請專利範圍第 3 或 4 項所記載之模式暫存控制電路，於接通半導體裝置的電源時，查覺所檢知的外部指令為指示模式暫存器的讀出動作之模式暫存閱讀以外的外部指令之際，該第 2 控制部在電源電壓穩定後，模式暫存置位的指令雖未經執行之場合，亦能立刻催促模式暫存器執行模式暫存閱讀的外部指令；以及於半導體裝置接通電源之後，檢知模式暫存置位的外部指令曾經執行一次之場合，該第 3 控制部將指示模式暫存器執行在模式暫存器的模式暫存閱讀之外部指令。

6. 一種半導體裝置，其特徵包含有：

一模式暫存控制電路，係如申請專利範圍第 1 項、第 2 項、第 3 項、第 4 項及第 5 項所述；

一起動信號產生電路，係於電源上昇時產生初期化信號，欲將鎖存電路初期化；

一內部時鐘產生部，係因應外部時鐘產生外部時鐘信號；

一記憶單元陣列；

一讀出／寫入電路，係對記憶單元陣列作數據讀出及寫入，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

一 輸出入電路，係與外部的數據地址及指令作輸出入；

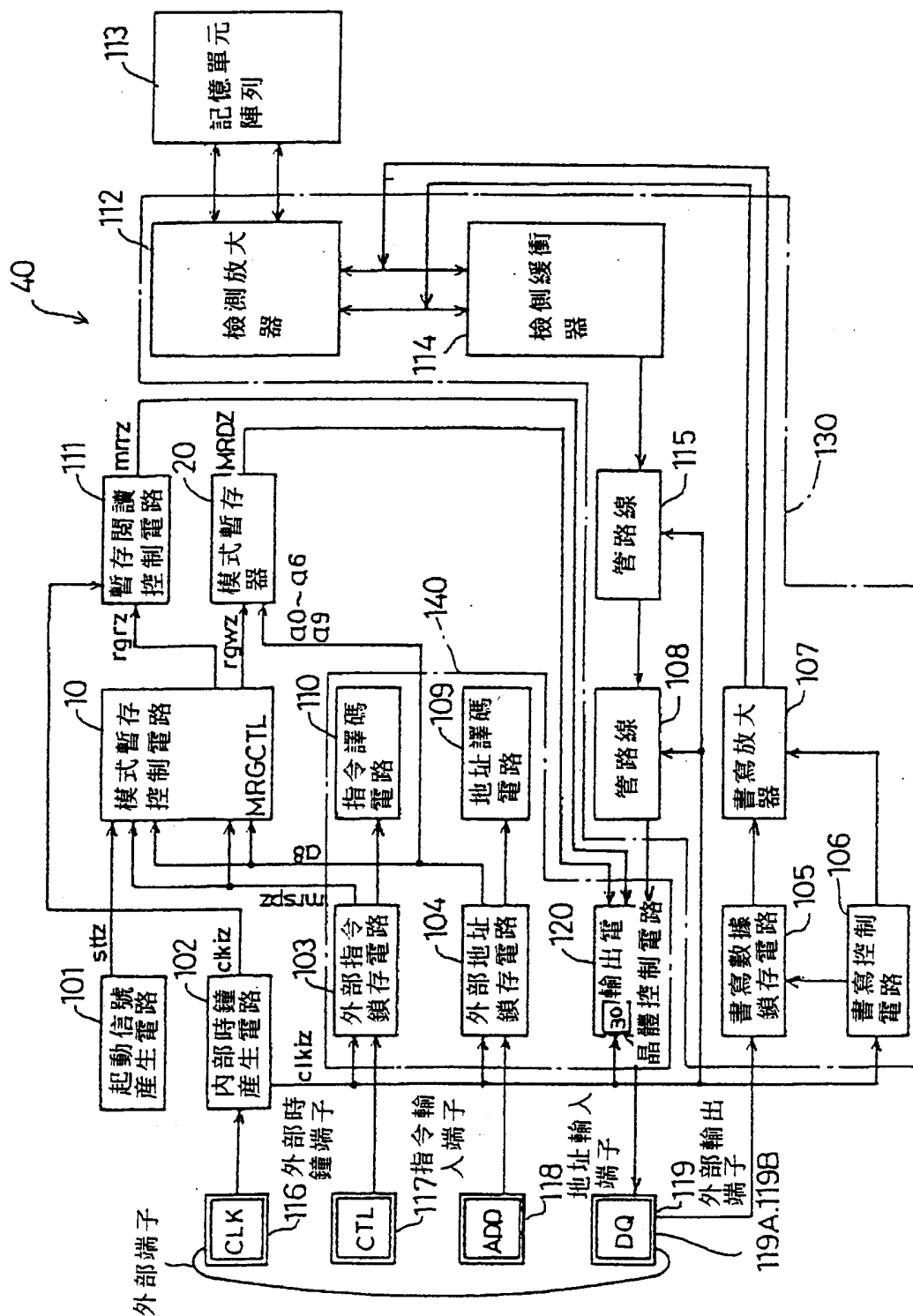
一 模式暫存器，係保持輸出入電路之動作模式；
以及

一 模式暫存控制電路，係要控制模式暫存器的讀出動作與外部時鐘同步。

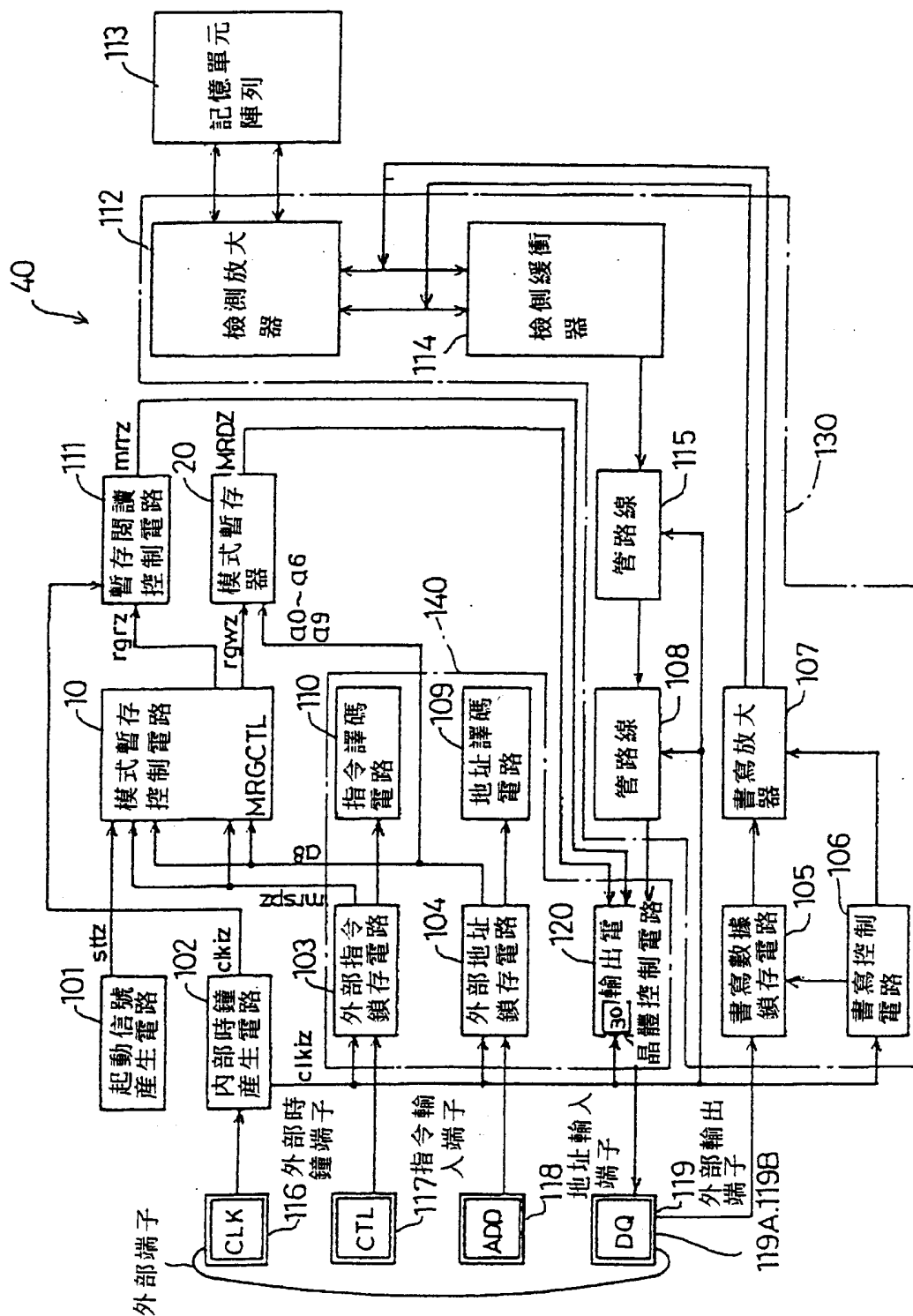
(請先閱讀背面之注意事項再填寫本頁)

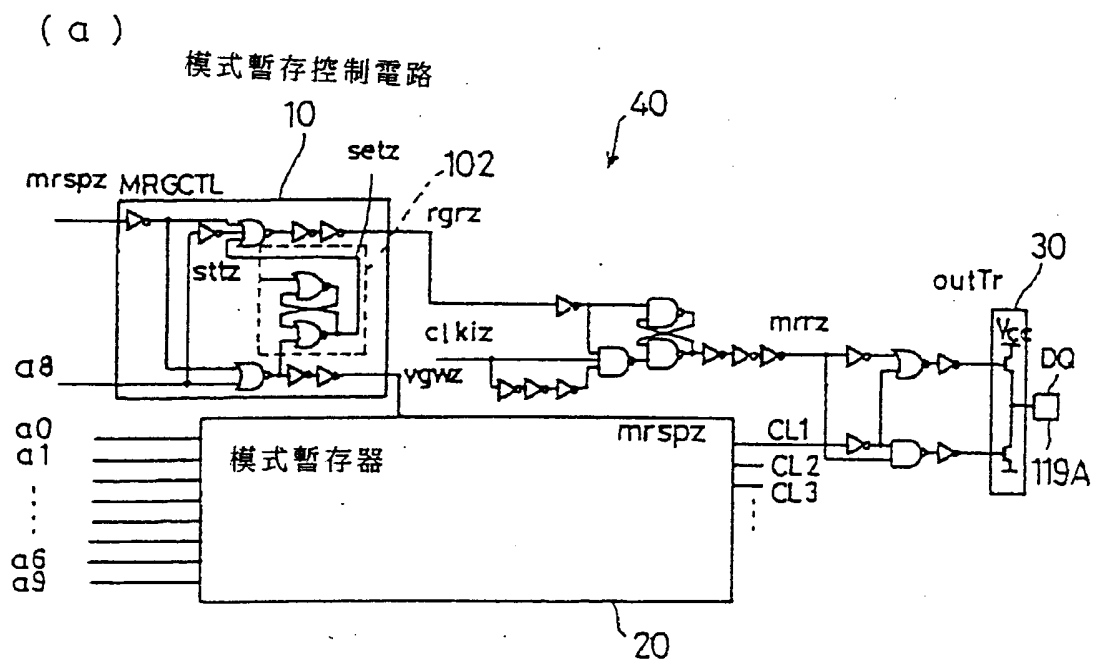
訂

第 1 圖



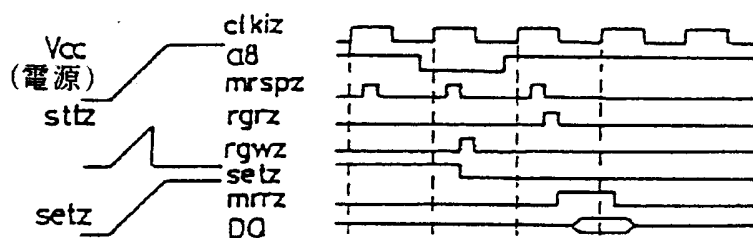
第 1 圖

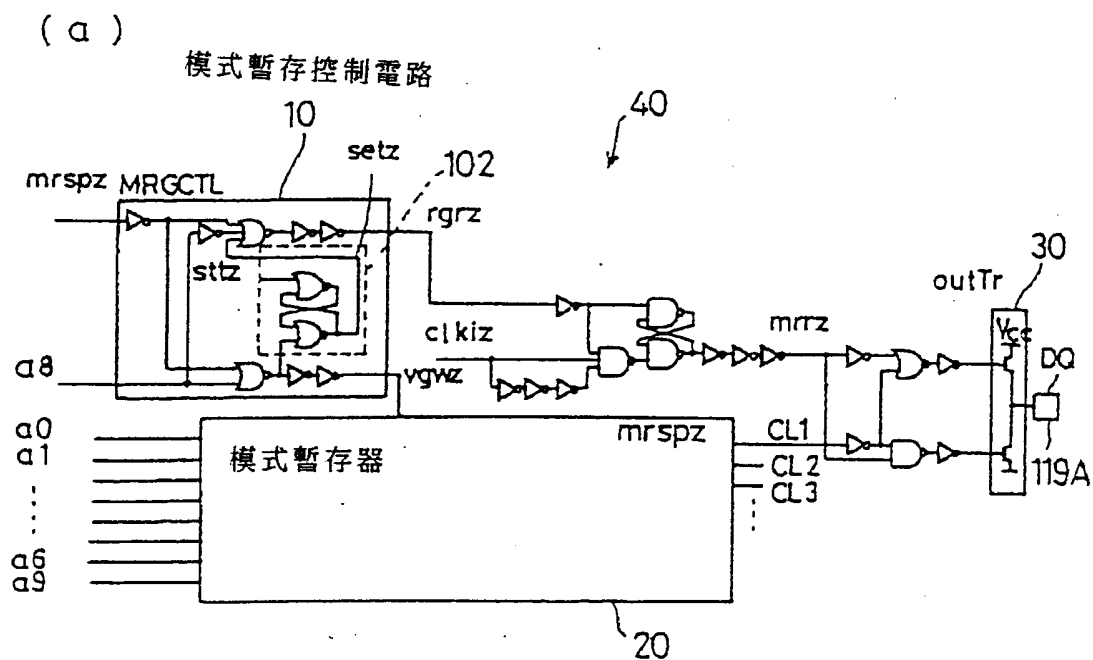




(b)

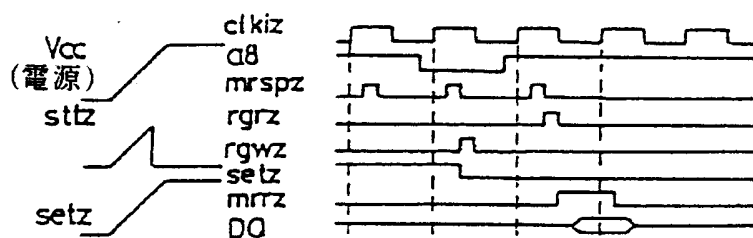
電源接通



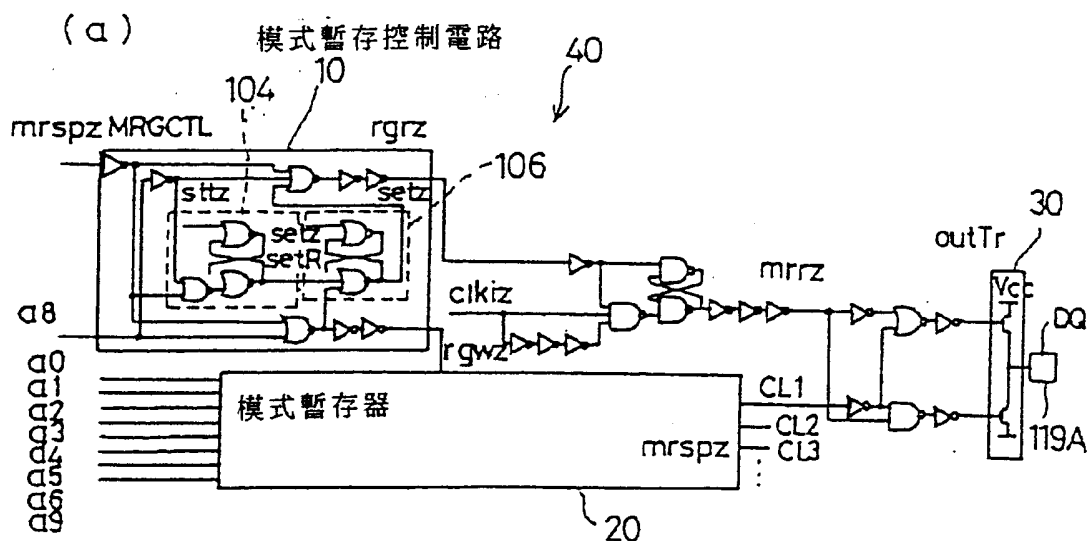


(b)

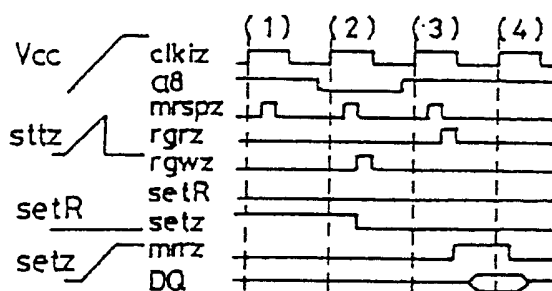
電源接通



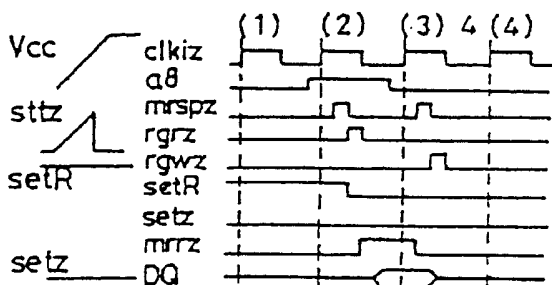
第 3 圖



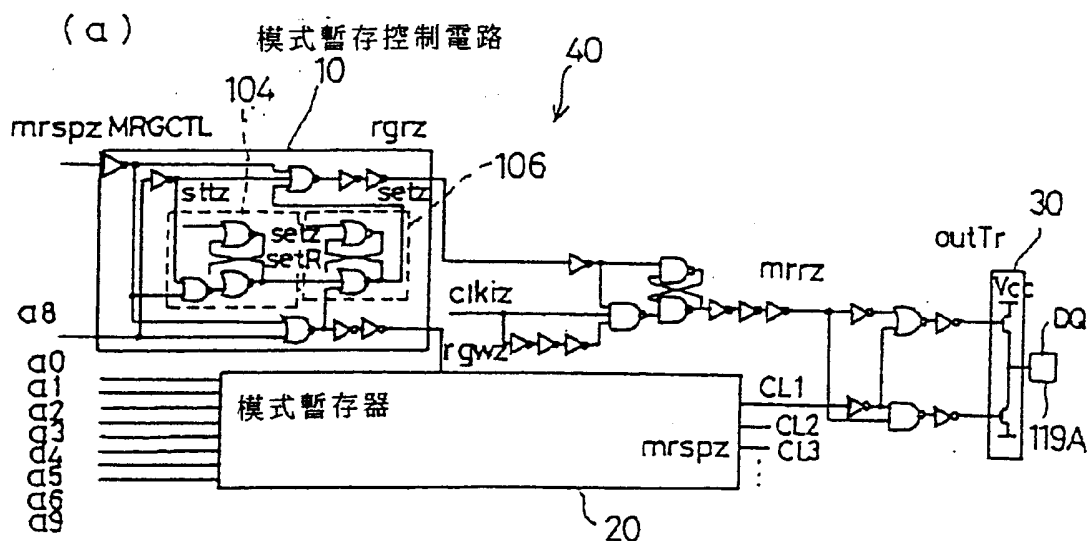
(b) 電源接通 [a8 = H]



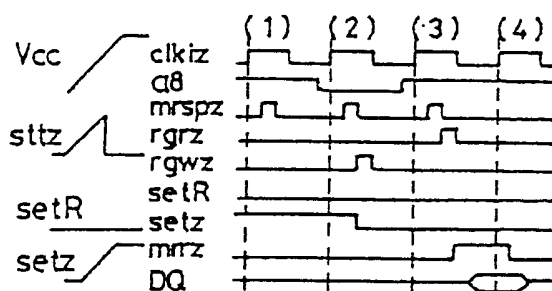
(c) 電源接通 [a8 = L]



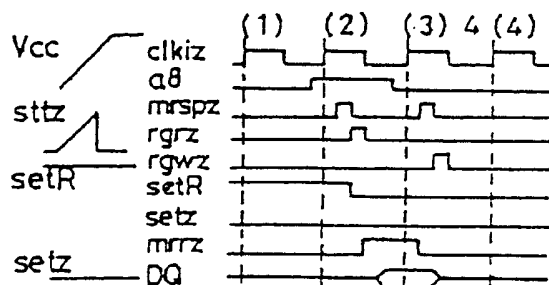
第 3 圖



(b) 電源接通 [a8 = H]

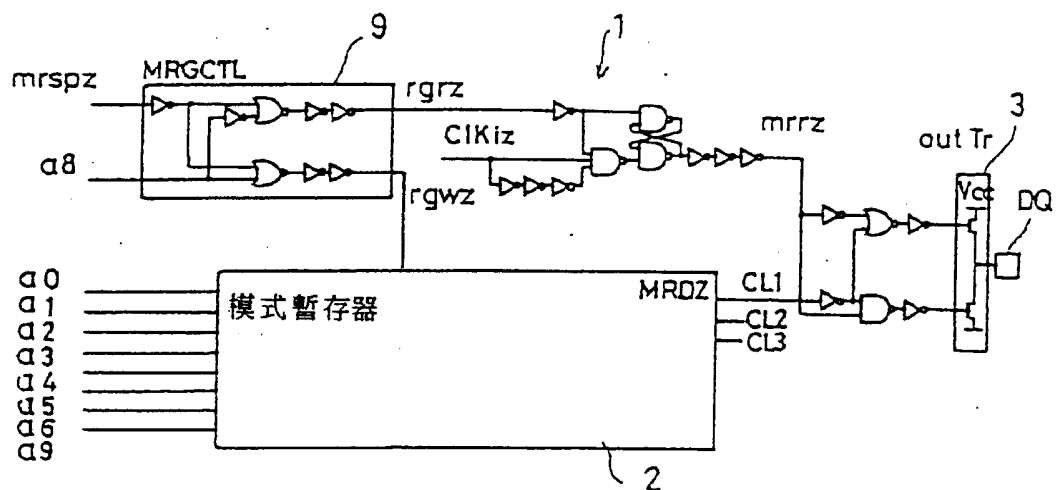


(c) 電源接通 [a8 = L]

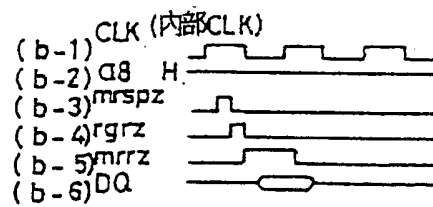


402803

(a)

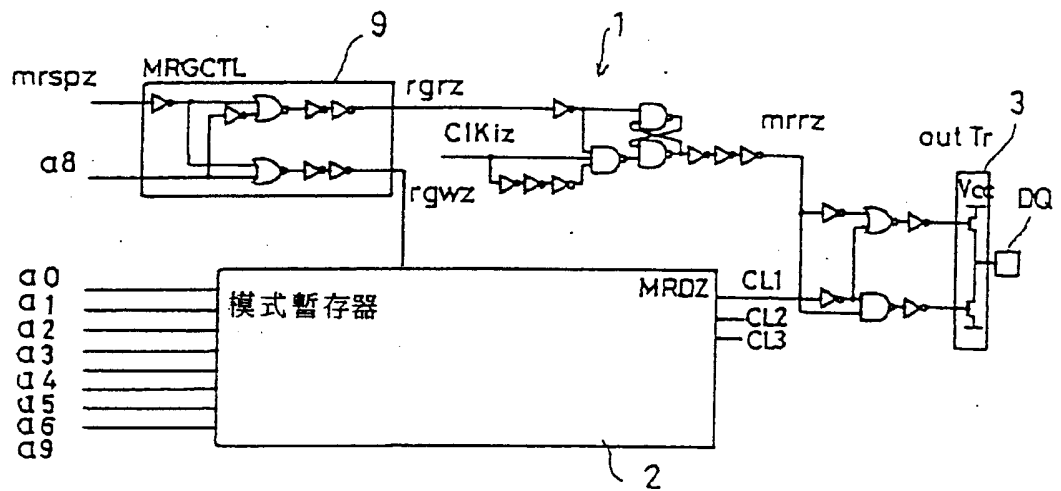


(b)



402803

(a)



(b)

