



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0105683  
(43) 공개일자 2017년09월20일

(51) 국제특허분류(Int. Cl.)  
G09G 3/32 (2016.01)

(52) CPC특허분류  
G09G 3/3266 (2013.01)  
G09G 3/3233 (2013.01)

(21) 출원번호 10-2016-0028287  
(22) 출원일자 2016년03월09일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자  
나지수  
경기도 용인시 수지구 문인로 57, 풍림아파트  
106동 507호

공지혜  
경기도 성남시 분당구 서판교로 29 판교원마을한  
림풀에버아파트, 922동 1201호

황영인  
경기도 수원시 권선구 동수원로145번길 73, 수원  
아이파크시티3단지 301동 305호

(74) 대리인  
박영우

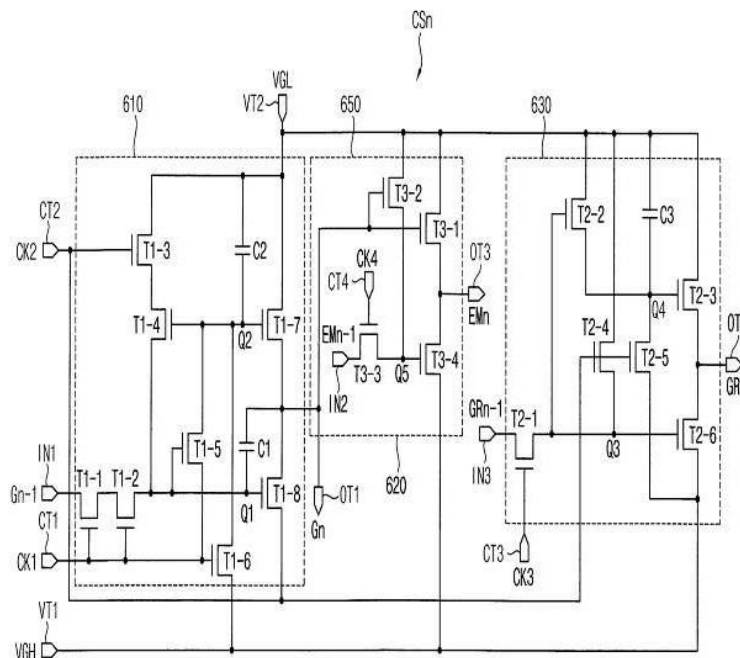
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 스캔 구동부 및 이를 포함하는 표시 장치

(57) 요약

스캔 구동부는 스캔 구동부는 제1 클럭 신호에 응답하여 제n-1 게이트 신호를 제1 제어 노드에 인가하는 제1-1 트랜지스터, 상기 제1 제어 노드의 전압에 응답하여 상기 제2 클럭 신호에 동기된 제n 게이트 신호를 출력하는 제1-8 트랜지스터, 상기 제1 클럭 신호에 응답하여 제1 게이트 전압을 제2 제어 노드에 인가하는 제1-6 트랜지스터 (뒷면에 계속)

대표도



터, 상기 제2 제어 노드에 응답하여 제2 게이트 전압을 상기 제n 게이트 신호로 출력하는 제1-7 트랜지스터를 포함하는 제1 신호 생성부('n'은 자연수), 및 제3 클럭 신호에 응답하여 제n-1 보상 제어 신호를 제3 제어 노드에 인가하는 제2-1 트랜지스터, 상기 제3 제어 노드의 전압에 응답하여 상기 제1 게이트 전압을 제n 보상 제어 신호로 출력하는 제2-6 트랜지스터, 상기 제2 클럭 신호에 응답하여 제4 제어 노드에 상기 제1 게이트 전압을 인가하는 제2-5 트랜지스터 및 상기 제4 제어 노드의 전압에 응답하여 상기 제2 게이트 전압을 상기 제n 보상 제어 신호로 출력하는 제2-3 트랜지스터를 포함하는 제2 신호 생성부를 포함한다.

(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2300/0842 (2013.01)

## 명세서

### 청구범위

#### 청구항 1

제1 클럭 신호에 응답하여 제 $n-1$  게이트 신호를 제1 제어 노드에 인가하는 제1-1 트랜지스터, 상기 제1 제어 노드의 전압에 응답하여 상기 제2 클럭 신호에 동기된 제 $n$  게이트 신호를 출력하는 제1-8 트랜지스터, 상기 제1 클럭 신호에 응답하여 제1 게이트 전압을 제2 제어 노드에 인가하는 제1-6 트랜지스터, 상기 제2 제어 노드에 응답하여 제2 게이트 전압을 상기 제 $n$  게이트 신호로 출력하는 제1-7 트랜지스터를 포함하는 제1 신호 생성부 (' $n$ '은 자연수); 및

제3 클럭 신호에 응답하여 제 $n-1$  보상 제어 신호를 제3 제어 노드에 인가하는 제2-1 트랜지스터, 상기 제3 제어 노드의 전압에 응답하여 상기 제1 게이트 전압을 제 $n$  보상 제어 신호로 출력하는 제2-6 트랜지스터, 상기 제2 클럭 신호에 응답하여 제4 제어 노드에 상기 제1 게이트 전압을 인가하는 제2-5 트랜지스터 및 상기 제4 제어 노드의 전압에 응답하여 상기 제2 게이트 전압을 상기 제 $n$  보상 제어 신호로 출력하는 제2-3 트랜지스터를 포함하는 제2 신호 생성부를 포함하는 것을 특징으로 하는 스캔 구동부.

#### 청구항 2

제1항에 있어서, 상기 제2 신호 생성부는

상기 제2 클럭 신호에 응답하여 상기 제3 제어 노드에 상기 제2 게이트 전압을 인가하는 제2-4 트랜지스터; 및

상기 제 $n-1$  보상 제어 신호에 응답하여 상기 제2 게이트 전압을 상기 제4 제어 노드에 인가하는 제2-2 트랜지스터를 더 포함하는 스캔 구동부.

#### 청구항 3

제1항에 있어서, 상기 제1 신호 생성부는

상기 제1 제어 노드의 전압에 응답하여 상기 제2 제어 노드에 상기 제1 클럭 신호를 인가하는 제1-5 트랜지스터;

상기 제2 클럭 신호에 응답하여 구동하는 제1-3 트랜지스터;

상기 제2 제어 노드의 전압에 응답하여 구동하는 제1-4 트랜지스터; 및

상기 제1 클럭 신호에 응답하여 구동하는 제1-2 트랜지스터를 더 포함하는 스캔 구동부.

#### 청구항 4

제1항에 있어서, 상기 제 $n$  게이트 신호를 이용하여 제 $n$  발광 제어 신호를 생성하는 제3 신호 생성부를 더 포함하는 스캔 구동부.

#### 청구항 5

제4항에 있어서, 상기 제3 스캔 구동부는

제4 클럭 신호에 응답하여 상기 제 $n$  게이트 신호를 제5 제어 노드에 인가하는 제3-3 트랜지스터, 상기 제5 제어 노드의 전압에 응답하여 상기 제1 게이트 전압을 제 $n$  발광 제어 신호로 출력하는 제3-4 트랜지스터, 및 상기 제 $n$  게이트 신호에 응답하여 상기 제2 게이트 전압을 상기 제 $n$  발광 제어 신호로 출력하는 제3-1 트랜지스터를 포함하는 것을 특징으로 하는 스캔 구동부.

#### 청구항 6

제5항에 있어서, 상기 제3 신호 생성부는

상기 제 $n$  게이트 신호에 응답하여 상기 제5 제어 노드에 상기 제2 게이트 전압을 인가하는 제3-2 트랜지스터를 더 포함하는 스캔 구동부.

**청구항 7**

제5항에 있어서, 상기 제2 클럭 신호는 상기 제1 클럭 신호 보다 1 수평 주기 지연되고, 상기 제3 클럭 신호는 상기 제2 클럭 신호 보다 1 수평 주기 지연되고, 상기 제4 클럭 신호는 상기 제3 클럭 신호 보다 1 수평 주기 지연되고, 상기 제1 클럭 신호는 상기 제4 클럭 신호 보다 수평 주기 지연되는 것을 특징으로 하는 스캔 구동부.

**청구항 8**

제7항에 있어서, 제 $n-1$  회로 스테이지는 상기 제1 클럭 신호에 동기된 제 $n-1$  게이트 신호를 생성하고, 제 $n$  회로 스테이지는 상기 제2 클럭 신호에 동기된 제 $n$  게이트 신호를 생성하고, 제 $n+1$  회로 스테이지는 상기 제3 클럭 신호에 동기된 제 $n+1$  게이트 신호를 생성하고, 제 $n+2$  회로 스테이지는 상기 제4 클럭 신호에 동기된 제 $n+2$  게이트 신호를 생성하는 것을 특징으로 하는 스캔 구동부.

**청구항 9**

최소 회로가 배열된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역을 포함하는 표시 패널; 상기 주변 영역에 배치되고, 복수의 게이트 신호들, 복수의 발광 제어 신호들 및 복수의 보상 제어 신호들을 출력하는 복수의 회로 스테이지들을 포함하는 스캔 구동부를 포함하고,

제 $n$  회로 스테이지('n'은 자연수)는

제1 클럭 신호에 응답하여 제 $n-1$  게이트 신호를 제1 제어 노드에 인가하는 제1-1 트랜지스터, 상기 제1 제어 노드의 전압에 응답하여 상기 제2 클럭 신호에 동기된 제 $n$  게이트 신호를 출력하는 제1-8 트랜지스터, 상기 제1 클럭 신호에 응답하여 제1 게이트 전압을 제2 제어 노드에 인가하는 제1-6 트랜지스터, 상기 제2 제어 노드에 응답하여 제2 게이트 전압을 상기 제 $n$  게이트 신호로 출력하는 제1-7 트랜지스터를 포함하는 제1 신호 생성부; 및

제3 클럭 신호에 응답하여 제 $n-1$  보상 제어 신호를 제3 제어 노드에 인가하는 제2-1 트랜지스터, 상기 제3 제어 노드의 전압에 응답하여 상기 제1 게이트 전압을 제 $n$  보상 제어 신호로 출력하는 제2-6 트랜지스터, 상기 제2 클럭 신호에 응답하여 제4 제어 노드에 상기 제1 게이트 전압을 인가하는 제2-5 트랜지스터 및 상기 제4 제어 노드의 전압에 응답하여 상기 제2 게이트 전압을 상기 제 $n$  보상 제어 신호로 출력하는 제2-3 트랜지스터를 포함하는 제2 신호 생성부를 포함하는 것을 특징으로 하는 표시 장치.

**청구항 10**

제9항에 있어서, 상기 제2 신호 생성부는

상기 제2 클럭 신호에 응답하여 상기 제3 제어 노드에 상기 제2 게이트 전압을 인가하는 제2-4 트랜지스터; 및

상기 제 $n-1$  보상 제어 신호에 응답하여 상기 제2 게이트 전압을 상기 제4 제어 노드에 인가하는 제2-2 트랜지스터를 더 포함하는 표시 장치.

**청구항 11**

제9항에 있어서, 상기 제1 신호 생성부는

상기 제1 제어 노드의 전압에 응답하여 상기 제2 제어 노드에 상기 제1 클럭 신호를 인가하는 제1-5 트랜지스터;

상기 제2 클럭 신호에 응답하여 구동하는 제1-3 트랜지스터;

상기 제2 제어 노드의 전압에 응답하여 구동하는 제1-4 트랜지스터; 및

상기 제1 클럭 신호에 응답하여 구동하는 제1-2 트랜지스터를 더 포함하는 표시 장치.

**청구항 12**

제9항에 있어서, 상기 제 $n$  게이트 신호를 이용하여 제 $n$  발광 제어 신호를 생성하는 제3 신호 생성부를 더 포함하는 표시 장치.

**청구항 13**

제12항에 있어서, 상기 신호 생성부는

제4 클럭 신호에 응답하여 상기 제 $n$  게이트 신호를 제5 제어 노드에 인가하는 제3-3 트랜지스터, 상기 제5 제어 노드의 전압에 응답하여 상기 제1 게이트 전압을 제 $n$  발광 제어 신호로 출력하는 제3-4 트랜지스터, 및 상기 제 $n$  게이트 신호에 응답하여 상기 제2 게이트 전압을 상기 제 $n$  발광 제어 신호로 출력하는 제3-1 트랜지스터를 포함하는 것을 특징으로 하는 표시 장치.

**청구항 14**

제13항에 있어서, 상기 제3 신호 생성부는

상기 제 $n$  게이트 신호에 응답하여 상기 제5 제어 노드에 상기 제2 게이트 전압을 인가하는 제3-2 트랜지스터를 더 포함하는 표시 장치.

**청구항 15**

제13항에 있어서, 상기 제2 클럭 신호는 상기 제1 클럭 신호 보다 1 수평 주기 지연되고, 상기 제3 클럭 신호는 상기 제2 클럭 신호 보다 1 수평 주기 지연되고, 상기 제4 클럭 신호는 상기 제3 클럭 신호 보다 1 수평 주기 지연되고, 상기 제1 클럭 신호는 상기 제4 클럭 신호 보다 수평 주기 지연되는 것을 특징으로 하는 표시 장치.

**청구항 16**

제15항에 있어서, 상기 스캔 구동부의 제 $n-1$  회로 스테이지는 상기 제1 클럭 신호에 동기된 제 $n-1$  게이트 신호를 생성하고,

제 $n$  회로 스테이지는 상기 제2 클럭 신호에 동기된 제 $n$  게이트 신호를 생성하고,

제 $n+1$  회로 스테이지는 상기 제3 클럭 신호에 동기된 제 $n+1$  게이트 신호를 생성하고,

제 $n+2$  회로 스테이지는 상기 제4 클럭 신호에 동기된 제 $n+2$  게이트 신호를 생성하는 것을 특징으로 하는 표시 장치.

**청구항 17**

제9항에 있어서, 상기 스캔 구동부의 복수의 트랜지스터들은 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터인 것을 특징으로 하는 표시 장치.

**청구항 18**

제9항에 있어서, 상기 화소 회로는

유기 발광 다이오드(Organic Light Emitting Diode; OLED);

제1 노드에 연결되는 제어 전극, 제2 노드에 연결된 제1 전극 및 제1 전원 전압이 인가되는 제2 전극을 포함하는 구동 트랜지스터;

상기 제 $n$  게이트 신호가 인가되는 제어 전극, 데이터 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 화소 트랜지스터; 및

상기 제 $n$  발광 제어 신호가 인가되는 제어 전극, 상기 제1 전원 전압이 인가되는 제1 전극 및 상기 구동 트랜지스터와 연결된 제2 전극을 포함하는 제2 화소 트랜지스터를 포함하는 표시 장치.

**청구항 19**

제18항에 있어서, 상기 화소 회로는

상기 제 $n$  보상 제어 신호가 인가되는 제어 전극, 기준 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결된 제

2 전극을 포함하는 제3 화소 트랜지스터; 및

제n+1 게이트 신호가 인가되는 제어 전극, 초기화 전압이 인가되는 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제4 화소 트랜지스터를 더 포함하는 것을 특징으로 하는 표시 장치.

**청구항 20**

제18항에 있어서, 상기 화소 회로의 복수의 트랜지스터들은 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터인 것을 특징으로 하는 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 스캔 구동부 및 이를 포함하는 표시 장치에 관한 것으로서, 더욱 상세하게는 간단한 회로 구현을 위한 스캔 구동부 및 이를 포함하는 표시 장치에 관한 것이다.

**배경 기술**

[0002] 평판 표시 장치 중 유기 발광 표시 장치(OLED)는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 유기 발광 표시 장치는 화소 회로를 포함하는 표시 패널과, 화소 회로를 구동하기 위한 복수의 구동부들을 포함한다. 상기 화소 회로는 유기 발광 다이오드 및 상기 유기 발광 다이오드를 구동하는 복수의 트랜지스터들을 포함한다. 상기 복수의 구동부들은 데이터 라인을 구동하는 데이터 구동부, 게이트 라인들을 구동하는 게이트 구동부 및 발광 제어 라인들을 구동하기 위한 발광 구동부를 포함한다.

[0004] 상기 복수의 구동부들은 상기 표시 패널의 주변 영역에 외장 회로로 실장된다. 상기 복수의 구동부들이 상기 표시 패널의 주변 영역에 실장됨에 따라서 상기 유기 발광 표시 장치의 전체적인 사이즈가 증가하고, 생산 원가가 증가하는 단점을 갖는다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 일 목적은 회로 구현이 간단한 스캔 구동부를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 스캔 구동부를 표시 패널에 내장한 표시 장치를 제공하는 것이다.

**과제의 해결 수단**

[0007] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 스캔 구동부는 제1 클럭 신호에 응답하여 제n-1 게이트 신호를 제1 제어 노드에 인가하는 제1-1 트랜지스터, 상기 제1 제어 노드의 전압에 응답하여 상기 제2 클럭 신호에 동기된 제n 게이트 신호를 출력하는 제1-8 트랜지스터, 상기 제1 클럭 신호에 응답하여 제1 게이트 전압을 제2 제어 노드에 인가하는 제1-6 트랜지스터, 상기 제2 제어 노드에 응답하여 제2 게이트 전압을 상기 제n 게이트 신호로 출력하는 제1-7 트랜지스터를 포함하는 제1 신호 생성부('n'은 자연수), 및 제3 클럭 신호에 응답하여 제n-1 보상 제어 신호를 제3 제어 노드에 인가하는 제2-1 트랜지스터, 상기 제3 제어 노드의 전압에 응답하여 상기 제1 게이트 전압을 제n 보상 제어 신호로 출력하는 제2-6 트랜지스터, 상기 제2 클럭 신호에 응답하여 제4 제어 노드에 상기 제1 게이트 전압을 인가하는 제2-5 트랜지스터 및 상기 제4 제어 노드의 전압에 응답하여 상기 제2 게이트 전압을 상기 제n 보상 제어 신호로 출력하는 제2-3 트랜지스터를 포함하는 제2 신호 생성부를 포함한다.

[0008] 일 실시예에서, 상기 제2 신호 생성부는 상기 제2 클럭 신호에 응답하여 상기 제3 제어 노드에 상기 제2 게이트 전압을 인가하는 제2-4 트랜지스터, 및 상기 제n-1 보상 제어 신호에 응답하여 상기 제2 게이트 전압을 상기 제4 제어 노드에 인가하는 제2-2 트랜지스터를 더 포함할 수 있다.

[0009] 일 실시예에서, 상기 제1 신호 생성부는 상기 제1 제어 노드의 전압에 응답하여 상기 제2 제어 노드에 상기 제1 클럭 신호를 인가하는 제1-5 트랜지스터, 상기 제2 클럭 신호에 응답하여 구동하는 제1-3 트랜지스터, 상기 제2

제어 노드의 전압에 응답하여 구동하는 제1-4 트랜지스터, 및 상기 제1 클럭 신호에 응답하여 구동하는 제1-2 트랜지스터를 더 포함할 수 있다.

- [0010] 일 실시예에서, 상기 스캔 구동부는 상기 제 $n$  게이트 신호를 이용하여 제 $n$  발광 제어 신호를 생성하는 제3 신호 생성부를 더 포함할 수 있다.
- [0011] 일 실시예에서, 상기 제3 스캔 구동부는 제4 클럭 신호에 응답하여 상기 제 $n$  게이트 신호를 제5 제어 노드에 인가하는 제3-3 트랜지스터, 상기 제5 제어 노드의 전압에 응답하여 상기 제1 게이트 전압을 제 $n$  발광 제어 신호로 출력하는 제3-4 트랜지스터, 및 상기 제 $n$  게이트 신호에 응답하여 상기 제2 게이트 전압을 상기 제 $n$  발광 제어 신호로 출력하는 제3-1 트랜지스터를 포함할 수 있다.
- [0012] 일 실시예에서, 상기 제3 신호 생성부는 상기 제 $n$  게이트 신호에 응답하여 상기 제5 제어 노드에 상기 제2 게이트 전압을 인가하는 제3-2 트랜지스터를 더 포함할 수 있다.
- [0013] 일 실시예에서, 상기 제2 클럭 신호는 상기 제1 클럭 신호 보다 1 수평 주기 지연되고, 상기 제3 클럭 신호는 상기 제2 클럭 신호 보다 1 수평 주기 지연되고, 상기 제4 클럭 신호는 상기 제3 클럭 신호 보다 1 수평 주기 지연되고, 상기 제1 클럭 신호는 상기 제4 클럭 신호 보다 수평 주기 지연될 수 있다.
- [0014] 일 실시예에서, 제 $n-1$  회로 스테이지는 상기 제1 클럭 신호에 동기된 제 $n-1$  게이트 신호를 생성하고, 제 $n$  회로 스테이지는 상기 제2 클럭 신호에 동기된 제 $n$  게이트 신호를 생성하고, 제 $n+1$  회로 스테이지는 상기 제3 클럭 신호에 동기된 제 $n+1$  게이트 신호를 생성하고, 제 $n+2$  회로 스테이지는 상기 제4 클럭 신호에 동기된 제 $n+2$  게이트 신호를 생성할 수 있다.
- [0015] 상기 다른 목적을 달성하기 위해, 본 발명의 실시예들에 따른 표시 장치는 화소 회로가 배열된 표시 영역과 상기 표시 영역을 둘러싸는 주변 영역을 포함하는 표시 패널, 상기 주변 영역에 배치되고 복수의 게이트 신호들, 복수의 발광 제어 신호들 및 복수의 보상 제어 신호들을 출력하는 복수의 회로 스테이지들을 포함하는 스캔 구동부를 포함하고, 제 $n$  회로 스테이지('n'은 자연수)는 제1 클럭 신호에 응답하여 제 $n-1$  게이트 신호를 제1 제어 노드에 인가하는 제1-1 트랜지스터, 상기 제1 제어 노드의 전압에 응답하여 상기 제2 클럭 신호에 동기된 제 $n$  게이트 신호를 출력하는 제1-8 트랜지스터, 상기 제1 클럭 신호에 응답하여 제1 게이트 전압을 제2 제어 노드에 인가하는 제1-6 트랜지스터, 상기 제2 제어 노드에 응답하여 제2 게이트 전압을 상기 제 $n$  게이트 신호로 출력하는 제1-7 트랜지스터를 포함하는 제1 신호 생성부, 및 제3 클럭 신호에 응답하여 제 $n-1$  보상 제어 신호를 제3 제어 노드에 인가하는 제2-1 트랜지스터, 상기 제3 제어 노드의 전압에 응답하여 상기 제1 게이트 전압을 제 $n$  보상 제어 신호로 출력하는 제2-6 트랜지스터, 상기 제2 클럭 신호에 응답하여 제4 제어 노드에 상기 제1 게이트 전압을 인가하는 제2-5 트랜지스터 및 상기 제4 제어 노드의 전압에 응답하여 상기 제2 게이트 전압을 상기 제 $n$  보상 제어 신호로 출력하는 제2-3 트랜지스터를 포함하는 제2 신호 생성부를 포함한다.
- [0016] 일 실시예에서, 상기 제2 신호 생성부는 상기 제2 클럭 신호에 응답하여 상기 제3 제어 노드에 상기 제2 게이트 전압을 인가하는 제2-4 트랜지스터 및 상기 제 $n-1$  보상 제어 신호에 응답하여 상기 제2 게이트 전압을 상기 제4 제어 노드에 인가하는 제2-2 트랜지스터를 더 포함할 수 있다.
- [0017] 일 실시예에서, 상기 제1 신호 생성부는 상기 제1 제어 노드의 전압에 응답하여 상기 제2 제어 노드에 상기 제1 클럭 신호를 인가하는 제1-5 트랜지스터, 상기 제2 클럭 신호에 응답하여 구동하는 제1-3 트랜지스터, 상기 제2 제어 노드의 전압에 응답하여 구동하는 제1-4 트랜지스터, 및 상기 제1 클럭 신호에 응답하여 구동하는 제1-2 트랜지스터를 더 포함할 수 있다.
- [0018] 일 실시예에서, 상기 제 $n$  게이트 신호를 이용하여 제 $n$  발광 제어 신호를 생성하는 제3 신호 생성부를 더 포함할 수 있다.
- [0019] 일 실시예에서, 상기 신호 생성부는 제4 클럭 신호에 응답하여 상기 제 $n$  게이트 신호를 제5 제어 노드에 인가하는 제3-3 트랜지스터, 상기 제5 제어 노드의 전압에 응답하여 상기 제1 게이트 전압을 제 $n$  발광 제어 신호로 출력하는 제3-4 트랜지스터, 및 상기 제 $n$  게이트 신호에 응답하여 상기 제2 게이트 전압을 상기 제 $n$  발광 제어 신호로 출력하는 제3-1 트랜지스터를 포함할 수 있다.
- [0020] 일 실시예에서, 상기 제3 신호 생성부는 상기 제 $n$  게이트 신호에 응답하여 상기 제5 제어 노드에 상기 제2 게이트 전압을 인가하는 제3-2 트랜지스터를 더 포함할 수 있다.
- [0021] 일 실시예에서, 상기 제2 클럭 신호는 상기 제1 클럭 신호 보다 1 수평 주기 지연되고, 상기 제3 클럭 신호는 상기 제2 클럭 신호 보다 1 수평 주기 지연되고, 상기 제4 클럭 신호는 상기 제3 클럭 신호 보다 1 수평 주기

지연되고, 상기 제1 클럭 신호는 상기 제4 클럭 신호 보다 수평 주기 지연될 수 있다.

- [0022] 일 실시예에서, 상기 스캔 구동부의 제 $n-1$  회로 스테이지는 상기 제1 클럭 신호에 동기된 제 $n-1$  게이트 신호를 생성하고, 제 $n$  회로 스테이지는 상기 제2 클럭 신호에 동기된 제 $n$  게이트 신호를 생성하고, 제 $n+1$  회로 스테이지는 상기 제3 클럭 신호에 동기된 제 $n+1$  게이트 신호를 생성하고, 제 $n+2$  회로 스테이지는 상기 제4 클럭 신호에 동기된 제 $n+2$  게이트 신호를 생성할 수 있다.
- [0023] 일 실시예에서, 상기 스캔 구동부의 복수의 트랜지스터들은 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터일 수 있다.
- [0024] 일 실시예에서, 상기 화소 회로는 유기 발광 다이오드(Organic Light Emitting Diode; OLED), 제1 노드에 연결되는 제어 전극, 제2 노드에 연결된 제1 전극 및 제1 전원 전압이 인가되는 제2 전극을 포함하는 구동 트랜지스터, 상기 제 $n$  게이트 신호가 인가되는 제어 전극, 데이터 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제1 화소 트랜지스터, 및 상기 제 $n$  발광 제어 신호가 인가되는 제어 전극, 상기 제1 전원 전압이 인가되는 제1 전극 및 상기 구동 트랜지스터와 연결된 제2 전극을 포함하는 제2 화소 트랜지스터를 포함할 수 있다.
- [0025] 일 실시예에서, 상기 화소 회로는 상기 제 $n$  보상 제어 신호가 인가되는 제어 전극, 기준 전압이 인가되는 제1 전극 및 상기 제1 노드에 연결된 제2 전극을 포함하는 제3 화소 트랜지스터 및 제 $n+1$  게이트 신호가 인가되는 제어 전극, 초기화 전압이 인가되는 제1 전극 및 상기 제2 노드에 연결된 제2 전극을 포함하는 제4 화소 트랜지스터를 더 포함할 수 있다.
- [0026] 일 실시예에서, 상기 화소 회로의 복수의 트랜지스터들은 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터일 수 있다.

**발명의 효과**

- [0027] 상기와 같은 본 발명의 실시예들에 따른 스캔 구동부 및 이를 포함하는 표시 장치에 따르면, 표시 패널의 주변 영역에 내장되는 스캔 구동부의 회로 사이즈를 줄일 수 있다. 또한, 외장형 구동 회로를 생략함으로써 생산 비용을 절감할 수 있다.

**도면의 간단한 설명**

- [0028] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.
- 도 2는 도 1의 화소 회로에 대한 회로도이다.
- 도 3은 도 2의 화소 회로의 구동 신호를 설명하기 위한 파형도이다.
- 도 4는 도 1의 스캔 구동부에 대한 블록도이다.
- 도 5는 도 1의 스캔 구동부에 따른 제 $n$  회로 스테이지의 회로도이다.
- 도 6은 도 5의 제 $n$  회로 스테이지의 구동 방법을 설명하기 위한 입출력 신호들의 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0029] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0030] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록도이다.
- [0031] 도 1을 참조하면, 상기 표시 장치는 표시 패널(100), 타이밍 제어부(200), 전압 생성부(300), 데이터 구동부(400) 및 스캔 구동부(500)를 포함한다.
- [0032] 상기 표시 패널(100)은 복수의 화소들(P)이 매트릭스 형태로 배열된 표시 영역(DA)과 상기 표시 영역(DA)을 둘러싸는 주변 영역(PA)을 포함한다. 상기 복수의 화소들(P) 각각은 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 및 상기 유기발광 다이오드(OLED)를 구동하는 복수의 화소트랜지스터들을 포함하는 화소회로(Pc)를 포함한다.
- [0033] 상기 표시 패널(100)은 복수의 화소 회로들(Pc)을 구동하기 위한 복수의 데이터 라인들(DL), 복수의 게이트 라



인들(GL), 복수의 발광 제어 라인들(EL) 및 복수의 보상 제어 라인들(RL)을 포함한다.

- [0034] 상기 복수의 데이터 라인들(DL)은 상기 표시패널(100)의 제1 방향(D1)으로 연장된 화소열 단위로 화소 회로들(Pc)에 데이터 전압을 전달한다.
- [0035] 상기 복수의 게이트 라인들(GL), 상기 복수의 발광제어 라인들(EL) 및 상기 복수의 보상제어 라인들(RL)은 상기 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장된 화소 행 단위로 화소 회로들(Pc)에 게이트 신호, 발광제어 신호 및 보상제어 신호를 전달한다.
- [0036] 상기 타이밍 제어부(200)는 상기 표시 장치의 전반적인 구동을 제어한다. 예를 들면, 상기타이밍 제어부(200)는 상기 데이터 구동부(400)의 구동 타이밍을 제어하기 위한 복수의 데이터 제어 신호들 및 상기 스캔 구동부(500)의 구동 타이밍을 제어하기 위한 복수의 스캔제어 신호들을 포함할 수 있다. 상기복수의 스캔 제어 신호들은 복수의 스캔 개시 신호들 및 복수의 클럭신호들을 포함할 수 있다.
- [0037] 상기 전압 생성부(300)는 외부 전압을 이용하여 복수의 구동 전압들을 생성한다. 상기 복수의 구동전압들은 상기 데이터 구동부(400)에 제공되는 데이터 구동 전압과 상기스캔 구동부(500)에 제공되는 스캔 구동 전압및 상기 표시 패널(100)에 제공되는 패널 구동 전압을 포함한다. 상기 스캔 구동전압은 제1 게이트 전압(VGH) 및 제2 게이트 전압(VGL)을 포함할 수 있다. 상기 패널 구동전압은 제1 전원 전압(ELVDD), 제2 전원 전압(ELVSS), 초기 화 전압(VINIT) 및 기준 전압(VREF)을 포함할 수 있다.
- [0038] 상기 데이터 구동부(400)는 상기 표시 패널(100)의 주변 영역(PA)에 외장형으로 실장될 수 있다. 상기 데이터 구동부(400)는 상기 화소 회로(Pc)에 제공되는 데이터 전압을 출력한다. 상기데이터 구동부(400)는 수평 주기, 예컨데, 화소 행(수평 라인) 단위로 데이터 전압을 출력할 수 있다.
- [0039] 상기 스캔 구동부(500)는 상기 표시 패널(100)의 상기 주변 영역(PA)에 내장형으로 실장된다. 예를들면, 상기 스캔 구동부(500)는 복수의 트랜지스터들을 포함하고, 상기복수의 트랜지스터들은 상기화소 회로(Pc)에 포함된 상기 화소 트랜지스터들과 동일한 제조공정을 통해 상기 주변영역(PA)에 직접 형성된다.
- [0040] 상기 스캔 구동부(500)는 상기 표시 영역(DA)의 복수의 화소 행들을 순차적으로 구동하는 복수의 회로스테이지들(CS1, ..., CSn, ..., CSN)을 포함한다(여기서, n 및 N 은 자연수).
- [0041] 상기 스캔 구동부(500)는 상기 타이밍 제어부(200)로부터 제공된 복수의 클럭 신호들을 이용하여 복수의 게이트 신호들, 복수의 발광제어 신호들 및 복수의 보상 제어 신호들을 생성한다.
- [0042] 예를 들면, 상기스캔 구동부(500)의 제n 회로 스테이지(CSn)는 제n 화소 행에 포함된 화소회로들(Pc)을 구동하기 위한제n 게이트 신호, 제n 발광 제어 신호 및 제n 보정 제어 신호를 생성하여 출력한다.
- [0043] 본 실시예에 따르면, 상기 스캔 구동부(500)는 상기 게이트 신호를 생성하기 위한 상기 복수의 클럭신호들을 공유하여 상기발광 제어 신호 및 상기 보상 제어 신호를 생성할 수 있다. 상기스캔 구동부(500)는 게이트 신호를 생성하는 게이트 구동부, 발광제어 신호를 생성하는 발광 구동부 및 보상 제어 신호를 생성하는 보상 구동부를 하나로 통합하여 회로 사이즈를 줄여상기 주변 영역(PA)에 내장할 수 있다.
- [0044] 도 2는 도 1의 화소 회로에 대한 회로도이다. 도 3은 도 2의 화소 회로의 구동 신호를 설명하기 위한 파형도이다.
- [0045] 도 2 및 도 3을 참조하면, 상기 화소 회로(Pc)는 유기 발광 다이오드(OLED), 구동 트랜지스터(DTp), 제1 화소 트랜지스터(Tp1), 제2 화소 트랜지스터(Tp2), 제3 화소 트랜지스터(Tp3), 제4 화소 트랜지스터(Tp4) 및 화소 커패시터(Cp)를 포함한다. 상기 화소 회로(Pc)에 포함된 복수의 트랜지스터들은 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터일 수 있다. 제m 데이터 라인(DLm)(m은 자연수), 제n 게이트 라인(GLn), 제n+1 게이트 라인(GLn+1), 제n 발광 제어 라인(ELn), 제n 보상 제어 라인(RLn), 제 1 전원 라인(VL1), 제2 전원 라인(VL2), 제3 전원 라인(VL3) 및 제4 전원 라인(VL4)은 상기 화소 회로(Pc)에 구동 신호를 전달한다.
- [0046] 상기 구동 트랜지스터(DTp)는 제1 노드(N1)에 연결되는 제어 전극, 제2 화소 트랜지스터(Tp2)와 연결된 제1 전극 및 제2 노드(N2)에 연결된 제2 전극을 포함한다. 상기 제2 노드(N2)는 상기 유기 발광 다이오드(OLED)의 애노드(anode)에 연결되고, 상기 유기 발광 다이오드(OLED)의 캐소드(cathode)는 상기 제2 전원 라인(VL2)에 연결된다. 상기 제2 전원 라인(VL2)는 상기 제2 전원 전압(ELVSS)를 전달한다.
- [0047] 상기 제1 화소 트랜지스터(Tp1)는 제n 게이트 라인(GLn)에 연결된 제어 전극, 상기 제m 데이터 라인(DLm)에 연결된 제1 전극 및 상기 제1 노드(N1)에 연결된 제2 전극을 포함한다.

- [0048] 상기 제2 화소 트랜지스터(Tp2)는 상기 제n 발광 제어 라인(ELn)과 연결된 제어 전극, 상기 제1 전원 라인(VL1)에 연결된 제1 전극 및 상기 구동 트랜지스터(DTp)와 연결된 제2 전극을 포함한다. 상기 제1 전원 라인(VL1)은 제1 전원 전압(ELVDD)을 전달한다. 상기 제n 발광 제어 라인(ELn)은 제n 발광 제어 신호(EMn)를 전달한다.
- [0049] 상기 제3 화소 트랜지스터(Tp3)는 상기 제n 보상 제어 라인(RLn)과 연결된 제어 전극, 상기 제3 전원 라인(VL3)과 연결된 제1 전극 및 상기 제1 노드(N1)에 연결된 제2 전극을 포함한다. 상기 제3 전원 라인(VL3)은 기준 전압(VREF)를 전달한다. 상기 제n 보상 제어 라인(RLn)은 제n 보상 제어 신호(GRn)를 전달한다.
- [0050] 상기 제4 화소 트랜지스터(Tp4)는 상기 제n+1 게이트 라인(GLn+1)과 연결된 제어 전극, 상기 제4 전원 라인(VL4)에 연결된 제1 전극 및 상기 제2 노드(N2)에 연결된 제2 전극을 포함한다. 상기 제4 전원 라인(VL4)은 초기화 전압(VINT)를 전달한다.
- [0051] 상기 화소 커패시터(Cp)는 상기 제1 노드(N1)에 연결된 제1 전극과 상기 제2 노드(N2)에 연결된 제2 전극을 포함한다.
- [0052] 상기 화소 회로(Pc)의 구동 방법을 살펴보면, 제1 구간(t1)에는 상기 제1 화소 트랜지스터(Tp1)는 제n 게이트 신호(Gn)의 하이 전압에 응답하여 턴-온 되고, 상기 제2, 제3 및 제4 트랜지스터들(Tp2, Tp3, Tp4)은 제n 발광 제어 신호(EMn), 제n 보상 제어 신호(GRn) 및 제n+1 게이트 신호(Gn+1)의 로우 전압에 응답하여 턴-오프 된다. 이에 따라서, 상기 유기 발광 다이오드(OLED)는 발광 오프 구간이다.
- [0053] 이어, 제2 구간(t2)에 상기 제n 보상 제어 신호(GRn) 및 제n+1 게이트 신호(Gn+1)의 하이 전압에 응답하여 상기 제3 화소 트랜지스터(Tp3) 및 제4 화소 트랜지스터(Tp4)는 턴-온 되고, 상기 제1 및 제2 화소 트랜지스터들(Tp, Tp2)은 턴-오프 된다. 이에 따라서, 상기 기준 전압(VREF)이 상기 제1 노드(N1)에 인가되고, 상기 초기화 전압(VINT)이 상기 제2 노드(N2)에 인가된다. 상기 제2 구간(b)은 상기 구동 트랜지스터(DTp)의 초기화 구간이다.
- [0054] 이어, 제3 구간(t3)에 상기 제n 발광 제어 신호(EMn), 제n 보상 제어 신호(GRn)의 하이 전압에 응답하여 상기 제2 및 제3 화소 트랜지스터들(Tp1, Tp3)은 턴-온 되고, 상기 제1 및 제4 화소 트랜지스터들(Tp1, Tp4)은 턴-오프 된다. 이에 따라서, 상기 구동 트랜지스터(DTp)의 제1 전극의 기준 전압(VREF)은 상기 기준 전압과 상기 구동 트랜지스터(DTp)의 문턱 전압의 차에 대응하는 전압(VREF-Vth)으로 방전되고 상기 화소 커패시터(Cp)에는 문턱 전압이 저장된다. 상기 제3 구간(c) 동안 상기 구동 트랜지스터(DTp)의 제1 전극과 상기 제1 노드(N1)의 전압이 일정하게 유지된다. 상기 제3 구간(c) 동안 상기 구동 트랜지스터(DTp)의 보상 구간이다.
- [0055] 제4 구간(t4)에 상기 제n 게이트 신호(Gn)의 하이 전압에 응답하여 상기 제1 화소 트랜지스터(Tp1)만 턴-온 되고 나머지 제2, 제3 및 제4 화소 트랜지스터들(Tp2, Tp3, Tp4)은 턴-오프 된다. 이에 따라서, 상기 제1 노드(N1)에는 상기 제m 데이터 라인(DLm)으로 전달된 데이터 전압이 인가된다. 상기 데이터 전압은 화소 데이터의 계조, 즉, 유기 발광 다이오드(OLED)에 발광 휘도에 대응한다. 상기 제4 구간(t4) 동안 상기 화소 커패시터(Cp)에는 상기 데이터 전압이 저장될 수 있다. 상기 제4 구간(t4)은 데이터 기입 구간이다.
- [0056] 제5 구간(t5)에 상기 제n+1 게이트 신호(Gn+1)의 하이 전압에 응답하여 상기 제4 화소 트랜지스터(Tp4)만 턴-온 되고 나머지 제1, 2 및 제3 화소 트랜지스터들(Tp1, Tp2, Tp3)은 턴-오프 된다. 이에 따라서, 상기 초기화 전압(VNIT)이 제2 노드(N2)에 인가되고 상기 유기 발광 다이오드(OLED)의 애노드를 초기화할 수 있다. 상기 제5 구간(t5)은 상기 유기 발광 다이오드(OLED)의 애노드 초기화 구간이다.
- [0057] 제6 구간(t6)에 상기 제n 발광 제어 신호(EMn)의 하이 전압에 응답하여 상기 제2 화소 트랜지스터(Tp2)만 턴-온 되고 나머지 제1, 제3 및 제4 화소 트랜지스터들(Tp1, Tp3, Tp4)은 턴-오프 된다. 이에 따라 상기 구동 트랜지스터(DTp)는 상기 화소 커패시터(Cp)에 충전된 데이터 전압에 기초하여 상기 유기 발광 다이오드(OLED)를 구동하고 상기 유기 발광 다이오드(OLED)는 발광한다. 상기 제6 구간(t6)은 상기 유기 발광 다이오드(OLED)의 발광 구간이다.
- [0058] 이와 같이, 상기 화소 회로(Pc)를 구동하기 위해서는 제n 및 제n+1 게이트 신호들(Gn, Gn+1), 제n 발광 제어 신호(EMn) 및 제n 보상 제어 신호(GRn)가 수신된다.
- [0059] 도 4는 도 1의 스캔 구동부에 대한 블록도이다.
- [0060] 도 4를 참조하면, 상기 스캔 구동부(500)는 복수의 회로스테이지들(CSn-1, CSn, CSn+1, CSn+2)를 포함하고, 제1, 제2, 제3 및 제4 클럭신호들(CK1, CK2, CK3, CK4)을 전달하는 제1, 제2, 제3 및 제4 클럭 라인들(CL1, CL2, CL3, CL4), 제1 게이트 전압(VGH)을 전달하는 제1 게이트 전압라인(GVL1) 및 제2 게이트 전압(VGL)을 전달하는

제2 게이트 전압라인(GVL2)을 포함한다.

- [0061] 타이밍 제어부로부터 제공된 제1 스캔 개시 신호(SSP1), 제2 스캔 개시신호(SSP2) 및 제3 스캔 개시 신호(SSP3)가 상기 스캔 구동부(500)의 제1 회로 스테이지(CS1)에 수신되면, 상기 스캔 구동부(500)는 제1 스캔 개시신호(SSP1)에 기초하여 복수의 게이트 신호들( $G_{n-1}$ ,  $G_n$ ,  $G_{n+1}$ ,  $G_{n+2}$ )을 순차적으로 출력하고, 상기제2 스캔 개시신호(SSP2)에 기초하여 복수의 보상제어 신호들( $GR_{n-1}$ ,  $GR_n$ ,  $GR_{n+1}$ ,  $GR_{n+2}$ )을 순차적으로 출력하고 상기제3 스캔 개시 신호(SSP3)에 기초하여 복수의 발광제어 신호들( $EM_{n-1}$ ,  $EM_n$ ,  $EM_{n+1}$ ,  $EM_{n+2}$ )을 순차적으로 출력한다.
- [0062] 복수의 회로 스테이지들( $CS_{n-1}$ ,  $CS_n$ ,  $CS_{n+1}$ ,  $CS_{n+2}$ ) 각각은 제1 내지 제3 입력 단자들( $IN_1$ ,  $IN_2$ ,  $IN_3$ ), 제1 내지 제4 클럭 단자들( $CT_1$ ,  $CT_2$ ,  $CT_3$ ,  $CT_4$ ), 제1 내지 제3 출력 단자들( $OT_1$ ,  $OT_2$ ,  $OT_3$ ), 제1 및 제2 전압 단자들( $VT_1$ ,  $VT_2$ )을 포함한다.
- [0063] 제1 입력 단자( $IN_1$ )는 이전 게이트 신호를 수신하고, 제2 입력 단자( $IN_2$ )는 이전 발광 제어신호를 수신하고, 제3 입력 단자( $IN_3$ )는 이전 보상 제어 신호를 수신한다.
- [0064] 제1 내지 제4 클럭 단자들( $CT_1$ ,  $CT_2$ ,  $CT_3$ ,  $CT_4$ )은 제1 내지 제4 클럭 신호들( $CK_1$ ,  $CK_2$ ,  $CK_3$ ,  $CK_4$ )를 수신한다. 예를 들면, 제1 클럭 신호( $CK_1$ )는 도 3에 도시된 바와같이 발광 오프 구간에 대응하는 제1 구간( $t_1$ )과 데이터 기입 구간에 대응하는 제4 구간( $t_4$ )에 하이 전압을 갖고프레임의 나머지 구간에 로우 전압을 갖는다. 제2 클럭 신호( $CK_2$ )는 상기 제1 클럭 신호( $CK_1$ )에 대해 1 수평주기(1H) 지연된 신호이고, 제3 클럭 신호( $CK_3$ )는 상기 제2 클럭 신호( $CK_2$ )에 대해 1 수평주기 지연된 신호이고, 제4 클럭 신호( $CK_4$ )는 상기 제3 클럭 신호( $CK_3$ )에 대해 1 수평주기 지연된 신호이고, 상기 제1 클럭신호( $CK_1$ )는 상기 제4 클럭 신호( $CK_4$ )에 대해 1 수평 주기 지연된 신호일 수 있다.
- [0065] 제1 전압 단자( $VT_1$ )는 제1 게이트 전압( $VGH$ )를 수신하고, 제2 전압 단자( $VT_2$ )는 제2 게이트 전압( $VGL$ )를 수신한다.
- [0066] 제1 출력 단자( $OT_1$ )는 게이트 신호를 출력하고, 제2 출력 단자( $OT_2$ )는 보상 제어 신호를 출력하고, 제3 출력 단자( $OT_3$ )는 발광 제어 신호를 출력한다.
- [0067] 예를 들면, 제n 회로 스테이지( $CS_n$ )를 참조하면, 제1 입력 단자( $IN_1$ )는 제n-1 게이트 신호( $G_{n-1}$ )를 수신하고, 제2 입력 단자( $IN_2$ )는 제n-1 발광 제어 신호( $EM_{n-1}$ )를 수신하고, 제3 입력 단자( $IN_3$ )는 제n-1 보상 제어신호( $GR_{n-1}$ )를 수신한다. 상기제n-1 게이트 신호( $G_{n-1}$ )는 상기 제1 클럭 신호( $CK_1$ )에 동기될 수 있다.
- [0068] 제1 클럭 단자( $CT_1$ )는 제1 클럭 신호( $CK_1$ )를 수신하고, 제2 클럭 단자( $CT_2$ )는 제2 클럭 신호( $CK_2$ )를 수신하고, 제3 클럭 단자( $CT_3$ )는 제3 클럭 신호( $CK_3$ )를 수신하고, 제4 클럭 단자( $CT_4$ )는 제4 클럭 신호( $CK_4$ )를 수신한다.
- [0069] 제1 출력 단자( $OT_1$ )는 상기 제2 클럭 신호( $CK_2$ )에 동기된 제n 게이트 신호( $G_n$ )를 출력하고, 제2 출력 단자( $OT_2$ )는 제n 보상 제어신호( $GR_n$ )를 출력하고, 제3 출력 단자( $OT_3$ )는 제n 발광 제어 신호( $EM_n$ )를 출력한다.
- [0070] 한편, 제n+1 회로 스테이지( $CS_{n+1}$ )을 참조하면, 제1 입력 단자( $IN_1$ )는 제n 게이트 신호( $G_n$ )를 수신하고, 제2 입력 단자( $IN_2$ )는 제n 발광 제어신호( $EM_n$ )를 수신하고, 제3 입력 단자( $IN_3$ )는 제n 보상 제어 신호( $GR_n$ )를 수신한다.
- [0071] 제1 내지 제4 클럭 단자들( $CT_1$ ,  $CT_2$ ,  $CT_3$ ,  $CT_4$ )은 상기 제n 회로스테이지( $CS_n$ )에 대해 1 수평주기 지연된 제1 내지 제4 클럭 신호들( $CK_1$ ,  $CK_2$ ,  $CK_3$ ,  $CK_4$ )를 수신한다. 구체적으로, 제1 클럭 단자( $CT_1$ )는 제2 클럭 신호( $CK_2$ )를 수신하고, 제2 클럭 단자( $CT_2$ )는 제3 클럭 신호( $CK_3$ )를 수신하고, 제3 클럭 단자( $CT_3$ )는 제4 클럭 신호( $CK_4$ )를 수신하고, 제4 클럭 단자( $CT_4$ )는 제1 클럭 신호( $CK_1$ )를 수신한다.
- [0072] 제1 출력 단자( $OT_1$ )는 상기 제3 클럭 신호( $CK_3$ )에 동기된 제n+1 게이트 신호( $G_{n+1}$ )를 출력하고, 제2 출력 단자( $OT_2$ )는 제n+1 보상 제어신호( $GR_{n+1}$ )를 출력하고, 제3 출력 단자( $OT_3$ )는 제n+1 발광 제어 신호( $EM_{n+1}$ )를 출력한다.
- [0073] 한편, 제n+2 회로 스테이지( $CS_{n+2}$ )을 참조하면, 제1 입력 단자( $IN_1$ )는 제n+1 게이트 신호( $G_{n+1}$ )를 수신하고, 제2 입력 단자( $IN_2$ )는 제n+1 발광 제어신호( $EM_{n+1}$ )를 수신하고, 제3 입력 단자( $IN_3$ )는 제n+1 보상 제어 신호( $GR_{n+1}$ )를 수신한다.
- [0074] 제1 내지 제4 클럭 단자들( $CT_1$ ,  $CT_2$ ,  $CT_3$ ,  $CT_4$ )은 상기 제n+1 회로스테이지( $CS_{n+1}$ )에 대해 1 수평주기 지연된 제1 내지 제4 클럭 신호들( $CK_1$ ,  $CK_2$ ,  $CK_3$ ,  $CK_4$ )를 수신한다. 구체적으로, 제1 클럭 단자( $CT_1$ )는 제3 클럭 신호( $CK_3$ )를 수신하고, 제2 클럭 단자( $CT_2$ )는 제4 클럭 신호( $CK_4$ )를 수신하고, 제3 클럭 단자( $CT_3$ )는 제1 클럭 신호

(CK1)를 수신하고, 제4 클럭 단자(CT4)는 제2 클럭 신호(CK2)를 수신한다.

- [0075] 제1 출력 단자(OT1)는 상기 제4 클럭 신호(CK4)에 동기된 제n+2 게이트 신호(Gn+2)를 출력하고, 제2 출력 단자(OT2)는 제n+2 보상 제어신호(GRn+2)를 출력하고, 제3 출력 단자(OT3)는 제n+2 발광 제어 신호(EMn+2)를 출력한다.
- [0076] 이와 같이, 복수의 회로 스테이지들(CSn-1, CSn, CSn+1, CSn+2) 각각은 게이트 신호를 생성하기 위해 이용되는 복수의 클럭 신호들을 공유하여 발광 제어 신호 및 보상 제어 신호를 생성할 수 있다.
- [0077] 도 5는 도 1의 스캔 구동부에 따른 제n 회로 스테이지의 회로도이다.
- [0078] 도 5를 참조하면, 제n 회로 스테이지(CSn)는 복수의 트랜지스터들을포함하고, 제1 신호 생성부(610), 제3 신호 생성부(650) 및 제2 신호 생성부(630)를 포함한다. 상기 제n 회로 스테이지(CSn)에 포함된 복수의 트랜지스터들은 NMOS(N-type Metal Oxide Semiconductor) 트랜지스터일 수 있다.
- [0079] 또한, 상기 제n 회로 스테이지(CSn)는 제1 클럭신호(CK1)를 수신하는 제1 클럭 단자(CT1), 제2 클럭 신호(CK2)를 수신하는 제2 클럭 단자(CT2), 제3 클럭 신호(CK3)를 수신하는 제3 클럭 단자(CT3), 제4 클럭 신호(CK4)를 수신하는 제4 클럭 단자(CT4), 제1 게이트 전압(VGH)를 수신하는 제1 전압 단자(VT1) 및 제2 게이트 전압(VGL)을 수신하는 제2 전압 단자(VT2)를 포함한다. 또한, 상기 제n 회로 스테이지(CSn)는 제n-1 게이트 신호(Gn-1)를 수신하는 제1 입력 단자(IN1), 제n-1 발광 제어 신호(EMn-1)를 수신하는 제2 입력 단자(IN2) 및 제n-1 보상 제어 신호(GRn-1)를 수신하는 제3 입력 단자(IN3)를 포함하고, 제n 게이트 신호(Gn)를 출력하는 제1 출력 단자(OT1), 제n 보상 제어 신호(GRn)를 출력하는 제2 출력 단자(OT2) 및 제n 발광 제어 신호(EMn)를 출력하는 제3 출력 단자(OT3)를 포함한다.
- [0080] 상기 제1 신호생성부(610)는 제n-1 게이트 신호(Gn-1), 제1 클럭 신호(CK1) 및 제2 클럭 신호(CK2)를 이용하여 제n 게이트 신호(Gn)를 생성한다.
- [0081] 상기 제1 신호 생성부(610)는 제1-1 트랜지스터(T1-1), 제1-2 트랜지스터(T1-2), 제1-3 트랜지스터(T1-3), 제1-4 트랜지스터(T1-4), 제1-5 트랜지스터(T1-5), 제1-6 트랜지스터(T1-6), 제1-7 트랜지스터(T1-7) 및 제1-8 트랜지스터(T1-8)를 포함한다.
- [0082] 상기 제1-1 트랜지스터(T1-1)는 상기 제1 클럭 단자(CT1)에 연결된 제어전극, 상기 제1 입력단자(IN1)에 연결된 제1 전극 및 제1-2 트랜지스터(T1-2)에 연결된 제2 전극을 포함한다.
- [0083] 상기 제1-2 트랜지스터(T1-2)는 상기 제1 클럭 단자(CT1)에 연결된 제어전극, 상기 제1-1 트랜지스터(T1-1)에 연결된 제1 전극 및 제1 제어노드(Q1)에 연결된 제2 전극을 포함한다.
- [0084] 상기 제1-3 트랜지스터(T1-3)는 제2 클럭 단자(CT2)에 연결된 제어 전극, 제2 전압 단자(VT2)에 연결된 제1 전극 및 제1-4 트랜지스터(T1-4)에 연결된 제2 전극을 포함한다.
- [0085] 상기 제1-4 트랜지스터(T1-4)는 제2 제어 노드(Q2)에 연결된 제어 전극, 제1-3 트랜지스터(T1-3)에 연결된 제1 전극 및 제1 제어노드(Q1)에 연결된 제2 전극을 포함한다.
- [0086] 상기 제1-5 트랜지스터(T1-5)는 제1 제어 노드(Q1)에 연결된 제어 전극, 제2 제어 노드(Q2)에 연결된 제1 전극 및 제1 클럭 단자(CT1)에 연결된 제2 전극을 포함한다.
- [0087] 상기 제1-6 트랜지스터(T1-6)는 제1 클럭 단자(CT1)에 연결된 제어 전극, 제2 제어 노드(Q2)에 연결된 제1 전극 및 제1 전압 단자(VT1)에 연결된 제2 전극을 포함한다.
- [0088] 상기 제1-7 트랜지스터(T1-7)는 제2 제어 노드(Q2)에 연결된 제어 전극, 제2 전압 단자(VT2)에 연결된 제1 전극 및 제1 출력 단자(OT1)에 연결된 제2 전극을 포함한다.
- [0089] 상기 제1-8 트랜지스터(T1-8)는 제1 제어 노드(Q1)에 연결된 제어 전극, 제2 클럭 단자(CT2)에 연결된 제1 전극 및 제1 출력 단자(OT1)에 연결된 제2 전극을 포함한다.
- [0090] 또한, 상기 제1 신호생성부(610)는 상기 제1 제어 노드(Q1)에 연결된 제1 커패시터(C1) 및 상기 제2 제어 노드(Q2)에 연결된 제2 커패시터(C2)를 포함한다.
- [0091] 상기 제3 신호 생성부(650)는 상기 제n 게이트 신호(Gn) 및 제4 클럭신호(CK4)를 이용하여 제n 발광 제어 신호(EMn)를 생성한다.



- [0092] 상기 제3 신호 생성부(650)는 제3-1 트랜지스터(T3-1), 제3-2 트랜지스터(T3-2), 제3-3 트랜지스터(T3-3) 및 제3-4 트랜지스터(T3-4)를 포함한다.
- [0093] 상기 제3-1 트랜지스터(T3-1)는 제1 출력단자(OT1)에 연결된 제어전극, 제2 전압 단자(VT2)에 연결된 제1 전극 및 제3 출력 단자(OT3)에 연결된 제2 전극을 포함한다.
- [0094] 상기 제3-2 트랜지스터(T3-2)는 제1 출력단자(OT1)에 연결된 제어 전극, 제2 전압 단자(VT2)에 연결된 제1 전극 및 제5 제어 노드(Q5)에 연결된 제2 전극을 포함한다.
- [0095] 상기 제3-3 트랜지스터(T3-3)는 제4 클럭단자(CT4)에 연결된 제어전극, 제2 입력 단자(IN2)에 연결된 제1 전극 및 제5 제어노드(Q5)에 연결된 제2 전극을 포함한다.
- [0096] 상기 제3-4 트랜지스터(T3-4)는 제5 제어노드(Q5)에 연결된 제어 전극, 제1 전압 단자(VT1)에 연결된 제1 전극 및 제3 출력 단자(OT3)에 연결된 제2 전극을 포함한다.
- [0097] 상기 제2 신호 생성부(630)는 제 $n-1$  회로 스테이지(CSn-1)의 제 $n-1$  보상 제어신호(GRn-1), 제2 클럭신호(CK2) 및 제3 클럭신호(CK3)를 이용하여 제 $n$  보상 제어 신호(GRn)를 생성한다.
- [0098] 상기 제2 신호 생성부(630)는 제2-1 트랜지스터(T2-1), 제2-2 트랜지스터(T2-2), 제2-3 트랜지스터(T2-3), 제2-4 트랜지스터(T2-4), 제2-5 트랜지스터(T2-5) 및 제2-6 트랜지스터(T2-6)를 포함한다.
- [0099] 상기 제2-1 트랜지스터(T2-1)는 제3 클럭 단자(CT3)에 연결된 제어 전극, 제3 입력 단자(IN3)에 연결된 제1 전극 및 제5 제어 노드(Q3)에 연결된 제2 전극을 포함한다.
- [0100] 상기 제2-2 트랜지스터(T2-2)는 제3 제어 노드(Q3)에 연결된 제어 전극, 제2 전압 단자(VT2)에 연결된 제1 전극 및 제4 제어 노드(Q4)에 연결된 제2 전극을 포함한다.
- [0101] 상기 제2-3 트랜지스터(T2-3)는 제4 제어 노드(Q4)에 연결된 제어 전극, 제2 전압 단자(VT2)에 연결된 제1 전극 및 제2 출력단자(OT2)에 연결된 제2 전극을 포함한다.
- [0102] 상기 제2-4 트랜지스터(T2-4)는 제2 클럭 단자(CT2)에 연결된 제어 전극, 제2 전압 단자(VT2)에 연결된 제1 전극 및 제3 제어 노드(Q3)에 연결된 제2 전극을 포함한다.
- [0103] 상기 제2-5 트랜지스터(T2-5)는 제2 클럭 단자(CT2)에 연결된 제어 전극, 제2 전압 단자(VT2)에 연결된 제1 전극 및 제4 제어 노드(Q4)에 연결된 제2 전극을 포함한다.
- [0104] 상기 제2-6 트랜지스터(T2-6)는 제3 제어 노드(Q3)에 연결된 제어 전극, 제1 전압 단자(VT1)에 연결된 제1 전극 및 제2 출력단자(OT2)에 연결된 제2 전극을 포함한다.
- [0105] 상기 제2 신호 생성부(630)는 상기 제4 제어노드(Q4)에 연결된 제3 커패시터(C3)를 포함할 수 있다.
- [0106] 도 6은 도 5의 제 $n$  회로 스테이지의 구동 방법을 설명하기 위한 입출력 신호들의 파형도이다.
- [0107] 도 5 및 도 6을 참조하면, 프레임의 제1 구간(a)을 살펴본다.
- [0108] 상기 제1 구간(a) 동안, 제1 신호 생성부(610)는 제 $n$  게이트 신호(Gn)의 로우 전압을 출력한다. 구체적으로, 제1-1, 제1-2 및 제 $n-6$  트랜지스터들(T1-1, T1-2, T1-6)은 제1 클럭 신호(CK1)의 하이 전압에 응답하여 턴-온 된다. 상기 제1-1 및 제1-2 트랜지스터(T1-1, T1-2)가 턴-온 됨에 따라서 제1-5 트랜지스터(T1-5)가 턴-온 된다. 상기 제1-5 트랜지스터(T1-5)가 턴-온 되어 상기 제1 클럭 신호(CK1)의 하이 전압이 제2 제어 노드(Q2)에 인가 되고, 상기 제1-6 트랜지스터(T1-6)가 턴-온 되어 제1 게이트 전압(VGH)이 제2 제어 노드(Q2)에 인가된다. 상기 제1-1 및 제1-2 트랜지스터(T1-1, T1-2)가 턴-온 됨에 따라서 제 $n-1$  게이트 신호(Gn-1)의 하이 전압이 상기 제1 제어 노드(Q1)에 인가된다. 상기 제1 제어 노드(Q1)의 하이 전압에 의해 제1-8 트랜지스터(T1-8)는 턴-온 되고 제1 출력 단자(OT1)에 제2 클럭 신호(CK2)의 로우 전압을 출력한다. 상기 제2 제어 노드(Q2)의 하이 전압에 의해 제1-7 트랜지스터(T1-7)은 턴-온 되고 제1 출력 단자(OT1)에 제2 게이트 전압(VGL)인 제 $n$  게이트 신호(Gn)의 로우 전압을 출력한다.
- [0109] 상기 제1 구간(a) 동안, 제3 신호 생성부(650)는 제 $n$  발광 제어 신호(EMn)의 하이 전압을 출력한다. 구체적으로, 제3-1 및 제3-2 트랜지스터들(T3-1, T3-2)은 상기 제 $n$  게이트 신호(Gn)의 로우 전압에 응답하여 턴-오프 된다. 제3-3 트랜지스터(T3-3)는 제4 클럭 신호(CK4)의 로우 전압에 응답하여 턴-오프 된다. 이에 따라, 제5 제어 노드(Q5)는 이전 프레임의 하이 전압을 유지한다. 제3-4 트랜지스터(T3-4)는 상기 제5 제어 노드(Q5)

의 하이 전압에 응답하여 턴-온 되고 제3 출력 단자(OT3)는 상기 제1 게이트 전압(VGH)을 출력한다. 결과적으로 제3 출력 단자(OT3)는 제n 발광 제어 신호의 하이 전압을 출력한다.

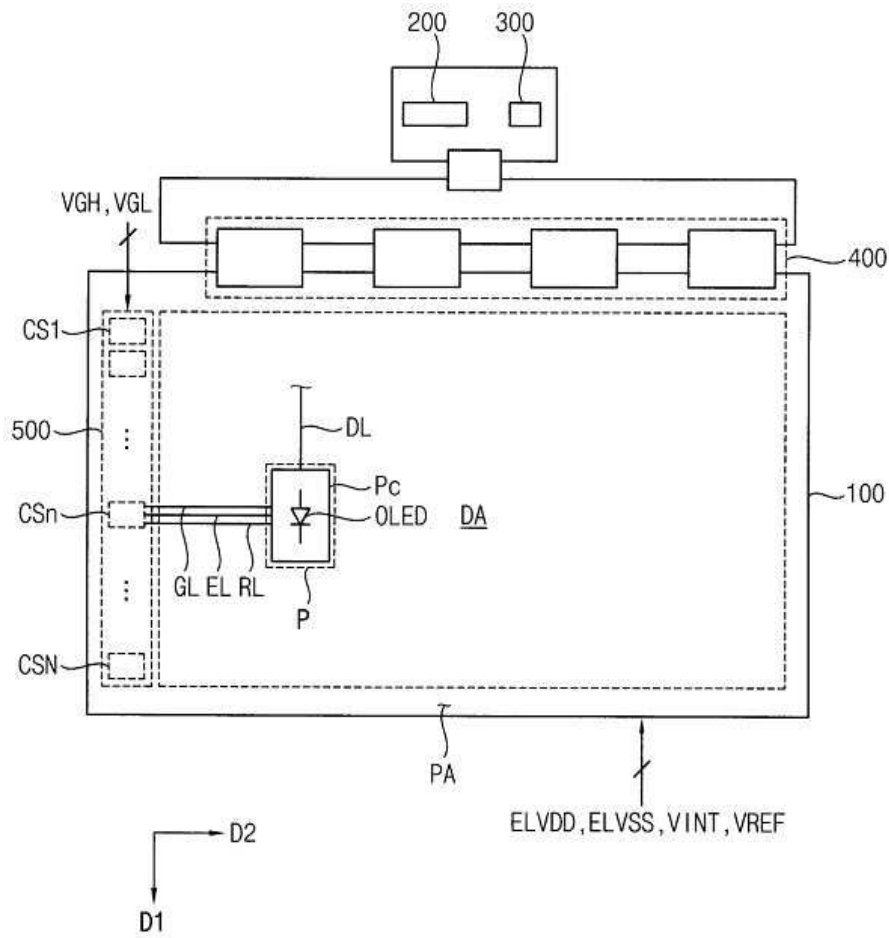
- [0110] 상기 제1 구간(a) 동안, 제2 신호 생성부(630)는 제n 보상 제어 신호(GRn)의 로우 전압을 출력한다. 구체적으로, 상기 제1 구간(a)에 제2 클럭 신호(CK2), 제3 클럭 신호(CK3) 및 제n-1 보상 제어 신호(GRn-1)는 모두 로우 전압을 갖는다. 이에 따라서, 상기 제2 신호 생성부(630)의 제2-1 내지 제2-6 트랜지스터들(T2-1, T2-2, T2-3, T2-4, T2-5, T2-6)은 모두 턴-오프 되고 상기 제2 출력 단자(OT2)는 이전 프레임의 로우 전압을 유지한다. 따라서 상기 제2 출력 단자(OT2)는 제n 보상 제어 신호(GRn)의 로우 전압을 출력한다.
- [0111] 이어, 프레임의 제2 구간(b)를 살펴본다.
- [0112] 상기 제2 구간(b) 동안 상기 제1 신호 생성부(610)는 제n 게이트 신호(Gn)의 하이 전압을 출력한다. 구체적으로, 제1-1, 제1-2 및 제1-6 트랜지스터들(T1-1, T1-2, T1-6)은 제1 클럭 신호(CK1)의 로우 전압에 응답하여 턴-오프 된다. 상기 제1-5 트랜지스터(T1-5)는 상기 제1 제어 노드(Q1)에 연결된 제1 커패시터(C1)의 충전 전압에 의해 턴-온 된다. 상기 제1 제어 노드(Q1)의 전압은 부스트 업 된다. 상기 제1-8 트랜지스터(T1-8)는 상기 제1 제어 노드(Q1)의 부스트 업된 전압에 응답하여 제2 클럭 신호(CK2)의 하이 전압을 제1 출력 단자(OT1)으로 출력한다. 상기 제1 출력 단자(OT1)는 상기 제2 클럭 신호(CK2)의 하이 전압을 상기 제n 게이트 신호(Gn)의 하이 전압으로 출력한다.
- [0113] 상기 제2 구간(b) 동안, 제3 신호 생성부(650)는 제n 발광 제어 신호(EMn)의 로우 전압을 출력한다. 구체적으로, 제3-1 및 제3-2 트랜지스터들(T3-1, T3-2)은 상기 제n 게이트 신호(Gn)의 하이 전압에 응답하여 턴-온 된다. 상기 제3-2 트랜지스터(T3-2)가 턴-온 됨에 따라서 상기 제5 제어 노드(Q5)에는 상기 제2 게이트 전압(VGL)이 인가된다. 상기 제5 제어 노드(Q5)의 로우 전압에 응답하여 제3-4 트랜지스터(T3-4)는 턴-오프 된다. 상기 제3-1 트랜지스터(T3-1)가 턴-온 되고 상기 제3 출력 단자(OT3)에는 제2 게이트 전압(VGL)이 인가된다. 결과적으로 제3 출력 단자(OT3)는 제n 발광 제어 신호(EMn)의 로우 전압을 출력한다.
- [0114] 상기 제2 구간(b) 동안, 제2 신호 생성부(630)는 제n 보상 제어 신호(GRn)의 로우 전압을 출력한다. 구체적으로, 상기 제2 구간(b)에 제2 클럭 신호(CK2) 및 제n-1 보상 제어 신호(GRn-1)는 하이 전압을 갖고, 제3 클럭 신호(CK3)는 로우 전압을 갖는다. 상기 제2-4 트랜지스터(T2-4)는 턴-온 되고 제2 게이트 전압(VGL)은 제3 제어 노드(Q3)에 인가된다. 상기 제3 제어 노드(Q3)의 로우 전압에 응답하여 제2-6 트랜지스터(T2-6)는 턴-오프 된다. 상기 제2-5 트랜지스터(T2-5)는 턴-온 되고 제1 게이트 전압(VGH)은 제4 제어 노드(Q4)에 인가된다. 상기 제4 제어 노드(Q4)의 하이 전압에 응답하여 제2-3 트랜지스터(T2-3)는 턴-온 된다. 이에 따라서, 상기 제2 출력 단자(OT2)는 상기 제2 게이트 전압(VGL)을 상기 제n 보상 제어 신호(GRn)의 로우 전압으로 출력한다.
- [0115] 이어, 프레임의 제3 구간(c)를 살펴본다.
- [0116] 상기 제3 구간(c) 동안 상기 제1 신호 생성부(610)는 제n 게이트 신호(Gn)의 로우 전압을 출력한다. 구체적으로, 상기 제1 신호 생성부(610)는 제1 클럭 신호(CK1)의 로우 전압, 제2 클럭 신호(CK2)의 로우 전압 및 제n-1 게이트 신호(Gn-1)의 로우 전압을 수신한다. 이에 따라서, 제1-1, 제1-2, 제1-3 및 제1-6 트랜지스터들(T1-1, T1-2, T1-3, T1-6)은 턴-오프 된다. 제1-5 및 제1-8 트랜지스터는 상기 제1 제어 노드(Q1)의 하이 전압에 응답하여 턴-온 된다. 상기 제1-5 트랜지스터(T1-5)은 제1 클럭 신호(CK1)의 로우 전압을 제2 제어 노드(Q2)에 인가한다. 상기 제1-8 트랜지스터(T1-8)는 제2 클럭 신호의 로우 전압을 제1 출력 단자(OT1)에 출력한다. 상기 제1 출력 단자(OT1)는 상기 제2 클럭 신호(CK2)의 로우 전압을 상기 제n 게이트 신호(Gn)의 로우 전압으로 출력한다.
- [0117] 상기 제3 구간(c) 동안, 제3 신호 생성부(650)는 제n 발광 제어 신호(EMn)의 로우 전압을 출력한다. 구체적으로, 제3 신호 생성부(650)는 제n 게이트 신호(Gn)의 로우 전압 및 제4 클럭 신호(CK4)의 로우 전압을 수신한다. 이에 따라서, 제3-1 내지 제3-4 트랜지스터들(T3-1 내지 T3-4)은 모두 턴-오프 된다. 제3 출력 단자(OT3)는 이전 제2 구간(b)의 제n 발광 제어 신호(EMn)의 로우 전압을 유지한다.
- [0118] 상기 제3 구간(c) 동안, 제2 신호 생성부(630)는 제n 보상 제어 신호(GRn)의 하이 전압을 출력한다. 구체적으로, 제2 신호 생성부(630)는 제2 클럭 신호(CK2)의 로우 전압, 제3 클럭 신호(CK3)의 하이 전압 및 제n-1 보상 제어 신호(GRn-1)의 하이 전압을 수신한다.
- [0119] 상기 제2-1 트랜지스터(T2-1)는 상기 제3 클럭 신호(CK3)의 하이 전압에 응답하여 제n-1 보상 제어 신호(GRn-1)의 하이 전압을 제3 제어 노드(Q3)에 인가한다.

- [0120] 제2-2 트랜지스터(T2-2)는 상기 제2-1 트랜지스터(T3-1)에 의해 턴-온 되고 제2 게이트 전압(VGL)을 제4 제어 노드(Q4)에 인가한다. 상기 제2-3 트랜지스터(T2-3)는 상기 제4 제어 노드(Q4)의 로우 전압에 응답하여 턴-오프 된다.
- [0121] 제2-6 트랜지스터(T2-6)은 제3 제어 노드(Q3)의 하이 전압에 응답하여 제1 게이트 전압(VGH)을 제2 출력 단자(OT2)로 출력한다. 따라서 상기 제2 출력 단자(OT2)는 제n 보상 제어 신호(GRn)의 하이 전압을 출력한다.
- [0122] 이어, 프레임의 제4 구간(d)를 살펴본다.
- [0123] 상기 제4 구간(d) 동안 상기 제1 신호 생성부(610)는 제n 게이트 신호(Gn)의 로우 전압을 출력한다. 구체적으로, 상기 제1 신호 생성부(610)는 제1 클럭 신호(CK1)의 로우 전압, 제2 클럭 신호(CK2)의 로우 전압 및 제n-1 게이트 신호(Gn-1)의 로우 전압을 수신한다. 이에 따라서, 제1-1, 제1-2, 제1-3 및 제1-6 트랜지스터들(T1-1, T1-2, T1-3, T1-6)은 턴-오프 된다. 한편, 제1-5 및 제1-8 트랜지스터는 상기 제1 제어 노드(Q1)의 하이 전압에 응답하여 턴-온 된다. 상기 제1-5 트랜지스터(T1-)은 제1 클럭 신호(CK1)의 로우 전압을 제2 제어 노드(Q2)에 인가한다. 상기 제1-8 트랜지스터(T1-8)는 제2 클럭 신호의 로우 전압을 제1 출력 단자(OT1)에 출력한다. 상기 제1 출력 단자(OT1)는 상기 제2 클럭 신호(CK2)의 로우 전압을 상기 제n 게이트 신호(Gn)의 로우 전압으로 출력한다.
- [0124] 상기 제4 구간(d) 동안, 제3 신호 생성부(650)는 제n 발광 제어 신호(EMn)의 하이 전압을 출력한다. 구체적으로, 제3 신호 생성부(650)는 제n 게이트 신호(Gn)의 로우 전압, 제4 클럭 신호(CK4)의 하이 전압 및 제n-1 발광 제어 신호(EMn-1)의 하이 전압을 수신한다. 이에 따라서, 제3-1 및 제3-2 트랜지스터들(T3-1, T3-2)은 상기 게이트 신호(Gn)의 로우 전압에 응답하여 턴-오프 되고, 제3-3 트랜지스터(T3-3)는 턴-온 된다. 제3-3 트랜지스터(T3-3)은 제4 클럭 신호(ck4)의 하이 전압에 응답하여 제n-1 발광 제어 신호(EMn-1)의 하이 전압을 제5 제어 노드(Q5)에 인가한다. 제3-4 트랜지스터(T3-4)는 제5 제어 노드(Q5)의 하이 전압에 응답하여 제1 게이트 전압(VGH)을 제3 출력 단자(OT3)에 인가한다. 제3 출력 단자(OT3)는 제n 발광 제어 신호(EMn)의 하이 전압을 출력한다.
- [0125] 상기 제4 구간(d) 동안, 제2 신호 생성부(630)는 제n 보상 제어 신호(GRn)의 하이 전압을 출력한다. 구체적으로, 제2 신호 생성부(630)는 제2 클럭 신호(CK2)의 로우 전압, 제3 클럭 신호(CK3)의 로우 전압 및 제n-1 보상 제어 신호(GRn-1)의 하이 전압을 수신한다. 상기 제2-1 트랜지스터(T2-1)는 제3 클럭 신호(CK3)의 로우 전압에 응답하여 턴-오프 되고, 제2-4 및 제2-5 트랜지스터들(T2-4, T2-5)은 제2 클럭 신호(CK2)의 로우 전압에 응답하여 턴-오프 된다. 제3 제어 노드(Q3)는 이전 하이 전압을 유지하고, 제 2-6 트랜지스터(T2-6)은 상기 제3 제어 노드(Q3)의 하이 전압에 응답하여 제1 게이트 전압(VGH)을 상기 제2 출력 단자(OT2)에 인가한다. 상기 제2 출력 단자(OT2)는 제n 보상 제어 신호(GRn)의 하이 전압을 출력한다.
- [0126] 이어, 프레임의 제5 구간(e)를 살펴본다. 상기 제5 구간(e) 동안 상기 제1 및 제3 신호 생성부들(610, 620)의 구동은 상기 제1 구간(a)과 실질적으로 동일하다. 이에 따라서, 상기 제1 신호 생성부(610)의 제1 출력 단자(OT1)는 제n 게이트 신호(Gn)의 로우 전압을 출력하고, 상기 제3 신호 생성부(650)의 제3 출력 단자(OT3)는 제n 발광 제어 신호(EMn)의 하이 전압을 출력한다.
- [0127] 한편, 상기 제2 신호 생성부(630)의 구동은 이전 제4 구간(d)과 실질적으로 동일하다. 이에 따라서, 상기 제2 신호 생성부(630)의 제2 출력 단자(OT2)는 제n 보상 제어 신호(GRn)의 하이 전압을 출력한다.
- [0128] 이어, 프레임의 제6 구간(f)를 살펴본다. 상기 제6 구간(f) 동안 상기 제1, 제2 및 제2 신호 생성부들(610, 620, 630)의 구동은 상기 제2 구간(b)과 실질적으로 동일하다. 이에 따라서, 상기 제1 신호 생성부(610)의 제1 출력 단자(OT1)는 제n 게이트 신호(Gn)의 하이 전압을 출력하고, 제2 신호 생성부(630)의 제2 출력 단자(OT2)는 제n 보상 제어 신호(GRn)의 로우 전압을 출력하고, 상기 제3 신호 생성부(650)의 제3 출력 단자(OT3)는 제n 발광 제어 신호(EMn)의 로우 전압을 출력한다.
- [0129] 이와 같이, 제n 회로 스테이지(CSn)는 제1 내지 제4 클럭 신호들(CK1, CK2, CK3, CK4)를 이용하여 제n 게이트 신호(Gn), 제n 발광 제어 신호(EMn) 및 제n 보상 제어 신호(GRn)를 생성할 수 있다.
- [0130] 본 실시예에 따르면, 상기 표시 패널의 주변 영역에 내장되는 스캔 구동부의 회로 사이즈를 줄일 수 있다. 또한, 외장형 구동 회로를 생략함으로써 생산 비용을 절감할 수 있다.
- [0131] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및

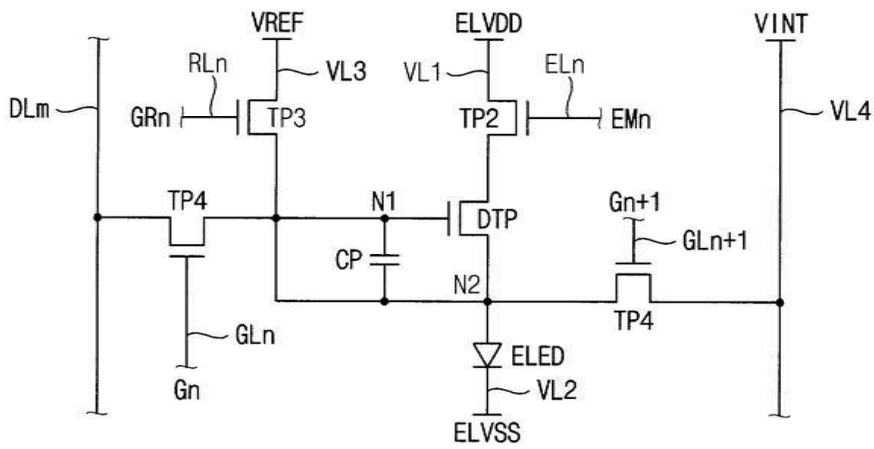
변경시킬 수 있음을 이해할 것이다.

도면

도면1

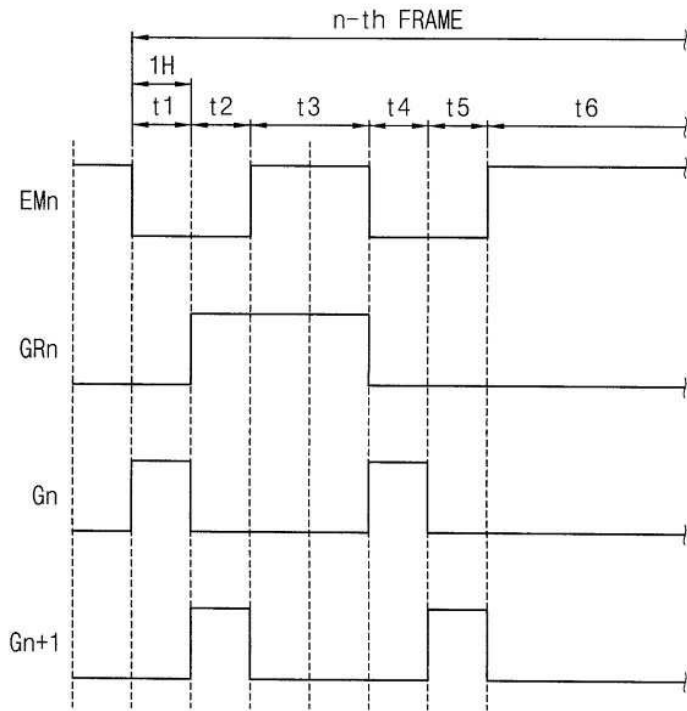


도면2

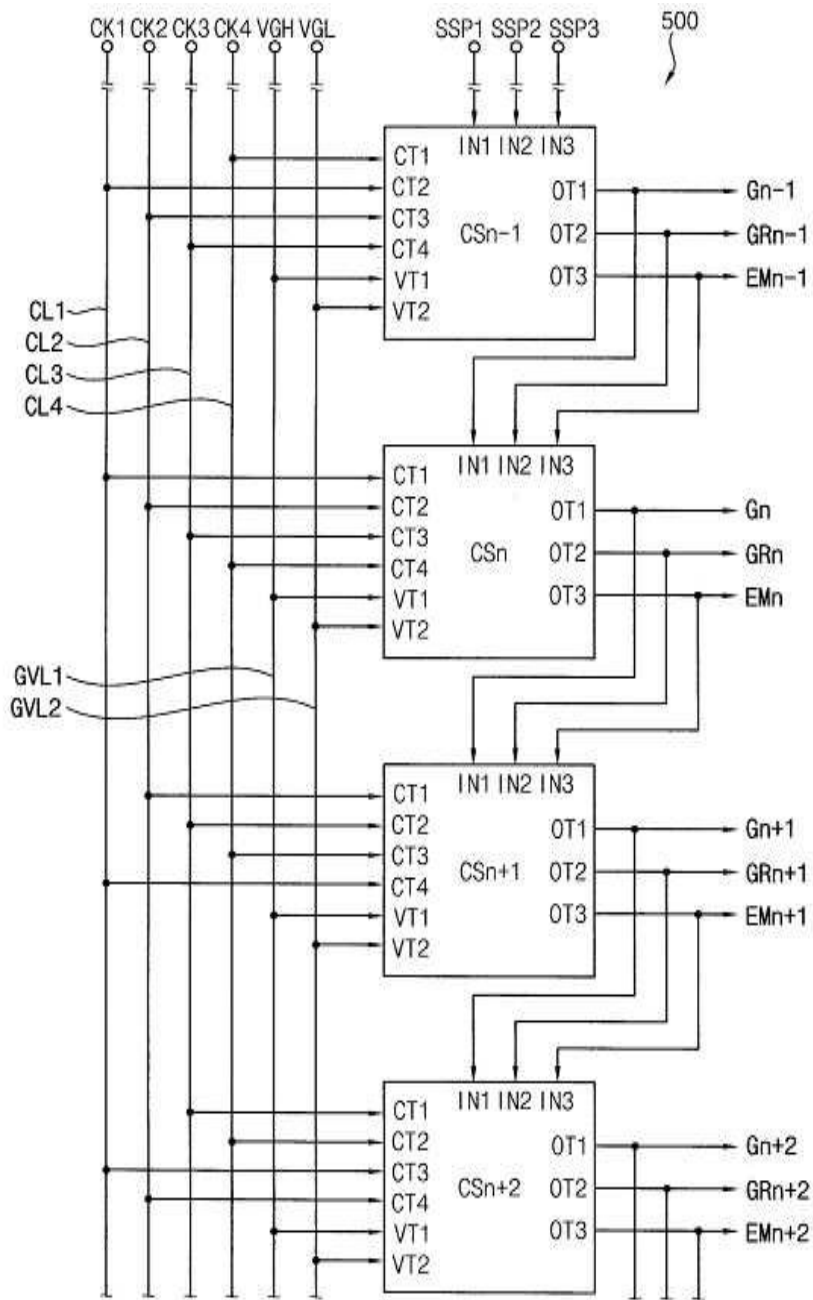




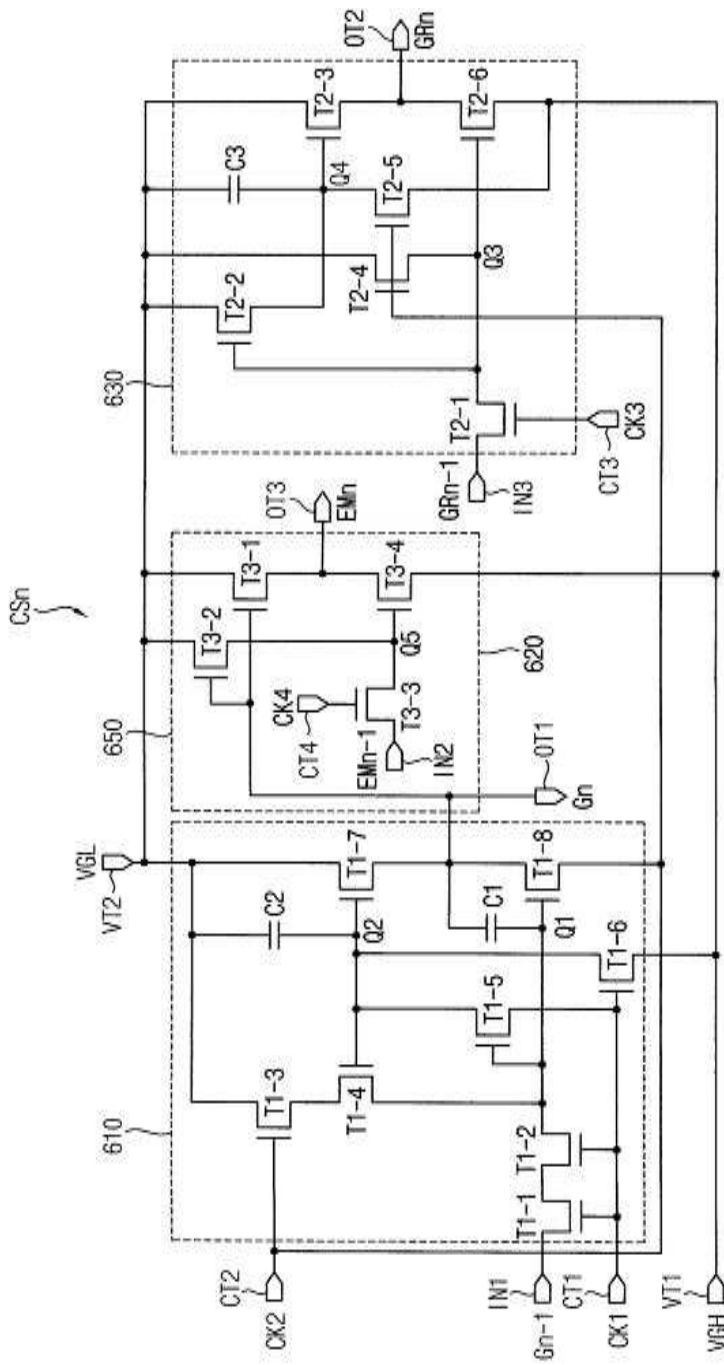
도면3



도면4



도면5



도면6

