



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I396253B1

(45)公告日：中華民國 102 (2013) 年 05 月 11 日

(21)申請案號：098133613

(22)申請日：中華民國 98 (2009) 年 10 月 02 日

(51)Int. Cl. : *H01L21/762 (2006.01)**H01L21/31 (2006.01)*

(30)優先權：2008/10/16 美國

61/106,076

2009/05/07 美國

12/437,256

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：權容洙 KWON, YOUNG SOO (KR)；張畢 JANG, BI (KR)；王安川 WANG, ANCHUAN (CN)；李永 S LEE, YOUNG S. (US)；巴賽諾米海拉 BALSEANU, MIHAELA (RO)；夏立群 XIA, LI-QUN (US)；權今和 JEON, JIN HO (KR)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 7229871B2

US 7253049B2

US 7338893B2

審查人員：余宗翰

申請專利範圍項數：24 項 圖式數：9 共 0 頁

(54)名稱

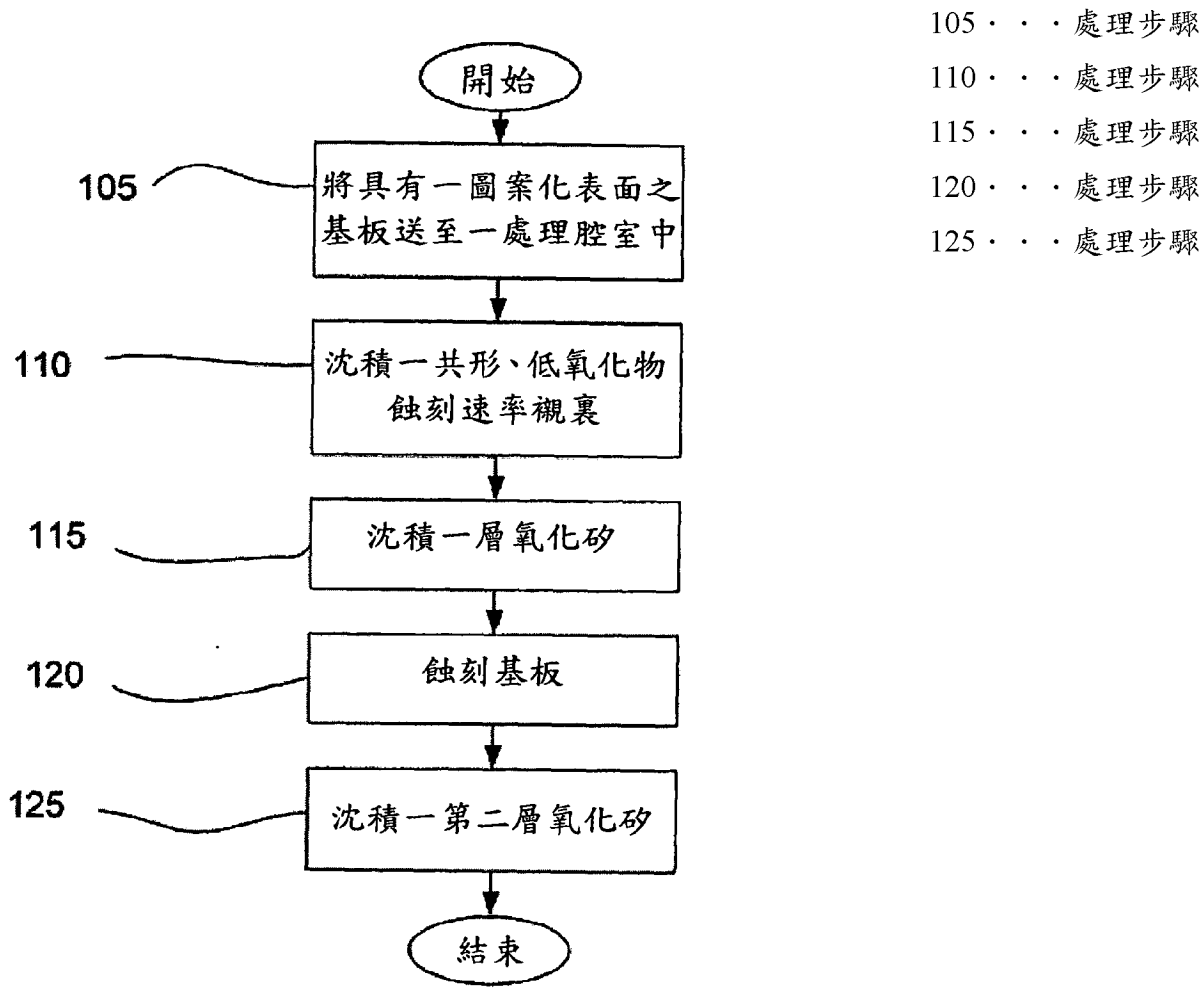
以低蝕刻速率介電質襯裡改善間隙填充之方法

GAPFILL IMPROVEMENT WITH LOW ETCH RATE DIELECTRIC LINERS

(57)摘要

本發明描述了一種填充一溝槽之方法，其包括沈積一種在含氟蝕刻化學反應中顯示出高氧化矽與介電質襯裡蝕刻速率比率的介電質襯裡。氧化矽沈積於該溝槽內，並經蝕刻以於該溝槽頂部附近增開或擴大一間隙。該介電質襯裡在該蝕刻製程期間保護下方基板，因此該間隙可製得較大。氧化矽再次沈積於該溝槽內以大體上填充該溝槽。

A method of filling a trench is described and includes depositing a dielectric liner with a high ratio of silicon oxide to dielectric liner etch rate in fluorine-containing etch chemistries. Silicon oxide is deposited within the trench and etched to reopen or widen a gap near the top of the trench. The dielectric liner protects the underlying substrate during the etch process so the gap can be made wider. Silicon oxide is deposited within the trench again to substantially fill the trench.



第 1 圖

六、發明說明：

【發明所屬之技術領域】

本申請案係關於薄膜及塗層之沈積、圖案化及處理中用到的包括設備、製程及材料方面的製造技術解決方案，其代表性實例包括（但不限於）以下應用：半導體及介電質材料及裝置、矽基晶圓及平板顯示器（諸如 TFT）。

【先前技術】

增加積體電路之密度可增加速度及擴大應用範圍。增加密度可增加鄰近電路元件及傳導線之間不良的電性交互影響。防止不良電性交互影響之常用方式係提供溝槽並以電絕緣材料填充之，以便使諸元件不僅在物理意義上亦在電性意義上隔開。然而，隨著電路密度增加，溝槽之寬度減小，從而增大其深寬比，並使得填充溝槽且不留空隙變得愈來愈難。未完全填充之溝槽係不良的，因為其隔離程度可能受損，從而限制最大操作頻率或影響積體電路之操作。

此類間隙填充應用中常用之技術係化學氣相沈積（「CVD」）技術。慣用之熱 CVD 製程將反應性氣體供應至基板表面，使該處發生熱致化學反應以產生所要膜。電漿輔助 CVD（「PECVD」）技術藉由將射頻（「RF」）能量施加於基板表面附近之反應區域來產生電漿，從而促

進反應氣體之激發及/或解離。與慣用熱 CVD 製程相比，電漿中之物種之高反應性可減少發生化學反應所需之能量，從而降低此類 CVD 製程所需之溫度。此等優點可由高密度電漿（「HDP」）CVD 技術加以深化，在該技術中，密集電漿在低真空壓力下形成，以使得離子化反應物在總反應物數量中占更大百分比。雖然此等技術中之每一者概括地隸屬於「CVD 技術」，但其中之每一者皆具有其各自的特殊特性，使得其或多或少適用於某些特定應用。

在溝槽具有較大深寬比及較窄寬度之一些例子中，常採用此等 CVD 技術中之某種使用「沈積/蝕刻/沈積」之製程來填充溝槽，即依序包括沈積材料、回蝕其中一部分及沈積額外材料。蝕刻步驟用於改變部分填充之溝槽之外形，於其上開口以使得在其閉合並留下內部空隙之前可沈積較多材料。蝕刻步驟可穿透所沈積之材料並損壞尤其是位於溝槽或通孔之頂部附近的下方層。在淺溝槽隔離（STI）之情形下，下方半導體及/或保護性氮化矽阻障層可受到損壞，從而導致裝置的不穩定性。若允許蝕刻步驟移除過多材料，則裝置之可靠性多將面臨風險。

【發明內容】

本發明描述了一種填充一溝槽之方法，其包括沈積一

種在含氟蝕刻化學反應中顯示出高氧化矽與介電質襯裡蝕刻速率比率的介電質襯裡。氧化矽沈積於該溝槽內，並經蝕刻以於該溝槽頂部附近增開或擴大一間隙。該介電質襯裡在該蝕刻製程期間保護下方基板，因此該間隙可製得較大。氧化矽再次沈積於該溝槽內以大體上填充該溝槽。

在一實施例中，一種在一半導體基板中之一溝槽中沈積介電質材料之方法包括在該溝槽之底部及側壁表面上形成一含有氮化硼之襯裡層及在該襯裡層上沈積含有氧化矽之該介電質材料以使得該介電質材料至少部分填充該溝槽。該方法進一步包括藉由一蝕刻劑蝕刻該所沈積之介電質材料之一部分，從而以一高於該襯裡層之蝕刻速率的蝕刻速率移除該介電質材料。

在另一實施例中，一種移除填充於一半導體基板中之一溝槽中之介電質材料中所形成之空隙的方法包括蝕刻該介電質材料之一頂部部分以暴露該空隙中之一開口，其中該蝕刻亦暴露一由該介電質材料覆蓋襯裡層（包含氮化硼）的一部分。該方法進一步包括將額外介電質材料沈積至該所暴露之空隙中，藉由向該空隙中填充該額外介電質材料而移除該空隙。

在又一實施例中，一種沈積一膜以填充一基板之一表面中之一間隙之方法包括在該基板之該表面上形成一介電質襯裡，其中氧化矽與介電質襯裡之蝕刻比大於約 50。該方法進一步包括在該介電質襯裡上沈積一第一層

介電質，蝕刻該基板之該表面及沈積一第二層介電質以大體上填充該間隙。

下文描述中對額外實施例及特徵結構作了幾分闡述，對於熟悉此項技術者而言在審閱本說明書之後或藉由實施所揭示之實施例，皆可對其有幾分獲悉。所揭示實施例之特徵結構及優點可藉由本說明書中所描述之手段、組合及方法得以實現及獲取。

【實施方式】

本發明描述了一種填充一溝槽之方法，其包括沈積一種在含氟蝕刻化學反應中顯示出高氧化矽與介電質襯裡蝕刻速率比率的介電質襯裡。氧化矽沈積於該溝槽內，並經蝕刻以於該溝槽頂部附近增開或擴大一間隙。該介電質襯裡在該蝕刻製程期間保護下方基板，因此該間隙可製得較大。氧化矽再次沈積於該溝槽內以填充該溝槽。

本發明之實施例係針對於沈積一膜以填充一基板之一表面中之溝槽的方法。對於給定寬度之溝槽，實施例使用多步驟沈積及蝕刻製程，其中在兩個沈積製程之間使用蝕刻製程以擴大或增開該膜內之一間隙。具有相對於氧化矽之低 HF 蝕刻速率的介電質襯裡層共形沈積於該基板之該表面中的溝槽中，繼而採用氧化矽沈積/蝕刻/沈積順序，該順序表示該順序中之氧化矽處理步驟之次序。介電質襯裡層可增加對表面特徵結構之保護，使更

高深寬比之溝槽能夠無空隙地填充，否則若溝槽壁受損將最終影響裝置之操作。特定言之，本發明之實施例可用於填充 45 nm 以下或約 45 nm 寬之溝槽且適用於各種不同的間隙填充應用，例如淺溝槽隔離。

為了更好地瞭解並理解本發明，現參考第 1 圖及第 2 圖，其為根據所揭示之實施例之氧化矽間隙填充沈積製程的流程圖及其橫截面圖。該製程始於將表面上具有溝槽 210 之基板 200 移至處理腔室(步驟 105 及第 2A 圖)。該溝槽可藉由相同材料之兩個壁產生，或如圖示由不同材料 205、206 之壁形成。在一些情形中，該等壁形成於支撐基板材料自身中。具有相對低蝕刻速率之材料（諸如氮化硼）之共形薄襯裡層沈積於基板上（步驟 110，其結果顯示於第 2B 圖）。共形薄襯裡 250 與溝槽 210 之寬度相比較薄。如本文中所使用，具有相對低蝕刻速率之材料描述的係一種在含氟蝕刻製程中蝕刻速率低於常用氮化矽的材料。

在襯裡 250 之沈積後，填充溝槽 210 之製程始於沈積一層氧化矽（步驟 115，其結果顯示於第 2C 圖）。該氧化層矽 275 填充溝槽 210 之一部分。氧化層矽 275 之厚度於溝槽 210 之頂部附近要比側面或底部附近迅速增加。此可導致溝槽 210 上方形成收窄間隙或甚至導致溝槽 210 中形成閉合空隙（未圖示）。留在溝槽中且併入最終裝置或積體電路中的閉合空隙可損害裝置效能或影響良率。

停止該沈積製程並回蝕該基板（步驟 120，其結果顯示於第 2D 圖）以便在後續之材料沈積期間減少溝槽 210 中之空隙的形成。在實施例中，襯裡係在相同或類似含氟蝕刻製程中展現比氮化矽低之蝕刻速率的氮化硼。氮化矽為常用的襯裡替代材料。根據所揭示之實施例之襯裡的較低蝕刻速率可允許蝕刻製程持續更長時間，從而使溝槽 210 更易接近。替代地或組合地，襯裡之較低蝕刻速率允許蝕刻製程在移除襯裡及氧化矽兩者時皆更為主動。此變化可來自蝕刻電漿參數之改變、氟化學性質之改變或熟悉此項技術者已知之其他蝕刻製程參數的改變。更長及/或主動蝕刻可移除相對更多的氧化矽，而不致將襯裡或頂部側壁材料 205、206 損壞至危機裝置效能的程度。該蝕刻製程可採用具有或不具有電漿之含氟氣體。該蝕刻可自氧化矽層 275 之高處移除較多材料且自溝槽 210 之底部移除較少材料以改善下一步驟之間隙填充。接著，氧化矽對所蝕刻之基板之第二沈積填充兩側壁之間的溝槽 210（步驟 125，其結果顯示於第 2E 圖）。

雖然由第 1 圖及第 2 圖呈現之例示性製程展示了包含兩次沈積夾帶一次蝕刻的製程（簡稱為「沈積/蝕刻/沈積」），但該製程可包含任何次數之蝕刻製程，其中每一次蝕刻前後皆有沈積製程（例如沈積/蝕刻/沈積/蝕刻/沈積）。一對相鄰之沈積與蝕刻製程可能不彼此接界。在實務中，在該等製程之間可能存在間隙，且在一些情形中，晶圓在兩個製程之間可自一個處理腔室移除並轉移至另

一腔室。

相對低蝕刻速率之材料（諸如氮化硼）之單層襯裡 350-1 以橫截面展示於第 3A 圖中。圖中亦展示了該襯裡之放大的橫截面圖，顯示出一層材料 354。該單層襯裡之化學組成不同於典型襯裡材料且相關蝕刻速率更低。當引入至一處理流程中時，存在材料（例如硼）可能自單層襯裡浸析出並有害地影響裝置效能或處理流程的一定可能性。氮化矽作為人們熟知的阻障材料，能夠防止進入或離開基板下方部分之材料擴散。根據所揭示之實施例之襯裡可提供與許多應用中之阻障層類似的效用。在可能對硼擴散較敏感的其他應用中，可將一或多個氮化矽襯裡整合至第 1 圖之處理流程中以避免或抑制材料自此等新襯裡擴散至襯裡上下的區域中。

為了減少向襯裡以下區域的擴散，可在步驟 105 與步驟 110 之間沈積一層氮化矽。亦可在步驟 110 與步驟 115 之間插入沈積一層氮化矽之步驟以減少化學物質自新襯裡材料向襯裡以上區域的擴散。此等氮化矽插入層可在本文中泛稱為阻障層或擴散阻障層且可由除氮化矽之外的其他材料製成。因此，在實施例中，可在氧化矽沈積之前形成包括雙層及三層之複合層用作襯裡。根據本發明之實施例，複合層中之至少一層可展現出相對於先前技術氮化矽層相對低之蝕刻速率。第 3B 圖為三層襯裡 350-2 之橫截面圖。圖中亦展示了該襯裡之放大的橫截面圖，顯示出包括底層氮化矽 352、氮化硼 354 及頂層氮

化矽 356 在內的三層材料。

現參考用於填充溝槽之沈積/蝕刻/沈積順序，一種給定順序之兩次沈積技術可為相同沈積技術或方案。然而，其亦可彼此不同。代表性氧化物沈積方法為 CVD、HDP-CVD、SACVD、eHARP、HTUSG 及 O₃-TEOS。諸如旋塗玻璃（SOG）之流動性技術可能具有改善之間隙填充能力但仍可依據黏度及其他 SOG 製程參數進而受益於根據所揭示之實施例的處理順序。

根據所揭示之實施例之方法為各種含氟乾式蝕刻及濕式蝕刻製程都提供了效用實用性。兩種代表性含氟乾式蝕刻製程之蝕刻比展示於表 1 中。使用兩種氟蝕刻製程之氧化物蝕刻速率與氮化矽蝕刻速率之比率展示於一行中。類似地，兩種氟蝕刻之氧化矽與氮化硼蝕刻速率比率展示於最後一行中。因為在氧化物蝕刻中，氧化矽蝕刻比氮化硼快出此般，所以對同樣的氧化物蝕刻製程當氮化矽襯裡之至少一部分被移除時，類似厚度之由氮化硼製成之襯裡之一部分得以保留。此兩種氟蝕刻製程包含兩種前驅物，即 NH₃ 及 NF₃，且「蝕刻 1」包含高於「蝕刻 2」之 NF₃ 濃度以便增加氧化矽之蝕刻速率。

表 I：相對於氧化矽之蝕刻比

	氮化矽	氮化硼
蝕刻 1	19.9	147
蝕刻 2	39.2	126

所揭示之介電質襯裡可為相對低蝕刻速率之材料的單

一層或組合了氮化矽與此等單一層之多層。在不同實施例中，介電質襯裡可為小於 10 nm、小於 5 nm、小於 2 nm 或小於 1 nm 厚。此等厚度包括了複合襯裡層中所包括之所有阻障層之厚度。在不同實施例中，製成複合襯裡層之低蝕刻速率材料的含量為至少或約 25%、至少或約 50%或至少或約 75%。

為了促進根據實施例之氧化矽、氮化矽及介電質襯裡之間的比較，參考蝕刻選擇為室溫 1% HF 水溶液。除非另有說明，否則本文中將參考此參考蝕刻給出氧化矽與介電質襯裡之蝕刻比。氧化矽蝕刻速率與氮化矽襯裡蝕刻速率之比率可在 1 與 50 之間。關於本發明，在不同實施例中，氧化矽蝕刻速率與介電質襯裡蝕刻速率之比率可為大於 50 或約 50、大於 75 或約 75 或大於 100 或約 100。關於複合襯裡層，使用複合襯裡層內蝕刻速率相對較低之層的蝕刻速率來計算蝕刻速率比。

根據所揭示之實施例，蝕刻速率相對低之材料不僅限於氮化硼層。所揭示之實施例中還包括了其他提供類似效用之材料。類似沈積方法可用於形成顯現出類似氧化矽與介電質襯裡蝕刻比的含硼及/或碳的襯裡。在不同實施例中，襯裡可具有大於 5%或約 5%、大於 10%或約 10%或大於 20%或約 20%之硼原子濃度。替代地或與硼原子濃度組合，在不同實施例中，襯裡可具有大於 5%或約 5%、大於 10%或約 10%或大於 20%或約 20%之碳原子濃度。較高硼及/或碳濃度與較低 HF 蝕刻速率相關。例示

性膜為氮化硼 (BN)、氧化硼 (B_2O_3)、碳化矽 (SiC)、碳化硼 (BC)、氮化碳 (CN)、氮化矽硼 (SiBN)、氧化硼矽 (BSi_xO_y)、氮化磷硼 (PBN)、氮化矽碳 (SiCN) 及氮化硼碳矽 (BCSiN) 膜。

將在參考第 4 圖之流程圖的同時描述沈積含硼襯裡層之例示性方法。該實例將著重於沈積氮化硼及氧化硼之方法。如步驟 405 中所展示，將含硼前驅物引入至一腔室中。在步驟 410 中，在該腔室中之一基板上自該含硼前驅物沈積一含硼膜。接著，在步驟 415 中，處理該含硼膜以改變膜組成（例如增加膜中之氮或氧含量）。處理該含硼膜包含將含硼膜暴露於一含氮或含氧前驅物。

返回至步驟 405，引入該含硼前驅物之腔室可為任一化學氣相沈積腔室或電漿輔助化學氣相沈積腔室。可使用之腔室實例包括 PRODUCER[®] SE 及 PRODUCER[®] GT PECVD 腔室，兩者均可購自 California 之 Santa Clara 的 Applied Materials, Inc.。本文中所提供之處理條件係針對具有兩個相隔離處理區域之 300 mm PRODUCER[®] SE 腔室來提供，每一處理區域一個基板。因此，每一基板處理區域及基板所經歷之流速為流入腔室之流速的一半。

沈積含硼膜之基板可為矽基板、含矽基板或玻璃基板。基板可為裸露基板，或具有沈積於其上之一或多層材料及/或形成於其中之特徵結構。

含硼前驅物可為二硼烷 (B_2H_6)、硼氮炔 ($B_3N_3H_6$) 或

硼氮炔之經烷基取代之衍生物。可以約 5 sccm 與約 50 slm 之間（諸如約 10 sccm 與約 1 slm 之間）的流速將含硼前驅物引入至腔室中。通常，將氮氣（ N_2 ）、氫氣（ H_2 ）、氬氣（Ar）或其組合作為稀釋氣體與將含硼前驅物一同引入至腔室中。可以約 5 sccm 與約 50 slm 之間（諸如約 1 slm 與約 10 slm 之間）的流速將稀釋氣體引入至腔室中。

在實施例中，可藉由引入一含氮化合物及/或一含氧膜在第 4 圖之步驟 415 中形成一含硼膜。可使用之含氮化合物之實例包括氨（ NH_3 ）、聯胺（ N_2H_4 ）。含氧化合物之實例包括氧（ O_2 ）、一氧化氮（NO）、一氧化二氮（ N_2O ）、二氧化碳（ CO_2 ）及水（ H_2O ）。亦可使用其他化合物，包括含矽化合物、含碳化合物、含磷化合物等。亦可使用化合物之組合。在一些例子中，此等化合物可於含硼前驅物處於腔室中時存在（第 4 圖中未圖示）。替代地，可在引入含硼前驅物之前或之後將該化合物引入至腔室。可使用之含矽化合物之實例包括矽烷、三甲矽烷基胺（TSA）、三甲基矽烷（TMS）及矽氮烷，諸如六甲基環三矽氮烷（HMCTZ）。可使用之含碳化合物之實例包括具有通式 C_xH_y 之烴類化合物，諸如烷類、烯類及炔類。可使用之含磷化合物之一實例為磷化氫（ PH_3 ）。

在腔室中存在或不存在電漿之情況下皆可於腔室中之基板上自含硼前驅物沈積含硼膜。

對於在腔室中不存在電漿之情況下沈積含硼膜，在沈

積期間，腔室中之基板支撐件之溫度可設定為約 100°C 與約 1000°C 之間，例如約 300°C 與約 500°C 之間，且腔室中之壓力可為約 10 mTorr 與約 760 Torr 之間，例如約 2 Torr 與約 10 Torr 之間。可以約 5 sccm 與約 50 slm 之間(諸如約 10 sccm 與約 1 slm 之間)的流速同時將含硼、含氮、含碳、含氧及含矽化合物引入至腔室中。

對於在腔室中存在電漿之情況下沈積含硼膜，在沈積期間，腔室中之基板支撐件之溫度可設定為約 100°C 與約 1000°C 之間，例如約 300°C 與約 500°C 之間，且腔室中之壓力可為約 10 mTorr 與約 760 Torr 之間，例如約 2 Torr 與約 10 Torr 之間。可藉由送至腔室之噴頭電極及/或基板支撐電極之 RF 功率提供電漿。可在約 100 kHz 至約 1 MHz (例如約 300 kHz 至約 400 kHz) 之單一低頻下以約 2 W 與約 5000 W 之間(諸如約 30 W 與約 1000 W 之間)的功率位準提供 RF 功率，或在大於約 1 MHz (諸如大於約 1 MHz 直至約 60 MHz，例如 13.6 MHz) 之單一高頻下以約 2 W 與約 5000 W 之間(諸如約 30 W 與約 1000 W 之間)的功率位準提供 RF 功率。替代地，可在一混合頻率下提供 RF 功率，該混合頻率包括約 100 kHz 直至約 1 MHz (例如約 300 kHz 至約 400 kHz) 之第一頻率(以約 2 W 與約 5000 W 之間(諸如約 30 W 與約 1000 W 之間)的功率位準)及大於約 1 MHz (諸如大於約 1 MHz 直至約 60 MHz，例如 13.6 MHz) 之第二頻率(以約 2 W 與約 5000 W 之間(諸如約 30 W 與約 1000 W 之間)的

功率位準)。

返回至第 4 圖，在沈積含硼膜後對含硼膜進行處理，藉由向膜中併入氮或氧來改變其組成並形成氮化硼或氧化硼膜。該氮化硼或氧化硼膜可具有約 2 Å 與約 5000 Å 之間的厚度。該處理選自由電漿製程、紫外線 (UV) 固化製程、熱退火製程及其組合組成之群，且包含將含硼膜暴露於含氮前驅物以將氮併入至膜中並形成氮化硼。舉例而言，該含氮前驅物可為氮氣 (N_2)、氨 (NH_3) 或聯胺 (N_2H_4)。可藉由諸如氫氣、氮氣、氫氣或氫氣之稀釋氣體來稀釋含氮前驅物。將含硼膜暴露於含氧前驅物將允許氧併入至膜中並形成氧化硼膜。該含氧前驅物可為氧氣 (O_2)、一氧化二氮 (N_2O) 或二氧化碳 (CO_2)。

在該處理包含有電漿製程的實施例中，可在沈積含硼膜所用之同一腔室中或在一不同腔室中執行該電漿製程。可藉由送至腔室之噴頭電極及/或基板支撐電極之 RF 功率提供電漿。可在約 100 kHz 至約 1 MHz (例如約 300 kHz 至約 400 kHz) 之單一低頻下以約 2 W 與約 5000 W 之間 (諸如約 30 W 與約 1000 W 之間) 的功率位準提供 RF 功率，或在大於約 1 MHz (諸如大於約 1 MHz 直至約 60 MHz，例如 13.6 MHz) 之單一高頻下以約 2 W 與約 5000 W 之間 (諸如約 30 W 與約 1000 W 之間) 的功率位準提供 RF 功率。替代地，可在一混合頻率下提供 RF 功率，該混合頻率包括約 100 kHz 直至約 1 MHz (例如約 300 kHz 至約 400 kHz) 之第一頻率 (以約 2 W 與

約 5000 W 之間（諸如約 30 W 與約 1000 W 之間）的功率位準）及大於約 1 MHz（諸如大於約 1 MHz 直至約 60 MHz，例如 13.6 MHz）之第二頻率（以約 2 W 與約 5000 W 之間（諸如約 30 W 與約 1000 W 之間）的功率位準）。在該處理期間，可以約 5 sccm 與約 50 slm 之間（諸如約 100 sccm 與約 500 sccm 之間）的流速將含氮前驅物引入至腔室中。含氮前驅物可流入腔室中歷時一時段，諸如約 1 秒與約 2 小時之間，諸如約 1 秒與約 60 秒之間。在該處理期間，腔室壓力可在約 10 mTorr 與約 760 Torr 之間，且腔室中之基板支撐件之溫度可在約 20°C 與約 1000°C 之間。可採用增加電漿製程之高頻 RF 功率、增加 NH_3 流速及延長處理時間的方式調整膜之蝕刻速率。

在該處理包含有一 UV 固化製程的實施例中，可在與沈積腔室相同的腔室中或在一個作為一整合式工具（包括沈積含硼膜之沈積腔室）之一部分的腔室中執行該 UV 固化製程。舉例而言，可在一個作為 PRODUCER[®] 平臺（包括沈積含硼膜之 PECVD 腔室）之一部分的 NANOCURE[™] 腔室中執行該 UV 固化製程。

可使用之例示性 UV 固化製程條件包括約 10 mTorr 與約 760 Torr 之間的腔室壓力及約 20°C 與約 1000°C 之間的基板支撐件溫度。在該處理期間，可以約 5 sccm 與約 50 sccm 之間的流速將含氮前驅物引入至腔室中。含氮前驅物可流入腔室中歷時一時段，諸如約 1 秒與約 2 小時之間，諸如約 1 秒與約 10 分鐘之間。可由任一 UV 源（諸

如汞微波弧光燈、脈衝氙氣閃光燈或高效率 UV 發光二極體陣列) 提供 UV 輻射。舉例而言，該 UV 輻射可具有一在約 170 nm 與約 400 nm 之間的波長。該處理可包含將該硼膜暴露於約 1 瓦特/平方公分與約 1000 瓦特/平方公分之間的紫外線輻射，且該紫外線輻射可提供一在約 0.5 eV 與約 10 eV 之間（諸如約 1 eV 與約 6 eV 之間）的光子能量。

通常，UV 固化製程自膜中移除氫，此係有利的，因為氫可經膜擴散進入基板之半導體區域中且降低形成於基板上之裝置的可靠性。UV 固化製程通常亦增加膜密度且減小蝕刻速率。

在該處理包含熱製程之實施例中，可在沈積該含硼膜之相同腔室中或在不同腔室中執行熱製程。可以約 5 sccm 與約 50 slm 之間（諸如約 10 sccm 與約 1 slm 之間）的流速將該含氮前驅物引入至該腔室中。該含氮前驅物可流動至該腔室中歷時一時段，諸如約 1 秒與約 10 小時之間，諸如 10 秒與約 20 分鐘之間。在該處理期間，腔室壓力可在約 10 mTorr 與約 760 Torr 之間，且腔室中之基板支撐件之溫度可在約 20°C 與約 1000°C 之間。

雖然基板在參照第 4 圖所描述之實施例中依序暴露於含硼前驅物及含氮前驅物，但在替代實施例中，基板可同時暴露於含硼前驅物及含氮前驅物（及/或含氧前驅物）。一般而言，同時暴露允許較大膜生長速率且減小控制薄膜之厚度的能力。在此類實施例中，將含硼前驅物

及含氮或含氧前驅物引入至腔室中接著進行反應以於腔室中之基板上化學氣相沈積氮化硼或氧化硼膜。視情況，亦可同時將含矽化合物、含碳化合物、含磷化合物或其組合引入至腔室中以沈積摻雜的氮化硼膜。腔室中存在或不存在電漿之情況下皆可執行含硼前驅物、含氮或含氧前驅物及其他可選化合物的反應。

以下論述論述了用於生長作為例示性低蝕刻速率材料之氮化硼之特定製程條件。含硼前驅物及含氮前驅物可為上文參照第 4 圖之實施例所描述的前驅物中之任一者。類似地，腔室及基板可分別為上文參照第 4 圖之實施例所描述的腔室及基板中之任一者。

可將含硼前驅物與作為稀釋氣體之氮氣 (N_2)、氫氣 (H_2)、氬氣 (Ar) 或其組合一起引入至腔室中。可以約 5 sccm 與約 50 slm 之間（諸如約 10 sccm 與約 1 slm 之間）的流速將含硼前驅物引入至腔室中。可以約 5 sccm 與約 50 slm 之間（諸如約 10 sccm 與約 1 slm 之間）的流速將該含氮前驅物引入至該腔室中。可以約 5 sccm 與約 50 slm 之間（諸如約 1 slm 與約 10 slm 之間）的流速將稀釋氣體引入至腔室中。

在含硼前驅物及含氮前驅物之反應過程存在電漿的實施例中，可在沈積期間使用一在約 10 mTorr 與約 760 Torr 之間（例如在約 2 Torr 與約 10 Torr 之間）的腔室壓力及一在約 100°C 與約 1000°C 之間（例如在約 300°C 與約 500°C 之間）的基板支撐件溫度。腔室之噴頭與基板支撐件

之間の間距可在約 100 毫英寸與約 10000 毫英寸之間。可藉由送至腔室之噴頭電極及/或基板支撐電極之 RF 功率提供電漿。可在約 100 kHz 至約 1 MHz (例如約 300 kHz 至約 400 kHz) 之單一低頻下以約 2 W 與約 5000 W 之間 (諸如約 30 W 與約 1000 W 之間) 的功率位準提供 RF 功率，或在大於約 1 MHz (諸如大於約 1 MHz 直至約 60 MHz，例如 13.6 MHz) 之單一高頻下以約 2 W 與約 5000 W 之間 (諸如約 30 W 與約 1000 W 之間) 的功率位準提供 RF 功率。替代地，可在一混合頻率下提供 RF 功率，該混合頻率包括約 100 kHz 直至約 1 MHz (例如約 300 kHz 至約 400 kHz) 之第一頻率 (以約 2 W 與約 5000 W 之間 (諸如約 30 W 與約 1000 W 之間) 的功率位準) 及大於約 1 MHz (諸如大於約 1 MHz 直至約 60 MHz，例如 13.6 MHz) 之第二頻率 (以約 2 W 與約 5000 W 之間 (諸如約 30 W 與約 1000 W 之間) 的功率位準)。

除氮化硼之外的低介電質蝕刻速率之材料亦為本專利之標的物，正如早先所描述及申請專利範圍中所闡述。在含硼前驅物及含氮、含氧、含碳及/或含矽前驅物之反應過程不存在電漿的實施例中，可在沈積期間使用一在約 10 mTorr 與約 760 Torr 之間の腔室壓力及一在約 100 °C 與約 1000 °C 之間の基板支撐件溫度。腔室之噴頭與基板支撐件之間の間距可在約 50 毫英寸與約 5000 毫英寸之間。

如本文中所使用，「基板」可為具有或不具有形成於其

上之層的支撐基板。該支撐基板可為絕緣體或具有各種摻雜濃度及輪廓之半導體，且可為（例如）積體電路製造中所用類型的半導體基板。處於「激發狀態」之氣體描述的係氣體分子中至少一部分處於振動激發、解離及/或離子化狀態下的一種氣體。一氣體可為兩種或兩種以上氣體的組合。通篇使用之術語溝槽皆無暗示所蝕刻之幾何形狀具有較大水平深寬比之意。自表面上方視之，溝槽可顯現為圓形、橢圓形、多邊形、矩形或各種其他形狀。

在已揭示若干實施例之後，熟悉此項技術者將認識到，可使用各種修改、替代構造及均等物而不偏離所揭示之實施例的精神。此外，尚未描述許多熟知製程及元件以避免不必要地混淆本發明。因此，上文描述不應被視為限制本發明之範疇。

當提供一數值範圍時應理解，除非上下文另行明示，否則位於此範圍之上限與下限之間的每一居間值（精確性達下限之單位的十分之一）皆為本發明所特定揭示。涵蓋介於指定範圍中之任何指定值或介入值與此指定範圍中之任何其他指定值或介入值之間的每一較小範圍。此等較小範圍之上限與下限可獨立地包括於該範圍中或排除於其外，且在上限與下限中無論其中一者、兩者或是無一者包括於該等較小範圍中之情況下，每一範圍亦涵蓋於本發明中，當然不包括該指定範圍中特定排除之任何限值。在該指定範圍包括該等限值中之一者或兩者

之情況下，排除此等所包括之限值中之一者或兩者的範圍亦包括於本發明中。

如本文中及隨附申請專利範圍中所使用，單數形式「一」及「該」包括複數指示物除非本文另行明示。因此，舉例而言，述及「一製程」時其包括複數個此製程，且述及「該介電質材料」時其包括一或多種熟悉此項技術者已知之介電質材料及其均等物，諸如此類。

同樣，詞彙「包含」及「包括」在用於本說明書及下文申請專利範圍中時意欲指出所述特徵結構、整數、元件或步驟之存在，但其不排除一或多個其他特徵結構、整數、元件、步驟、動作或群組之存在或添加。

【圖式簡單說明】

第 1 圖為根據所揭示之實施例之氧化矽間隙填充沈積製程之流程圖。

第 2A 圖至第 2E 圖為根據所揭示之實施例之沈積製程期間基板上諸特徵結構的橫截面圖。

第 3A 圖至第 3B 圖為根據所揭示之實施例之阻障層的橫截面圖。

第 4 圖為形成氮化硼及氧化硼膜之方法的流程圖。

在附圖中，類似元件及/或特徵結構可具有相同元件符號。此外，對於相同類型之元件可藉由在其元件符號後增加一破折號或第二符號對相似元件進行區分。若說明

書中僅採用第一元件符號，則相關描述適用於所有具有相同第一元件符號之類似元件而與第二元件符號無關。

【主要元件符號說明】

105 處理步驟

110 處理步驟

115 處理步驟

120 處理步驟

125 處理步驟

200 基板

205 側壁材料

206 側壁材料

210 溝槽

250 襯裡

275 氧化矽

350-1 單層襯裡

350-2 三層襯裡

352 底層氮化矽

354 氮化硼

356 頂層氮化矽

405 處理步驟

410 處理步驟

415 處理步驟

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：98133613

※ 申請日期：2009 年 10 月 2 日

※IPC 分類：

H01L 21/762 (2006.01)

H01L 21/31 (2006.01)

一、發明名稱：(中文/英文)

以低蝕刻速率介電質襯裡改善間隙填充之方法

GAPFILL IMPROVEMENT WITH LOW ETCH RATE DIELECTRIC LINERS

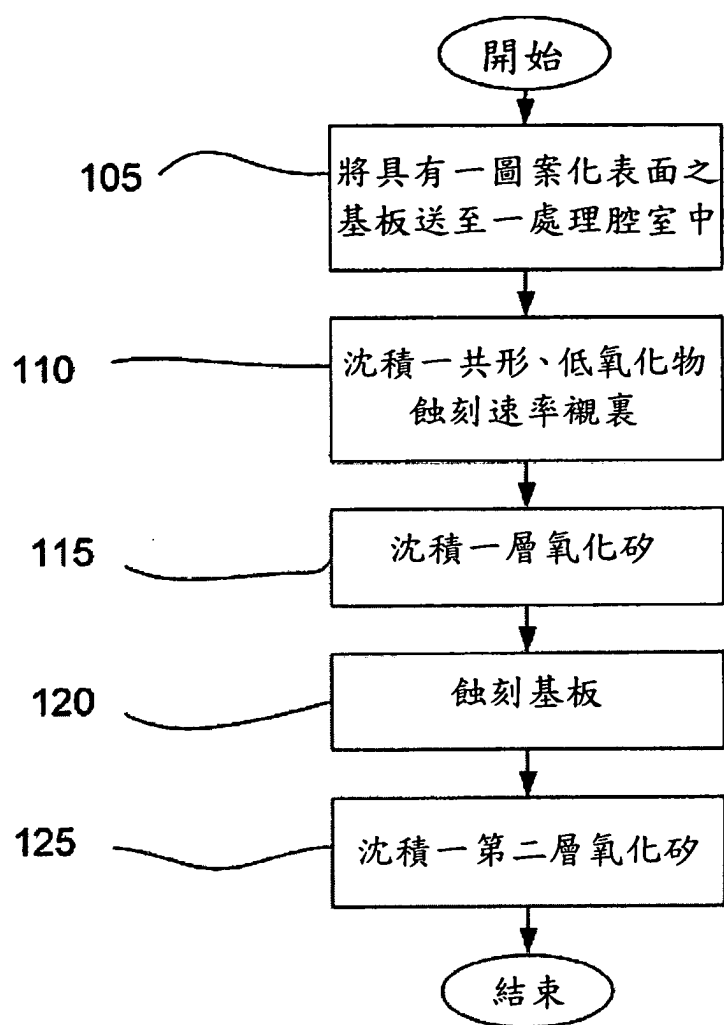
二、中文發明摘要：

本發明描述了一種填充一溝槽之方法，其包括沈積一種在含氟蝕刻化學反應中顯示出高氧化矽與介電質襯裡蝕刻速率比率的介電質襯裡。氧化矽沈積於該溝槽內，並經蝕刻以於該溝槽頂部附近增開或擴大一間隙。該介電質襯裡在該蝕刻製程期間保護下方基板，因此該間隙可製得較大。氧化矽再次沈積於該溝槽內以大體上填充該溝槽。

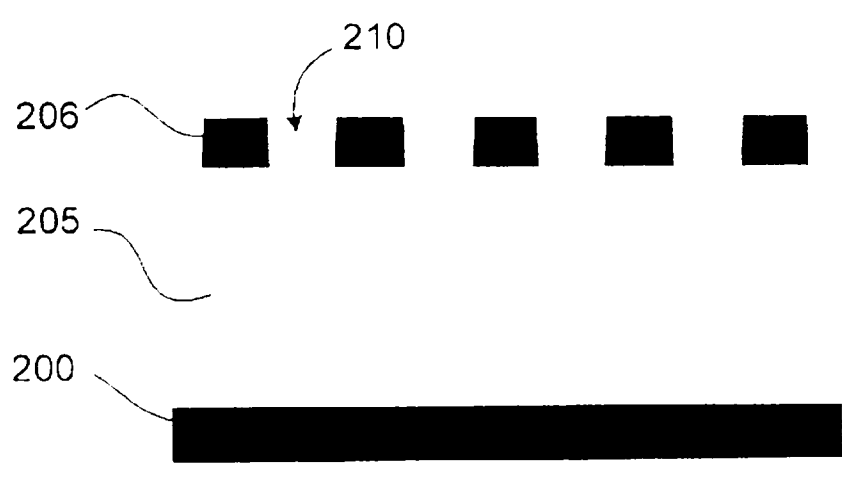
三、英文發明摘要：

A method of filling a trench is described and includes depositing a dielectric liner with a high ratio of silicon oxide to dielectric liner etch rate in fluorine-containing etch chemistries. Silicon oxide is deposited within the trench and etched to reopen or widen a gap near the top of the trench. The dielectric liner protects the underlying substrate during the etch process so the gap can be made wider. Silicon oxide is deposited within the trench again to substantially fill the trench.

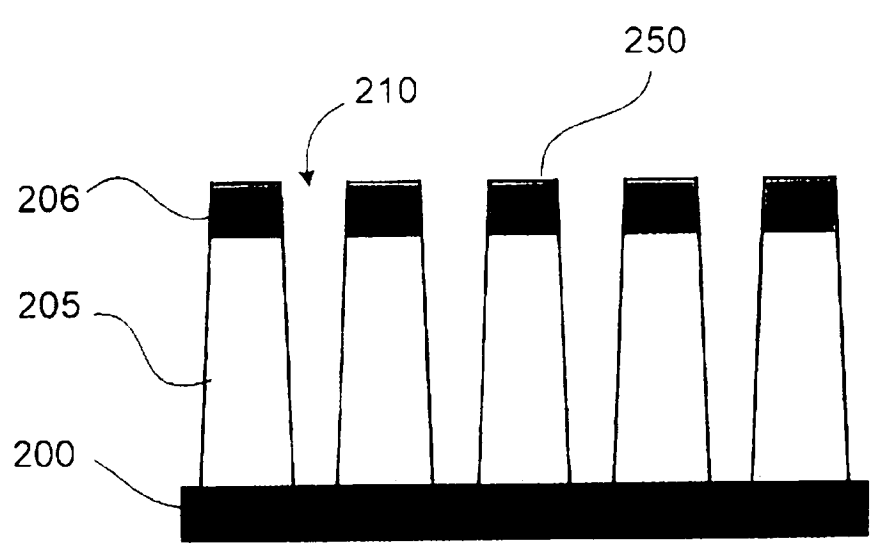
八、圖式：



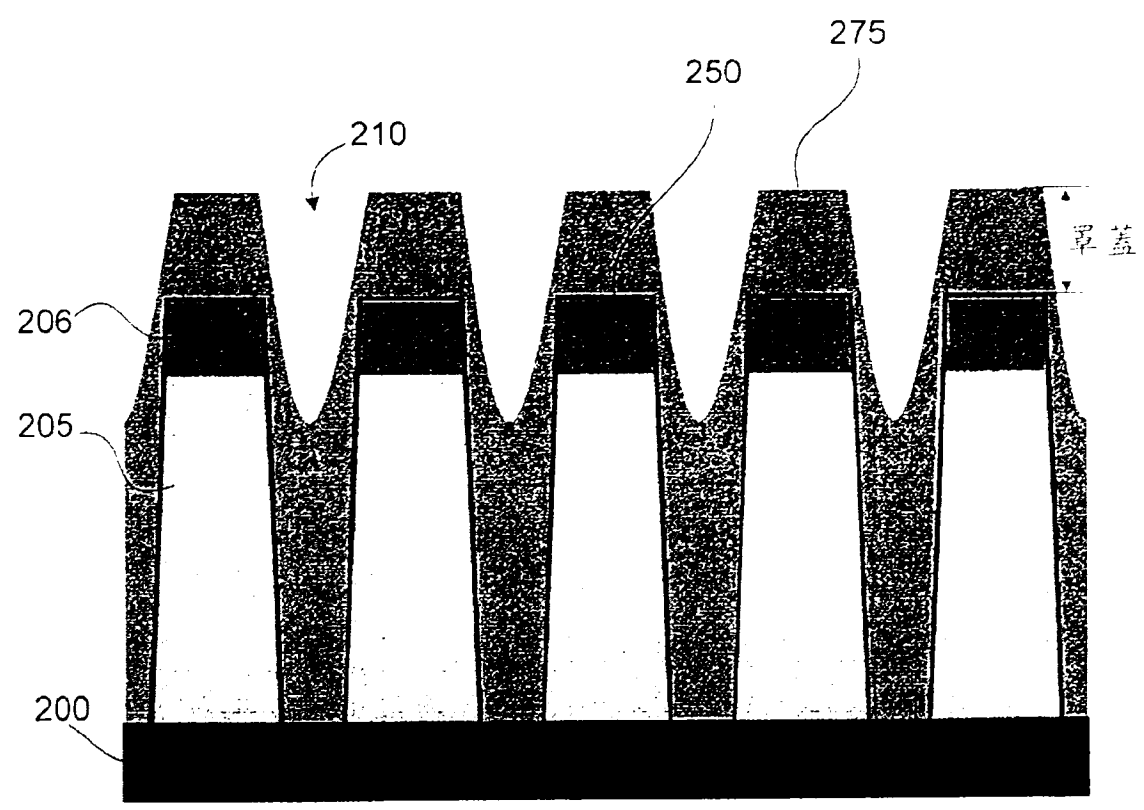
第 1 圖



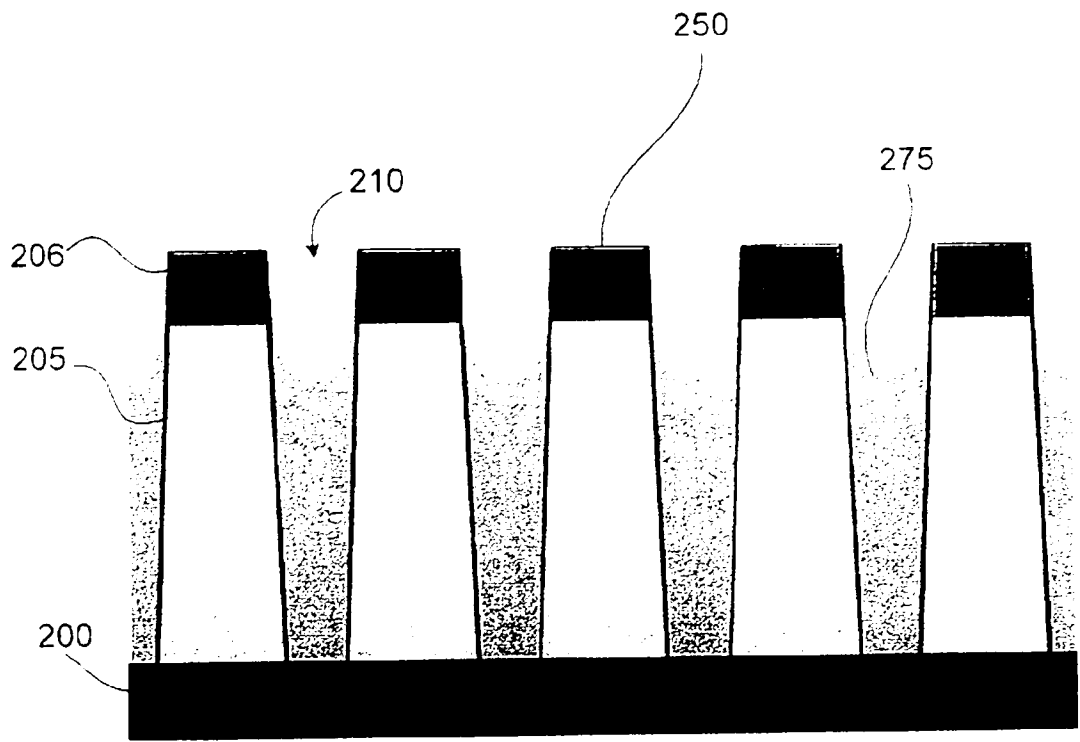
第 2A 圖



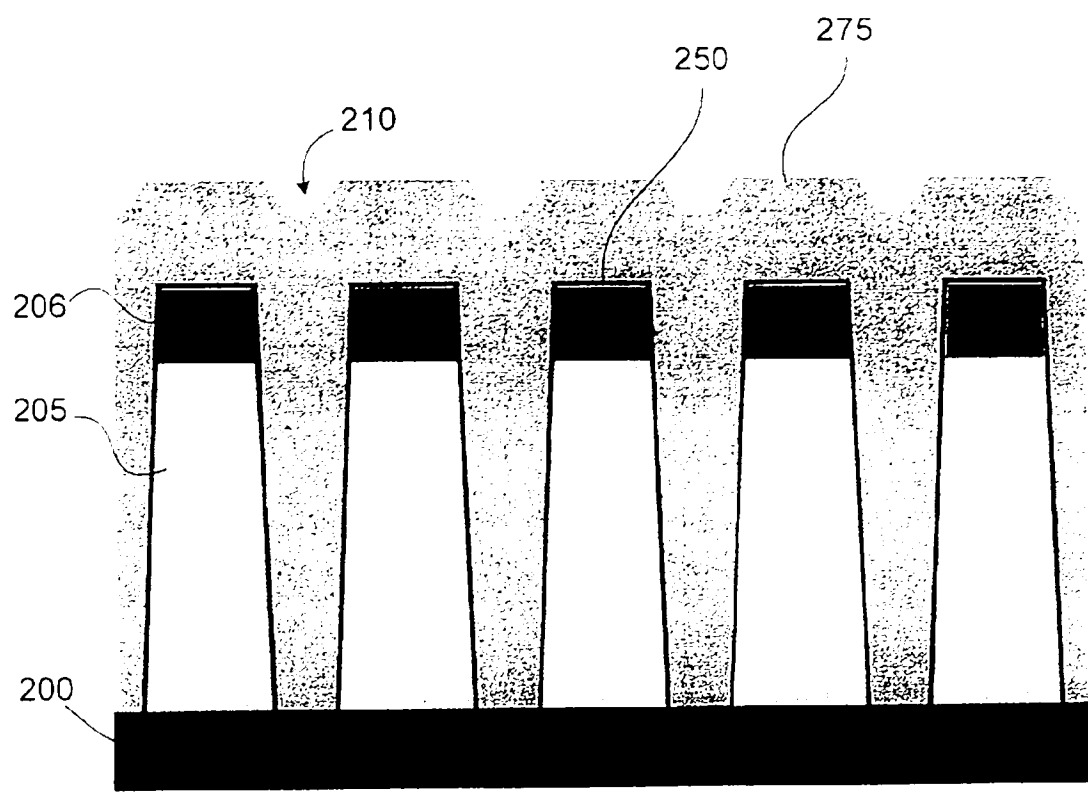
第 2B 圖



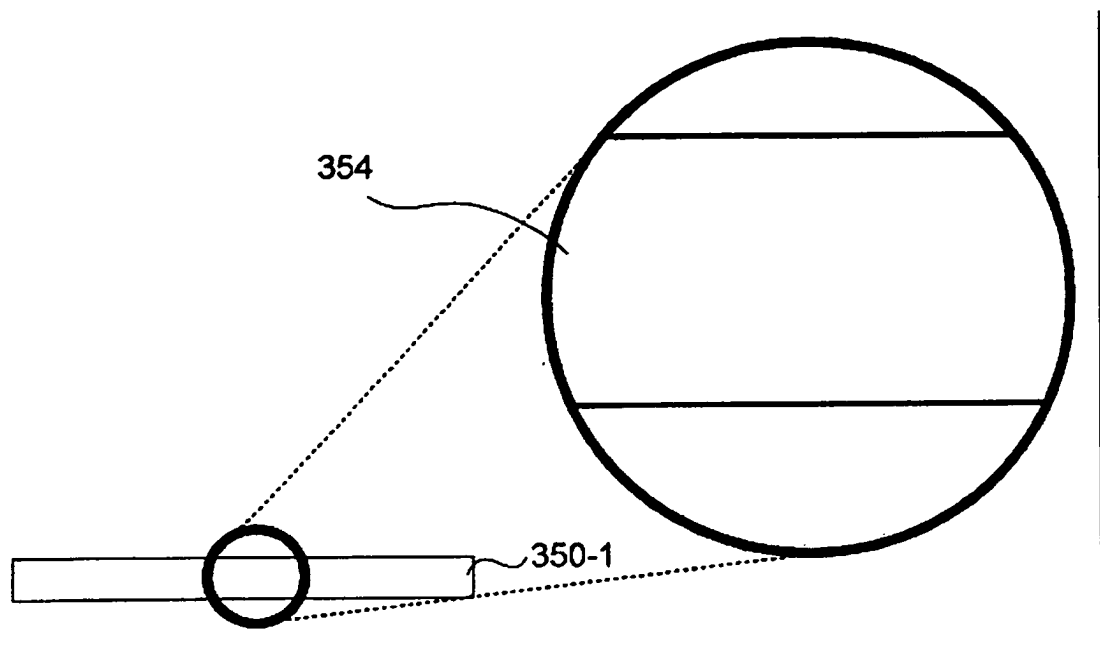
第 2C 圖



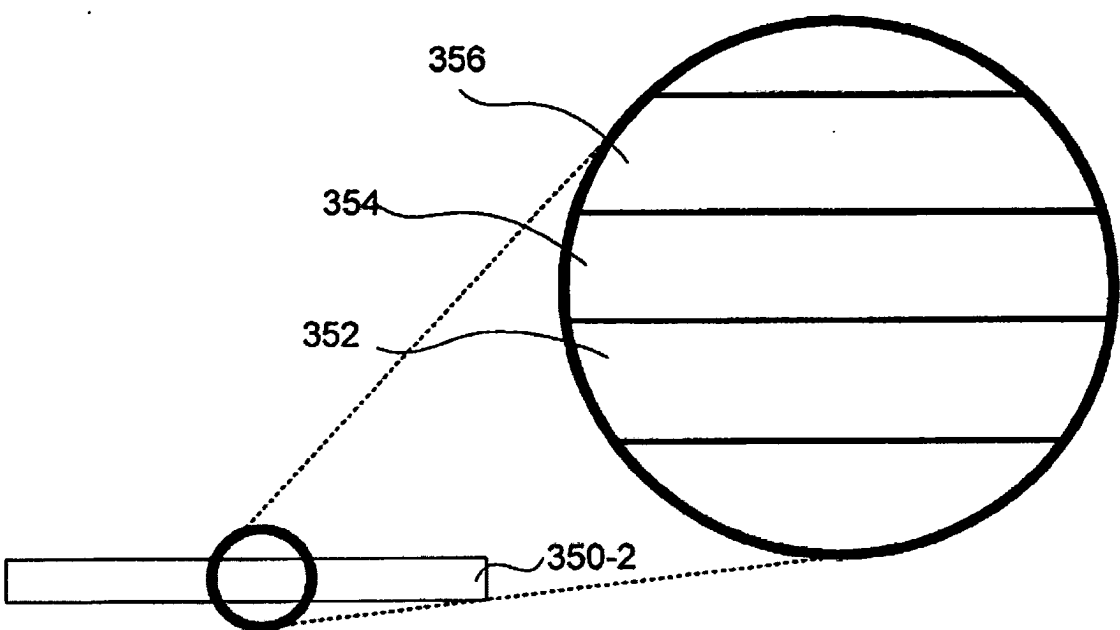
第 2D 圖



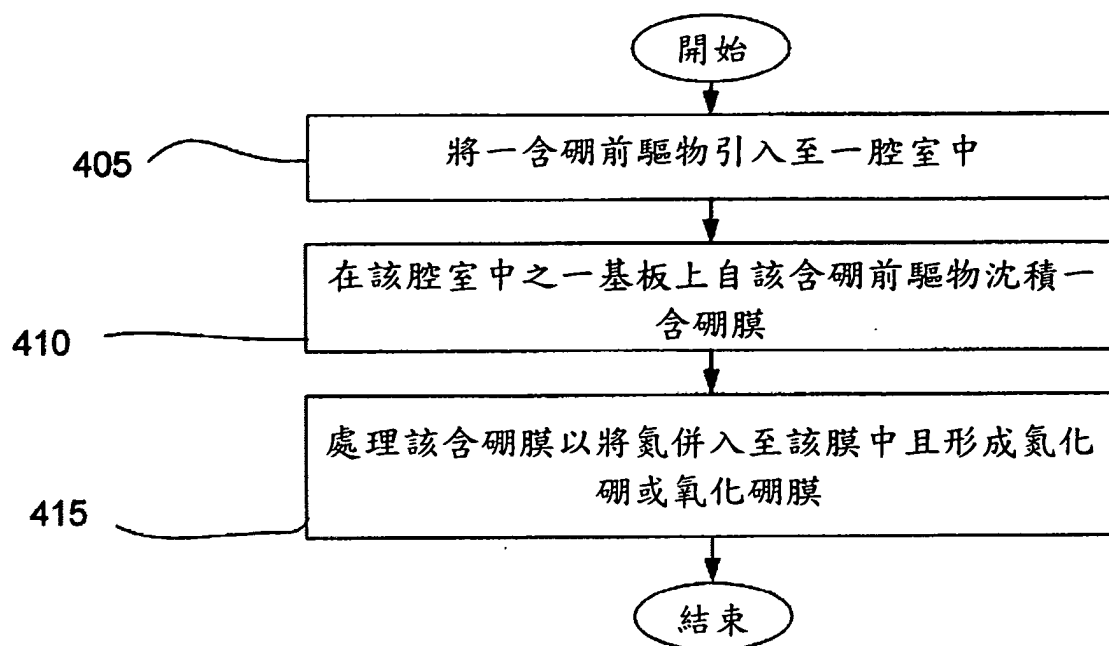
第 2E 圖



第 3 A 圖



第 3B 圖



第 4 圖

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

105 處理步驟

110 處理步驟

115 處理步驟

120 處理步驟

125 處理步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

七、申請專利範圍：

1. 一種在一半導體基板中之一溝槽中沈積介電質材料之方法，該方法包含：

在該溝槽之底部及側壁表面上形成一包含一雙層之襯裡層，其中該雙層包含一氮化矽層及一氮化硼層；

在該襯裡層上沈積包含氧化矽之該介電質材料，其中該介電質材料至少部分填充該溝槽；及

藉由一蝕刻劑蝕刻該所沈積之介電質材料之一部分，其中該蝕刻劑以一高於該襯裡層之蝕刻速率的蝕刻速率移除該介電質材料。

2. 如申請專利範圍第 1 項之方法，其中該襯裡層係一包含一形成於一對氮化矽層之間的氮化硼層之三層。

3. 如申請專利範圍第 1 項之方法，其中蝕刻該所沈積之介電質材料之一部分的步驟暴露一形成於該溝槽中之該介電質材料中的空隙。

4. 如申請專利範圍第 3 項之方法，其中該方法進一步包含在該溝槽中沈積一第二部分該介電質材料，其中該第二部分介電質材料至少部分填充該所暴露之空隙。

5. 如申請專利範圍第 1 項之方法，其中蝕刻該所沈積之介電質材料之一部分的步驟將該介電質材料在該溝槽中

形成之一間隙擴大。

6. 如申請專利範圍第 1 項之方法，其中蝕刻該所沈積之介電質材料之一部分的步驟採用一包含反應性氟之乾式蝕刻。

7. 如申請專利範圍第 1 項之方法，其中蝕刻該所沈積之介電質材料之一部分的步驟包含在一包含 NH_3 與 NF_3 之處理氣體中乾式蝕刻該介電質材料。

8. 如申請專利範圍第 1 項之方法，其中該蝕刻劑包含一由三氟化氮 (NF_3) 形成的反應性氟物種。

9. 一種移除填充於一半導體基板中之一溝槽中之介電質材料中所形成之空隙的方法，該方法包含：

蝕刻該介電質材料之一頂部部分以暴露該空隙中之一開口，其中該蝕刻亦暴露一包含一雙層之襯裡層之一部分，其中該雙層包含由該介電質材料覆蓋之一氮化矽層與一氮化硼層；及

將額外介電質材料沈積至該所暴露之空隙中，藉由向該空隙中填充該額外介電質材料而移除該空隙。

10. 一種沈積一膜以填充一基板之一表面中之一間隙之方法，該方法包含：

在該基板之該表面上形成一介電質襯裡，其中氧化矽與介電質襯裡之蝕刻比大於約 50；

在該介電質襯裡上沈積一第一層介電質；

蝕刻該基板之該表面；及

沈積一第二層介電質以大體上填充該間隙。

11. 如申請專利範圍第 10 項之方法，其中氧化物與介電質襯裡之蝕刻比大於約 75。

12. 如申請專利範圍第 10 項之方法，其中氧化物與介電質襯裡之蝕刻比大於約 100。

13. 如申請專利範圍第 10 項之方法，其中該介電質襯裡包含氮化硼。

14. 如申請專利範圍第 10 項之方法，其中該介電質襯裡具有一大於 5% 之硼原子濃度。

15. 如申請專利範圍第 10 項之方法，其中該介電質襯裡具有一大於 5% 之碳原子濃度。

16. 如申請專利範圍第 10 項之方法，其中該介電質襯裡具有一大於 10% 之硼原子濃度。

17. 如申請專利範圍第 10 項之方法，其中該介電質襯裡具有一大於 10% 之碳原子濃度。

18. 如申請專利範圍第 10 項之方法，其中該介電質襯裡具有一大於 20% 之硼原子濃度。

19. 如申請專利範圍第 10 項之方法，其中該介電質襯裡具有一大於 20% 之碳原子濃度。

20. 如申請專利範圍第 10 項之方法，其中該介電質襯裡包含一選自由以下各者組成之群的材料：碳化硼、氧化硼、碳化矽、氮化硼、氮化硼碳、氮化磷硼、氮化碳、氮化矽硼、氧化硼矽及氮化矽碳。

21. 如申請專利範圍第 10 項之方法，進一步包含一在形成氮化硼共形層之前形成一層氮化矽的步驟。

22. 如申請專利範圍第 10 項之方法，進一步包含一在沈積該第一層介電質之前形成一層氮化矽的步驟。

23. 如申請專利範圍第 10 項之方法，進一步包含一在形成氮化硼共形層之前形成一第一層氮化矽及在沈積該第一層介電質之前形成一第二層氮化矽的步驟。

24. 如申請專利範圍第 10 項之方法，其中蝕刻該基板之步驟包含在一包含 NH_3 及 NF_3 之處理氣體中乾式蝕刻該基板。